



417937

7937

F.c. 8-7-75

Int. Cl.:	H04J

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "UN MULTIPLEXOR POR DIVISION DE TIEMPO EMPLEAN-
DO PUERTAS DIGITALES Y UN CONVERTIDOR DIGITAL-A-ANALOGICO"
A NOMBRE DE STANDARD ELECTRICÁ, S.A., CON DOMICILIO EN MA-
DRID CALLE DE RAMIREZ DE PRADO Nº 5.

El presente invento se refiere a un multiple-
 xor por división de tiempo, multicanal y de alta frecuencia,
 que utiliza puertas digitales y un convertidor digital-a-
 analógico. Se aplica continuamente una tensión analógica a
 5 una entrada de un comparador analógico. La salida de un con-
 vertidor digital-a-analógico se aplica a la otra entrada del
 comparador. Un secuenciador conecta una primera puerta digital de
 canal "ON", y se produce un número binario de 10 bits que
 representa la tensión de entrada, empleando la técnica conven-
 10 cional de aproximación dividir por la mitad. Después de haberse
 completado la conversión, la puerta digital, en el siguiente

417937

2. 10



canal, se conmuta "ON", y se repite el proceso. El número binario de 10 bits se almacena en el convertidor digital-a-analógico y queda disponible en forma paralela al final de cada conversión. Cuando se ha convertido el último canal, el secuenciador activa nuevamente el canal 1. La salida del multiplexor es un tren de ondas MIC.

Convencionalmente, los multiplexores por división de tiempo emplean puertas analógicas electrónicas que requieren que las puertas sean conmutadas "ON" secuencialmente y una a la vez. Idealmente, la salida del multiplexor, en cualquier momento dado, estará, precisamente, al mismo potencial que la entrada de la puerta "ON". Cualquier desviación en la tensión de salida a partir de la entrada de la puerta "ON" representa un error causado por el multiplexor. A fin de que la entrada de la puerta "ON" y la salida del multiplexor sean la misma en todo momento, los conmutadores analógicos tendrían que ser perfectos, esto es, los conmutadores deberían tener impedancia cero en la posición "ON" e impedancia infinita en la posición "OFF". Los errores que resultan por el empleo de una puerta analógica son importantes en sistemas multicanales (100 canales) a alta velocidad (20 kc y más), a menos que se tomen precauciones caras y complejas. Un sistema multi-canal de este tipo puede emplearse, por ejemplo, en sistemas de medidas ambientales tales como los empleados en el programa espacial para controlar el combustible y los sistemas de presión, temperatura, y la tensión y resistencia de las torres de lanzamiento.

El objetivo del presente invento es proporcionar un multiplexor por división de tiempo que evite los errores de tensión mencionados anteriormente sin necesidad de emplear un

417937



equipo caro y complejo.

Una característica del presente invento es evitar el error de tensión mediante el empleo de puertas digitales en lugar de puertas analógicas electrónicas.

5 Un aspecto general del invento está en proporcionar un multiplexor por división de tiempo multi-canal mejorado, para multiplexar diferentes señales analógicas y generar una salida MIC y una salida digital paralelo, empleando un proceso de aproximación de división por la mitad, comprendiendo un

10 convertidor digital-a-analógico que tiene una entrada, una salida analógica y diversas salidas digitales paralelas, diversos comparadores analógicos, uno en cada canal, que tienen entradas primeras y segundas. La primera entrada está acoplada a una de las diferentes señales analógicas y la segunda entrada

15 está acoplada a la salida analógica del convertidor digital-a-analógico. Tiene una salida biestable que adquiere un primer estado si la señal analógica es mayor que la salida analógica del convertidor digital-a-analógico, y un segundo estado si dicha señal analógica es menor que la salida analógica del

20 convertidor. Diferentes puertas digitales, una en cada canal, que tienen unas entradas primera y segunda y una salida; la primera entrada esta acoplada a la salida del comparador analógico en el mismo canal, y la salida esta acoplada a las salidas de las restantes puertas digitales, para formar la salida MIC

25 y la entrada del convertidor. Una unidad de control de secuenciador que tiene diferentes primeras y segundas salidas, cada una de las primeras consistente de impulsos a la cadencia de canal, acoplada a la entrada segunda de una de las diversas puertas digitales y, el segundo conjunto, que consiste de impulsos a la cadencia de bit, acoplado al convertidor digital-

30

417937

4.



a-analógico, por medio del cual la tensión de cada una de las señales analógicas se convierte en un número binario de n-bit.

La descripción anterior y otras características del presente invento serán mejor entendidas de lo que sigue

5 y de los dibujos que se acompañan, en los cuales:

- la Fig. 1 es un diagrama bloque de un multiplexor por división de tiempo, que utiliza las puertas analógicas según la técnica anterior;

10 - la Fig. 2 es un diagrama bloque funcional del multiplexor por división de tiempo objeto de este invento, empleando puertas digitales;

- la Fig. 3a es el diagrama bloque simplificado del secuenciador usado en la Fig. 2

15 - la Fig. 3b representa las relaciones de tiempo de las señales de salida del secuenciador.

La Fig. 1 es un diagrama simplificado de un multiplexor por división de tiempo que utiliza puertas analógicas, según la técnica primitiva. También se muestran los parámetros de impedancia asociados con las puertas analógicas electrónicas.

20 El multiplexor de la Fig. 1 comprende n canales de entrada, cada uno de los cuales está aplicado a una puerta analógica respectiva. La entrada a cada canal es una entrada analógica, y la salida de cada puerta analógica se aplica secuencialmente a un convertidor analógico-a-digital 3.

25 Las puertas electrónicas del tipo mostrado en la Fig. 1, no constituyen conmutadores perfectos. Como se indica, dichas puertas contienen una impedancia serie (Z_{serie}) y una impedancia en derivación (Z_{shunt}). Estas imperfecciones de conmutación, junto con las impedancias finitas de la fuente (R_{source})
30 y la capacidad en derivación de salida 4 (C_{buss}) son causa

417937

5. 16A



de errores de importante magnitud en sistemas de elevada velocidad a no ser que, como se indicó anteriormente, se tomen precauciones especiales. En el momento en que se conecta una puerta analógica, la tensión de derivación de salida no puede
5 cambiar instantáneamente a los valores de entrada, dado que C_{buss} debe cargarse, y la fuente también debe controlar la impedancia shunt de todas las puertas "OFF". Esta corriente de control debe fluir a través de la impedancia de la fuente y de la impedancia serie de los conmutadores en "ON", provocando un error de tensión en la derivación (buss) analógica.
10 Los valores típicos de Z_{serie} , Z_{shunt} , C_{buss} y R_{source} son tales que el error de tensión buss analógico se hace significativo en sistemas multi-canales (100-200 canales) en velocidades elevadas (20 kc y más).

15 La Fig. 2 es un diagrama bloque de un multiplexor por división de tiempo según el presente invento. Como en la Fig. 1, el multiplexor comprende n-canales. Se aplica continuamente una tensión analógica a una entrada de un comparador analógico. El multiplexor comprende n de tales comparadores, uno en cada canal. La salida del convertidor analógico-
20 a-digital 4 se aplica a la otra entrada de cada comparador analógico. El secuenciador 5 conmuta la puerta digital 1 a "ON" y hace que el convertidor 4 aplique una tensión de precisión igual a la mitad (1/2) de la tensión analógica a escala
25 completa, a los comparadores 1 a n. La tensión de salida del convertidor 4 se compara con la primera entrada analógica, y el comparador en el canal 1 produce un "YES" de salida si la tensión analógica de entrada es mayor que la salida del convertidor (1/2 de la escala completa), o un "NO" de salida
30 si la tensión analógica de entrada es menor que la salida del

417937

6.



convertidor. Está claro que las señales "YES" y "NO" pueden consistir en señales de nivel lógico compatibles con las puertas digitales 1 a n. La señal "YES" o "NO" desde el comparador 1, se realimenta al convertidor 4 a través de la puerta digital 1 "ON".

El siguiente secuenciador 5 ordena que el convertidor 4 añada $1/4$ de la tensión a escala completa al existente $1/2$ de la tensión a escala completa si está presente un "YES", o que reste $1/4$ de la tensión a escala completa si se indica un "NO". Después de la suma o resta, la salida del convertidor será $3/4$ de la escala si se recibió un "YES" y $1/4$ de la escala si se recibió un "NO" por el convertidor digital-a-analógico. Se comparan nuevamente la salida del convertidor digital-a-analógico y la señal analógica de entrada. Una señal "YES" se generará por el comparador 1 si la señal analógica es mayor que la salida del convertidor 4, o una señal "NO" si la señal analógica de entrada es menor que la salida del convertidor analógico-a-digital 4. La salida del comparador 1 se realimenta nuevamente al convertidor 4 a través de la puerta digital 1 "ON". El secuenciador 5 hace entonces que el convertidor 4 añada $1/8$ de la escala completa si está presente la señal "NO". Este proceso de dividir por la mitad (el mismo que se emplea en la aproximación convencional de los convertidores analógicos-a-digitales), se continúa hasta que se ha generado el número deseado de dígitos binarios. Al final de cada conversión analógica, la siguiente puerta digital se conmuta "ON" y se repite el proceso. Cuando se ha convertido el último canal analógico, el secuenciador 5 activa nuevamente el canal 1.

30

La salida de la puerta digital "ON" es un tren

417937

7.



de onda MIC. Durante cada conversión analógica-a-digital, los dígitos binarios se almacenan en un convertidor digital-a-analógico 4 y quedan disponibles en forma paralela al final de la conversión.

5 La Fig. 3 es un diagrama simplificado de un secuenciador para un sistema de n-canales y 10 bits. El secuenciador genera la diferente temporización y los impulsos de puerta secuenciales, mostrados en la Fig. 3b, requeridos para el funcionamiento del multiplexor mostrado en la Fig. 2. El

10 contador 7 recibe una entrada de reloj por el terminal de entrada 6 desde el oscilador de cadencia de bit 11. El contador 7 cuenta la cadencia de bit hacia abajo hacia la cadencia de canal. La salida del contador 7 se aplica a una matriz 8 a través del terminal de entrada 9. La matriz 8 recibe también

15 la señal de reloj desde el oscilador de cadencia de bit 11 por el terminal de entrada 10. La matriz 8 consiste de un conjunto de puertas digitales configuradas para generar bits individuales e impulsos de canal. Las salidas de la matriz 8 comprenden en parte n líneas que transmiten impulsos secuenciales a

20 las puertas digitales individuales en cada canal del multiplexor por división de tiempo, mostrado en la Fig. 2, para conmutar secuencialmente las puertas "ON". Los impulsos secuenciales para activar las puertas individuales en cada canal, se muestran en las líneas a, b y c de la Fig. 3b.

25 La matriz 8 genera también impulsos de bit secuenciales que gobiernan las puertas del convertidor digital-a-analógico. Los impulsos de bit se encaminan al convertidor digital-a-analógico por las líneas individuales denominadas d, e, f, g, h, i, j, k, l y m y cada una se activa, dentro

30 del convertidor digital-a-analógico 4, con la salida de la

417937

8.

18



puerta digital "ON". La señal que resulta entonces determina, a través del control dentro del convertidor 4, si el siguiente bit más significativo debe ser sumado o restado. Los impulsos de bit secuenciales que corresponden a las salidas d a n de la matriz 8, se muestran en la Fig. 3b. Nótese, de la Fig. 3b, que se generan 10 impulsos de bit secuenciales durante el tiempo de duración de cada impulso que activa una puerta digital.

Debe quedar claro que el contador 7 y la matriz 8 son unidades elementales lógicas sencillas y podrían diseñarse de diferentes maneras, dependiendo de las preferencias del diseñador lógico. Por lo tanto, no parece ser necesaria una descripción más detallada de estos temas. Además, los convertidores digital-a-analógicos apropiados para utilizar en el multiplexor por división de tiempo de la Fig. 2, que realizan el proceso de división por la mitad hasta que se ha generado el número deseado de bits binarios, almacenados en forma disponible de una salida digital paralelo, están disponibles comercialmente en el mercado. Uno de tales dispositivos es un convertidor D/A de uso general y alta confiabilidad (DAC 372 fabricado por Hybrid System Corp., Burlington, Massachusetts. Los convertidores D/A de la serie DAC 372 tienen entradas de 12 bits, pero son ajustados internamente por linealidades que conforman resoluciones desde 8 a 12 bits. El factor de escala de los tipos de salida de tensión se ajustan internamente en fábrica, aunque se incluye la previsión para posibilitar estos parámetros, si se desea, ajustándolos externamente. Pueden seleccionarse los modos de funcionamiento binario unipolar o bipolar por medio de selección de interconexiones.

En resumen, se ha descrito un multiplexor por división de tiempo que evita el empleo de puertas analógicas

417937



9.

electrónicas y sus efectos adversos inherentes, proporcionando el resultado deseado de multiplexión por división de tiempo y conversión analógica-a-digital.

5 Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo, y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en E.E.U.U. el día 17 de Agosto de 1972, señalada con el N.º 281.602 y se acoge por tanto, a los
10 beneficios que otorgan los convenios internacionales vigentes.

----- NOTA -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

15 1.- Un multiplexor por división de tiempo empleando puertas digitales y un convertidor digital-a-analógico y multi-canal, para multiplexar diferentes señales analógicas y generar una salida MIC y una salida digital paralela empleando el proceso de aproximación de dividir por la mitad, que comprende:
20 de:

- un convertidor digital-a-analógico que tiene una entrada, una salida analógica y diversas salidas digitales paralelas;
- varios comparadores analógicos, uno en cada canal, que tienen
25 entradas primera y segunda. La primera entrada está acoplada a una diferente de las diferentes señales analógicas, y la segunda entrada acoplada a la salida analógica del convertidor digital-a-analógico, teniendo una salida biestable que toma un primer estado si la señal analógica es mayor que la salida analógica del convertidor, y un segundo estado si la señal
30 analógica es menor que la salida analógica del convertidor;

417937

10.

16



- varias puertas digitales, una en cada canal, que tienen primera y segunda entrada y una salida. La primera entrada está acoplada a la salida del comparador analógico en el mismo canal y la salida acoplada a las salidas del resto de las puertas digitales, para formar la salida MIC del multiplexor y la entrada del convertidor digital-a-analógico.

- una unidad de control de secuenciador que tiene diferentes primeras y segundas salidas, cada una de las primeras consistente en impulsos a la cadencia de canal acopladas a la segunda entrada de una de las diferentes puertas digitales, y las segundas de ellas, que consisten en impulsos a la cadencia de bit, acopladas al convertidor digital-a-analógico, mediante lo cual, la tensión de cada una de las señales analógicas se convierte en un número binario de n-bit.

2.- Un multiplexor por división de tiempo multi-canal, según el punto 1, en el que la unidad de control de secuenciador comprende:

- un oscilador a cadencia de bit;
- un contador digital acoplado a la salida del oscilador de cadencia de bit para contar la cadencia de bit hacia abajo, hasta la cadencia de canal, y
- una matriz digital acoplada a la salida del contador para generar el primer grupo de señales de cadencia de canal y el segundo grupo de señales de cadencia de bit.

3.- Un multiplexor por división de tiempo multi-canal, según el punto 2, en el que la cadencia de bit es de 200 kc y la cadencia de canal es de 20 kc.

4.- Un multiplexor por división de tiempo empleando puertas digitales y un convertidor digital-a-analógico.

Tal y como se ha descrito en la memoria que

417937

30



11.

antecedente, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de once hojas escritas por una sola cara.

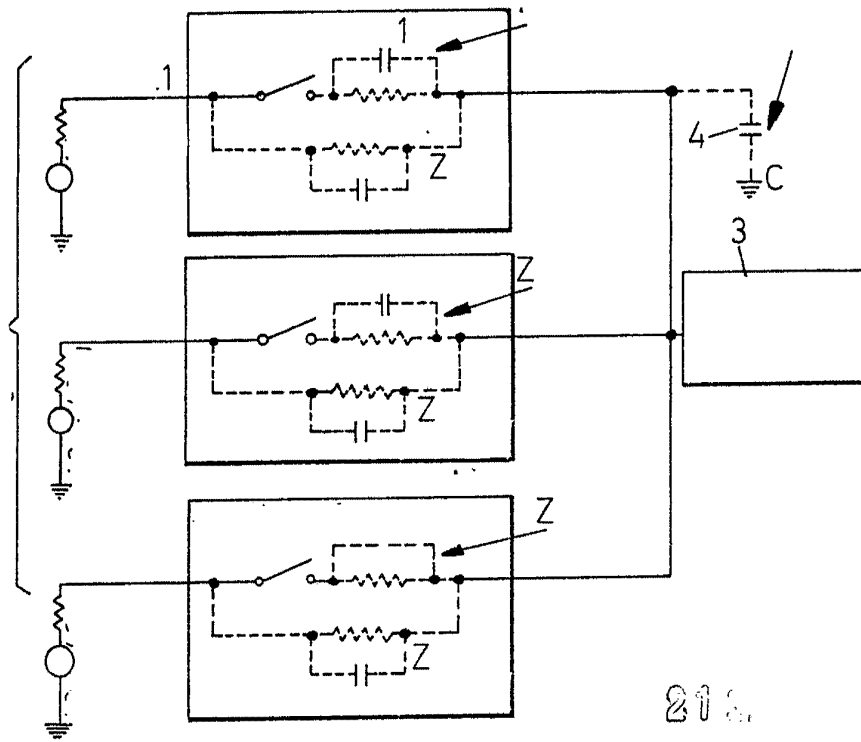
MADRID, 18 AGO. 1973

M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

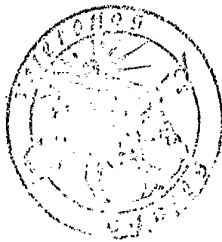


417937

FIG. 1

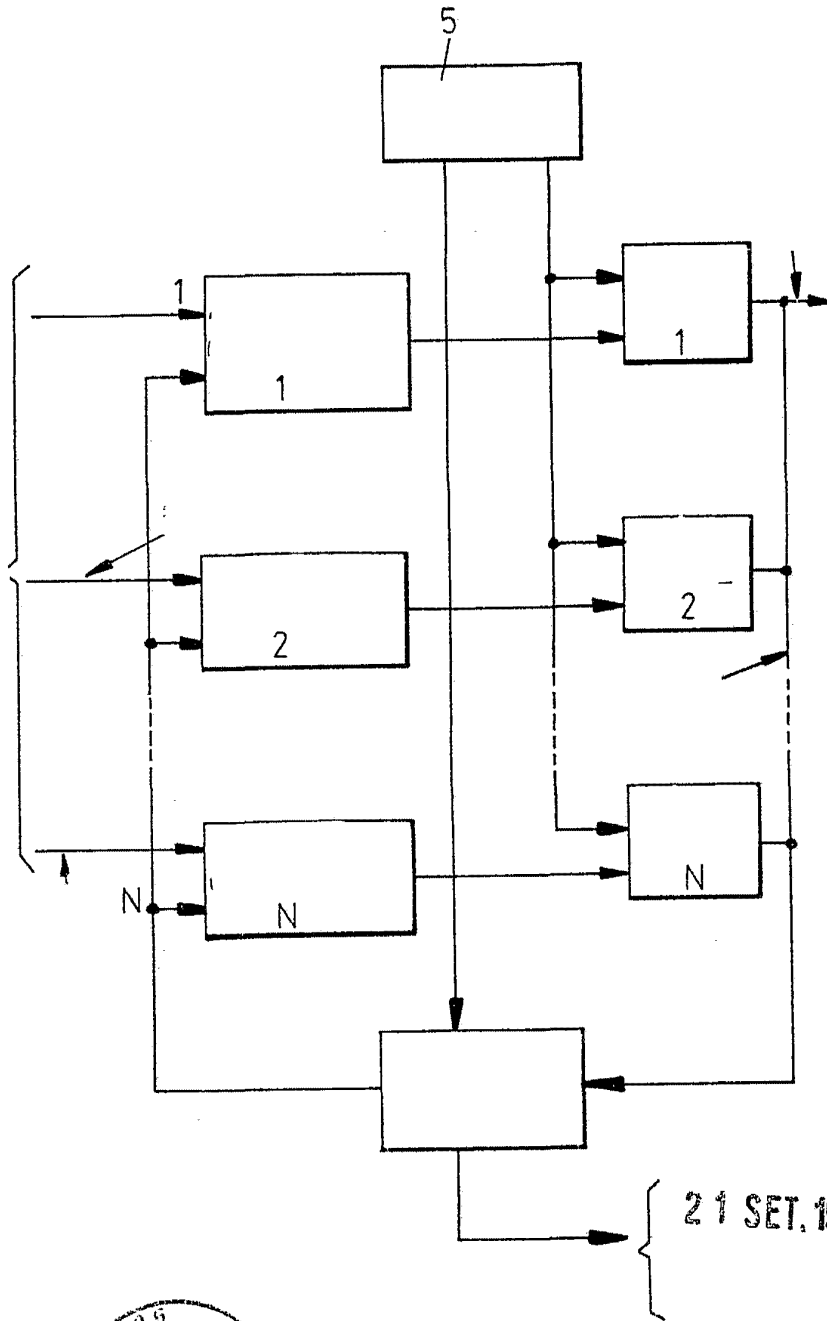


218.



Elham
Escriba el nombre del inventor
Elham

417937



Manuel
SECRETARIO GENERAL

417537

FIG. 3a

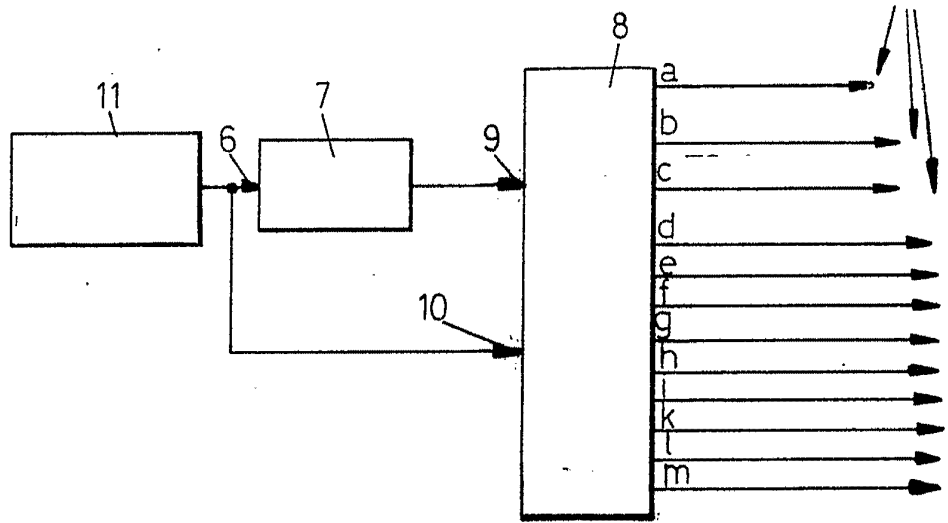
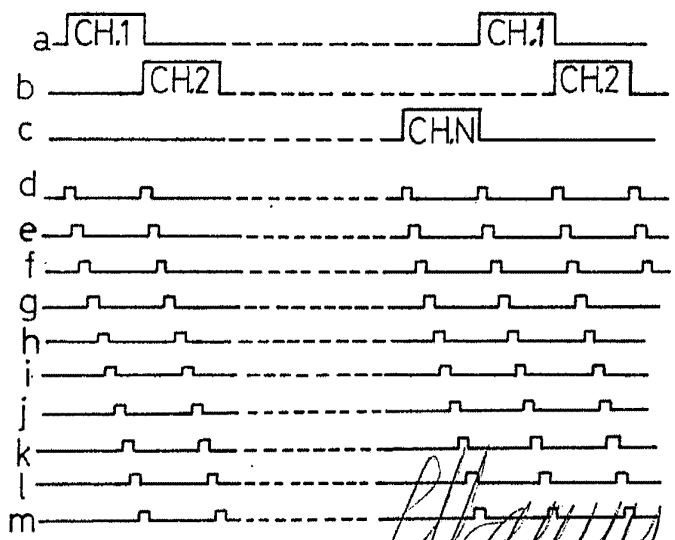


FIG. 3b

21 SET. 1973



[Handwritten signature]
 [Illegible printed text]