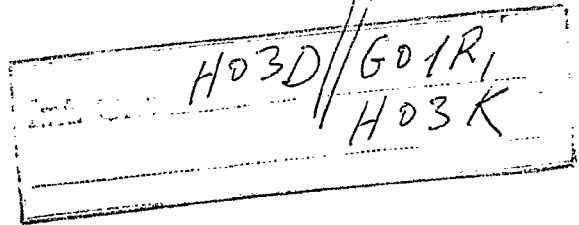


REF: "Digital Parallax Discriminator
System".

417339



No 417.339



MEMORIA DESCRIPTIVA

correspondiente a la solicitud de una

PATENTE DE INTRODUCCION

Solicitante: HOBROUGH LIMITED.

Residencia: 1509 West 7th Avenue, VANCOUVER 9,
British Columbia, Canadá.

Enunciado: SISTEMA DE DISCRIMINADOR DE PARALAJE.

TP.



417339

EXTRACTO DE LA DESCRIPCION

La presente Memoria describe un sistema que actúa sobre un par de señales de video utilizando un circuito digital para determinar la relación de fase entre las dos señales. El sistema está particularmente adaptado para determinar el paralaje entre las señales de video izquierda y derecha en un sistema impresor ortofotográfico del tipo descrito en la Memoria de Patente de los Estados Unidos copendiente nº 760.435 del 18 de Septiembre de 1968. Las señales de entrada de video izquierdas y derechas derivadas de los dispositivos de exploración estereofotográficos en esta Memoria de Patente, se aplican a unos nuevos circuitos de selección de banda de frecuencia y de convertidor video-digital que sirven para proporcionar señales binarias que corresponden a las bandas de frecuencia elegidas de las señales de entrada. Las señales de salida procedentes de los circuitos convertidores se aplican a una pluralidad de discriminadores de paralaje de tipo nuevo, conectados en paralelo, de modo que se obtenga una representación binaria de bits múltiples del paralaje que existe entre los pares de señales de entrada de video. Se dan detalles respecto al sistema general así como a los convertidores video-digital y a los discriminadores de paralaje digitales.

DESCRIPCION GENERAL DEL INVENTO

Según se indica en la Memoria de Patente copendiente mencionada más arriba, existe la necesidad de dispositivos de correlación de señales precisos para determinar el paralaje que existe entre un par de señales (llamadas señales de video izquierdas y derechas cuando se utilizan en el contexto de la correlación de señales estereofotográficas).



417339

5 ficas). Aunque existen actualmente varios sistemas y técnicas para determinar el paralaje, sería ventajoso disponer de un sistema que funcione sobre la base de un circuito digital. Por tanto, un objeto del invento consiste en proporcionar un sistema de correlación de señales mejorado que esté adaptado para ser utilizado en la determinación del paralaje entre un par de señales de video.

Otro objeto del invento consiste en proporcionar un convertidor de señales video-digital mejorado.

10 Otro objeto del invento consiste en proporcionar un sistema de discriminación de paralaje mejorado que utiliza una pluralidad de circuitos discriminadores de paralaje individuales y unos circuitos convertidores video-digital montados en un circuito paralelo para obtener en
15 notación binaria una señal de salida que representa la magnitud y el sentido del paralaje entre un par de señales de entrada de alta frecuencia.

De acuerdo con las enseñanzas del presente invento, las señales de entrada de video izquierda y derecha
20 se aplican a una pluralidad de circuitos de selección de banda de frecuencia y de convertidores video-digital que funcionan en paralelo para proporcionar una pluralidad de señales de salida que representan en notación binaria la dirección y la extensión del cambio que ocurre en las bandas
25 elegidas de cada una de las señales de entrada. Cada circuito de selección y de conversión incluye un filtro pasa bajo conectado en serie con un circuito de muestreo de señales a gran velocidad.

30 Las señales de salida procedentes de los circuitos de frecuencia y de conversión se aplican en paralelo



417339

a una pluralidad de circuitos discriminadores de paralaje digitales que sirven para multiplicar las señales demoradas y no demoradas procedentes de las varias bandas de los canales izquierdo y derecho. En un modo de realización del invento, un contador sumador-restador, acoplado con el circuito de multiplicación sirve para promediar las señales de salida durante un intervalo de tiempo elegido. El tiempo de muestreo y de promediado de cada una de las bandas es diferente y por tanto las señales de salida procedentes de los discriminadores de paralaje se describen aquí como estando aplicadas a un igualador de retardo de tiempo antes de la aplicación de la señal binaria paralela a un convertidor paralelo-serie. Las señales de salida procedentes del convertidor paralelo-serie se aplican a continuación a un integrador lateral, un acumulador Gestalt, una unidad separadora en serie, y finalmente a un convertidor digital-analógico para su aplicación al circuito de control de deflexión de uno de los dispositivos de fotoexploración para la reducción del paralaje.

Las ventajas y objetos del invento descritos más arriba así como otros podrán ser entendidos claramente leyendo la siguiente descripción tomada con referencia a los dibujos adjuntos.

La figura 1 es un diagrama en bloques generalizado de un modo de realización preferido del sistema general adaptado para recibir señales de entrada de video izquierda y derecha, para actuar en ellas utilizando técnicas digitales y a continuación para proporcionar señales de salida de control de deflexión con el fin de reducir el paralaje entre las señales de entrada de video izquierda y derecha;

417339

58 NOV



La figura 2 es un diagrama en bloques de los circuitos de selección de banda de frecuencia y de convertidor video-digital en el sistema de la figura 1, conjuntamente con los circuitos discriminadores de paralaje individuales que proporcionan las señales de "suma" o "resta" para la formación de una representación del paralaje bajo la forma de una señal binaria de varios bits;

La figura 3 es un diagrama de circuito de un modo de realización preferido del circuito de selección de frecuencia y del convertidor video-digital;

La figura 4 es un diagrama en bloques de un modo de realización preferido de un circuito discriminador de paralaje digital que tiene un contador sumador-restador en su porción de salida;

La figura 5 es un diagrama de formas de onda que representa las condiciones de señal típicas en los puntos representados por letras mayúsculas en las figuras 3 y 4;

La figura 6 es un diagrama en bloques de otro modo de realización de un circuito de salida del discriminador de paralaje de la figura 4 y que incluye un par de registros de desplazamiento y de circuitos de conmutación;

La figura 7 es un diagrama en bloques del integrador lateral representado en el sistema de la figura 1;

La figura 8 es un diagrama en bloques del acumulador Gestalt, que se representa en el sistema de la figura 1; y

La figura 9 es un diagrama en bloques del sistema para el tratamiento de las señales de salida procedentes del acumulador Gestalt de la figura 8 y que incluye un convertidor serie/serie conjuntamente con un amplificador inter



417339

medio en serie.

Examinando ahora los dibujos, y en particular la figura 1, se describirán los conceptos del sistema general. Según se describe en la Solicitud de Patente copendiente mencionada más arriba, el sistema del invento encuentra una aplicación particular en la técnica de los discriminadores de paralaje de video, en los cuales se obtienen unas señales de video izquierdas y derechas por medio de cámaras de exploración de televisión 10 y 11 que se enfocan en las fotografías 12 y 13 que constituyen un par estereoscópico. Un dispositivo de iluminación convencional 14 para fotografía estereoscópica sujeta las fotografías 12 y 13 para su exploración por las cámaras 10 y 11. Las cámaras 10 y 11 proporcionan las señales de salida de video izquierdas y derechas en sus circuitos de salida 16 y 17. Cada una de las señales de video está dividida efectivamente en una pluralidad de bandas de frecuencia, y cada banda es periódicamente muestreada y transformada en un valor binario por los circuitos de selección de banda y de conversión video-digital que se representan de manera general en 18. Tal y como se describe más detalladamente en la figura 3, los pares de señales de salida que representan el estado de las señales izquierda y derecha en una banda dada, son obtenidos por medio del circuito de salida 19 y son aplicados a los circuitos discriminadores de paralaje 20. Los circuitos discriminadores de paralaje 20 están conectados en paralelo (según se describe en lo que sigue con relación a la figura 2) de tal manera que una pluralidad de señales de salida en forma binaria se apliquen al igualador de retardo de tiempo 21. Este circuito compensa el hecho de que los circuitos del convertidor



417339

video-digital y los circuitos discriminadores de paralaje in
troducen diferentes retardos de la señal ya que cada uno es-
tá funcionando con una señal de entrada dentro de una banda
de frecuencias diferente.

5 Una vez que se ha determinado la dirección y
la magnitud del paralaje, el sistema utiliza un integrador
de señal lateral que recibe la información de paralaje bina-
ria en formato serie. De este modo, el convertidor paralelo/
serie 22 está conectado entre el circuito discriminador de
10 paralaje y el integrador de señal lateral 23. Las señales
de salida procedentes del integrador 23 se aplican a un acu-
mulador Gestalt 24 del tipo descrito en la Memoria copendien-
te mencionada más arriba. Las señales de salida procedentes
del acumulador Gestalt se aplican al amplificador intermedio
15 serie 25, son transformadas a continuación en forma analógi-
ca por el convertidor digital-analógico 26 y se aplican al
circuito de salida 27 unas señales de control de deflexión
analógica para una de las cámaras 10 u 11.

 Un generador de señal de base de tiempo 28 está
20 acoplado a las varias unidades del sistema de la figura 1, y
según se indica más adelante sirve para proporcionar una plu-
ralidad de señales de base de tiempo separadas diferentemen-
te (llamadas igualmente señales de reloj).

 Examinando ahora la figura 2, se proporciona
25 en ella una ilustración más detallada de un sistema en el
cual las señales de video izquierdas y derechas aplicadas a
los terminales de entrada 16 y 17 son divididas eficazmente
en cinco bandas de frecuencia con frecuencias centrales f_1 - f_5 ;
 f_5 es la frecuencia más elevada y f_1 es la frecuencia más
30 baja. A título de ilustración, se representa todo el espec-



417339

tro de video cubierto por los canales A, B, C, D y E, funcio
nando cada canal aproximadamente sobre una octava del espec
tro. Se observará que las señales de video izquierdas aplica
das al circuito de entrada 16 se aplican simultáneamente a
5 los filtros pasa bajo 50, 60, 70, 80 y 90 mientras que las
señales de video izquierdas se aplican a los filtros pasa-bajo
51, 61, 71, 81 y 91. Los detalles de los circuitos de filtro
pasa-bajo 50 y 51 se ilustran en la figura 3, en la cual se
ve que los transistores Q_1 , Q_2 y Q_3 conjuntamente con los com
10 ponentes pasivos indicados constituyen el filtro pasa-bajo
50. De manera idéntica, los transistores Q_{11} , Q_{12} y Q_{13} y
sus elementos pasivos indicados constituyen el filtro pasa-
bajo 51. Se utilizan grupos de circuitos similares para los
otros pares de filtros pasa-bajo activos, o si se desea pue
den utilizarse filtros pasa-bajo pasivos.
15

Según se ve en la figura 2, los circuitos de
salida 52 y 53 de los filtros pasa-bajo 50 y 51 están conec
tados a los circuitos de muestreo y de fijación indicados
generalmente por 54. Como se ve en la figura 3, el circuito
20 de muestreo y de fijación asociado con el filtro pasa-bajo
50 incluye un condensador C_4 conectado entre el emisor del
transistor Q_3 y el amplificador 54 que tiene su circuito de
salida 100 conectado a una fuente de suministro de -6 voltios
por las resistencias R_1 y R_2 . La resistencia R_3 conectada des
de la unión de las resistencias R_1 y R_2 a la entrada del am
25 plificador y a masa a través de la resistencia R_4 proporcio
na una realimentación desde la salida del amplificador hasta
la entrada del mismo. De este modo se provee el circuito com
parador de la resistencia de realimentación R_3 que es mucho
30 más elevada que la resistencia R_4 . Se observará que de este



417339

modo se proporciona un cierto grado de histéresis que elimina una respuesta errática al ruido cuando la señal de video cae a un nivel bajo. Esto evita también un cambio de estado del circuito de salida 100 durante los periodos de fijación.

5 Un circuito de diodo de fijación D_1 está conectado entre el condensador C_4 y la masa de la señal, así como a los terminales positivo y negativo de la fuente de suministro de energía a través de las resistencias R_5 y R_6 . La acción de fijación del circuito de puente de diodos está controlada por el transistor Q_{15} que tiene su emisor conectado a través del condensador C_5 y el diodo D_2 y su colector conectado a través del condensador C_6 y del diodo D_3 al puente de diodos. La base del transistor Q_{15} está conectada al terminal de impulsos de reloj "A" 57. Como se ve en las formas de onda de reloj "A" y "C" de la figura 5, los impulsos de reloj aplicados al transistor Q_{15} producen la interrupción periódica de la acción de fijación del puente de diodos sobre el condensador C_4 . De este modo, el condensador C_4 conjuntamente con la resistencia R_5 o la resistencia R_6 sirve para diferenciar periódicamente la señal de salida procedente del transistor Q_3 y dota así el circuito comparador de una señal de entrada indicativa de la dirección del cambio de la señal de entrada "A" durante el intervalo de muestreo.

15 Como se ve en la señal de salida "E" (figura 5) que procede del comparador 54, las señales procedentes del condensador C_4 sirven para controlar el nivel de salida del comparador de tal manera que la señal de salida "E" tenga un valor u otro y por tanto se obtiene una representación digital de la fase de la señal de video de entrada. En un sistema, la frecuencia de muestreo ha sido elegida para que

20

25

30

417339



sea aproximadamente igual a cuatro veces la frecuencia de video y por tanto la señal de video se muestrea cada 90° (figura 5).

Según se ve en la figura 3, un segundo circuito de conversión video-digital está constituido por el condensador C_{14} , el puente de diodos D_{10} , el amplificador 55, las resistencias R_{10} - R_{16} conjuntamente con el transistor de control Q_{15} conectado al diodo D_{10} del puente a través del condensador C_5 , del diodo D_{12} , del condensador C_6 , y del diodo D_7 . Según se ve en la figura 5, la señal de salida "F" procedente del amplificador 55 está en fase con la señal de salida procedente del amplificador 54 mientras las señales de video izquierda y derecha "A" y "B" están en fase. Para facilitar la ilustración, se ha representado la forma de onda "B" en líneas de puntos para indicar que la señal de video derecha está desfasada 90° con respecto a la señal izquierda. Las otras formas de onda en líneas de trazo interrumpido de la figura 5, que llevan una designación con el signo prima representan las condiciones de la señal en los puntos indicados en los circuitos de las figuras 3 y 4 donde existe un desfase de 90° .

Ya que los circuitos convertidores video-digital de la figura 3 proporcionan señales de salida binarias, se observará que el discriminador de paralaje 58 puede utilizar un circuito digital para realizar la función de discriminador de paralaje. Los detalles del discriminador de paralaje 58 se representan en la figura 4 en la cual los circuitos de salida 100 y 101 procedentes de los circuitos convertidores video-digital de la figura 3 sirven como circuitos de entrada para los flipflops de sincronización 102 y



417339

103. El terminal de impulsos de reloj 57 de la figura 3 está conectado, según puede verse, con los flip-flops de sincronización 102 y 103 de la figura 4, de modo que estos circuitos flop-flop reciben señales de impulsos de reloj a una frecuencia igual aproximadamente a cuatro veces la frecuencia central del canal particular de las señales de video de entrada. Según puede verse en la figura 5, los circuitos particulares representados son accionados por el borde posterior de las señales de impulsos de reloj. Los flip-flops de retardo 106 y 107 conectados a los flip-flops de sincronización 102 y 103 introducen un retardo de un impulso de reloj en las señales de entrada izquierda y derecha y por tanto, en el sistema particular ilustrado, el retardo de un impulso de reloj corresponde a un retardo de 90° de la señal de entrada de video.

Los flip-flops 106 y 107 están conectados respectivamente a las puertas NOR exclusivas 108 y 109. Los circuitos 110 y 111 conectan también respectivamente los flip-flops 102 y 103 con las puertas NOR exclusivas 109 y 108. De este modo estas puertas multiplican las señales demoradas y no demoradas procedentes de los canales izquierdo y derecho simétricamente y proporcionan señales de producto en sus circuitos de salida 112 y 113. El circuito 112 está conectado para constituir uno de los circuitos de entrada de la puerta NAND 115 así como de la puerta AND 116. De manera similar, el circuito 113 está conectado como segundo circuito de entrada para la puerta NAND 115 y como uno de los circuitos de entrada por la puerta AND de tres niveles 117. Estas puertas 115, 116 y 117 aseguran que las señales de entrada que aparecen en las señales 118 y 119 del conta-



417339

5 dor sumador/restador 120 no están simultáneamente en el es-
tado de "suma" y de "resta". El contador sumador-restador
120 es un contador binario de varias etapas que está bajo el
control de los impulsos de reloj "A" para el contaje. Las
señales de impulsos de reloj "B" aplicadas al terminal de
control 120 B a una frecuencia que corresponde a dieciseis
periodos de tiempo de reloj de los impulsos de reloj A con-
trollan la puesta a cero del contador. De este modo puede
observarse que el contador sumador/restador puede contar
10 hasta dieciseis impulsos entre los impulsos de puesta a ce-
ro.

Las puertas NAND 122 y 123 acopladas al contador
sumador/restador sirven para controlar los circuitos de sali-
da de contaje de suma y de resta 124 y 125. Se observará
15 que los circuitos 124 y 125 están conectados respectivamente
como uno de los circuitos de entrada a las puertas AND 116
y 117 y sirven para desactivar las puertas de entrada AND
116 y 117 cuando el contador ha realizado un recuento deter-
minado de antemano. De este modo, el estado de suma o el
20 estado de resta del circuito de salida se mantiene hasta el
final de un periodo de puesta a cero una vez que el conta-
dor ha sumado o ha restado hasta un valor predeterminado que
está determinado por la codificación de las puertas NAND 122
y 123. En un sistema particular se ha comprobado que ajus-
25 tando las puertas NAND 122 y 123 para obtener una señal de
salida de suma o de resta cada vez que el contador 120 ha
sumado seis impulsos o ha restado seis impulsos, constituye
un dispositivo que funciona satisfactoriamente. El contador
sumador/restador sirve como promediador contando en una di-
30 rección si la imagen izquierda está adelantada en el tiempo



417339

(en el sistema ilustrado particular) y en la otra dirección (es decir restando) si la imagen derecha está adelantada en el tiempo.

5 El circuito de muestreo y de fijación descrito más arriba de la figura 3 y el circuito discriminador de paralaje de la figura 4 están repetidos en paralelo de la manera ilustrada en la figura 2. De este modo, los circuitos de muestreo y de fijación 54, 64, 74, 84 y 94 corresponden cada uno a los que se representan en la figura 3, y los circuitos discriminadores de paralaje 58, 68, 78, 88 y 98 corresponden al circuito de la figura 4. Los circuitos de salida 124 y 125, 134 y 135, 144 y 145, 154 y 155, y 164 y 165 sirven como circuitos de entrada para el igualador de retardo de tiempo 140 que incluye los flip-flops 15 141, 151, 161, 171 y 181. Es importante observar que el circuito de muestreo y de fijación y los circuitos discriminadores paralelos 54 y 58 asociados con el canal de frecuencia más baja determinan el reglaje del flip-flop 141 que corresponde, según se indica, a la posición más elevada en el número binario de cinco bits que representa el error de paralaje total entre las señales de entrada de video izquierdas y derechas. Por tanto, existe efectivamente una ponderación no lineal de la señal de salida compuesta que representa el error de paralaje. Es decir que en razón del sistema binario de establecimiento de la señal de error de 20 paralaje, puede verse que la señal de error de paralaje está compuesta de una pluralidad de señales de función escalonada ponderadas de tipo binario que dependen de la frecuencia. De este modo las porciones de frecuencia inferiores de las señales de video de entrada tienen un efecto predo-

25

30



417339

minante sobre el circuito de corrección de paralaje. En un sistema, el igualador de retardo de tiempo utilizaba un registro de desplazamiento para cada canal distinto del canal de frecuencia más baja con el objeto de obtener el retardo deseado. Ya que el canal de frecuencia más baja controla la puesta a cero, se observará que no se necesita ningún retardo para éste.

Una palabra de corrección que es la suma algebraica ponderada de todas las cuentas sumadas y restadas en un instante dado se obtiene aplicando las cinco señales de "suma" al convertidor paralelo-serie para obtener una palabra serie en la cual el canal de frecuencia más baja proporciona el bit más significativo y el canal de frecuencia más alta proporciona el bit menos significativo, y utilizando de la misma manera las señales de "resta" para obtener una segunda palabra serie. Estas palabras serie se aplican desde el convertidor paralelo-serie a la frecuencia de base de tiempo del bit menos significativo. Por tanto mientras que el bit menos significativo puede cambiar en cada palabra, los bits procedentes de los canales de frecuencia más baja pueden solamente cambiar bajo el control de la longitud mínima del impulso de corrección generado por el generador de impulsos de reloj. Para conseguir una corrección compuesta, las palabras de "resta" serie se substraen de las palabras de "suma" serie y el resultado es introducido en el integrador lateral 23.

El integrador lateral 23 es una memoria circulante a alta velocidad con un sumador aritmético serie como dispositivo de entrada. Por consiguiente, funciona como integrador. La figura 7 representa un modo de realización



417339

de un integrador lateral que incluye un sumador serie 300 que aplica la palabra de corrección compuesta a la entrada 301 a la información ya situada en la memoria, y un registro de desplazamiento de memoria circulante que tiene un periodo igual a la frecuencia de líneas del sistema de exploración. Includido en este circuito se halla el registro de desplazamiento de almacenado 302 y el registro de desplazamiento de compensación 303. Includidos igualmente en el circuito pero no representados, se hallan inhibidores de rebose para impedir la integración de una palabra de más de ocho bits cuando se presenta un paralaje continuo.

Para que se pueda entender más claramente el funcionamiento del integrador lateral, puede examinarse el funcionamiento del sistema de acuerdo con la figura 1. Después de que una línea de las imágenes ha sido explorada por los tubos vidicon, los sistemas de detección de paralaje y de generación de corrección suministrar la información de corrección al integrador lateral para esta línea. Con los retardos y la atenuación adecuados, se aplican las correcciones al sistema de deflexión X durante la exploración de la siguiente línea adyacente por medio del convertidor digital-analógico y de los amplificadores de deflexión. La exploración de la siguiente línea adyacente asegura una corrección suplementaria que alcanza la entrada del integrador lateral al mismo tiempo que la línea anterior de correcciones que había circulado alrededor del circuito de integrador lateral. De este modo, la corrección de la segunda línea (bien aditiva o bien substractiva) se añade a las correcciones existentes en el circuito del integrador lateral. Este proceso continúa y proporciona una capacidad de corrección rápida en un procedimiento que funciona línea por línea. La salida del integrador lateral



417339

lateral se transfiere igualmente al acumulador Gestalt.

El acumulador Gestalt 24 está construido de la misma manera que el integrador lateral 23. La figura 8 representa un acumulador de este tipo. El acumulador Gestalt está diseñado para almacenar una octava parte de las palabras de corrección generadas por el integrador lateral. Las correcciones se almacenan en pequeñas zonas en lugar de almacenarse en segmentos de línea como en el integrador lateral. Por consiguiente la conversión paralela-serie en el acumulador Gestalt sirve para extraer cada octava palabra de cada línea de palabras procedente del integrador lateral mientras avanza una palabra por cada línea. En el modo de realización representado en la figura 8, el acumulador Gestalt funciona en serie con un periodo cíclico de $1/60$ segundo e incluye un sumador serie 310, una línea de retardo 311, un registro de desplazamiento de compensación 312, con unos terminales de entrada y de salida 313 y 314.

En la figura 9, se representa el circuito que sirve para tratar la información procedente del acumulador Gestalt y que tiene un tiempo cíclico de $1/16$ segundo, con el objeto de obtener la información de salida para un canal de corrección de 64 microsegundos en el sumador paralelo. Una palabra procedente del acumulador Gestalt penetra en un registro universal 320 por una entrada paralela a partir de un convertidor serie-paralelo 321. La palabra circula inmediatamente a través de un circuito serie que incluye el registro universal 320 y un registro de desplazamiento de almacenado 322. Esta palabra permanece en el circuito durante ocho ciclos. Por consiguiente, la palabra de entrada es desplazada del registro universal en serie por lo menos ocho

417339



veces, antes de que una nueva palabra pueda entrar en éste.

El registro de desplazamiento de almacenado 302 sincroniza el ciclo de extracción, y la salida de las palabras se hace a una frecuencia proporcionada con la circulación de datos procedente del integrador lateral. Después de la conversión serie/paralelo, las palabras se añaden a la salida de palabras procedente del integrador lateral y las sumas se transforman en tensiones analógicas que pueden ser utilizadas por el sistema de deflexión de exploración.

Tal y como se ha descrito más arriba, la frecuencia a la cual las varias bandas de las señales de video son muestreadas viene determinada por la frecuencia de la banda con la cual están ajustadas las señales de impulsos de reloj. El generador de señales de base de tiempo puede ser uno cualquiera de un cierto número de generadores bien conocidos en la técnica y por tanto se representa esquemáticamente en la figura 2 bajo la forma del generador de señal 150. El hilo 153 representa una pluralidad de líneas de señales de base de tiempo para aplicar las señales a cada uno de los circuitos discriminadores de paralaje y a los circuitos de muestreo y de fijación.

Aunque los detalles de los circuitos particulares puedan variar de acuerdo con cada sistema, en uno de ellos, los parámetros de base de tiempo y de sincronización han sido establecidos de acuerdo con la frecuencia de líneas de la Televisión de los Estados Unidos (es decir 15,75 kHz). Esto corresponde a un periodo de línea de 63,5 microsegundos. En un sistema, la frecuencia de reloj básica para el canal de frecuencia más elevada (es decir el canal A en la figura 2) era por tanto de 16,128 MHz, y las frecuencias de los demás



417339

canales eran las que se representan en la Tabla que sigue.

La Tabla que sigue representa también los valores de los condensadores C_1 , C_2 , C_3 y C_4 de los circuitos de muestreo y de fijación de la figura 3.

Canal	Centro aproximado, f MHz	A Reloj MHz	B Reloj MHz	C_1 y C_2	C_3	C_4
				P_1	P_1	P_1
A	4	16.128	1.008	20	30	47
B	2	8.064	1.504	40	60	100
C	1	4.032	0,252	80	120	180
D	0,5	2.016	0,126	160	240	390
E	0,25	1.008	0,063	330	490	820

Las resistencias R_1 , R_2 , R_3 y R_4 tenían valores de 220, 3.000, 6.000 y 100 ohmios respectivamente.

La figura 6 es un diagrama en bloques de otro modo de realización de la porción de salida de señal preferida del discriminador de paralaje. Las puertas 108 y 109 así como el circuito situado antes de ellas corresponden a las puertas identificadas por los mismos números de referencia en la figura 4. Sin embargo, en la disposición de la figura 6, las puertas AND de dos niveles 216 y 217 están conectadas a las puertas 108, 109 y 115. Las señales de "resta" procedentes de la puerta 217 se aplican al registro de desplazamiento de ocho bits 240 que tiene cada una de sus etapas conectada a la puerta AND 241 de modo que se obtenga una señal de salida a partir de la puerta 241 solamente después de aplicar ocho señales de "resta" en una secuencia continua al registro de desplazamiento 240. El circuito de salida de la puerta 241 está conectado al segundo registro



417339

de desplazamiento de ocho bits 242 que tiene cada una de sus etapas conectadas a la puerta OR 243. Se este modo en cuenta se han aplicado ocho señales de resta consecutivas al registro de desplazamiento 240, una señal de resta permanente en el circuito de salida 244 durante ocho intervalos de tiempo de impulsos de reloj.

Los registros de desplazamiento 250 y 252, conjuntamente con las puertas 251 y 253 funcionan de manera similar con las señales de suma procedentes de la puerta 216 para proporcionar una señal de corrección de "suma" al circuito de salida 254.

Aunque el invento haya sido descrito con referencia a un modo de realización preferido, se observará que varios cambios pueden realizarse sin alejarse de los conceptos del invento. Por ejemplo, la frecuencia de muestreo en este modo de realización particular representado era de cuatro por cada ciclo de señal de video tratada y se utilizaba un retardo de 90° por medio del grupo único de flip-flops de retardo 106 y 107. En otro sistema, utilizando los mismos conceptos básicos descritos aquí, la frecuencia de impulsos de reloj era igual a ocho veces la frecuencia central de la señal de video tratada y por tanto la señal de video se muestreaba cada 45° . En este sistema se utilizó un grupo suplementario de flip-flops de retardo, conectándose cada uno de ellos en un circuito serie entre los flip-flops 106 y 107 y las puertas 108 y 109. De este modo el retardo introducido por cada flip-flop corresponde a un retardo de 45° multiplicándose las señales no demoradas izquierda y derecha por las señales demoradas 90° .

Se ha comprobado que utilizando las técnicas

417339



descritas aquí, el circuito puede ser ensamblado utilizando numerosos componentes de circuitos lógicos fácilmente obtenibles en el mercado. Esto permite una conexión fácil con componentes suplementarios de circuitos digitales y permite
5 obtener las ventajas y la seguridad de los circuitos lógicos digitales. De este modo pueden eliminarse las líneas de retardo analógicas en el resto del sistema descrito en la Memoria copendiente mencionada más arriba así como la necesidad de utilizar filtros pasa-alto para cada canal y se
10 eliminan los inconvenientes producidos por las constantes de tiempo asociadas.

En resumen: La Patente de Introducción que se solicita deberá recaer sobre las siguientes

REIVINDICACIONES

15 1. Sistema de discriminador de paralaje que incluye en combinación: un dispositivo de circuito de selección de frecuencia y de muestreo de señales que tiene unos primero y segundo circuitos de entrada de señal para recibir unas primera y segunda señales de video y que sirve para proporcionar una pluralidad de pares de señales de salida, incluyendo cada uno de dichos pares de señales una señal que
20 corresponde a una banda de frecuencia elegida de la primera señal de video y una señal que responde a la misma banda de frecuencia de la segunda señal de video; una pluralidad de circuitos discriminadores digitales de paralaje conectados
25 en un circuito paralelo los unos con los otros, estando cada circuito discriminador conectado a dicho circuito de selección para recibir un par diferente de dichas señales de salida, proporcionando cada uno de dichos circuitos discriminadores unas señales de salida que representan la relación
30

pe



417339

de fase entre las dos señales de entrada que se le aplican;
y un dispositivo de circuito de retardo de señal que incluye
una pluralidad de dispositivos de circuitos de retardo
binario ponderados, conectados cada uno a uno de dichos
5 circuitos discriminadores, estando los dispositivos de cir-
cuito de retardo de orden más elevado y de orden más bajo
conectados respectivamente a los circuitos de paralaje que
reciben las señales que corresponden a las bandas de fre-
cuencia más baja y más elevada elegidas y muestreadas por di-
10 cho dispositivo de circuito de selección y de muestreo.

2. Sistema según la reivindicación 1, caracte-
rizado porque dicho dispositivo de circuito de selección y
de muestreo incluye una pluralidad de circuitos de muestreo
de señales que tienen cada uno unos primeros y segundos cir-
15 cuitos de salida de señal de dos niveles y que incluyen cada
uno unos medios para muestrear periódicamente las primera y
segunda señales de entrada y para ajustar los niveles de sus
circuitos de salida de acuerdo con la pendiente de las formas
de onda de señal de la banda elegida de las primera y segun-
20 da señales de entrada en el momento del muestreo, ajustándo-
se el nivel de salida de cada uno de dichos circuitos de sa-
lida de los niveles en un nivel cuando la señal de entrada
asociada tiene una amplitud que aumenta, y en otro nivel cuan-
do la forma de onda de la señal tiene una amplitud que dis-
25 minuye en el momento del muestreo.

3. Sistema según la reivindicación 1, caracte-
rizado porque cada uno de dichos circuitos discriminadores
incluye un dispositivo de retardo de señales para almacenar
durante un tiempo predeterminado las señales recibidas a par-
30 tir de dichos dispositivos de circuito de selección y de



417339

muestreo, y un dispositivo de circuito que sirve para multiplicar entre sí las señales retardadas y no retardadas procedentes de cada par de señales recibidas a partir de dicho dispositivo de circuito de selección.

5 4. Sistema según la reivindicación 3, caracterizado porque dicho dispositivo de retardo de señales de dichos circuitos discriminadores incluye unos primero y segundo circuitos biestables conectados para recibir una señal diferente del par de dichas señales de salida procedentes de dichos dispositivos de circuitos de selección y de muestreo.

10 5. Sistema según la reivindicación 3, caracterizado porque dicho dispositivo de circuito que sirve para multiplicar entre sí las señales incluye unos primero y segundo circuitos de conmutación de señal de dos niveles que tienen cada uno unos circuitos de entrada conectados para recibir una señal retardada y una señal no retardada que corresponden respectivamente a la primera y a la segunda señal procedentes del dispositivo de circuito de selección.

15 6. Sistema según la reivindicación 5, caracterizado porque dichos circuitos de conmutación son puertas NOR exclusivas.

20 7. Sistema según la reivindicación 2, caracterizado porque incluye una pluralidad de contadores bidireccionales, que están conectados cada uno entre uno de dichos circuitos discriminadores y el dispositivo de circuito de retardo de señales asociado sirviendo dichos contadores bidireccionales para sumar cuando una de las dos señales muestreadas adelanta respecto a la otra y para restar cuando dicha señal muestreada retarda respecto a la otra.

- 23 -
417339



8. Se reivindica por último como objeto sobre el que ha de recaer la Patente de Introducción que se solicita: SISTEMA DE DISCRIMINADOR DE PARALAJE.

Todo conforme queda descrito y reivindicado en la presente memoria descriptiva que consta de veintitres páginas mecanografiadas y dibujos que se acompañan.

Madrid, 27 julio 1.973
BERNARDO UNGRIA
p.p.

27

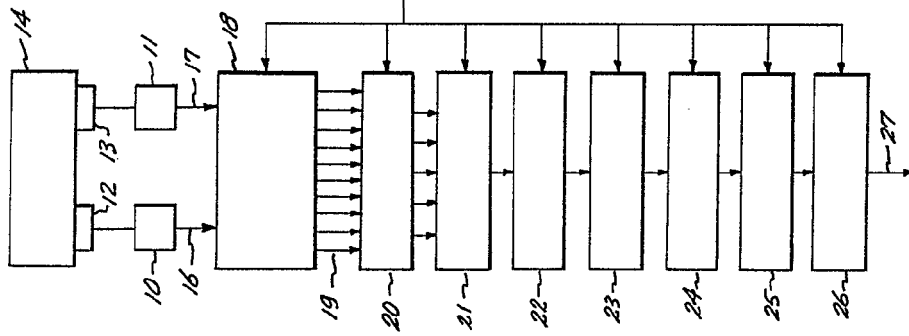


Fig. 1.

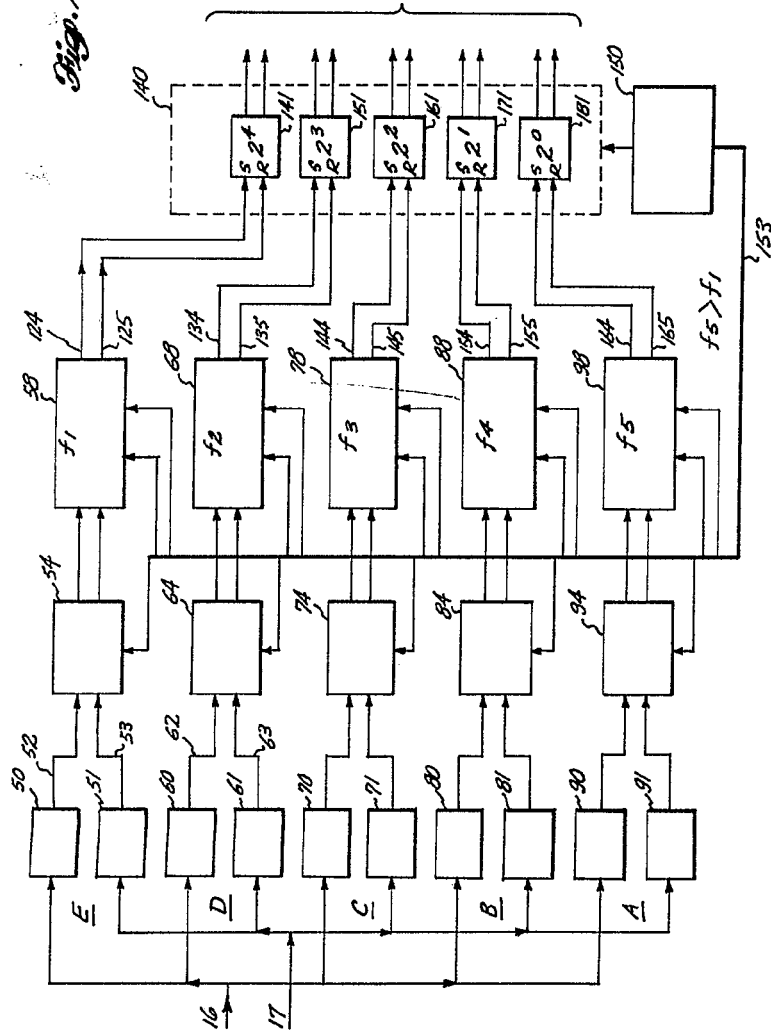


Fig. 2.

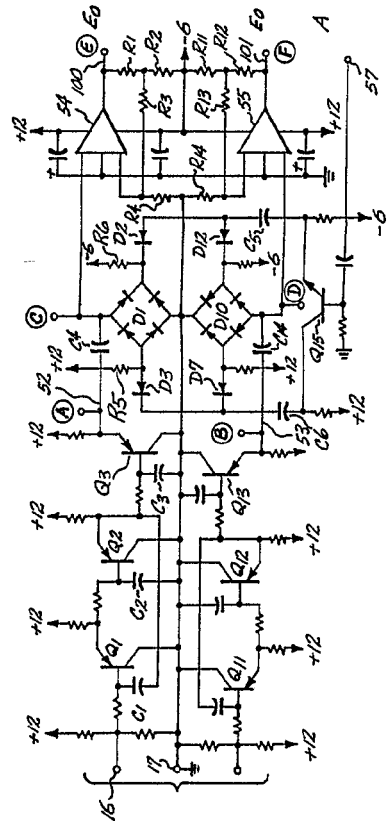


Fig. 3.

ESCALA VARIABLE
 Madrid, 27 de julio de 1973
 BERNARDO UNGRIA
 P.p.

417370

HOBROUGH LIMITED

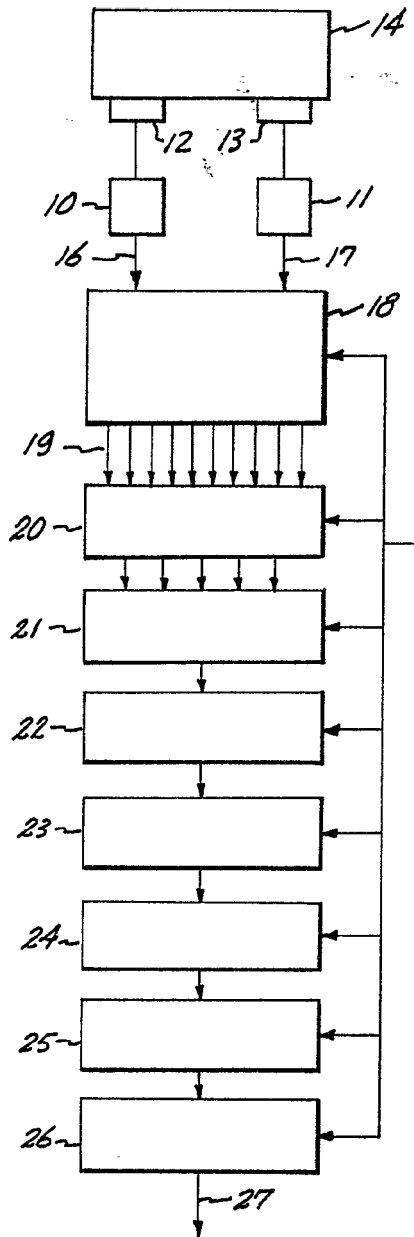


Fig. 1.

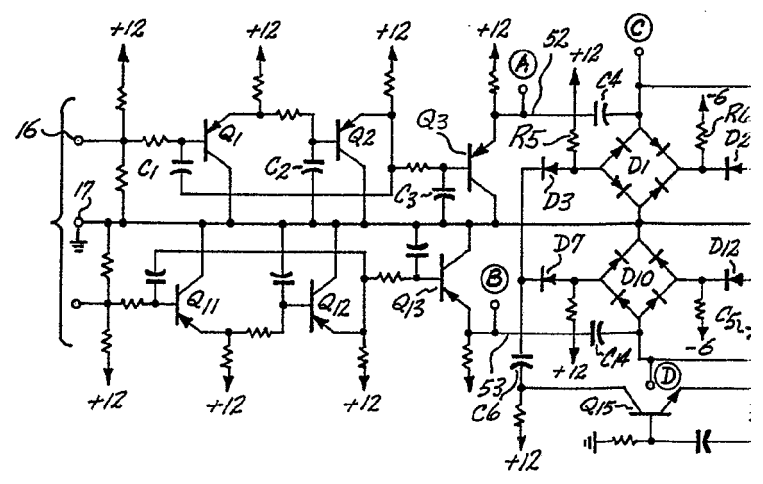
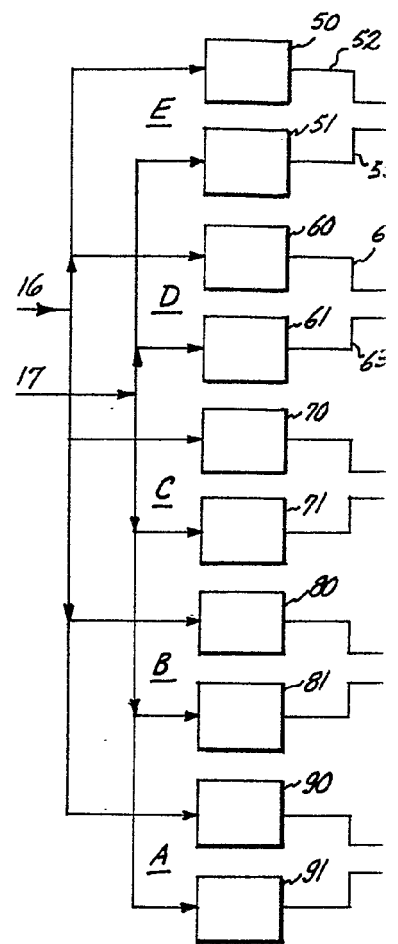


Fig. 3.

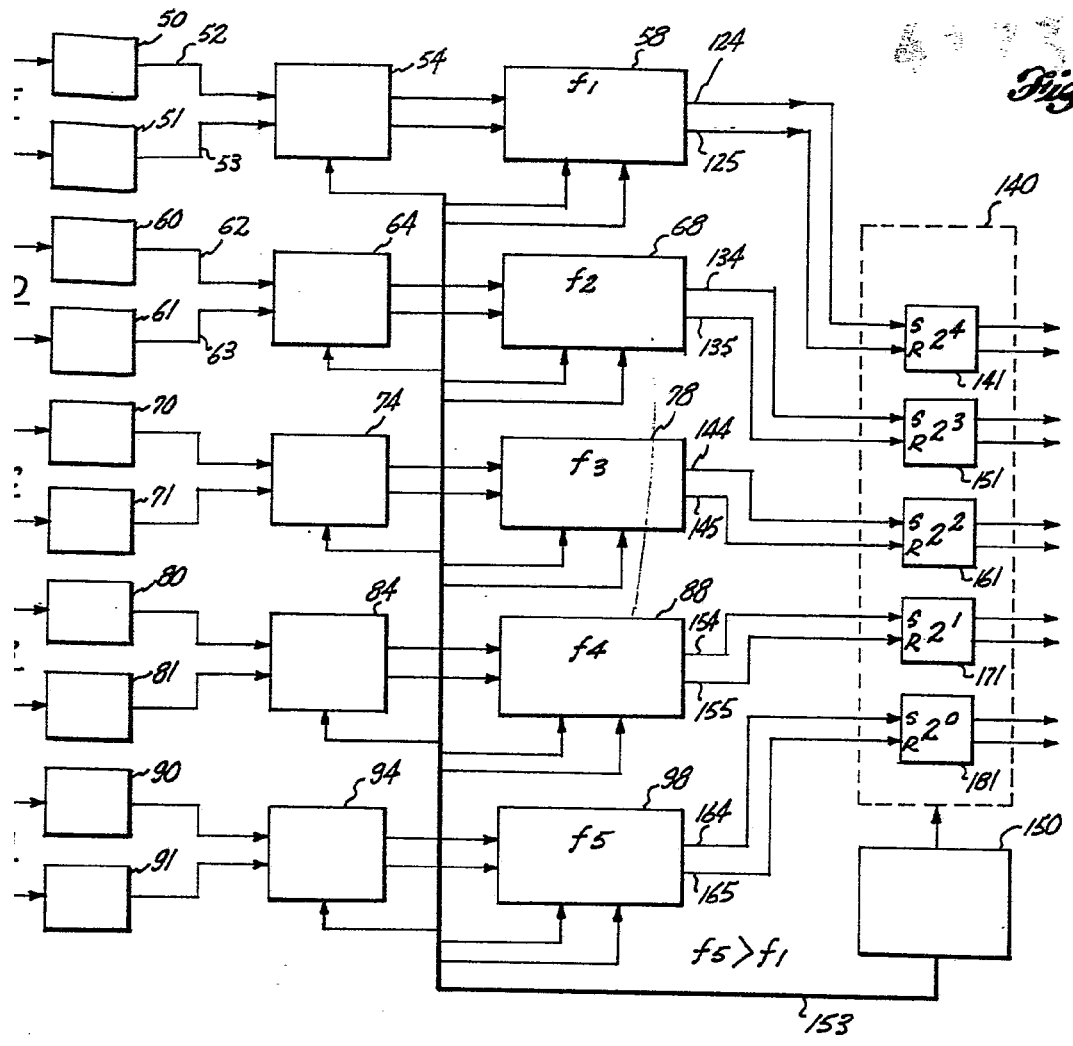
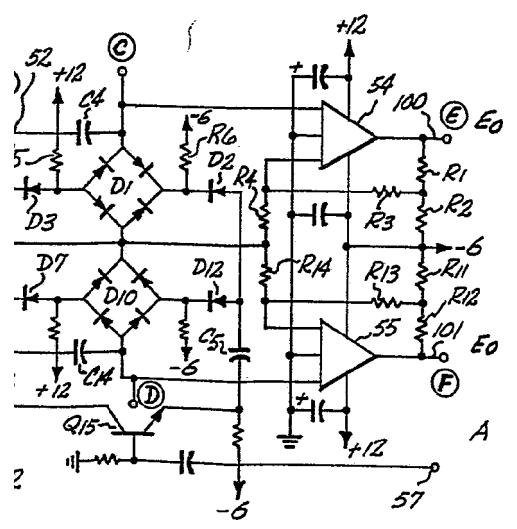


Fig. 3.



3.

ESCALA VARIABLE
 Madrid, 27 de julio de 1973
 BERNARDO UNGRIA
 P.P.



417339

417339

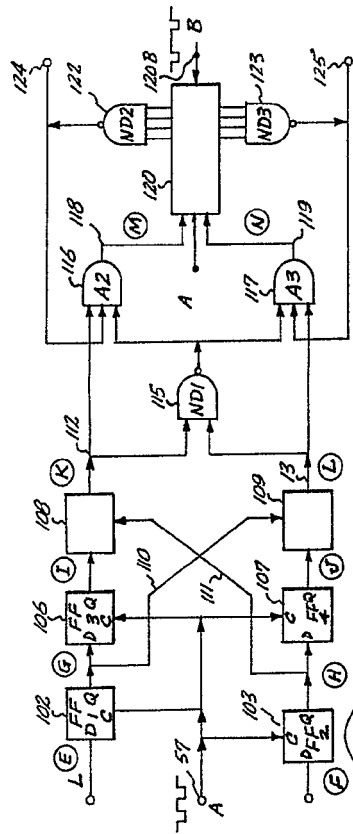


Fig. 5.

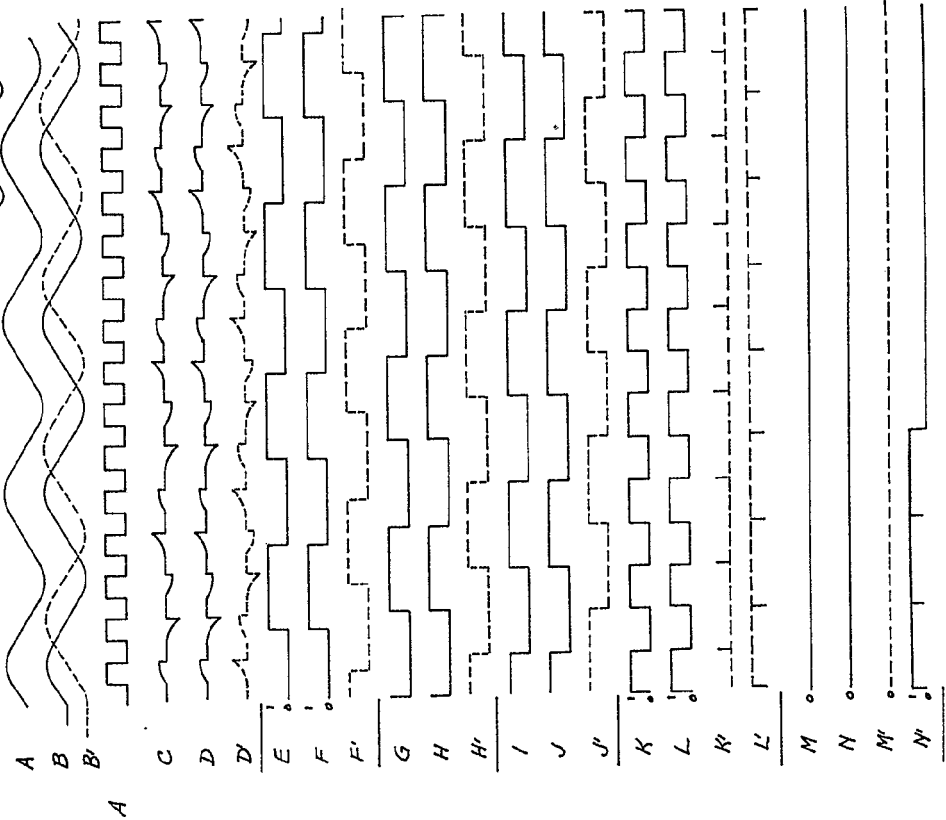


Fig. 4.

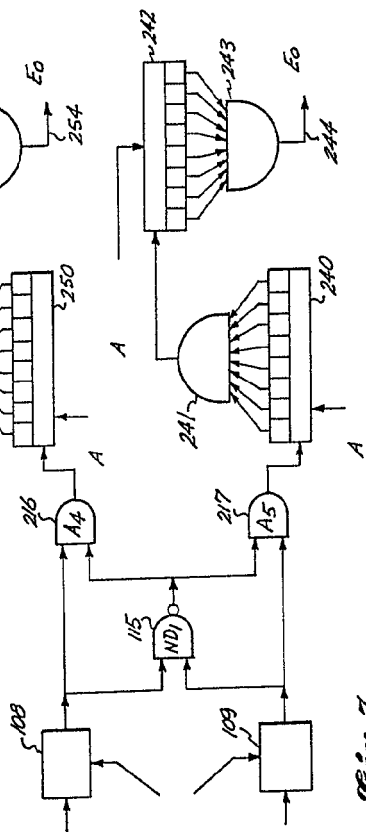


Fig. 6.

Fig. 7.

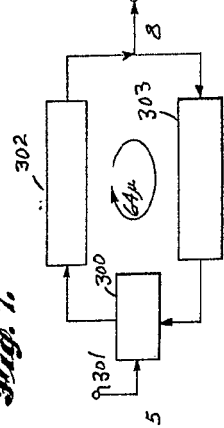


Fig. 8.

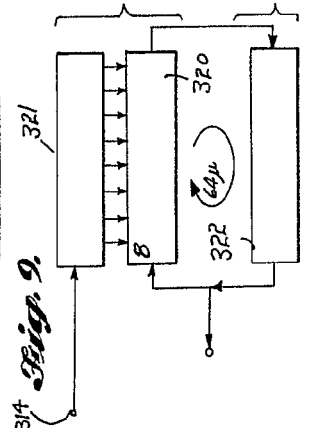


Fig. 9.

ESCALA VARIABLE
 Madrid, 27 de julio de 1973
 BERNARDO UNGRIA
 P. P.

417339

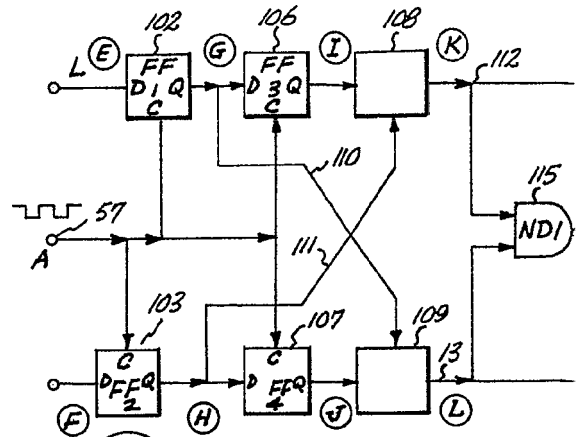


Fig. 5.

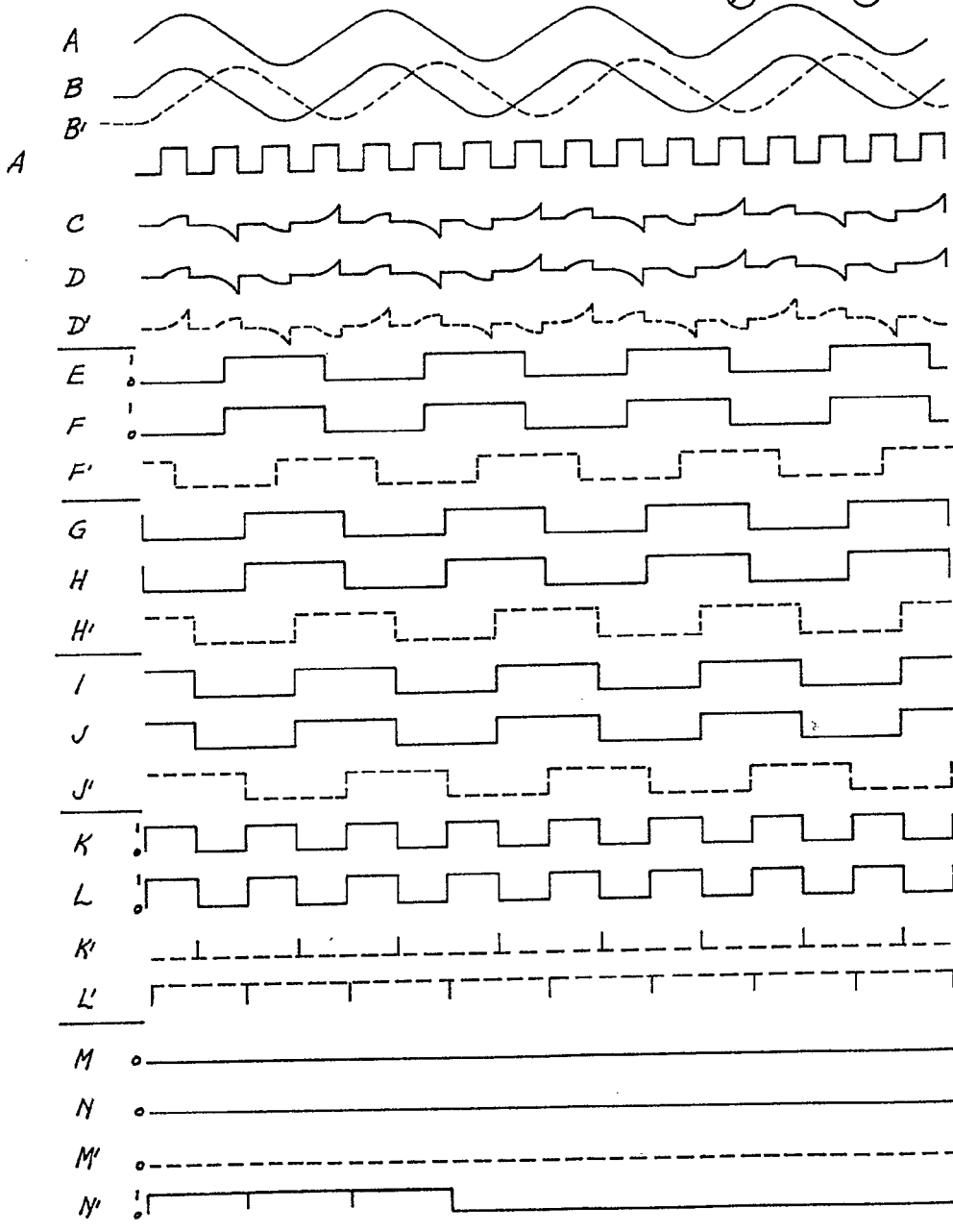


Fig. 6.

417339

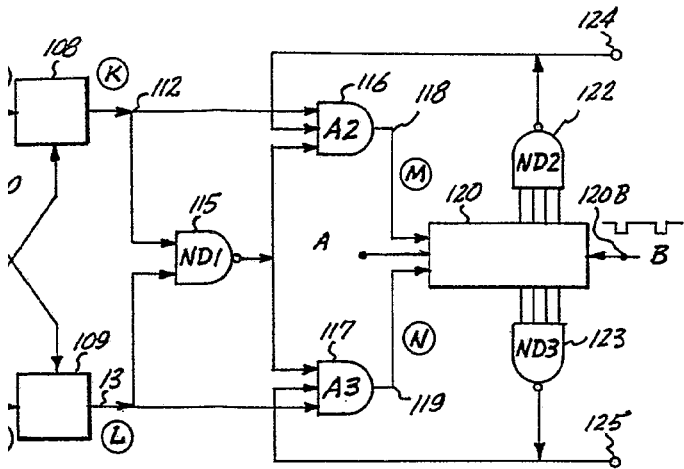


Fig. 4.

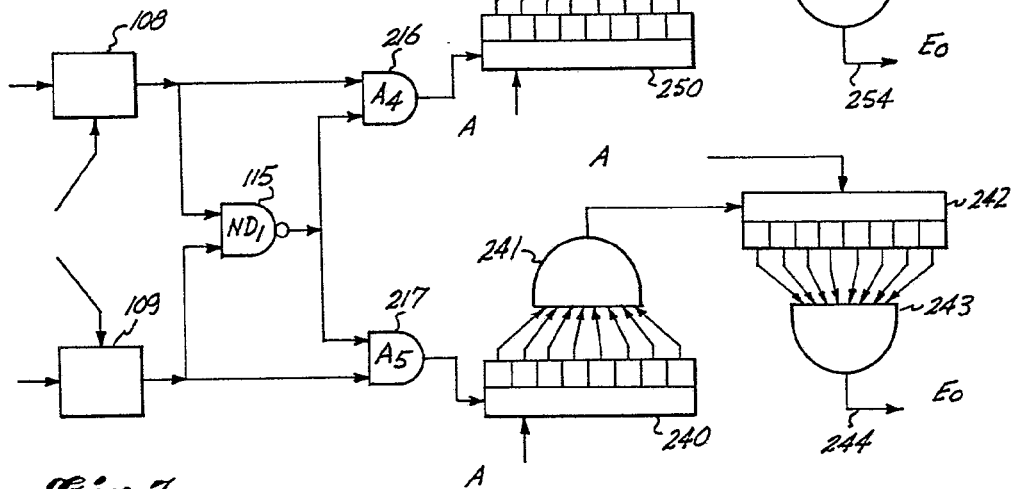


Fig. 7.

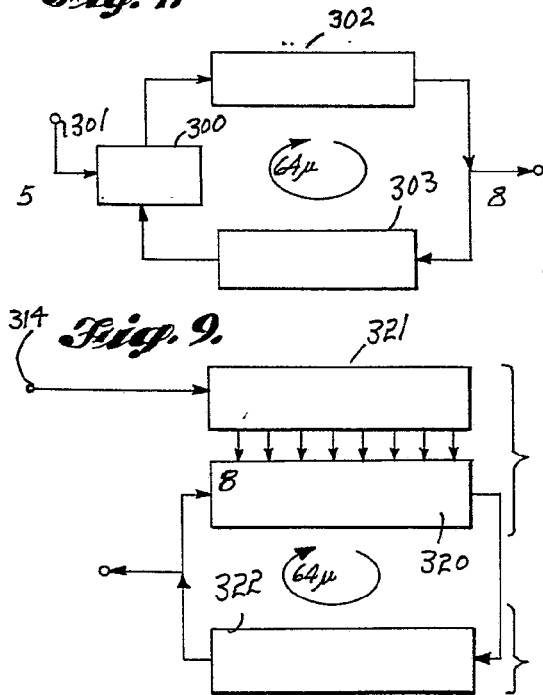


Fig. 9.

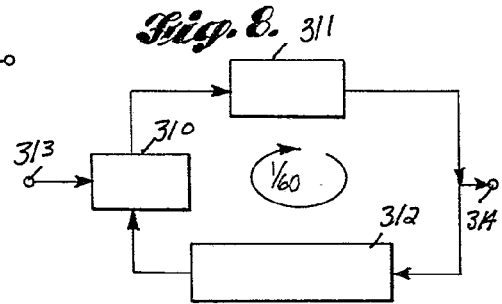


Fig. 8.

ESCALA VARIABLE
Madrid, 27 de julio de 1973

BERNARDO UNGRIA
p.p.