

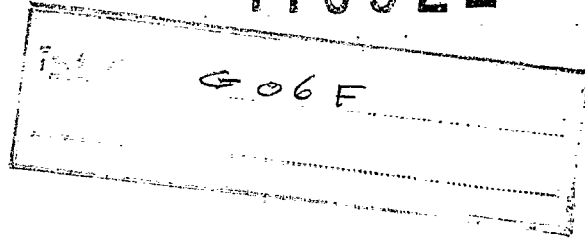
29 OCT. 1970



PATENTE DE INVENCION

779A.

416922



# Memoria Descriptiva

sobre:

Perfeccionamientos en calculadoras  
electrónicas.

=====

*Solicitante:* Ing. G.OLIVETTI & C., S.p.A., entidad italiana, resi-  
dente en: Via G.Jervis 77, 10013, Ivrea, Italia.

=====

El presente invento se refiere a una calen-  
tadora electrónica de mesa de despacho con circuito  
lógico MOS, que comprende un dispositivo de entrada,  
un dispositivo de salida, y una unidad lógica adapta-  
da para realizar las diversas operaciones de la máqui  
5.



na, encontrándose la unidad lógica por lo menos en dos bloquitos de circuito MOS.

5. Las calculadoras electrónicas conocidas están provistas generalmente de circuitos lógicos que comprenden componentes separados y componentes de circuito integrado. Comprende almacenes estáticos, por ejemplo almacenes de núcleos, ó almacenes dinámicos, por ejemplo almacenes de línea de retardo, que hacen que la construcción de la máquina sea relativamente costosa y su funcionamiento delicado.

10. También se han propuesto ya calculadoras electrónicas donde los circuitos lógicos se obtienen por integración a gran escala según los circuitos lógicos MOS, consiguiéndose de éste modo una gran miniaturización de la máquina y la posibilidad de producción en cadena con un empleo mínimo de mano de obra.

15. Los circuitos MOS se distribuyen en general en uno ó más bloquitos controlados por un circuito temporizador que resulta relativamente complicado.

20. Además, las calculadoras conocidas comprenden una memoria de lectura solamente (ROM) donde las microinstrucciones se registran y que se conecta a la unidad calculadora por medio de una pluralidad de canales para entrada en el almacén y salida del almacén. Por lo tanto, aún las calculadoras electrónicas que emplean circuitos MOS son todavía relativamente complicadas.

25. Un objeto del invento consiste en producir una calculadora electrónica provista de un sistema de temporización muy simple y eficaz para los bloquitos de los circuitos MOS.

30. Según el presente invento, se ofrece una calculadora electrónica de mesa de despacho con circuito lógico MOS, que comprende un dispositivo de entrada, un dispositivo de salida,

416922



- 3 -

5. y una unidad lógica adaptada para realizar las diversas operaciones de la máquina, situándose la unidad lógica por lo menos en dos bloquitos de circuito MOS, cada uno de los cuales está provisto de su propio circuito de temporización adaptado para generar señales de temporización mutuamente coordinadas, interconectándose entre sí los circuitos de temporización.

10. Un objeto secundario del invento consiste en producir una calculadora electrónica provista de una memoria MOS para almacenar las microinstrucciones, que se conecta a una unidad calculadora y una unidad de control, de una manera simple y de forma que se obtenga el máximo de las ventajas del sistema lógico dinámico de los circuitos MOS.

15. Esto se consigue en una calculadora según el invento que comprende además una memoria MOS para almacenar las microinstrucciones que gobiernan las diversas funciones, una unidad calculadora y una unidad de control adaptadas para permitir la elección de las microinstrucciones desde la memoria ROM mediante acceso localizado con el fin de suministrar una secuencia de microinstrucciones a la unidad calculadora, teniendo lugar el acceso de la localización y la salida de las microinstrucciones a través de una sola conexión entre la memoria ROM y la unidad de control.

20. De preferencia, la unidad lógica comprende contadores dinámicos para contar cíclicamente desde 0 hasta un número predeterminado como consecuencia de una microinstrucción en la memoria ROM, y medios de comparación controlados por los contadores para producir la entrada de números en la unidad calculadora por medio del dispositivo de entrada según el orden decimal preestablecido y en un instante predeterminado de la operación lógica.

25.  
30.



A continuación se expone una descripción de una modalidad de preferencia del invento, a título de ejemplo solamente, tomando como referencia los dibujos adjuntos, en los que:

- 5. La figura 1 es un esquema de conjunto de una calculadora electrónica que incorpora los principios del invento.  
La figura 2 es un diagrama de los bloquitos de circuito MOS de la unidad lógica de la calculadora.  
La figura 3 es un esquema detallado del circuito de temporización de la calculadora.
- 10. La figura 4 es un esquema de la temporización básica de la calculadora.  
La figura 5 es un esquema de la temporización de los registros de la calculadora.
- 15. La figura 6 es un esquema detallado de otro circuito de temporización de la calculadora.  
La figura 7 es un esquema del circuito de entrada y de salida de la memoria ROM.  
Las figuras 8, 8a, y 8b son esquemas detallados de la unidad de control de la calculadora.
- 20. La figura 9 es un esquema de la sumadora de la calculadora.  
La figura 10 es un esquema detallado de dos registros y el circuito de control correspondiente de la calculadora.
- 25. La figura 11 es un esquema de un comparador para los registros de la calculadora.  
La figura 12 es un esquema de un detalle de la calculadora, y  
La figura 13 es un esquema de otros dos comparadores para el registro decimal de la calculadora.
- 30.



- La calculadora electrónica que incorpora los principios del invento comprende esencialmente un dispositivo de entrada constituido por un teclado 20 (figura 1) que permite la introducción de datos y las instrucciones relativas a los datos; Una unidad lógica 21 que permite almacenar los datos proporcionados por el teclado y que se ejecuten las instrucciones previstas por el teclado, y un dispositivo de salida constituido por un aparato impresor 22 que recibe las órdenes del conjunto electrónico é imprime los resultados.
- 5.
10. La unidad lógica 21 está compuesta por un solo circuito impreso donde se montan tres bloquitos de circuitos MOS 23, 24 y 25. El bloquecito 23 (figura 2) constituye la unidad de programa y comprende esencialmente una memoria ROM 26 donde se registran las microinstrucciones de la máquina. El bloquecito 24 constituye la unidad aritmética y contiene esencialmente cuatro registros A, M, R y T1 y la unidad calculadora S. Además comprende las dos células extremas de un registro T2, cuyas otras dos células se sitúan en el bloquecito 23. El bloquecito 25 constituye la unidad de control é interfase con la
- 15.
20. entrada y la salida y contiene esencialmente un circuito de entrada 27 que tiene una memoria tampón 28 donde se introducen los datos del teclado 20 (figura 1) y se almacenan, un almacén de coma decimal 29 (figura 2) para almacenar el número de decimales, un circuito de salida 31 y una unidad de control 32 que
- 25.
30. comprende un registro de localización 33 para suministrar las localizaciones ó direcciones a la memoria ROM 26, y un registro de microinstrucciones 34 que almacena las microinstrucciones. Dichas microinstrucciones, debidamente descodificadas por un descodificador 35, ordenan las operaciones de los circuitos del bloquecito 25. La unidad lógica 21 (figura 1) comprende

416922



5. además un oscilador 36, un circuito automático de reposición o puesta a cero 37, un circuito de orden de impresión 38 y un circuito 39 que ordena el retorno de la cabeza impresora. Las localizaciones se forman en el registro 33 de la unidad de control 32 bien automáticamente mediante selección progresiva, ó sea añadiendo en + 1 al código del uno anterior, ó se toman del teclado 20 (figura 1) ó se toman de la propia memoria ROM 26 (figura 2) por medio de los llamados saltos.
10. Las microinstrucciones se almacenan también en un registro 34' similar al registro 34 y se incluyen en el bloquecito 24. El registro 34' se asocia con un descodificador correspondiente 35' que ordena las diversas operaciones de los circuitos del bloquecito 24. La localización está formada por diez bitios en código binario, que se expresa en código decimal, mientras que la microinstrucción está compuesta por ocho bitios traducidos a código hexadecimal.
15. La calculadora electrónica puede funcionar algebraicamente tanto con una coma flotante como con una coma fija. Con una coma flotante, funciona é imprime todos los decimales anotados, mientras que el resultado se imprime con el número de los decimales previamente elegidos. Con una coma fija, funciona é imprime solamente el número de decimales previamente elegido en el teclado 20 (figura 1) y variable de cero a siete.
20. Con éste fin, se habilita en el teclado 20 una pequeña rueda que tiene diez posiciones, cuyas primeras ocho posiciones sirven para elegir previamente los decimales y las últimas para elegir las dos condiciones que se llamarán "dos rojo" y "tres rojo", respectivamente, y para ordenar el descartar dos y tres dígitos, respectivamente. Con una coma flotante, el número de decimales previamente elegido puede varias continuamente, mien
- 25.
- 30.

416-22



5. tras que con una coma fija puede variar tan solo haciendo funcionar la clave normal de reposición opuesta a cero, puesto que con la primera anotación siguiente a la reposición, el número de decimales que se elige previamente se almacena en el registro 29 (figura 2).
10. Cada uno de los cinco registros A, M, R, T1 y T2 tiene capacidad de 25 caracteres, siete de los cuales son los dígitos decimales, diez y siete para los números enteros y veinticinco para el signo del número contenido en el registro. El número máximo de dígitos entonces almacenable es de diez y siete, puesto que el vigésimoséptimo sirve como señal de que se ha excedido la capacidad. También se obtiene una señal de exceso de capacidad cuando los dígitos decimales y los dígitos enteros forman juntos un número superior a diez y seis. Una de las dos señales se pueden inhibir permanentemente para poder utilizar el mismo bloqucito para dos modelos diferentes de calculadora con dos capacidades diferentes de registro.
15. Todos los dígitos introducidos desde el teclado 20 se almacenan en el registro A, del que se toman para su impresión cuando es necesario. Como coma fija, el registro T2 se utiliza solamente para almacenar la constante y no es accesible desde el exterior, mientras que con la coma flotante, la constante se puede modificar desde el exterior mediante una suma ó una resta relativa de una manera conocida per se.
20. Toda posible suma o resta que utilice el registro T1 ó T2 tiene lugar entre los datos contenidos en el registro A y el contenido del registro en cuestión, en el cual se situará entonces el resultado de una forma conocida per se. Las operaciones de acumulación de productos y cocientes se ejecutan con el registro T1. Los registros M y R se utilizan en varias ope-
- 25.
- 30.



416922

raciones complejas y el registro R se utiliza como registro auxiliar de resultado.

5. Al final de cada operación el registro R contiene lo siguiente: En multiplicación, el resultado completo; en división, el resto; en acumulación de productos, el resultado completo de la multiplicación; en cálculos de raíces cuadradas, el resultado correspondiente; en acumulación de cocientes, el resto de la división en cálculo de porcentaje, si se efectúa con coma flotante, el capital, y si con coma fija, el interés.
10. En la extracción de una raíz, por otro lado, el registro R se reduce a cero.

15. El teclado 20 comprende además una segunda rueda que permite redondear a 0, + 5 y "todos los 9" del último dígito expresivo de los decimales del resultado de la multiplicación, acumulación de producción, porcentaje y raíz cuadrada. Además, colocando la rueda de los decimales en la posición de dos rojo ó de tres rojo, se obtiene la cancelación automática de dos ó tres dígitos decimales, respectivamente, y el redondeo del primer dígito útil según la colocación de la segunda rueda.

20. Los circuitos MOS de la máquina se controlan por un sistema de temporización apropiado que comprende un circuito de temporización para cada bloquecito, excitándose los tres circuitos por medio del oscilador 36 (figura 1).

25. De un modo más particular, el oscilador 36 (figura 3) alimenta una señal  $\phi$  (véase la figura 4) que tiene periodo de 1,6  $\mu$ s. La señal  $\phi$  a su vez a través del medio de una célula basculadora MOS 40, que comprende un inversor 41, genera dos señales  $\phi$  A y  $\phi$  B en oposición de fase entre sí y con el mismo periodo. Como el inversor 41 tiene un cierto retardo debido al tiempo de conmutación, cuando la señal  $\phi$  cambia a uno,
- 30.

416522



5. la señal  $\phi A$  la sigue después de dos incrementos de retardo y la señal  $\phi B$  cambia a cero después de tres incrementos de retardo. Cuando la señal  $\phi$  cambia a cero, la señal  $\phi B$  cambia a uno después de un incremento de retardo y la señal  $\phi A$  cambia a uno después de un incremento de retardo y la señal  $\phi A$  cambia a cero después de dos incrementos de retardo. Como la señal  $\phi B$  se encuentra dentro de la señal  $\phi A$ , se obtendrá de este modo el resultado de que las señales  $\phi A$  y  $\phi B$  no se encontrarán nunca simultáneamente a cero.

10. Las señales  $\phi A$  y  $\phi B$ , a su vez, controlan un primer circuito temporizador 42 (figura 2) contenido en el bloquecito 25. De hecho, a través del medio de un circuito MOS que comprende una serie de cinco inversores 43 a 47 (figura 3) y dos circuitos NY 48 y 49, las señales  $\phi A$  y  $\phi B$  generan dos señales  $\phi 1$  y  $\phi 2$ . Además el circuito 42 está controlado por una señal SNB (figura 3) que, según se observará mejor más adelante, pasa a cero durante la primera señal  $\phi B$  y después permanece siempre a uno. La señal SNB a cero hace que conduzca un elemento MOS 51, trasladando el uno a la entrada del inversor 44.

20. Como las señales  $\phi A$  y  $\phi B$  cambian alternativamente a cero y con SNB a cero, tendremos  $\phi B$  a cero se puede completar la tabla indicada a continuación que analiza todas las constancias o funciones verdaderas de los inversores 43 a 47 y de los circuitos NY 48 y 49 después de cada señal  $\phi B$  y  $\phi A$ .

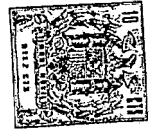
25.

	$\phi B$	$\phi A$	$\phi B$	$\phi A$	$\phi B$	$\phi A$	$\phi B$
SNB	0	1	1	1	1	1	1
43	0	0	0	0	1	1	0
44	0	1	1	1	1	0	0
45	1	1	0	0	0	0	1
46	0	1	1	0	0	0	0
47	1	1	0	0	0	1	1
48	1	0	0	1	1	1	1
49	1	1	1	0	0	1	1

→  $\phi 2$

→  $\phi 1$

30.



416922

Observaremos por la tabla que después de tres señales  $\phi B$  y tres señales  $\phi A$ , el estado de las siete salidas es exactamente igual que el estado inicial y, por lo tanto, a partir de éste punto el ciclo se repetirá continuamente. Siendo de 1,6 microsegundos el periodo de  $\phi A = \phi B$ , el periodo de las señales de la máquina  $\phi 1$  y  $\phi 2$  es de  $1,6 \mu s \times 3 = 4,8 \mu s$ , según se indica en la figura 4.

5.

10.

15.

La señal SNB puede ser generada por una señal de sincronización SYNE (figuras 3 y 4) que se puede utilizar para activar una ó más máquinas por medio de un aparato de pruebas. La señal SYNE, por lo tanto, no consiste en realidad en una señal de la máquina, sino una señal externa que se introduce en el circuito para sincronizar el comienzo del ciclo. En ausencia de la señal SYNE, la máquina funciona, no obstante, con un comienzo de ciclo arbitrario sin que por eso su funcionamiento se vea perjudicado.

20.

25.

30.

Para simplificar la explicación, consideraremos el caso de la presencia de la señal SYNE. Esta señal inicialmente a cero a través de un inversor 52, excitado por la señal  $\phi B$  mantiene a uno una entrada 1 de un circuito NY 53 excitado, a su vez, por la señal  $\phi A$  y, por lo tanto, mantiene a uno la señal SNB que determina el comienzo exacto de la temporización de la máquina. Como la señal SYNE se alimenta con el frente de la señal  $\phi$ , tan pronto como cambia a uno, la señal SNB cambia a cero a través de la otra entrada 2 y permanecerá a cero por toda la señal  $\phi B$ . De hecho, la entrada uno del circuito NY 53 pasará a cero solamente con el comienzo de  $\phi A$  y, por lo tanto, con el final de  $\phi B$ , haciendo pasar de nuevo a uno la señal SNB y manteniéndola en esta situación, según se indica en la figura 4.



- 11 - 416922

5. Un circuito similar que comprende un inversor 54 y un circuito NY 56, pero excitado por las señales  $\phi 1$  y  $\phi 2$ , genera una señal SHT que permanece a cero hasta la caída o descenso de  $\phi 2$  y sirve para colocar los corrimientos de la temporización de los registros A, M, R, T1 y T2 (figura 2) de la máquina.

10. Como cada uno de estos registros está compuesto por 25 caracteres y cada caracter está formado por cuatro bitios ponderados para dar un total de 100 bitios, es necesario poder contarlos e identificarlos puesto que se desplazan para identificar las ponderaciones y es necesario un contador para los caracteres.

15. El corrimiento de los bitios ponderados obtenidos se cuenta mediante un contador 57 (figura 3) que tiene cuatro células dinámicas MOS 58, 59, 60 y 61 cronometradas por señales  $\phi 1$  y  $\phi 2$  y con regeneración automática a través de un circuito NY y 62 y un inversor 63, correspondiendo las salidas TMA, TMB, TMC, TMD de las cuatro células 58 a 61 de este contador, respectivamente, a las ponderaciones 1, 2, 4, 8.

20. Al pasar a cero la señal SHT, coloca a cero las células 58, 59 y 60, mientras que la célula 61, al estar conectada a la célula 60 a través de un inversor 64, envía a uno la salida invertida TMD. Como TMA, TMD, TMC se encuentran en uno, habrá un uno en la entrada de la célula 58 y, con la primera señal  $\phi 1$ , TMA pasará a uno y TMD a cero. Las cuatro células 58, 59, 60 y 61, al ser dinámicas, siempre tendrán una célula en uno y las células restantes estarán a cero, según se indican en las figuras 4 y 5.

30. Para contar los 25 caracteres se emplea un contador 65 que tiene cinco células MOS dinámicas 66, 67, 68, 69 y 70

416922



(figura 3), cuyas salidas P, Q, R, S y T dan señales correspondientes (figura 5). Este contador 65 comprende una función de entrada particular dada por la ecuación

$$N = PR + \overline{PR} + \overline{PQRST} + PQRST.$$

- 5. Al comienzo, la señal SHT a cero hace pasar las células 67, 68, 69 y 70 (figuras 3) a cero, mientras que la célula 66 conectada a la célula 67 por medio de un inversor envía a uno la señal invertida P. Esta situación se considera como la relativa al vigesimoquinto y ultimo caracter. Recordando que el corrimiento de los bitios ponderados esta definido por la señal TMD, se puede decir que con la señal SHT la máquina se encuentra en el estado T25-TND, ó sea en el centésimo y ultimo bitio.

- 15. En cada señal TMD, enviando la señal  $\phi_1$  a través de un inversor 72, se genera una señal  $\phi_4$  (figura 4) y hace que todas las células 67 a 70 (figura 3) se corran a la izquierda en un lugar. El contenido de la célula 66 se pierde por lo tanto y se introduce en la célula 70 un nuevo dígito que depende del valor de la función M. Considerando solamente los dos primeros sumandos de la función M, se puede decir que estos son los OR exclusivos de las señales P y R. o sea, si P y R son iguales en la configuración anterior, se introducirá un uno en la célula 70 con la señal  $\phi_4$ ; si son diferentes, se introducirá un cero, por lo que el primer caso, con  $P = 1$  y  $R = 1$ , tenemos

$$\overline{N} = \overline{PR} + \overline{PR} = \overline{1.0 + 0.1} = \overline{0 + 0} = 1$$

y en el segundo caso, con  $P = 0$  y  $R = 1$ , tenemos

$$\overline{N} = \overline{PR} + \overline{PR} = \overline{0.0 + 1.1} = \overline{0 + 1} = 0$$

- 13-416922



Partiendo de la situación inicial (10000), la regla mencionada anteriormente permite recopilar la tabla de los 25 caracteres, indicada a continuación, definida por la posición de las señales P, Q, R, S, T de las cinco células 66 a 70.

Caracter	P	Q	R	S	T
T25	1	0	0	0	0
T01	0	0	0	0	0
T02	0	0	0	0	1
T03	0	0	0	1	1
T04	0	0	1	1	1
T05	0	1	1	1	0
T06	1	1	1	0	0
T07	1	1	0	0	1
T08	1	0	0	1	0
T09	0	0	1	0	0
T10	0	1	0	0	0
T11	1	0	0	0	1
T12	0	0	0	1	0

Caracter	P	Q	R	S	T
T13	0	0	1	0	1
T14	0	1	0	1	0
T15	1	0	1	0	1
T16	0	1	0	1	1
T17	1	0	1	1	1
T18	0	1	1	1	1
T19	1	1	1	1	0
T20	1	1	1	0	1
T21	1	1	0	1	1
T22	1	0	1	1	0
T23	0	1	1	0	0
T24	1	1	0	0	0
T25	1	0	0	0	0



5. El tercer aumento de la función  $\bar{M}$  es  $\overline{PQRST}$  y se utiliza cuando se alcanza esta configuración (10110), ó sea para el caracter T22. De hecho, en el instante T23, en lugar de introducirse un uno en la célula 70, se introduce un cero al saltar siete configuraciones. Este salto se efectúa para utilizar solamente 25 de las 32 posiciones obtenibles con este tipo de contador 65.

10. El cuarto sumando de la función  $\bar{M}$  es  $\overline{PQRST}$ , que corresponde a todos los unos en la célula 66 a 70 y se utiliza para la conexión en ausencia de la señal  $\overline{SYNE}$ . De hecho, puede ocurrir que todas las células 66 a 70 estén puestas a uno y, en este caso, el contador permanecerá bloqueado en esta posición. El aumento  $\overline{PQRST}$  introduce un cero en las células 70, a pesar de ser iguales los bitios P y R, enviando de nuevo el contador al caracter T19 (11110), a partir del cual comenzará la temporización. De este modo, se generan en cualquier caso los 100 bitios que estarán indicados por las referencias B1, B2 ... B100 y que identifican un ciclo de la máquina. Mediante estos bitios se pueden identificar todos aquellos instantes  
15. particulares en los que las máquinas realizan operaciones dadas.  
20.

A título de ejemplo, analizaremos aquí el caso de los bitios B10-N17, que representan el periodo entre el instante en que el bitio 10 está a uno y el instante en que el bitio 17 está a uno. Todos los demás tiempos se analizan de una manera similar. Como cada caracter está formado por cuatro bitios, los bitios B10, B11 y B12 están comprendidos en el tercer caracter y como el bitio B9 no entra en función se produce una conjunción entre el código del tercer caracter y la señal  $\overline{TMA}$ , ó  
25. sea excluyendo  $\overline{TMA}$ , que es el primer instante del bitio del ca  
30.



416922

racter, El cuarto caracter (00111) está totalmente comprendido por las señales B13-TMA, que estará en relación de conjunción con el código del quinto caracter (01110). Por lo tanto, la ecuación resultante será:

5. 
$$B10-B17 = 00011.TMA + 00111 + 01110.TMA.$$

10. En el bloquecito 24 (figura 2) se habilita un circuito temporizador 73 similar al circuito 42 que acaba de describirse, por lo que se describirá con detalle en este caso. En el circuito 73 se repiten los mismos instantes ó temporizaciones con la misma lógica que la del circuito 42. Las diferencias con respecto al circuito 42 se refieren solamente a la salida P, que no es directa, y a la función M, que no tiene el sumando PQRST.

15. La reposición ó vuelta a cero del circuito 73 se obtiene por una señal SYN, que se envía por el circuito 42 al recibirse el bitio B20. La señal B20 envía a cero las nueve células que definen los 100 bitios, excluyéndose la célula de la señal TMD que se invierte y que por lo tanto pasa a uno.

20. Por lo tanto, tendremos la configuración siguiente:

P	Q	R	S	T	TMA	TMB	TMC	TMD
0	0	0	0	0	0	0	0	1

que se considera como B20 en el circuito 72.

25. Todos los instantes de los bitios se retardarán por lo tanto en 20 lugares, ó sea en cinco caracteres, con respecto al circuito 42 del bloquecito 25.

Esto crea una diferencia en la descodificación de estos instantes particulares que son utilizados por la máquina pero la operación permanece sin cambiar.

30. En el bloquecito 23 se habilita otro circuito de temporización 74 ordenado también por la señal B20 del circui-

416922



5. to 42 en correspondencia con el bitio B20. El circuito 74 (figura 6) comprende una serie de diez células 76, la primera de las cuales se conecta a un circuito NY 77 que genera una señal Ø3 (figura 5) a través de un inversor 78. Además, un segundo circuito NY 79 (figura 6) conectado a las primeras dos células 76 excitado por una señal Ø2 excita en su salida una célula MOS Ø1 para generar una señal Ø1A que copia la señal Ø1 excluyendo el periodo de B21-B22 (la figura 5 indica el periodo en que se producen las señales Ø1A). Las células 76, a exlusión de la primera, se conectan a un circuito NY 80 (figura 6), cuya salida alimenta por lo tanto las señales B23-B30.

10.

Por lo tanto, resultará evidente que cada bloquecito 23, 24, 25 está provisto de su propio circuito de temporización 74, 73, 42, respectivamente, adaptados para general señales de temporización coordinadas en cada bloquecito y que los circuitos de temporización 74, 73 y 42 están interconectados. Este dispositivo reduce el número de conexiones entre los diversos bloquecitos al mínimo.

15.

El bloquecito 25 (figura 2) se llama bloquecito de interfase porque recibe como entrada las señales de orden del exterior, realiza una conversación operativa con los otros dos bloquecitos 23 y 24 y envía las órdenes de impresión al aparato impresor 22 (figura 1).

20.

El teclado 20 envía la información ya codificada sobre seis canales a seis basculadores de posición-reposición que producirán las señales AI, BI, CI, DI, EI ó IST (figura 2). La señal IST sirve para reconocer si se ha asociado una tecla de función (IST = 1) ó una tecla numérica (IST = 0).

25.

Accionando cualquier tecla se genera también una señal que sirve para reponer los seis basculadores, mientras que

30.



416922

5. una segunda señal STB carga el código, obtenido de la colocación de los seis basculadores, en la memoria tampón 28, que está constituida por diez células dinámicas MOS en serie-paralelo. La localización que se forma en la memoria tampón 28 está compuesta por diez bitios, cuatro de los cuales, ó sea los primeros tres (001) y el último (0), son fijos, mientras que los otros se sitúan por medio de los seis basculadores.
10. Durante los 100 bitios sucesivos a la dirección del código, la localización recircula a lo largo de las células de la memoria tampón 28 durante un periodo de otros 100 bitios.
15. El circuito de salida 31 indica al aparato impresor 22 (figura 1) cual es el símbolo que ha de imprimir. Esta tarea la realiza un comparador 146 (figura 2) adaptada para generar una señal USC que sigue a la comparación de una memoria tampón 147 donde se carga el código del símbolo que se ha de imprimir, con un contador 148 para sincronizar señales del elemento portador de los tipos, de una manera conocida per se. La señal USC envía entonces una orden a un circuito de orden de accionamiento del tipo.
20. El funcionamiento de la máquina se basa en el diálogo continuo entre la unidad de control 32 (figura 2) y el ROM 26. Se envía una localización al registro de localizaciones ó de entrada a la memoria 33 en el instante B1-B10 y desde éste punto, a través de un conductor 82, hasta el ROM 26. El ROM 26 contesta siempre a través del mismo conductor 82 con la microinstrucción correspondiente, que se almacena en el registro 34 y se descodifica por medio del descodificador 35 para dar la orden de una función dada de la máquina: El ROM 26 comprende 960 localizaciones a las que corresponden 960 microinstrucciones, cada una de las cuales comprende ocho bitios.
- 25.
- 30.



416922

5. Como cada localización está constituida por diez bitios, el registrador 33 (figura 8a) está compuesto por ocho células dinámicas 83. Las dos células restantes constituyen en un caso un circuito de entrada 84 del registro 33 y, en el otro caso, un circuito de salida 85 del registro 33. Las diez células dinámicas 83, 84 y 85 del registro 33 están temporizadas por las señales  $\phi 1$  y  $\phi 2$ , cuya indicación se omite en las células 83 y en todas las demás células excitadas por las mismas señales.
10. De un modo más particular, la localización de la microinstrucción a partir de la cual ha de comenzar la operación se pulsa en el teclado y entonces se introduce en la memoria tampón 28 (figura 2). Desde esta memoria tampón 28, la localización BFF se envía al registro 33 en el instante B1-B10 bajo la orden de una microinstrucción BFF  $\longrightarrow$ , que se dispone previamente de una forma automática para funcionar en la conexión de la máquina de una memoria conocida per se.
15. Durante el instante B11-B20, la localización, procedente del registro 33, a través del conductor 82, penetra en las diez células de un registro de corrimiento paralelizador 86 (figura 7). La localización es desplazada por la señal  $\phi 1A$  que, copiando  $\phi 1$ , a exclusión del período B21-B22 (figura 5), evita que se pierda la localización durante la elección de la microinstrucción.
20. En el instante B21-B22, la localización penetra en el ROM 26 a través de un descodificador 87 (figura 7) controlado por la señal  $\phi 3$  y elige la microinstrucción correspondiente de una manera conocida per se. Al comienzo del instante B23, la microinstrucción compuesta por ocho bitios penetra en ocho células de un registro serializador 88. La carga se ac-
- 25.
- 30.



- tiva por la señal  $\emptyset 3$  que pasa a 0 en el instante B23 (figura 5). El registro 88 se conecta al conductor 82 a través de un par de circuitos NY 89 adaptado para conectar el conductor 82 al registro 87 en el instante B23-B30 y para dejar esta conexión inactiva en ausencia de las señales B23-B30. Por lo tanto, en el instante B23-B30, la microinstrucción sale del registro 88 a través del conductor 82 y, bajo el control de la señal  $\emptyset 2$ , penetra en un par de registros de corrimiento 115 y 115' (figura 2) que actúan como memoria tampón para las microinstrucciones que han de penetrar en el registro 34 y el registro 34'. Entonces es evidente que se dispone un ROM 26 en el bloquecito 23 accesible por medio de localizaciones de entrada para suministrar microinstrucciones. Las localizaciones (en el periodo B11-B20) y las microinstrucciones pueden circular en serie alternativamente a través del único conductor 26 con la unidad lógica 25 (contenida en los otros bloquecitos 24 y 25).

- La localización previa no se pierde, sino que circula normalmente a través del registro 33 por todo el ciclo a lo largo de una línea 90. En cada ciclo, la localización aumenta en uno a través del medio de un circuito 92 y vuelve a entrar en el registro 33, por lo que en ausencia de microinstrucciones particulares, se efectúa en secuencia la lectura del ROM 26.

- En la lectura del ROM 26 (figura 2) se pueden efectuar saltos, ó sea, se puede pasar a una localización que no es la siguiente, por medio de un circuito modificador de localizaciones 93. La vuelta a la localización de la que se parte, constituye un tipo particular de salto ordenado por una microinstrucción SV. Entonces se realiza en primer lugar un sal-

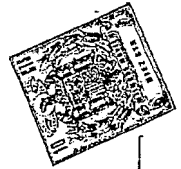
- to y la función respectiva asociada con el mismo, que dispone previamente otro salto a la localización anterior almacenada en un circuito de localización antigua 91. La adición del + 1 en el registro 33 se efectúa al comienzo de cada ciclo, excepto en presencia de la microinstrucción BFF\_\_\_\_\_ y la microinstrucción SV para el salto de retorno a la localización antigua.
5. La localización puede penetrar entonces en el registro 33 a través de tres trayectos diferentes, uno para la entrada del contenido BFF de la memoria tampón 28, otro para la entrada del contenido que sale del registro 33 aumentado en uno por el circuito 92, y otra para la entrada del contenido del registro 91 que efectúa el retorno a la localización antigua almacenada en el mismo.
10. De un modo más particular, el contenido del registro 33 circula normalmente a través de dos circuitos NY 100 y 105 (figura 8a), la línea 90 y el circuito NY 120. Para la introducción de una nueva localización, un circuito de entrada de registro 33, constituido por la microinstrucción BFF, activa un circuito NY 94 que permite que la localización de la memoria tampón 28 (figura 2) entre en la célula 84 (figura 8a) del registro 33. Debido al incremento de la localización en uno, en el instante B2 la salida de un circuito NY 96 pasa a cero y la salida de un segundo circuito NY 97 de los circuitos 92, conectada a otro circuito NY 98 y una célula dinámica 99 del circuito 92, pasa a uno. En este instante, llega desde un circuito NY 101 de la célula 84 el bitio de ponderación uno de la localización a la que se ha de añadir el +1. Si el bitio de la ponderación uno de la localización se encuentra a cero, la salida del circuito NY 120 se encuentra en uno, la salida del circuito NY se encuentra en cero y, a través del medio de un inversor
- 15.
- 20.
- 25.
- 30.

416922



102, envía la corriente de salida de un circuito NY 103 a ce-  
ro, como resultado de lo cual, a través de otro circuito NY  
104, aparecerá un uno en la entrada de la primera célula 83  
del registro 33. En el mismo instante, la entrada de la célu-  
5. la 99 se encuentra en uno, por lo que al comienzo de B2, ó sea  
en el instante B3, la salida del circuito NY 96 y de la célu-  
la 99 pasa a uno y la salida del circuito NY 97 pasa a cero.  
Este circuito mencionado en último lugar permanece a cero has-  
ta que el ciclo siguiente, en el que mediante un inversor 106  
10. y otro circuito NY 107, permite el paso de la parte restante  
de la localización sin producir cambios adicionales.

Por otro lado, si durante el instante B2 el bitio de  
la ponderación 1 de la localización se encuentra en uno, las  
salidas de los circuitos NY 103 y 107 pasan a uno y, a través  
15. del circuito NY 104, aparece un cero en la entrada de la pri-  
mera célula 83, mientras que la entrada de la célula 99 está  
a cero. En el instante B3, la célula 99 como una función de  
transporte mantiene la salida del circuito NY 97 a uno, como  
en el caso anterior y cambia por lo tanto el bitio de la pon-  
20. deración 2. En los ciclos siguientes, se repetirán las opera-  
ciones anteriores hasta que la salida del circuito NY 101 será  
de cero, enviando entonces a cero la salida del circuito NY 97.  
De esta manera, el circuito 92 cuenta la parte menos expresiva  
de la localización del ROM y aumenta en cada ciclo de la memo-  
25. ria dicha parte de una unidad para elegir una localización si-  
guiente de la memoria en el ROM. El registro de entrada 33 del  
ROM es accesible de una forma selectiva por medio de un circui-  
to de entrada que comprende el circuito NY 94 mediante el te-  
clado. El registro 33, a través del circuito que comprende el  
30. circuito NY 103, 104 y 107, se conecta al circuito contador 92



y a través del circuito que comprende los circuitos NY 100 y 105, se conecta al circuito de variación de localización 93.

5. En el instante B10, la localización se encuentra en los cálculos de las decenas del registro 33 dispuesta para penetrar en el ROM 26 (figura 2) a través de la línea 82. Según se ha mencionado, en el instante B11-B20 (figura 8b), a través del medio de los dos circuitos NY 100 y 105 de la célula 85, un par de circuitos NY 108, conectados de una manera similar a un circuito NY 98 de la figura 7, y la línea 82, se activa la entrada de la localización en el almacén de lectura solamente 26 (figura 7) y tiene lugar a través del registro de paralelización 86. En el instante B21-B22, el ROM 26 elige la microinstrucción formada por ocho bitios que corresponde a la localización. Esta microinstrucción se extracta, por lo tanto, en un registro serializador 80 y se envía, a través del circuito NY 89 y el conductor 82, a un registro de corriente 115 que está formado por ocho células 112 y un grupo de otras dos células 116 y 117.

10. De un modo más particular, en el instante B23-B30 la microinstrucción penetra en las ocho células 112 del registro 115 a través de un circuito NY 109 y un circuito NY 111 (figura 8b). Después, la instrucción que sale de la última célula 112 del registro 115, pasa a través de una puerta activada 113, puesto que ha transcurrido el período B23-B30, y a través de una puerta 114 penetra en las otras dos células 116 y 117 del registro 115. Desde la última célula 117, pasando a través de una puerta 118, vuelve a entrar en las células 112. Este ciclo se repite hasta el instante B22 del ciclo siguiente, cuando llega una nueva microinstrucción procedente del conductor 82.

15. Durante el instante B99, en la séptima célula 112 del registro

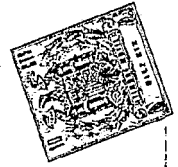


115 se encuentra contenido el primer bitio de la localización, o sea el que ha penetrado en el registro 115 en el instante B23. Las seis células anteriores 112 y la célula 117 contienen los otros siete bitios de la localización.

5. Cuando se entra en el instante B100, la información no ha corrido todavía y será desplazada por la señal  $\phi 1$  de B100. Simultáneamente con la señal  $\phi 1$ , que efectúa el corrimiento, un circuito NY 119 genera una señal  $\phi 1SP$ , puesto que tenemos las señales T25-TMD, como resultado de lo cual el contenido de las primeras siete células 112 y de la célula 117 se traslada a una serie correspondiente de ocho células, A, B, C, D, E, F, G, H, del registro de microinstrucción 34. Una señal  $\phi 6$ , generada de una manera conocida por la señal  $\phi 1$ , a exclusión del instante T25, se alimenta al registro 34 y sirve para devolver como señal de entrada a cada célula del registro el contenido de la salida por todo el ciclo, excluyendo el instante T25, durante el cual se carga una nueva microinstrucción, como resultado de la cual la microinstrucción permanece estática y puede ser descodificada por el descodificador 35 (figura 2) para ordenar las operaciones de la máquina.
- 10.
- 15.
- 20.

- Durante el instante B22 (figura 8b), las células 116 y 117 contienen los primeros dos bitios de la microinstrucción anterior, que recirculan a través de un circuito NY 120 durante el instante B23-B30. En el instante B31, comenzaran a volver a circular junto con los otros ocho bitios de la nueva microinstrucción, mientras que los seis bitios restantes de la microinstrucción anterior se pierden manteniéndose el circuito NY 113 en uno en el instante B23-B30, como resultado de lo cual parte de la nueva instrucción se encuentra ahora en el registro 34.
- 25.
- 30.

416522



Según se ha mencionado ya, se efectúa salidas para pasar de una localización a otra que no sea la siguiente.

La calculadora está provista de los cuatro tipos de saltos indicados a continuación: El salto SM de carácter simple ordenado por el código (101), el salto SC condicional ordenado por el código (100), el salto SI incondicional ordenado por el código (110) y el salto de reserva de localización SR ordenado por el código (111). Los saltos SC, SI y SR son saltos de dos caracteres, o sea que comprenden dos microinstrucciones.

La finalidad del salto SM es hacer que continúe el flujo operativo a intervalos breves, por lo tanto es suficiente para modificar la localización que entra en el ROM 26 (figura 7) en cinco bits, mientras que los otros tres bits representan el código del salto SM. Por lo tanto, se obtendrá ahora un salto dentro de la escala  $2^5 = 32$  células del almacén de lectura solamente 26.

Cuando al final de cierto ciclo los códigos almacenados en las células H, G, F del registro 34 (figura 8b) son respectivamente 1, 0, 1, se genera la señal SM y activa un circuito NY 121 (figura 8a) del circuito modificador de localización 93. En el ciclo que sigue en tiempo a B10-B14, la salida del circuito NY 121 está a cero. Encontrándose en uno la salida de un circuito NY 122, se permite la entrada de los primeros cinco códigos del registro 33 a través de un circuito NY 123. Estos cinco códigos se envían en el instante B11-B13 a través de los dos circuitos NY 123 y 105, los dos circuitos NY 108 (figura 8b) y la línea 82 al ROM 26 (figura 7).

En el instante B13-B19, la salida del circuito NY 121 (figura 8a) vuelve a cero, como resultado de lo cual las células

416922



5. las del registro 115 se bloquean a través del medio del circuito NY 122. En el instante B16-B20, los últimos cinco códigos de la localización anterior contenidos en el registro 33 entran en el ROM 26 (figura 7), por lo que tiene lugar el salto en una de las células adyacentes del grupo de 32 células del ROM 26.

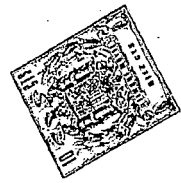
10. El salto condicional SC se forma por una primera microinstrucción, donde se encuentran contenidos el código de reconocimiento (100) y la condición de salto y una segunda microinstrucción que contiene la localización a la que se realiza el salto. Este salto se emplea cuando, habiendo llegado a un cierto punto del flujo operativo, se pueden seguir dos trayectos según el código de la condición del salto se forme por todo ceros ó sea diferente a cero.

15. Si el código de la condición es cero, el flujo operativo continua sin hacer el salto; si, por otro lado, es diferente a cero, se realiza el salto. El salto condicional tiene  $2^8 = 256$  posibilidades de salto. Cuando, al final de un cierto ciclo, los códigos almacenados en las células H, G, F del registro 34 (figura 8) son respectivamente 1, 0, 0, se generan dos señales SB, SC de una manera conocida. Como las señales de salto son una conjunción entre el código contenido en el registro 34 y la condición de salto, si la condición es diferente a cero se genera una tercera señal SSL = 1 que es una conjunción disyuntiva de los saltos de dos caracteres (SC+SI+SR) mientras que si la condición se encuentra a cero esta señal no se genera.

20. A través del basculador 125, la señal SSI = 1 envía la corriente de entrada de una célula 126 a uno, teniendo en cuenta que las otras dos entradas de un circuito NY 127 se en-

25.

30.



5  
10  
15

uentran normalmente a uno. A través de un circuito NY 128, la salida de la célula 126 activa entonces el circuito NY 122. Mientras tanto, el contenido del registro 33 ha aumentado automáticamente en +1 por el circuito 92. La nueva localización se envía en el instante B11-B20 a través de los circuitos NY 100, 105, 108 (figura 8b) y la línea 82 al ROM 26 (figura 7) que responde en el instante B23-B30 con la segunda microinstrucción del salto, ó sea la dirección al igual que anteriormente. Con la señal  $\phi 1$  del tiempo de 100 surge una señal  $\phi IR$  igual a  $\phi ISP$  que desplaza en la salida la señal uno de la célula 126. Como TMD, T25, y SB se encuentran en uno, se introduce un cero en el registro 34 (figura 8b) a través de un circuito NY 130. Con la señal  $\phi 2$  del TOI se introduce un código de todos ceros en el registro 34, por lo que al final de T25, las señales SB, SC y SSL se envían a cero.

20  
25  
30

En el tercer ciclo en el instante B10-B17, la señal dada por la célula 126 (figura 8a) pone la salida del circuito NY 122 a través de un circuito NY 129. Como la salida del circuito NY 121 se encuentra a cero, la entrada de los ocho bits USMI contenida en el registro 115 se puede efectuar a través del circuito NY 123 y se envían en el instante B11-B18 al ROM 26 como localización de salto. Como la salida del circuito NY 129 vuelve a cero en el instante B18-B19, la transferencia del contenido del registro 115 se bloquea y en el instante B19-B22 los dos últimos códigos de la localización anterior, contenidos en el registro 33, penetran en el ROM 26. El flujo se reanuda entonces a partir de esta nueva localización. Se observará que una tercera entrada de circuito NY 100 y 123 se encuentra constantemente en uno durante la operación normal. Esta corriente de entrada pasa a cero durante los ciclos en



que está funcionando el circuito de reposición 37. En este último caso, solamente se introducen ceros en las células del registro de entrada 86 del ROM 26.

5. En el salto SI incondicional, además de la primera parte de la instrucción de dos caracteres que contiene el código (110) del salto incondicional, contiene dos dígitos de localización en los lugares menos expresivos del carácter (correspondientes a las células A y B del registro 34 (figura 8b).

10. En la segunda parte de la instrucción de dos caracteres se encuentran contenidos los otros ocho dígitos de la localización. En todos la nueva localización está compuesta de diez dígitos. Por lo tanto existen  $2^{10} = 1024$  posibilidades de salto. Como la capacidad total del ROM 26 (figura 7) es de 960 microinstrucciones, empleando un salto incondicional se puede abarcar el ROM 26 completo.

15. En el primer ciclo del salto SI, en el instante B23-B30, el ROM 26 envía el primer carácter de la instrucción SI, que queda estática y cuya descodificación hace que se generen las señales SB y SL de una manera conocida. En el segundo ciclo, la localización anterior, aumentada en uno, se envía al ROM 26 y en el instante B23-B30, la microinstrucción que contiene el segundo carácter de la instrucción SI se introduce en el registro 34 (figura 8b). De hecho, en el instante B23-B30, los dos dígitos de mínima expresión de la primera microinstrucción circulan a través de las células 116 y 117 del registro 115 y, en el instante B31, estarán en código en la localización formada por la segunda parte de la instrucción de dos caracteres. El instante B100, el circuito NY 130 pone a cero el registro 34 y la salida derecha de la célula 12 coloca previamente la célula 128. En el tercer ciclo, en el instante B10-

20.

25.

30.



B19, la señal de salida del circuito NY 128 (figura 8a) se encuentra a cero, porque como no se genera la señal SC, la célula 131 se encuentra en uno. La salida del circuito NY 122 se encuentra por lo tanto en uno, permitiendo de este modo la entrada de los diez códigos contenidos en el registro 115, que se envían al ROM 26 (figura 7) en el instante B11-B20.

5.

El salto de reserva de la localización SR es como el salto incondicional SI, pero en contraste con este último mantiene la localización antigua y, después de haberse realizado el salto, vuelve al punto de partida.

10.

Al final del primer ciclo, el código del salto SR envía las señales SB, SL y SR, cuya señal invertida se introduce en una célula 132 (figura 8a) igual a la célula 126. Al final del segundo ciclo, la señal de la célula 132 pasa a cero.

15.

El tercer ciclo, la localización antigua, ó sea la localización que contiene la segunda parte de la instrucción de dos caracteres, ya aumentada en uno, pasa a través de célula 133, que compensa la décima célula 85 del registro 33, que se usa en este caso. En el instante B11-B20, por medio de dos circuitos NY 134 y 136, la localización penetra en un registro de corrimiento 137 de localización de suministro del circuito de localización antigua 91. Desde el instante B21 en adelante, la corriente de salida de un circuito NY 139 se mantiene en uno por la señal que sale de la célula 132. Por consiguiente, el contenido del registro 137 puede volver a circular a través de un circuito NY 138 bajo el control del circuito NY 139, gracias a las señales B11-B20 y, en los otros caso, mediante la señal de la célula 133. Esto se repetirá hasta el instante en que un código SV indica el salto de localización antigua aparece en el registro de estatitización 34.

20.

Desde el instante B21 en adelante, la corriente de salida de un circuito NY 139 se mantiene en uno por la señal que sale de la célula 132. Por consiguiente, el contenido del registro 137 puede volver a circular a través de un circuito NY 138 bajo el control del circuito NY 139, gracias a las señales B11-B20 y, en los otros caso, mediante la señal de la célula 133. Esto se repetirá hasta el instante en que un código SV indica el salto de localización antigua aparece en el registro de estatitización 34.

25.

30.



5. En el ciclo siguiente al instante B19-B10, el código SV, por medio de un circuito NY 141 y el circuito NY 101, activa la entrada de la localización antigua en el registro 33 y, al mismo tiempo, por medio de los circuitos NY 96 y 97, mantiene la corriente de salida del mismo a cero, que de este modo se bloquea incrementándose en +1 por el circuito 92.

10. Según se ha indicado anteriormente, es evidente que el circuito de localizaciones variables 93 se controla por condiciones lógicas SM, SC, SR para elegir en el ROM 26 una localización diferente a la elegida por el dispositivo contador 92. El circuito de enlace comprende los circuitos NY 100 y 105 y penetra la introducción en la célula 85 del registro 33 de los datos contenidos en el circuito de localizaciones variables 93.

15. La unidad calculadora S (figura 2) está diseñada para efectuar la suma del contenido de los registros A y M. Estos registros, que tienen una capacidad de 25 caracteres, están constituidos por 100 células de corrimiento dinámicas desplazadas ó corridas por las señales Ø1 y Ø2. El signo de los registros está contenido, por lo tanto, en las últimas cuatro células equivalentes al instante T25.

20. La unidad calculadora S efectúa la suma A+M, ó incrementa el contenido del registro A, ó sea la suma A+1. La unidad calculadora S puede efectuar también las restas A-M y A-1, modificando las entradas por el sumando negativo y dando el resultado negativo al final de la suma. Esta distinción está prevista por una señal XSD (figura 9) que se encuentra en uno en casos de suma y en cero en casos de resta.

25. Como los dígitos se codifican en el sistema decimal binario, la unidad calculadora S (figura 2) es binaria, por lo



que se pueden presentar los casos siguientes:

Resultado de la suma entre 0 y 9, donde el resultado ya se encuentra en su sitio y se puede escribir en el registro A; Resultado de la suma entre 10 y 15, donde el resultado no representa ningún número en código y debe corregirse añadiendo +6; resultado de la suma entre 16 y 19, donde aparece un exceso durante el bitio de ponderación 8 y donde el resultado se puede corregir añadiendo +6.

5. La unidad calculadora S comprende una primera sumadora S1 (figura 6) conectada a un circuito de entrada 150 y una segunda sumadora S2 conectada a un circuito de salida 151. El circuito de entrada 150 decide cual de las entradas XA ó YA de la sumadora S1 deben encontrarse en relación con la microinstrucción que se desarrolla. Los valores que llegan a las 10. entradas XA ó YA se suman entre sí y, en el caso de que se genere un exceso 152 introduce en la sumadora S1 el exceso ZA, 15. que se suma en el bitio siguiente junto con los valores de XA ó YA.

El resultado de la sumadora S1 pasa a través de un 20. circuito 153, que sirve para identificar los casos en que es necesario hacer la corrección en +6. El mismo resultado de la sumadora S1 se introduce en la sumadora S2, donde se suma a la posible corrección del +6 generada por un circuito 154, que se 25. considerará más adelante con mayor detalle. También en este caso, el posible exceso se devuelve por un circuito de exceso correspondiente 156 como entrada en el bitio de ponderación siguiente de la sumadora S2. La salida de la sumadora S2, posiblemente negativada cuando se trata de una resta, dá, a través del circuito de salida 151, el resultado XSC de la operación 30. que, según se observará, se introduce en el registro A.



5. De un modo más particular, las microinstrucciones correspondientes a las operaciones A+M y A+1 generan de una manera conocida una señal INA que activa el paso del contenido del registro A, indicado por IRA, a través de dos circuitos NY 157 y 158 conectados en serie en el circuito de entrada 150. La señal  $\overline{INA}$ , por otro lado, se encuentra en uno con las microinstrucciones A-M y A-1. En este caso, el contenido negat

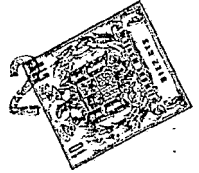
10. vado del registro A se introduce en el circuito NY 158 a través de otro circuito NY 159. Además, las microinstrucciones A+M y A-M general una señal  $\overline{INM}$ , permitiendo de éste modo que el contenido del registro N, indicado por LRM, se introduzca en la sumadora S1 a través de dos circuitos NY 161 y 162 conectados en serie en el circuito 150. Con la microinstrucción M-A, la señal  $\overline{INM}$  pasa

15. a cero y permite que la entrada del contenido negativo del registro M en la sumadura S1 a través de un circuito NY 163, el circuito NY 162 y la entrada YA.

20. Con la microinstrucción A+1 se genera una señal INI, cuya negativación, a través de un circuito NY 164 y el circuito NY 162, envía en uno a la entrada YA de la sumadora SI durante el primer bitio TOL-TMA (figura 5), ó sea suma un uno en el bitio de ponderación uno del caracter de mínima expresión del registro A. Con la microinstrucción A-1, el proceso es similar al anterior, puesto que  $A-1 = \overline{A} + 1$ . Se observará que en

25. estos dos casos la señal  $\overline{INI}$  a cero bloquea el circuito NY 161 (figura 9) y evita por lo tanto que el contenido del registro M se introduzca en la sumadora SI en el periodo B2- B100 y falsifique el resultado.

30. Mientras que el sumando que se ha de añadir al contenido del registro A se introduce en la sumadora S1 siempre a



- través de la entrada YA, el signo nunca se introduce en la sumadora S1, puesto que se evita por la señal  $\overline{T25}$  que actúa sobre los circuitos NY 157, 159, 161, 163, por lo que la sumadora S1 realiza la suma bitio a bitio comenzando en TOL-TMA y finalizando con T24-TMD. Se observará que en cualquier caso, debido a las señales de temporización  $\emptyset 1$  y  $\emptyset 2$ , el circuito de entrada 150 retarda la información en un tiempo de bitio.
5. La señal de salida XS de la sumadora S1 pasa a uno cuando hay un número impar de términos de una vez como entrada. Cuando hay dos ó tres términos de una vez como entrada, se genera un exceso en la sumadora S1 a través de una señal  $\overline{RBA}$  igual cero, que produce la señal de exceso ZA a través de un circuito NY 165 y una célula MOS 166 del circuito 152. Esta señal se genera también en el caso de una suma entre 10 y 15.
10. En esta situación, la señal  $\overline{RBA}$  no se genera en el instante TMD, si no que, según se observará más adelante, el circuito 151 genera una señal RD igual a cero que reemplaza a la señal  $\overline{RBA}$  en la activación del circuito NY 165.
15. La corrección por medio de la adición de +6 se efectúa solamente cuando se realiza una suma, ó sea con las microinstrucciones A+M y A+1. Esta corrección se produce en el circuito 154 por la señal XSD, que en estos dos casos se encuentra a uno. Si el resultado de la suma se encuentra entre 10 y 15, se analiza el contenido de las ponderaciones 2, 4, 8 del caracter en examen. Como en este caso la ponderación 8, ó sea TMD (figura 5), se encuentra siempre en uno, la conjunción disyunción entre el bitio de la ponderación 4, ó sea TMC, y el bitio de la ponderación 2, ó sea TMB, debe encontrarse también en uno.
20. Tan pronto como el tiempo de bitio TMA del caracter
- 25.
- 30.

416922



- 33 -

siguiente, en examen, se ha alcanzado, debido a la circulación de las señales, en la salida XS (figura 9) de la sumadora S1 se encuentra el contenido de TMD, en la primera célula 167 del circuito 153 se encuentra la negatificación de TMC, mientras que en la segunda célula 168 del circuito 153 se encuentra la negatificación de TMD. En la salida de un circuito NY 169 aparece un uno si el resultado de la suma se encuentra entre 10 y 15.

Como XSD está a uno, cuando XS está en uno y la salida del circuito NY 169 está también, en uno, la salida de un circuito NY 171 del circuito 154 pasa a cero y la salida de un segundo circuito NY 172 del circuito 154 pasa a uno. Como nos encontramos en el instante TMA, la salida de un circuito NY 173 genera la señal RD igual a cero, mientras que la salida de un circuito NY adicional 174 se alimenta también por una célula MOS y por la misma señal  $\overline{RD}$ , pero retardada en una fase, genera una señal de corrección CR, que permanece en uno también en el tiempo de bitio siguiente. Según se habrá observado, en el instante del examen, el código del TMB se encuentra en la salida de la célula 168 y se sumará al bitio CR, mientras que en el instante siguiente CR se suma a TMC, produciendo de este modo la suma del código 6 que corresponde a la configuración 0110.

La señal de exceso  $\overline{RBA}$  de la sumadora S1, que actúa en la entrada del circuito NY 172, sirve para generar la señal CR cuando el resultado de la suma se encuentra entre 16 y 19. De hecho, en este caso, la salida del circuito NY 171 se encuentra en uno, puesto que XS está siempre a cero. Como la suma del contenido de la célula TMD siempre genera un exceso, la señal  $\overline{RBA}$  hace que el circuito NY 174 genera la señal de correc



cion CR.

La sumadora S2 es exactamente similar a la sumadora S1 y sirve para añadir la corrección +6 con un resultado entre 10 y 19. El resultado corregido es negativo por un inversor 177 y retardado por una célula 178, ambas incluidas en la sumadora S2. Cuando la suma efectuada por la sumadora S2 genera un exceso, se genera una señal de exceso RBB y envía la corriente de salida de un circuito NY 179 del circuito de exceso 156 a cero. La señal de salida a través de una célula 181 en el instante de bitio siguiente envía la corriente de entrada RS de la sumadora S2 a uno, ó sea que RS se suma a CR y a la salida de señal por la célula 168. Durante la suma del bitio de ponderación 8, por otro lado, este exceso se bloquea por medio de la señal TMC porque las correcciones se refieren solamente a la cifra examinada. Con las microinstrucciones A+1 y A+M, en contrándose una señal XSD en uno, la información contenida en la salida de la célula 178 de la sumadora S2 se transfiere a través de un circuito NY 182 y un circuito NY adicional 183 del circuito de salida 151 sin experimentar cambio de ninguna clase. Con las microinstrucciones A-M, M-A y A-1, la señal XSD se encuentra a cero, y a través de un circuito NY 184, la negativación de la señal de salida de la sumadora S2 aparece en la salida del circuito NY 183.

La máquina comprende un circuito de formación multiplex 187 (figura 2) que es un circuito 0 para varias situaciones que pueden surgir en la máquina y para derivar desde las microinstrucciones realizadas y desde otros factores de acondicionamiento. Normalmente, este circuito se utiliza para leer el contenido del registro A ó M cuando existe una microinstrucción particular. Además, sirve para ver si la máquina está funcionando con coma fija ó como flotante, si hay un redondeo a

410322



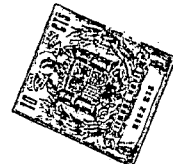
- 35 -

cinco ó a nueve. De una forma análoga, los registros A y M y también los registros R, T1 y T2 (figura 2) están formados por 100 células dinámicas que tienen como señales de cronometraci<sup>o</sup>n las señales de la máquina  $\phi 1$  y  $\phi 2$  y se conectan en una forma de registro de corrimiento. La información contenida en los registros M, R, T1, T2 se pueden intercambiar solamente con la del registro A a través de un circuito de control 186 que se describirá más adelante.

Para trasladar el contenido del registro A al registro M, se extrae una microinstrucción  $M \longleftrightarrow A$  (figura 10) del ROM 26. Normalmente, en ausencia de la microinstrucción  $M \longleftrightarrow A$ ,  $M \longleftrightarrow A$  se encuentra en uno. Por lo tanto, la señal de salida LRM del registro M, con la señal siguiente  $\phi 1$ , a través de dos circuito NY 188 y 189 incluidos en el circuito 186. (vea se también la figura 2), hace que la información vuelva a entrar en primera célula del registro M.

Cuando llega la microinstrucción  $M \longleftrightarrow A$  en B23 que se considera el comienzo de la temporización del bloquecito 24, la corriente de salida del circuito MY 188 se encontrará siempre en uno, mientras que la señal LRA activa la entrada del contenido del registro A a través de un circuito NY 190 y el circuito NY 189. Después de un ciclo de almacenamiento, el contenido del registro A se encontrará en el registro M. La Transferencia del contenido del registro A a los registros R, T1, y T2 es idéntica a la del registro M y, por lo tanto, no se repetirá.

Cuando no se desea modificar el contenido del registro A, la microinstrucción respectiva dá una señal BRA de una vez y la información presente en la salida IRA del registro A puede volver a entrar en la célula correspondiente al centési



5. mo bitio del registro A a través de un circuito NY 192 y un circuito NY SRA incluido en el circuito 186. Por lo tanto, el contenido del registro A circula a través del propio registro y al final del ciclo se encuentra de nuevo sin cambiar en el registro A.

10. Cuando se desea introducir el contenido del registro NY 193 conectado al circuito NY SRA, como resultado de lo cual la señal de entrada LRM del registro M penetra en el registro A. Se observará que, mientras tanto, la señal BRA pasa a uno, cuya negativación, a través del circuito NY 192, bloquea la nueva entrada del contenido del registro A.

15. Lo que se ha dicho con respecto al registro M es válido también para los registros R, T1, T2, cuyas salidas LRR, LRT1, LRT2 se introducen por medio de las microinstrucciones correspondientes  $R \leftrightarrow A$ ,  $T1 \leftrightarrow A$ ,  $T2 \leftrightarrow A$  en el registro A a través de los circuitos NY 194, 195 y 196 y el SRA del circuito NY.

20. Con una microinstrucción  $\bar{A} \rightarrow A$ , el contenido del registro A pasa a negativo, y a través de un circuito NY 197 y un circuito NY SRA las señales  $\overline{LRA}$  penetran en la célula correspondiente al centésimo bitio. La señal BRA se encontrará también en uno en estos casos.

25. Según se habrá observado, el signo del contenido del registro A se encuentra en la célula del caracter T25, ó sea en las células de los últimos cuatro bitios. Si el número es positivo, los cuatro bitios que identifican el signo están a cero. Cuando se introduce el signo menos, una microinstrucción  $(-) \rightarrow A$  estará en uno y en el instante del caracter T25, la salida de un circuito NY 198 está a cero, por lo que se introducen cuatro unos en las cuatro células del caracter T25.

30.

416922



- 37 -

Otro circuito NY 199 envía al circuito NY SRA una señal que está siempre en uno en las condiciones analizadas hasta ahora.

Una suma ó resta algebraica se ordenan por una microinstrucción  $X+Y \text{ --- } A$ . Al comienzo del ciclo en el que se ejecuta esta operación, la señal  $X+Y \text{ --- } A$  está a cero y, a su vez, a través de su circuito NY 200, envía su señal de salida a uno. De éste modo se activa el paso de los cuatro bits de las células del caracter T25 a través del circuito NY 199 al circuito NY SRA y, a través de su negativación, bloquea un circuito NY 201, ejecutando el caracter T25 desde el ciclo normal. De éste modo, el signo contenido en el registro A no se modifica y constituye el signo del resultado.

La señal  $X+Y \text{ ---} \rightarrow A$  a cero permite la obtención del valor XSC del resultado dado por la sumadora S2 (figura 9) para introducirse en el registro A a través de dos circuitos NY 203 (figura 10). En el ciclo siguiente ( $X+Y \text{ ---} \rightarrow A$ ) vuelve a uno y se reanuda el ciclo normal.

Para hacer avanzar el registro A, el contenido se corre o desplaza un lugar a la derecha bajo el control de una microinstrucción  $A \text{ ---} \rightarrow A$ . De este modo se envía también a uno la señal BRA que, a través del circuito NY 192, bloquea la recirculación normal del contenido LRA del registro A. Este contenido vuelve a penetrar en el registro A a través de dos circuitos NY 204 y 205 y el circuito NY 203. Durante el instante T01, el circuito NY 205 hace que se introduzcan cuatro ceros en el registro A en lugar del código contenido en T01. Después de 96 corrimientos, o sea al final del ciclo, salen cuatro ceros del registro A y se pierden, mientras que en el lugar T01 se encontrará el código que se encontraba previamente en T02. El signo tampoco se modifica en este caso, puesto que la señal de

416922



salida del circuito NY 200 permite su recirculación a través del circuito NY 199 y el circuito NY 3RA.

5. Para retardar el registro A, el contenido se desplaza en un lugar a la izquierda bajo el control de una microinstrucción  $\overrightarrow{A} \rightarrow A$ . Esta microinstrucción envía a uno las señales BRA que, a través del circuito NY 192, bloquea la recirculación normal del contenido LRA del registro A. Este contenido vuelve a penetrar en un registro de corrimiento auxiliar 206 que está formado por ocho células dinámicas similares a las de los demás registros. Con anterioridad, las células del registro 206 estaban todas a uno, porque en el ciclo precedente o anterior la señal  $\overleftarrow{A} \rightarrow A$  y la salida de un circuito NY 207 se encontraban ambos en uno. El contenido del registro A con los ocho unos del registro 206 a la cabeza del mismo vuelven a penetrar en el registro A, a través de un circuito NY 208 y el circuito NY 203, retardado en ocho bitios.

10.

15.

20. Como un ciclo de almacenamiento está constituido por 100 instantes de bitio y se emplean 96 células en el registro A, como los otros cuatro relativos a la célula T25 contienen el signo, la información que se encontraba en la célula T01 al comienzo se retarda en cuatro bitios y se encuentra ahora en la célula T02. En la célula T01 hay cuatro ceros, mientras que en las últimas cuatro células del registro 206 se encuentra la información previamente contenida en la célula T24.

25. En el instante T01 del ciclo siguiente, las señales de entrada LRA en el circuito NY 192 representan la información de la célula T24 contenida en el registro 206, que reemplaza los cuatro ceros presentes en el registro A. En los tiempos siguientes T02 ... T25, las señales LRA representan la información en el registro A desplazado a la izquierda en un ca

30.

416922



- 39 -

racter después de lo cual se vuelve al ciclo normal. Asimismo, en este caso, el signo del contenido del registro A permanece sin cambiar en la célula T25.

5 La máquina comprende en el bloquecito 25 un primer comparador 211 (figura 2) para ordenar las operaciones en serie en los registros, indicando de vez en cuando a la célula del registro en la que se realiza la operación. Con este fin, la máquina está provista de un contador de funciones 212 que cuenta de cero a veinticinco. Esta está constituido por cinco  
10. células estáticas SA, SB, SC, SD, SE (figura 11) dispuestas en orden ascendente, que tienen comomedios de reposición ó puesta a cero una microinstrucción indicada por la referencia CS  $\rightarrow$  0. Cuando esta microinstrucción sale del ROM 26 (figura 7), las cinco células del contador 212 estarán todas a cero. El contenido de las células del contador 212 (figura 11)  
15. se desplaza en sentido descendente bajo el control de una señal  $\phi 5$  que se genera en la señal  $\phi 1$  del primer bitio (TOL-TMA) cuando el código de una microinstrucción indicada por CS+1 está presente en el registro de microinstrucciones 34 (figura  
20. 8b).

El contenido de la célula del contador de servicio 212 se mantiene entonces por una señal  $\phi 8$  (figura 5) que permanece a cero en todo el ciclo a exclusión del carácter TOL. En cada corrimiento, el contenido de la última célula SE (figura 8b) a la derecha del contador 212 se elimina y se introduce un nuevo bitio en la primera célula SA a través de una  
25. función  $f_s = \overline{CSE} \cdot CSC + \overline{CSC} \cdot CSA \cdot CSB \cdot \overline{CSB} \cdot CSD \cdot CSE$  para hacer que se utilicen solamente 25 de los 32 espacios obtenibles con este tipo de calculadora.

30. Partiendo de la situación inicial, en los ciclos su-

416922



- 40 -

periores, la situación de las diversas células se encontrará como sigue.

Posición CS	SA	SB	SC	SD	SE
CS0	0	0	0	0	0
CS1	1	0	0	0	0
CS2	1	1	0	0	0
CS3	1	1	1	0	0
CS4	0	1	1	1	0
CS5	0	0	1	1	1
CS6	1	0	0	1	1
CS7	0	1	0	0	1
CS8	0	0	1	0	0
CS9	0	0	0	1	0
CS10	1	0	0	0	1
CS11	0	1	0	0	0
CS12	1	0	1	0	0
CS13	0	1	0	1	0
CS14	1	0	1	0	1
CS15	1	1	0	1	0
CS16	1	1	1	0	1
CS17	1	1	1	1	0
CS18	0	1	1	1	1
CS19	1	0	1	1	1
CS20	1	1	0	1	1
CS21	0	1	1	0	1
CS22	0	0	1	1	0
CS23	0	0	0	1	1
CS24	0	0	0	0	1
CS0	0	0	0	0	0

416922



- 41 -

5. El comparador 211 (figura 2) compara el contador de caracter 65 (figura 3) para los caracteres T01 a T25 con el contador de servicio 212 (figura 11). El comparador 211 comprende un circuito NY 214 (figura 11) que tiene diez entradas conectadas por turno a las salidas de un número igual de circuito NY 216 a los que se alimentan las señales de los contadores. El comparador 211 se conecta además a través de un inversor a una célula 213. Cuando existe igualdad de las señales SA = T, SB = S, SC = R, SD = Q, SE = P, las diez entradas del circuito NY 214 se encuentran todas en uno y la señal de salida UGT procedente de la célula 213 pasa a uno con un retardo de un bitio y permanece en este estado durante un cater.
10. El comparador 211 genera por lo tanto en la célula 213 una señal que por cada ciclo dá una señal de salida UGT que pasa a uno durante un caracter dado, mientras que la señal UGT permanece a cero durante los caracteres restantes. Si en cada ciclo, el contador 212 aumenta haciendo  $CS+1$ , la señal de UGT de las células 213 se desplaza de caracter en caracter. La señal UGT se puede utilizar entonces para ordenar las operaciones en serie en los registros. Como la introducción de datos, lectura de datos, suma y transferencia de datos, de una manera conocida per se.
15. 20.

25. La máquina está provista además de un par de comparadores 216 y 217 (figura 2) para ordenar la selección previa de los decimales y descartar los decimales, que se establecen previamente por la rueda de elección de decimales. Para cada una de las diez posiciones, se envía al registro de decimales 29 (figura 2) cuatro señales SA, DB, DC, DD (figura 12) que varían con la posición elegida según la tabla siguiente. Estas señales, que se negativan por turno, son las salidas de
- 30.



cuatro células 218 que almacenan el código.

Para descartar dos y tres dígitos decimales, respectivamente, la rueda se lleva al dos rojo y el tres rojo. Los códigos 1000 y 1001, respectivamente, (o sea los dígitos decimales 8 y 9), llegan procedentes de la rueda, mientras que el circuito lógico de la máquina necesita los códigos 2 y 3, respectivamente, y una señal que distingue estos códigos de los números 2 y 3 normales.

10.	Posición de la rueda	DD	DC	DB	DA	ED	EC	EB	EA
	0	0	0	0	0	0	0	0	0
	1	0	0	0	1	0	0	0	1
	2	0	0	1	0	0	0	1	1
15.	3	0	0	1	1	0	0	1	1
	4	0	1	0	0	0	1	0	0
	5	0	1	0	1	0	1	0	1
	6	0	1	1	0	0	1	1	0
	7	0	1	1	1	0	1	1	1
20.	2 rojo	1	0	0	0	1	0	1	0
	3 rojo	1	0	0	1	1	0	1	1

La señal DD= 1 indica esta condición anómala, mientras que un circuito NY 219 conectado a las células de las señales DD y DB invierte la señal, por lo que las señales que se han de enviar al circuito lógico son las señales EA, EB, EC, y ED de salida de entre células 221. Estas células se cargan en la señal 01D, que pasan a cero empleando la tecla normal de puesta a cero de la máquina y vuelve a uno accionando otra tecla de orden ó mando, de manera conocida per se. Por lo tanto,

30.

416922



el número de decimales se puede introducir después del accionamiento de la tecla de reposición o puesta a cero y el código correspondiente se almacena con la anotación siguiente:

5. Dos señales UGV y UGC (figura 2) generadas por los dos comparadores 216 y 217, sirven para definir la posición de los decimales en las diversas etapas del cálculo y la impresión. El comparador 216 (figura 13) compara la posición de las células de carga decimal 221 del registro 29 con la del contador de funciones 212, mientras que el comparador 217 com-  
10. para la inversión de las células 221 con el contador 212.

La señal de igualdad de la coma decimal UGV pasa a uno cuando el contador 212 alcanza el valor correspondiente al de los decimales introducidos, mientras que la señal de igualdad de coma decimal complementaria UGC pasa a uno cuando  
15. el contador 212 alcanza el valor del complemento a 7 de los decimales introducidos.

El circuito 217, que genera la señal UGC, es por lo tanto similar al circuito 216 que genera la señal UGV, pero tiene como entrada de configuración del contador 212 invertida.

20. La señal UGC se utiliza para identificar la posición del primer dígito decimal después de haberse utilizado la coma, por ejemplo para impresión. Por lo tanto, haciendo que el contenido de un registro se desplace hasta que se genere la señal UGC, los dígitos decimales que se han de descartar se  
25. eliminar.

La señal UGV se emplea, por ejemplo, para identificar el número de dígitos decimales que han de descartarse después de cada operación de multiplicación, con el fin de mantener siempre el mismo número de decimales en el registro. Con este  
30. fin, como el número de decimales se duplica en la multiplica-



ción, el contenido del registro se desplaza hasta que la señal UGV se genera, eliminando de éste modo la mitad de los decimales del producto.

5.

N O T A

10. Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas, son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una solicitud de patente presentada en Italia, con fecha 14 de Julio de 1.974, número 69277-A/72, acogándose por lo tanto, a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento, y por lo que se solicita Patente de Invención por 20 años en España sobre: PERFECCIONAMIENTOS EN CALCULADORAS ELECTRONICAS; caracterizándose por lo siguiente:

15. 1.- Perfeccionamientos en calculadoras electrónicas del tipo de mesa de despacho con circuito lógico MOS, que comprendan un dispositivo de entrada, un dispositivo de salida y una unidad lógica adaptada para realizar las diversas operaciones de la máquina, cuya unidad lógica se dispone por lo menos en dos bloquitos de circuito MOS, caracterizados porque cada bloqucito MOS está provisto de su propio circuito de temporización adaptado para generar señales de temporización mutuamente coordinadas, interconectándose entre sí los circuitos de temporización.

20. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque cuando dicha calculadora comprende un osci

26.  
30.



416922

- 45 -

5. lador principal que genera señales de temporización para sincronizar el bloquecito, los circuitos de temporización de uno de los bloquecitos están constituidos por la red de descodificación conectada a dicho oscilador para generar una serie de impulsos de periodo sucesivos, generándose cada impulso en una salida separada de la red descodificadora para alimentar a otro circuito de dicho bloquecito.

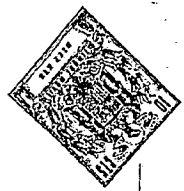
10. 3.- Perfeccionamientos según la reivindicación 2, caracterizados porque la red descodificadora está constituida por elementos MOS adaptados para generar por lo menos dos señales de excitación principales para el control de las fases internas de las células binarias de los registros de un bloquecito.

15. 4.- Perfeccionamientos según las reivindicaciones 2 ó 3, caracterizados porque la red descodificadora comprende un par de contadores MOS para identificar cada célula de cada registro de la máquina, generando uno de los contadores señales de bitios y generando el otro contador señales de caracteres.

20. 5.- Perfeccionamientos según las reivindicaciones 2 a 4, caracterizados porque las redes de descodificación respectivas de los otros bloquecitos de circuito MOS reciben órdenes de una señal de bitio predeterminada emitida por la primera red de descodificadora citada conectada al bloquecito.

25. 6.- Perfeccionamientos según cualquiera de las reivindicaciones anteriores, caracterizados porque una entrada de uno de los circuitos de temporización puede recibir señales de sincronización con el fin de permitir la activación de una serie de calculadoras simultáneamente por medio de un solo aparato de pruebas.

30.



5. 7.- Perfeccionamientos según cualquiera de las reivindicaciones anteriores, comprende una ROM dispuesta en uno de los bloquitos, adaptados para almacenar microinstrucciones que ordenan las diversas funciones de la calculadora, la memoria ROM es accesible por medio de localizaciones de entrada para alimentar microinstrucciones como salida, pudiendo circular las localizaciones y las microinstrucciones de una forma serial y alterna a través de un solo conductor entre la memoria ROM y la unidad lógica.

10. 8.- Perfeccionamientos según la reivindicación 7, caracterizados porque dicho conductor se conecta a un registro de entrada por medio de una primera puerta adaptada para dar acceso a una localización durante un primer periodo de tiempo y a un registro de salida por medio de una segunda puerta adaptada para producir la salida de una microinstrucción durante un segundo periodo de tiempo.

15. 9.- Perfeccionamientos según la reivindicación 8, caracterizados porque dicho conductor se extiende entre un punto del bloquecito que lleva la memoria ROM y un punto de por lo menos otro bloquecito para distribuir las microinstrucciones a los demás circuitos de la unidad lógica.

20. 10.- Perfeccionamientos según cualquiera de las reivindicaciones anteriores, caracterizados porque dicha calculadora comprende medios contadores de por lo menos una parte de la localización de la memoria ROM para elegir cada ciclo de la localización siguiente en la memoria ROM, y medios de variación de la localización controlados por las condiciones lógicas predeterminadas para elegir una localización diferente a la elegida por el dispositivo contador.

30. 11.- Perfeccionamientos según las reivindicaciones





5. 9 y 10 caracterizados porque el registro de entrada está constituido por células MOS y es accesible selectivamente por medio de un circuito de entrada, un circuito que proporciona conexión al dispositivo contador, y un circuito que proporciona conexión al dispositivo de variación de localización.

10. 12.- Perfeccionamientos según la reivindicación 10 caracterizados porque el dispositivo de variación de localización comprende medios para variar parte de la localización dentro de una gama parcial de la memoria ROM y medios para reemplazar completamente la localización por una nueva localización proporcionada por la memoria ROM.

15. 13.- Perfeccionamientos según la reivindicación 12, caracterizados porque un registro de localización de reserva sirve para almacenar una primera localización durante su ejecución, estando adaptado los medios de variación de localización para funcionar y elegir en primer lugar otras localizaciones y después la localización almacenada en el registro de localización de reserva.

20. 14.- Perfeccionamientos según cualquiera de las reivindicaciones 8 a 10, caracterizados porque la microinstrucción se almacena en un registro de salida que tiene por lo menos una célula conectada en un bucle, estando adaptado un registro de microinstrucciones para estaticizar el caracter constituido por el bitio en dicha célula por lo menos y por los bitios en las otras células del registro de salida.

25. 15.- Perfeccionamientos según cualquiera de las reivindicaciones anteriores, caracterizados porque cuando dicha calculadora funciona con números decimales de codificación binaria y comprende una unidad calculadora, la unidad calculadora comprende una primera sumadora para sumar en serie unidades binarias y una segunda sumadora para la corrección del resulta-

30.

U



do de la primera sumadora en el caso de que la suma de dos sumandos sea superior a diez.

5. 16.- Perfeccionamientos según la reivindicación 15, caracterizados porque dicha corrección se efectúa por un circuito adaptado para sumar seis unidades binarias, habilitándose un circuito adicional para efectuar un exceso ó transporte de una unidad decimal en la segunda sumadora.

10. 17.- Perfeccionamientos según las reivindicaciones 14 y 16, caracterizados porque cuando dicha calculadora comprende una pluralidad de registros acumuladores MOS, conectándose por lo menos uno de estos registros acumuladores a la unidad calculadora, dicha calculadora comprende un circuito excitable por el registro de microinstrucciones de acuerdo con microinstrucciones particulares con el fin de permitir la transferencia selectiva de datos entre dicho registro acumulador, o registros acumuladores, y los demás registros acumuladores.

15. 18.- Perfeccionamientos según la reivindicación 17, caracterizados porque un carácter de dicho registro acumulador, ó registros acumuladores, está adaptado para registrar el signo y el excitado circuito excitable está adaptado además para ordenar el desplazamiento o corrimiento de los datos de dicho registro acumulador, o registros acumuladores, en una dirección sin afectar al carácter del signo.

20. 19.- Perfeccionamientos según la reivindicación 18, caracterizados porque un registro auxiliar de caracteres se conecta a dicho registro acumulador, ó registros acumuladores, para permitir el corrimiento de los datos en la dirección opuesta bajo el control de dicho circuito excitable.

25. 20.- Perfeccionamientos según cualquiera de las reivindicaciones 17 a 19, caracterizados porque los medios conta  
30.

//

416922



dores están adaptados para contar cíclicamente desde cero hasta un número predeterminado bajo el control de una microinstrucción dada del almacén, y porque los medios de comparación se controlan por los medios contadores para identificar de vez en cuando la célula del registro de acumulación en funcionamiento.

21.- Perfeccionamientos según la reivindicación 20, caracterizados porque cuando dicha calculadora comprende además un par de comparadores adaptados para comparar los medios contadores, en el caso del comparador primero con los datos de la coma decimal almacenados y en el caso del otro comparador, con el complemento de los datos del almacén de coma decimal con respecto a un número predeterminado.

22.- Perfeccionamientos según la reivindicación 21, caracterizados porque el registro de coma decimal se fija mediante un elemento manual ajustable ó graduable, descodificándose al menos una posición del elemento manual de tal manera que se genere una señal que dá la orden de descartar un número decimal predeterminado.

23.- Perfeccionamientos en calculadoras electrónicas, tal y como queda sustancialmente descrito en la presente Memoria é ilustrado en los adjuntos dibujos.

416922

29 OCT. 1975



Esta Memoria consta de cincuenta hojas escritas a máquina por una sola cara.

Madrid, 29 OCT. 1975  
Ing. C. OLIVETTI & C., S.p.A.

L. GOMEZ ACEBO Y RODEL  
P.º. Firmador L. Goia Fernández

416022

416022



SECRET

SECRET

SECRET

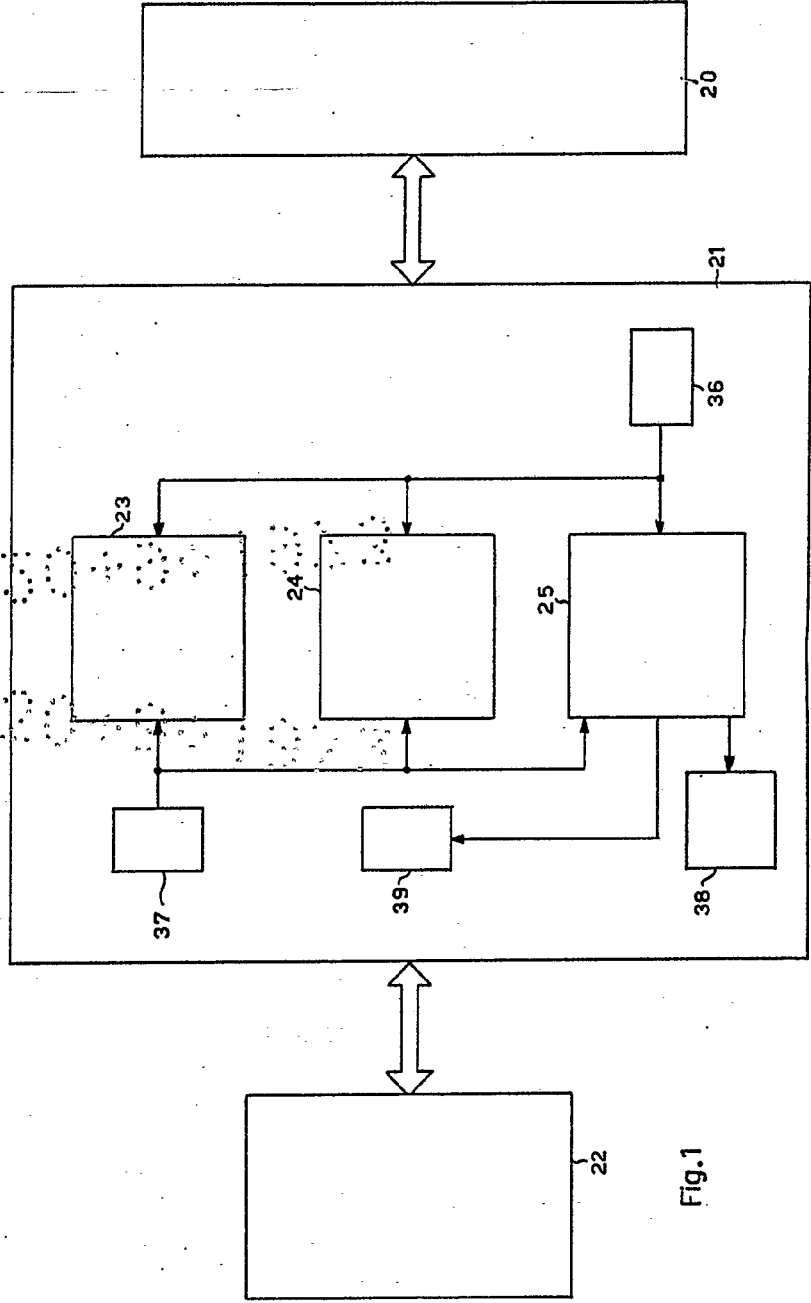


Fig. 1

416022

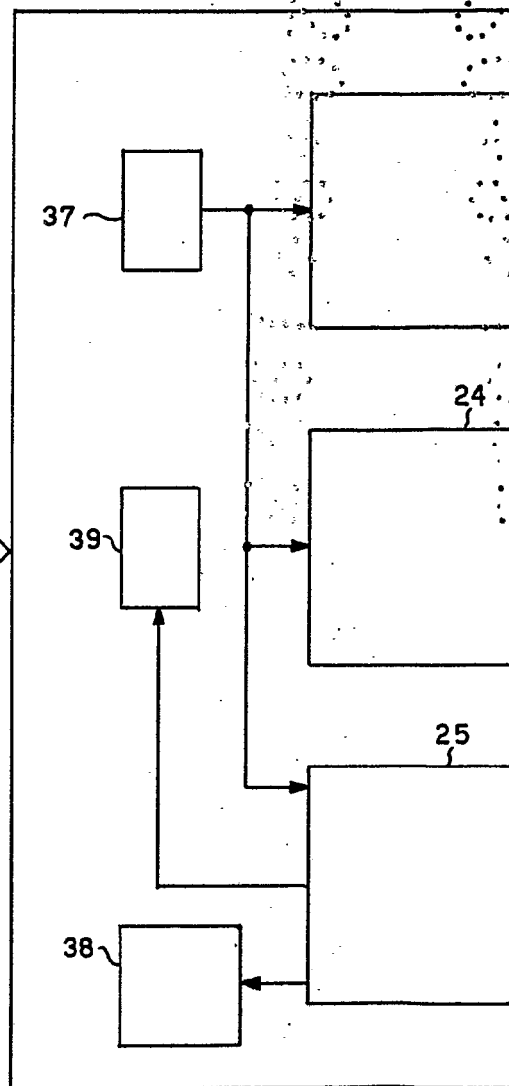
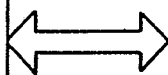
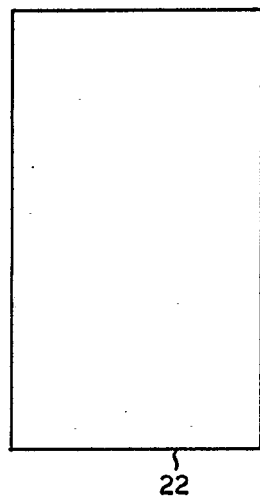
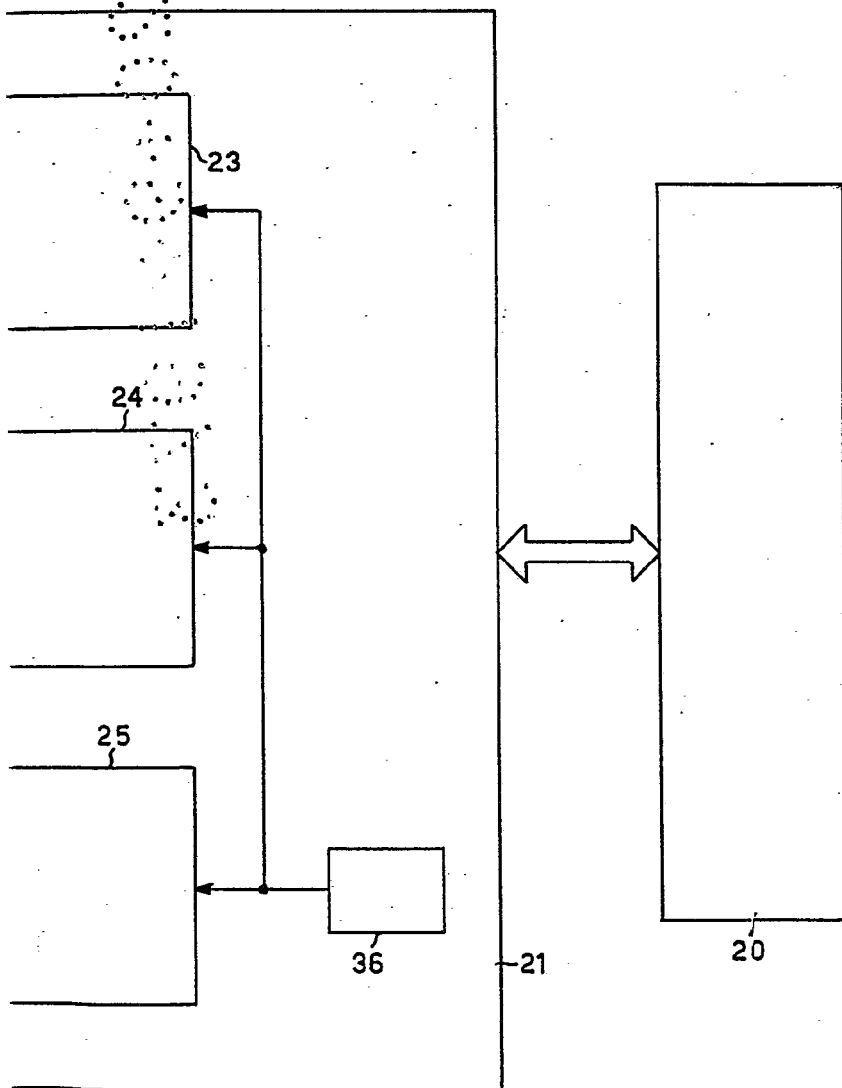


Fig.1

416322



W. ...



Madrid 13 SEL

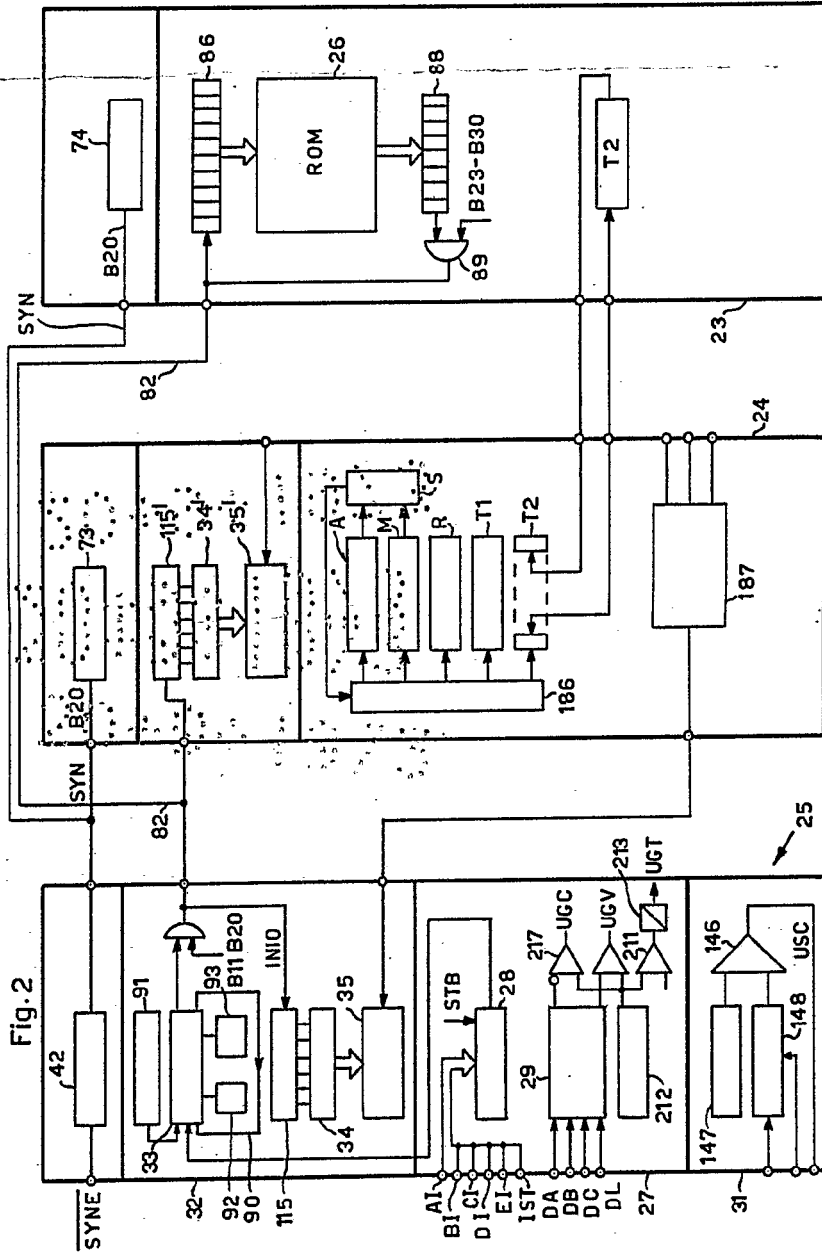
*[Handwritten signature]*

416922

416922

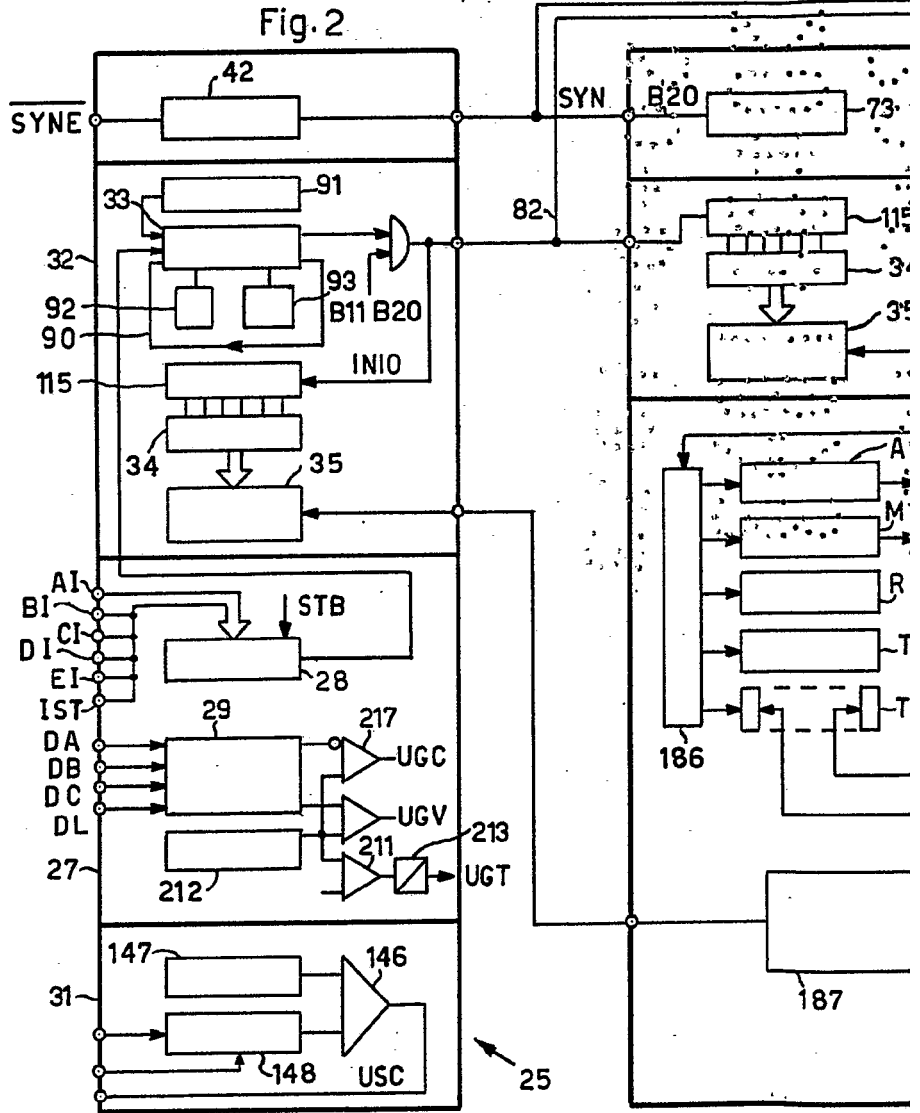


POSTALE

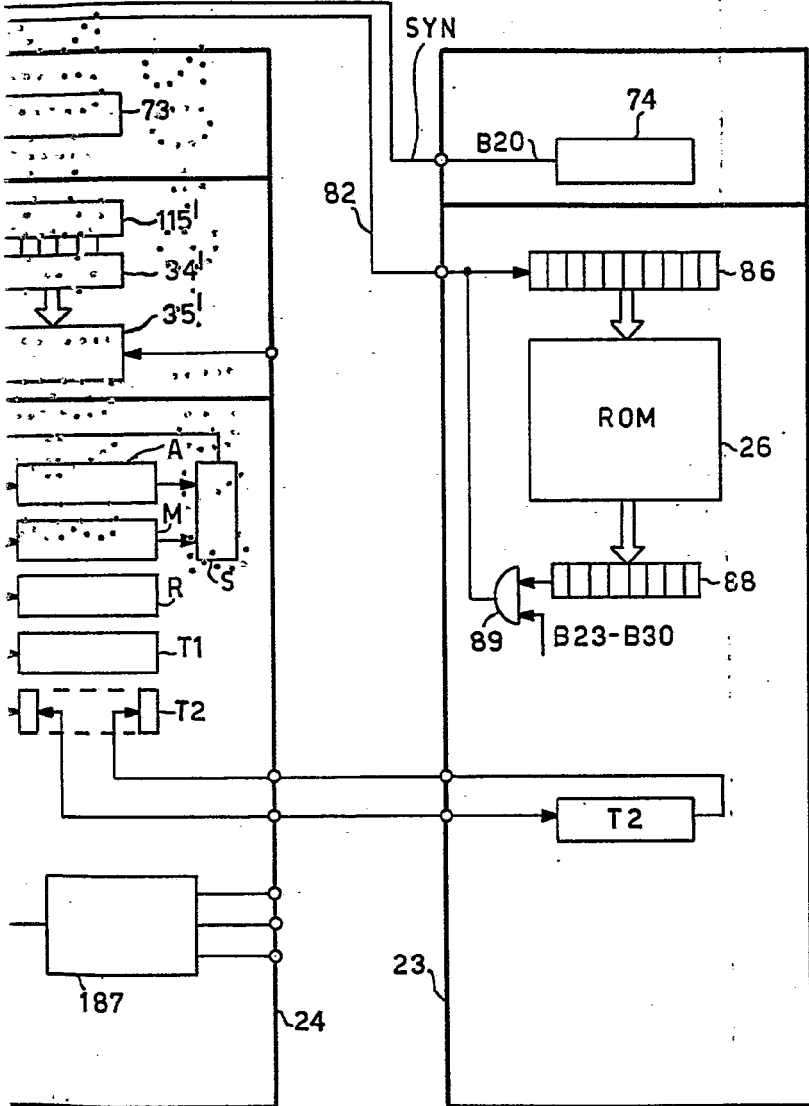


REV. 43 31.1.1973  
D. Finoccioli

416922



416922

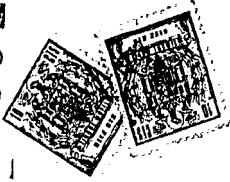


SEP 1973

*[Handwritten signature]*

416922

416922



OLIVETTI

ESCALA  
VARIABLE

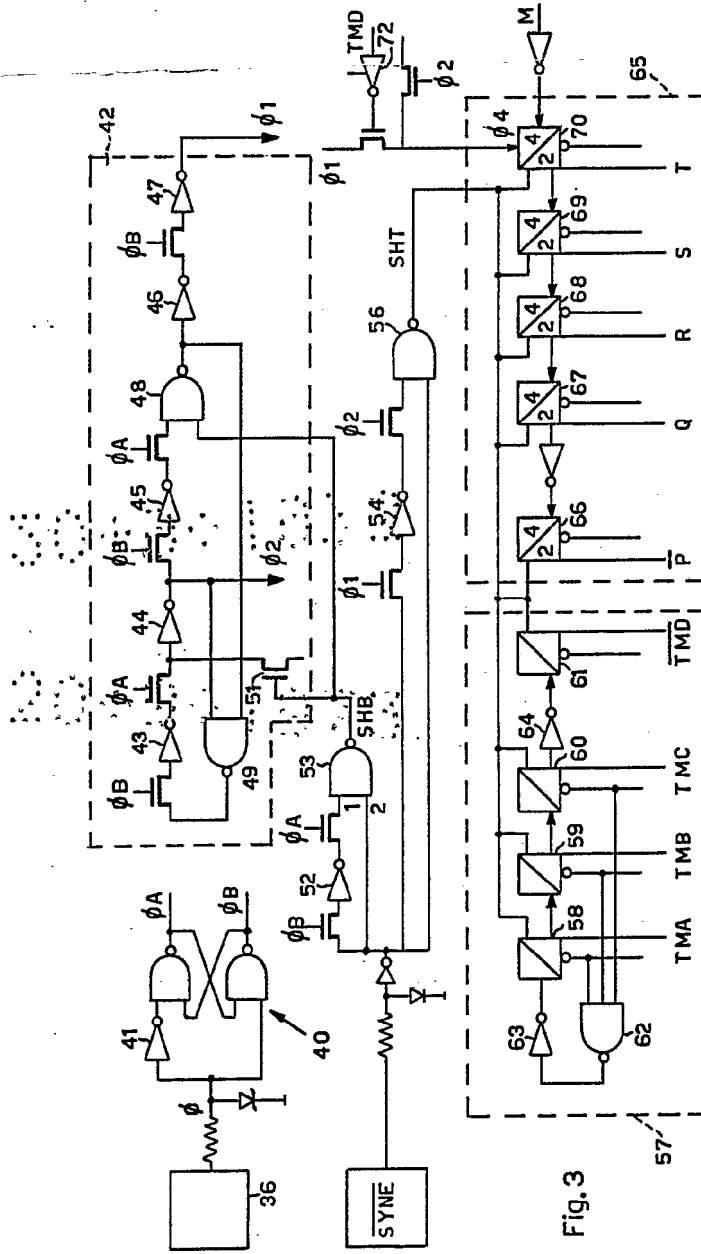


Fig. 3

13 SET. 1973

Madrid

INGENIEROS DE OFICINA Y FABRICA  
DE INGENIEROS DE OFICINA Y FABRICA  
DE INGENIEROS DE OFICINA Y FABRICA

416922

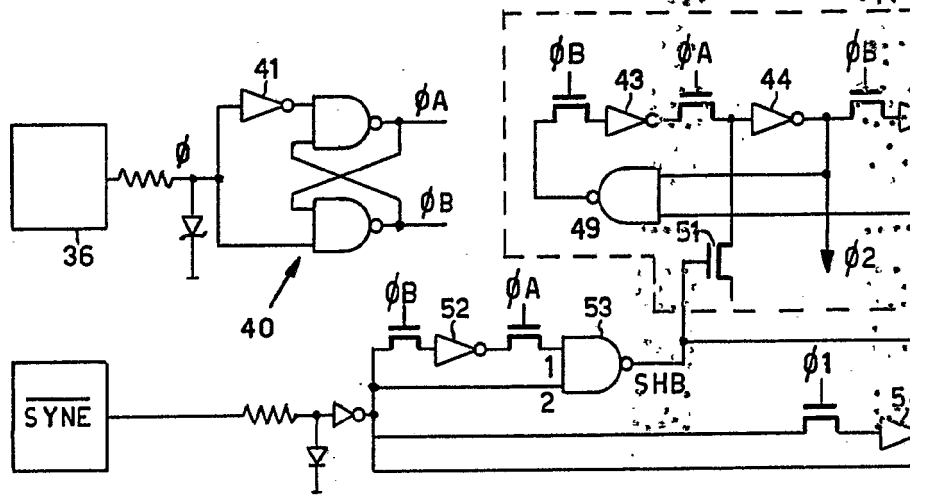
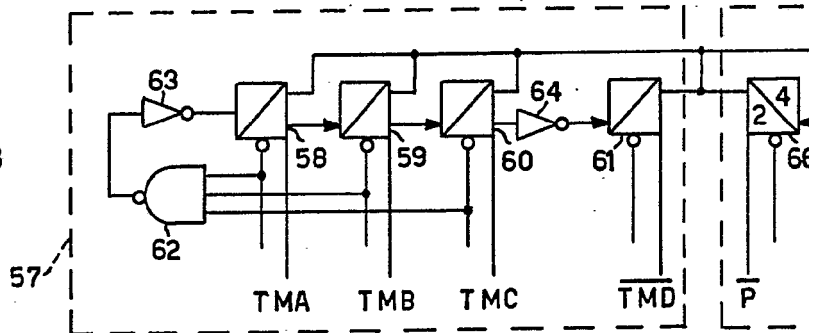


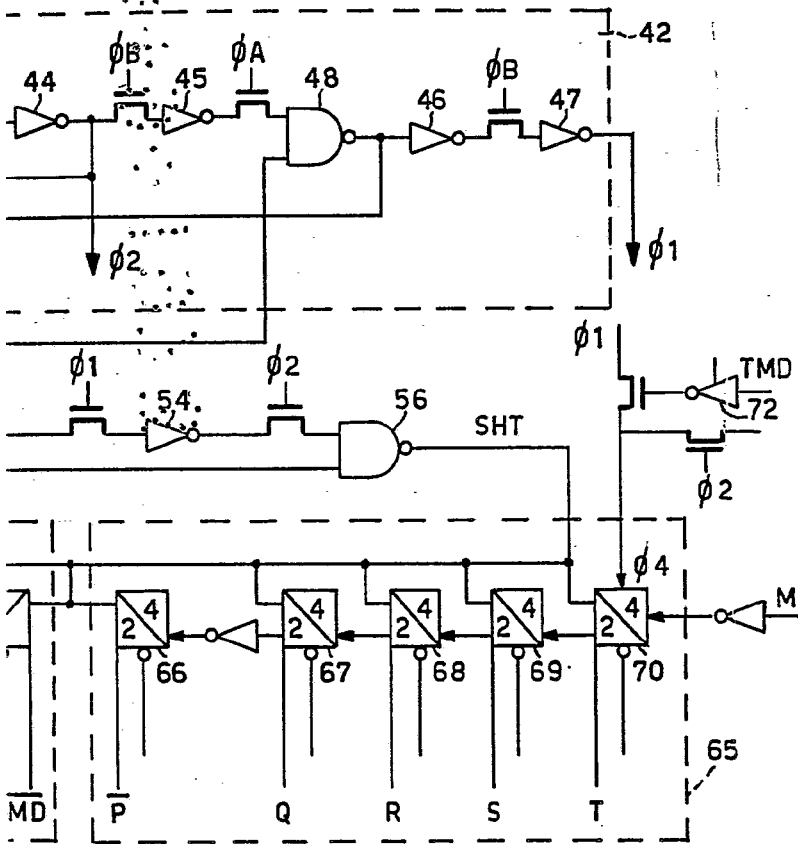
Fig. 3



416-22



ESPAÑA  
VIAJES



13 SET. 1973

Madrid

L. GONZALEZ ACIBES Y ROSALES  
S.p. Firmados L. Gola Foruandua

416922



ESCUELA  
VARIABLE

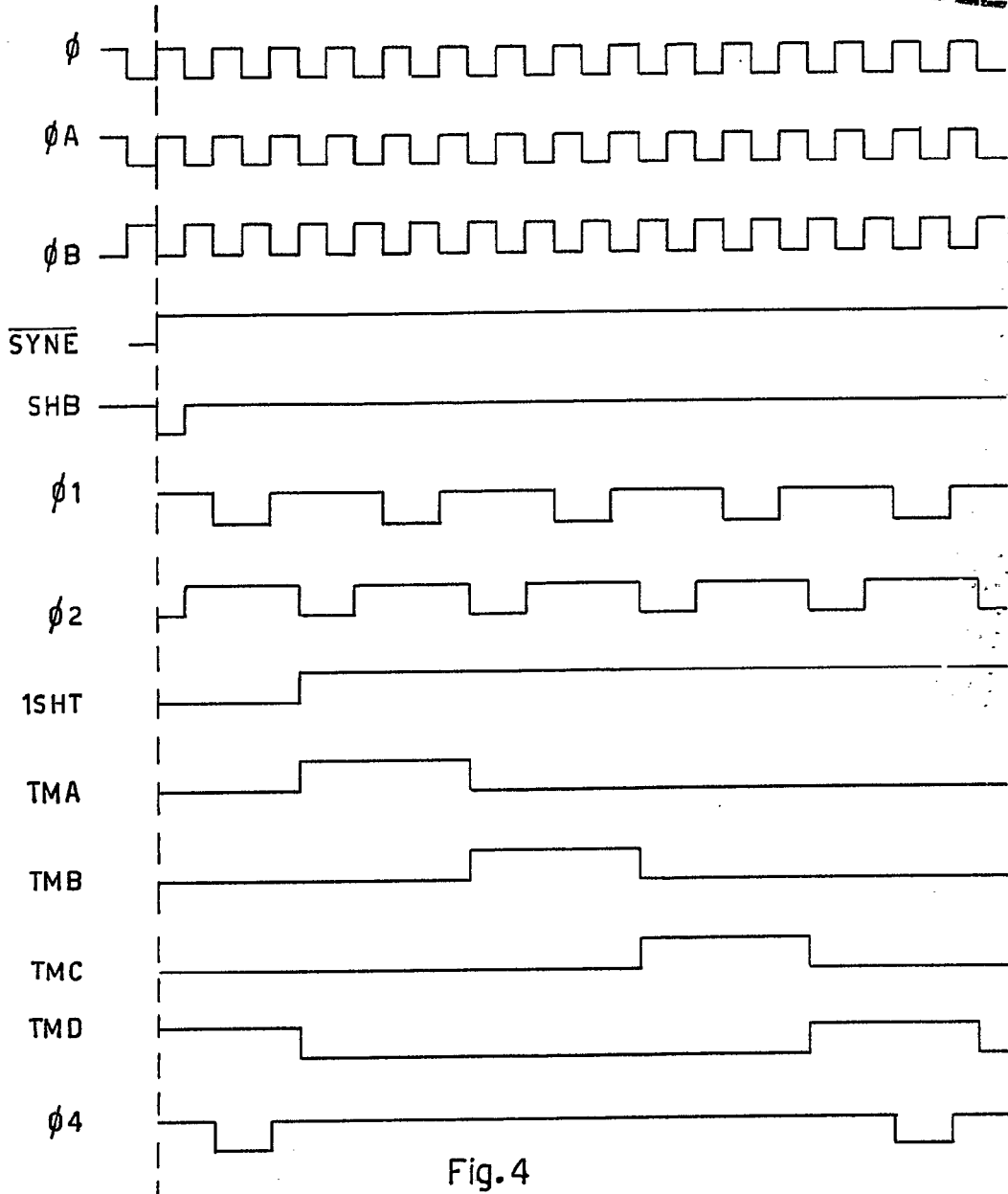


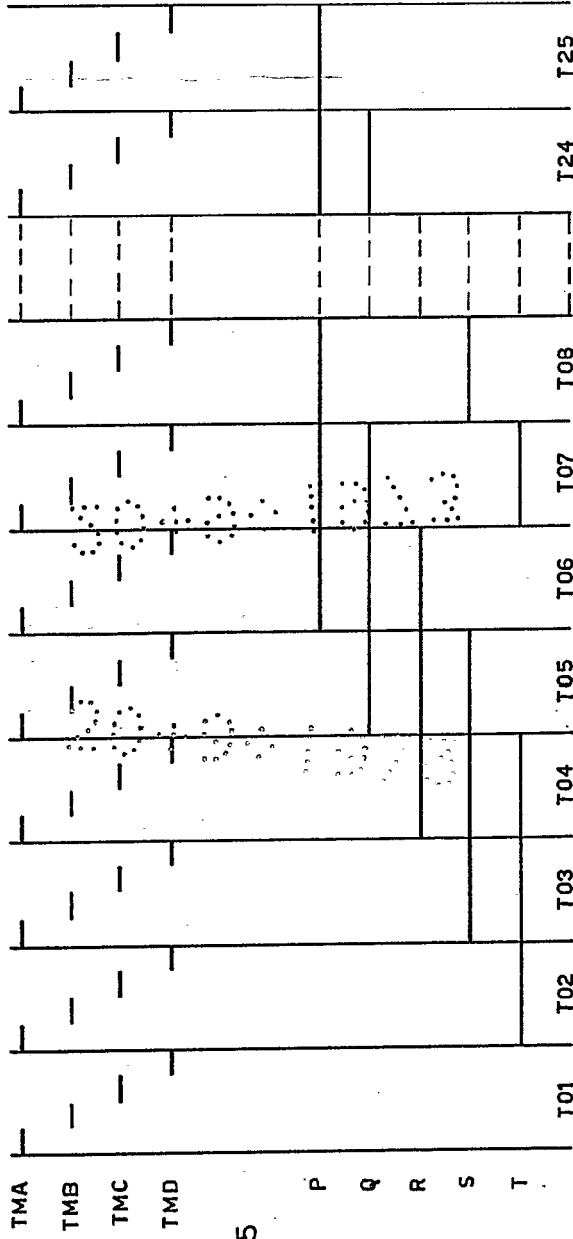
Fig. 4

14 SEP 1973

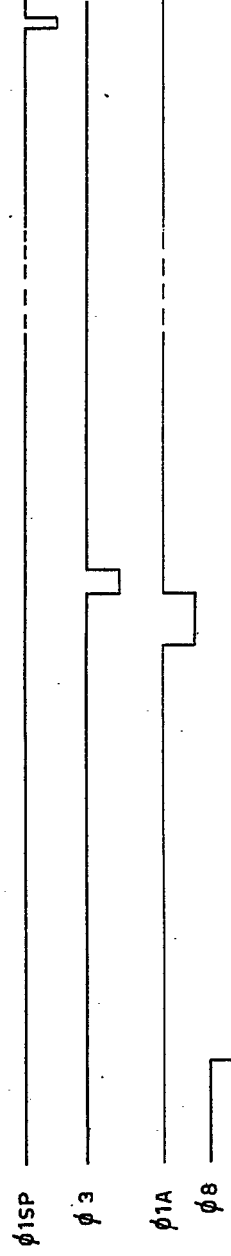
Madrid  
E. GOMEZ  
P. Firmados L. Costa Ferrández

416922

416922



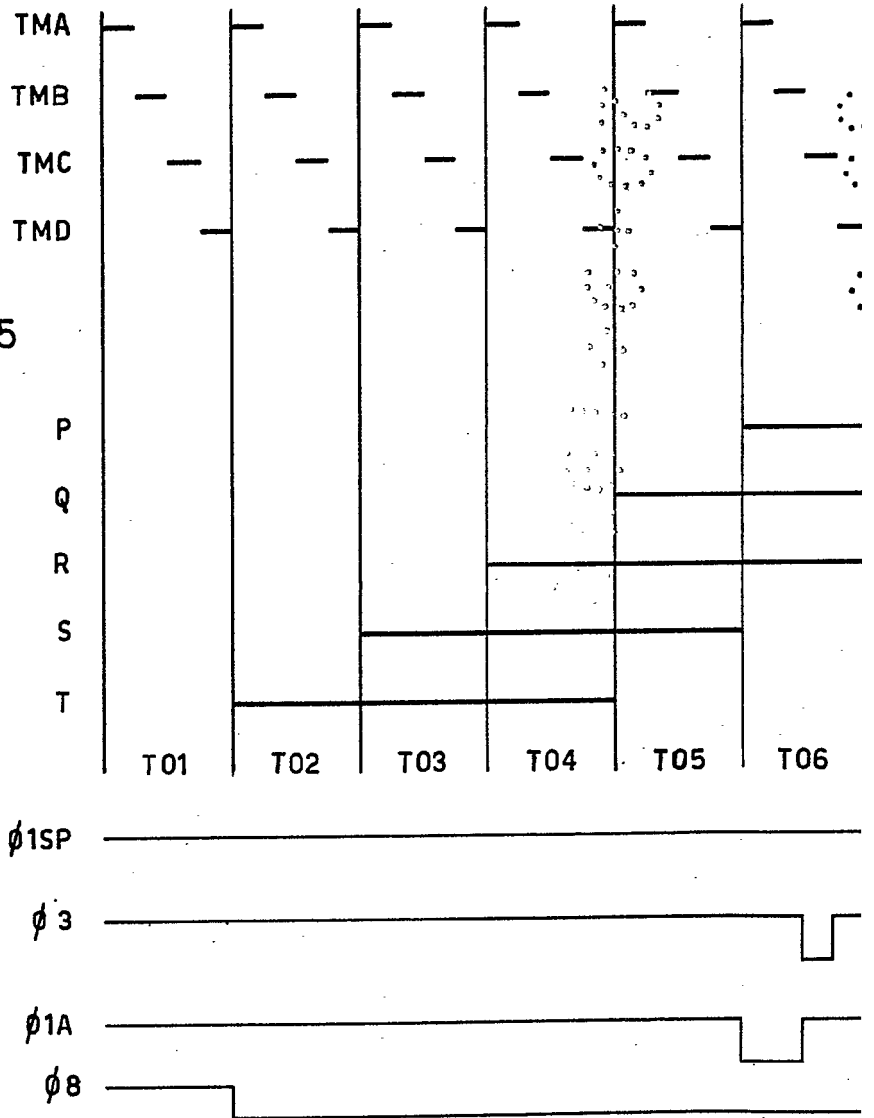
ESCALA VARIABLE



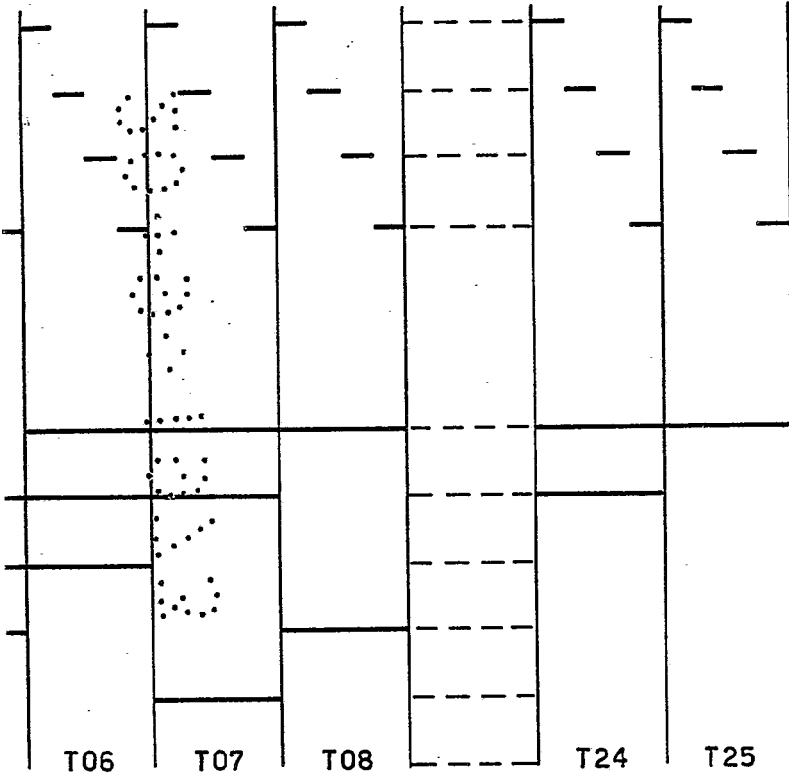
Madrid 19 de Feb. 1973  
 C. OLIVETTI & ROBERTI  
 S.p.A. - Via Feltrina, 1 - 00144 Roma - Italia  
*[Signature]*

416922

Fig.5



416-22



ESCALA  
VARIABLE

18 SEP 1973  
 Madrid  
 I. GARCÍA Y MUÑOZ  
 C. P. Firmado: L. Ceja Fernández

416922

416922



ESPANIA  
VALLE 31

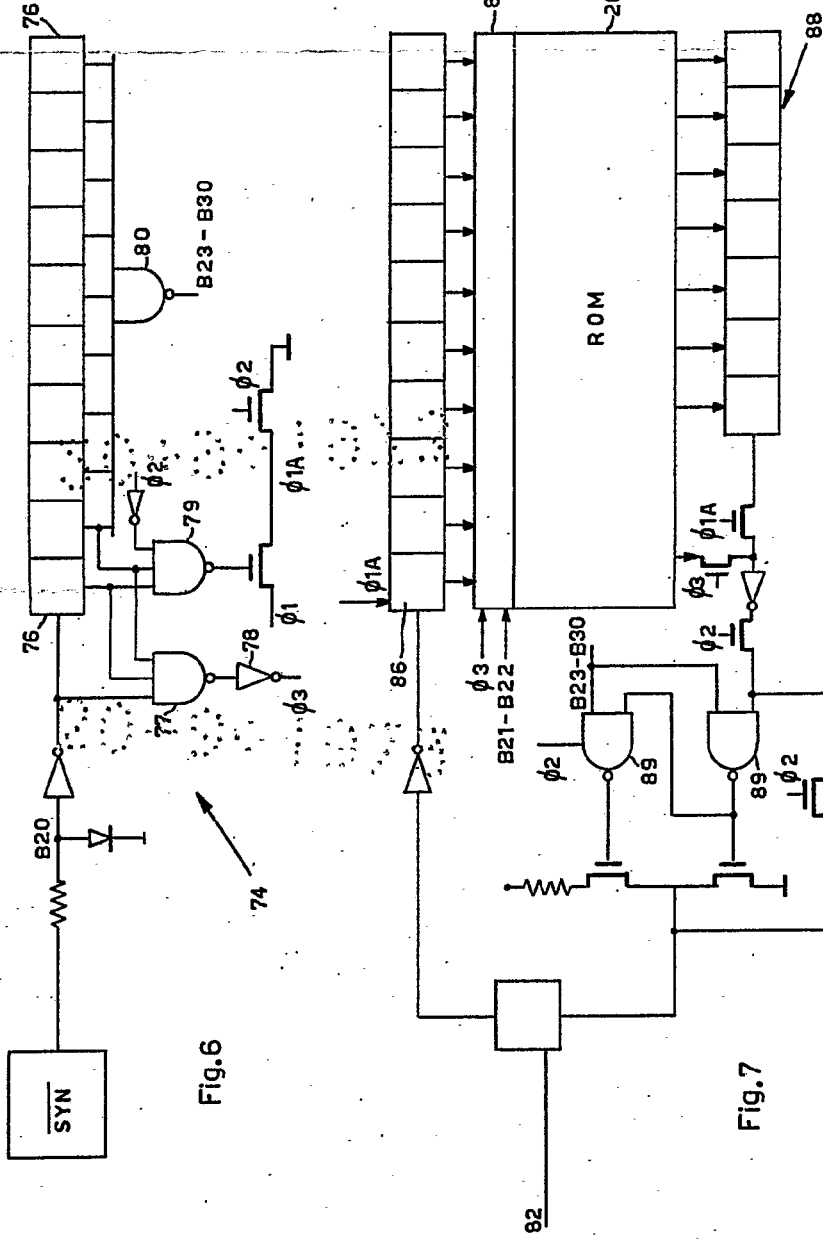


Fig. 6

Fig. 7

19 SET. 1974  
Meculid

Dr. P. FINELLI L. Casa Ferrandini

Dr. GOMEZ FERRER Y RUBEN  
Dr. P. FINELLI L. Casa Ferrandini

416922

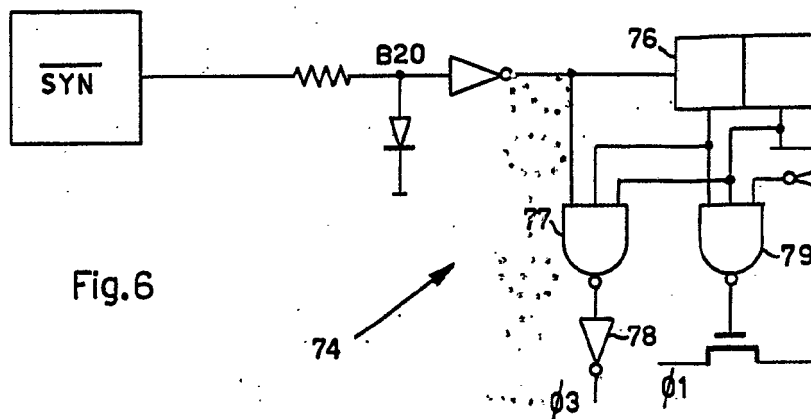


Fig.6

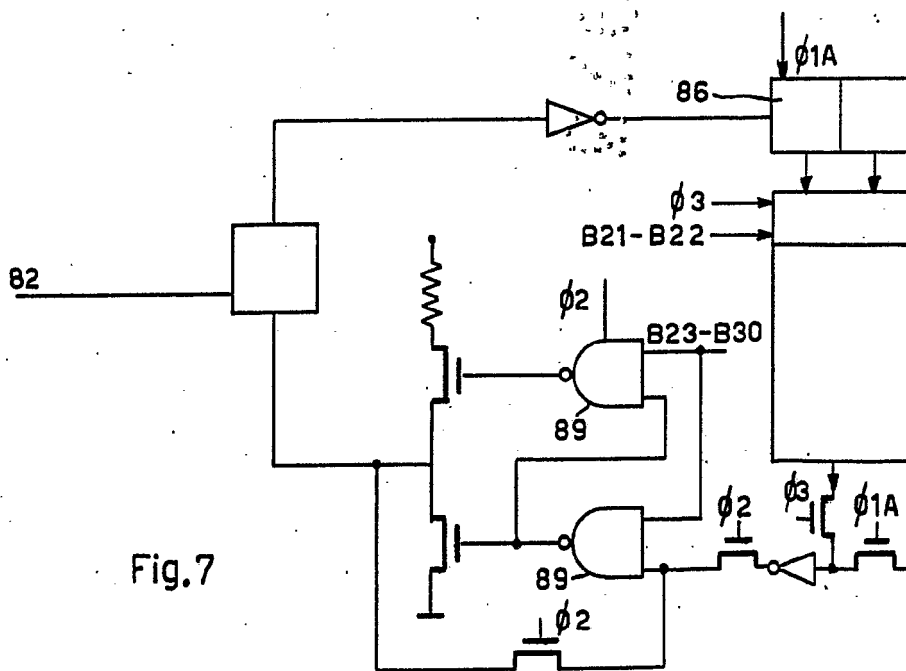


Fig.7



416922



ESCALA VARIABLE

416922

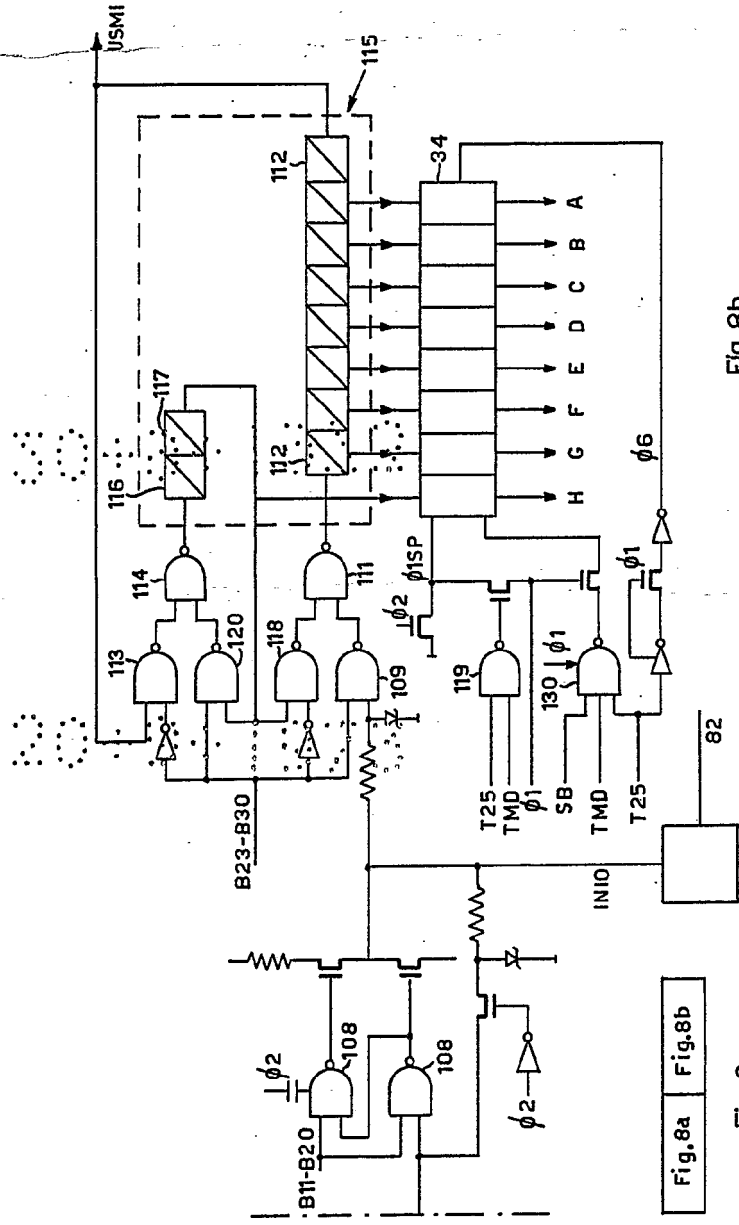


Fig. 8a Fig. 8b

Fig. 8

Fig. 8b

Madrid 13 SEI. 1973  
 L. OLIVETTI & C. S.p.A.  
 Ing. E. Elmadori, L. Guada Ferrández

416922

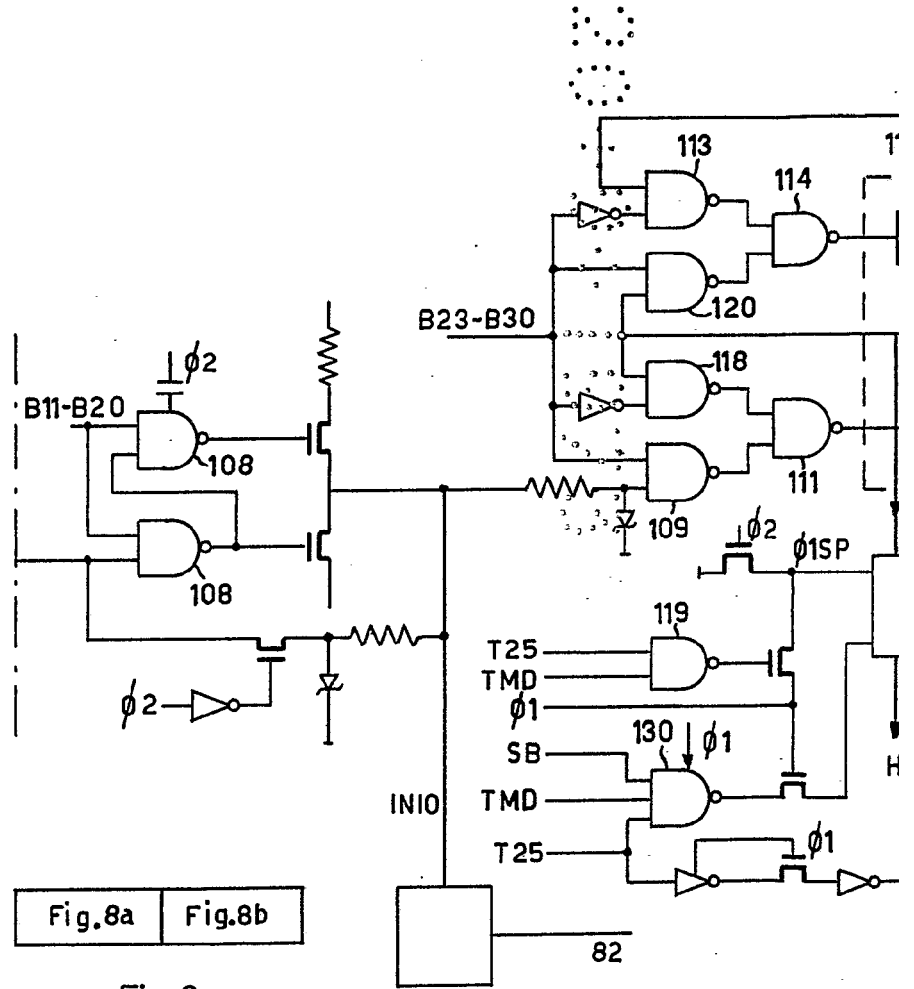
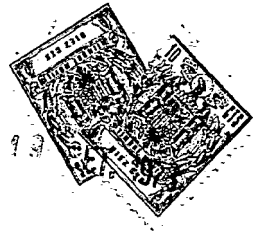


Fig. 8a Fig. 8b

Fig. 8

416922



ESCALA  
VARIABLE

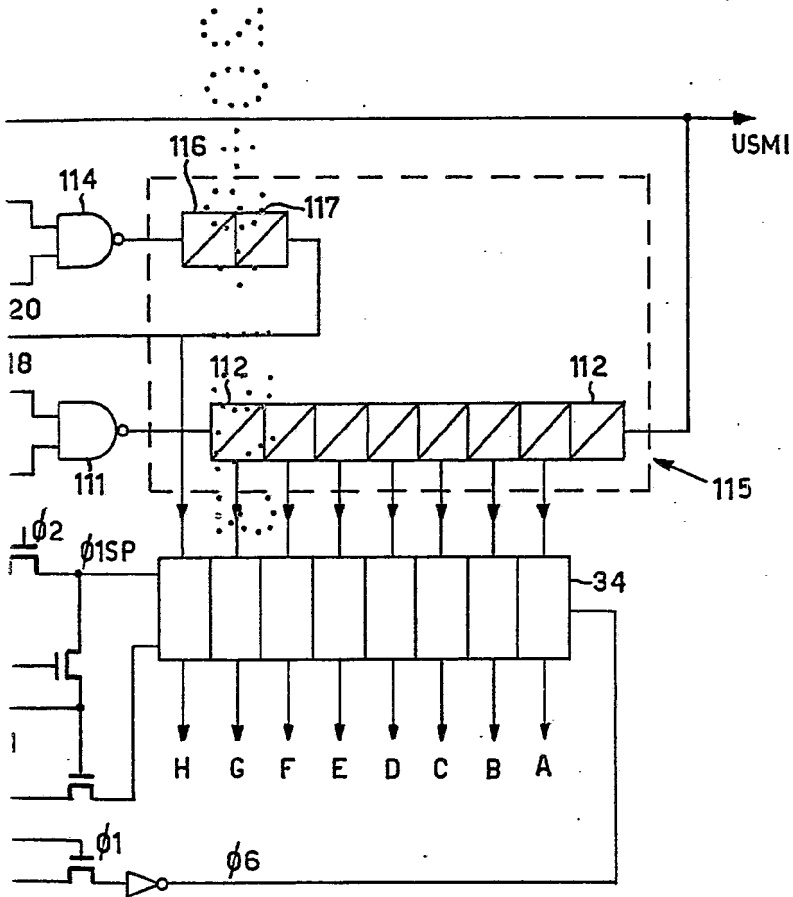


Fig.8b

Madrid 13 SET. 1973  
I. GONZALEZ Y CADEL  
En su Fimador L. Costa Fernández

416922

416922



ESCALA VARIABLE

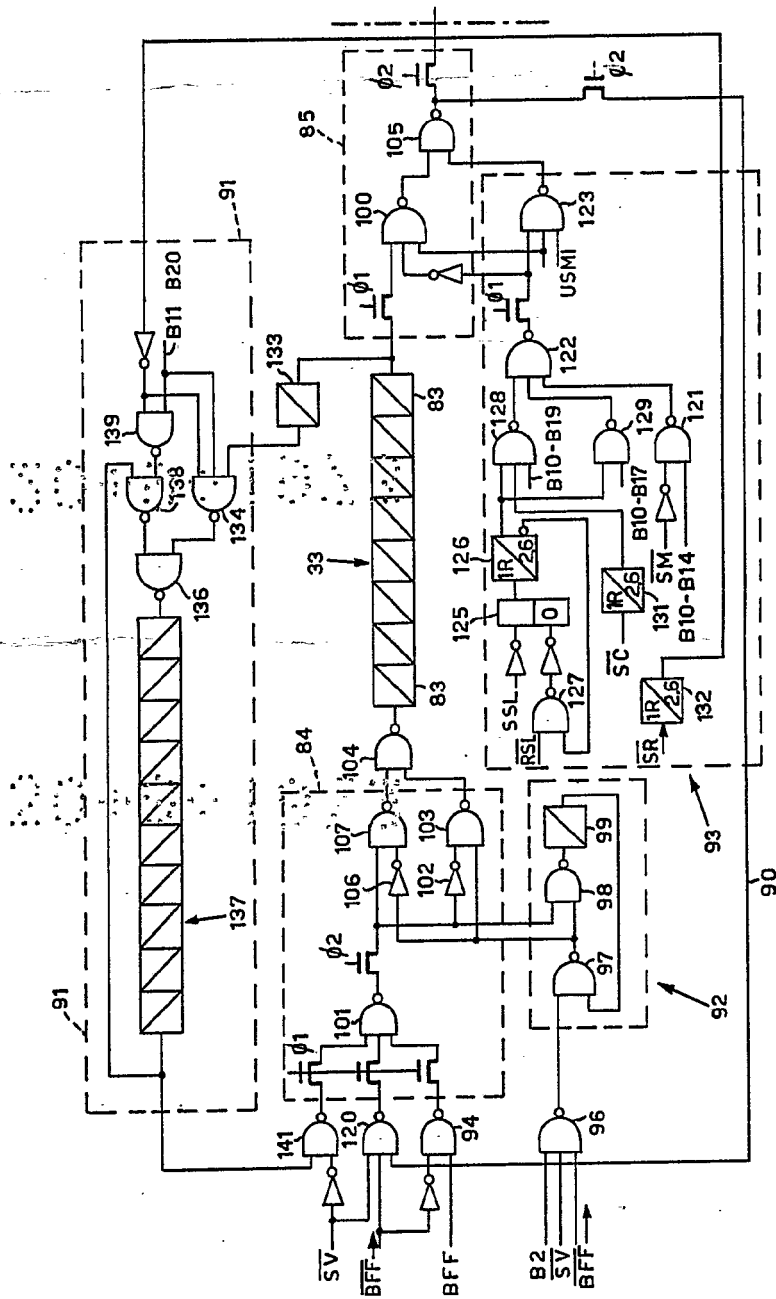


Fig. 8a

11 SET. '67

MADRID

Ing. C. OLIVETTI & C., S.p.A.  
Es. P. Filippi L. Costa Ferraresi  
*[Signature]*

416922

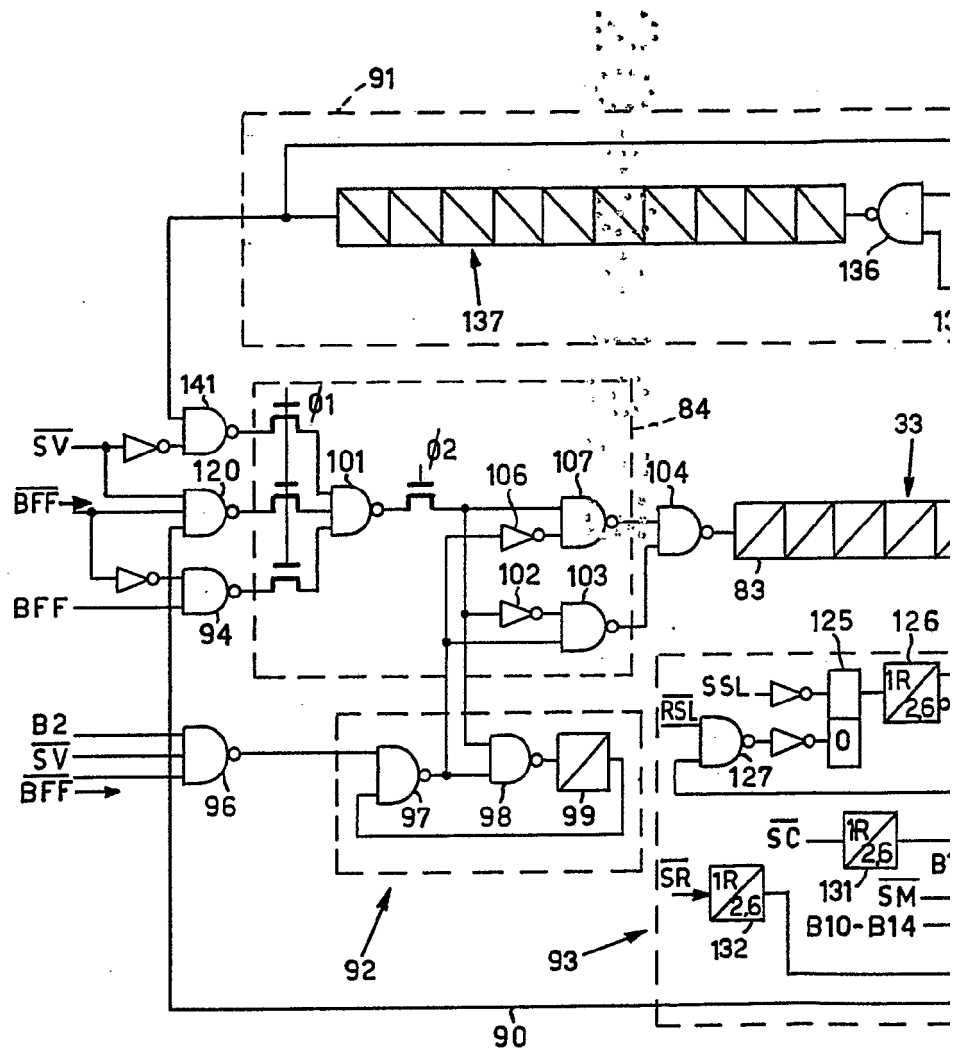
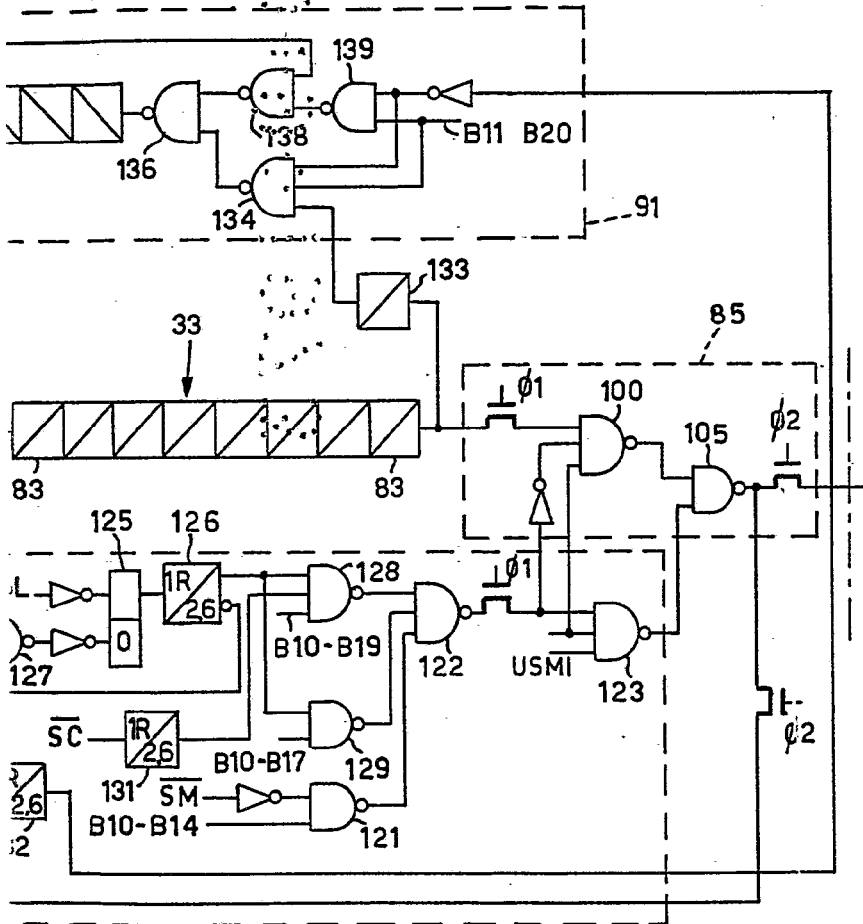
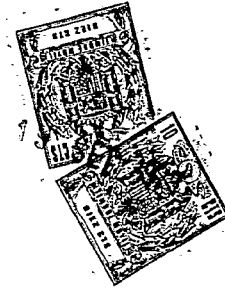


Fig. 8a

416922



ESCALA  
VARIABLE

17 SET. 1979

Madrid

En p. Firmado L. Costa Fernández



416922

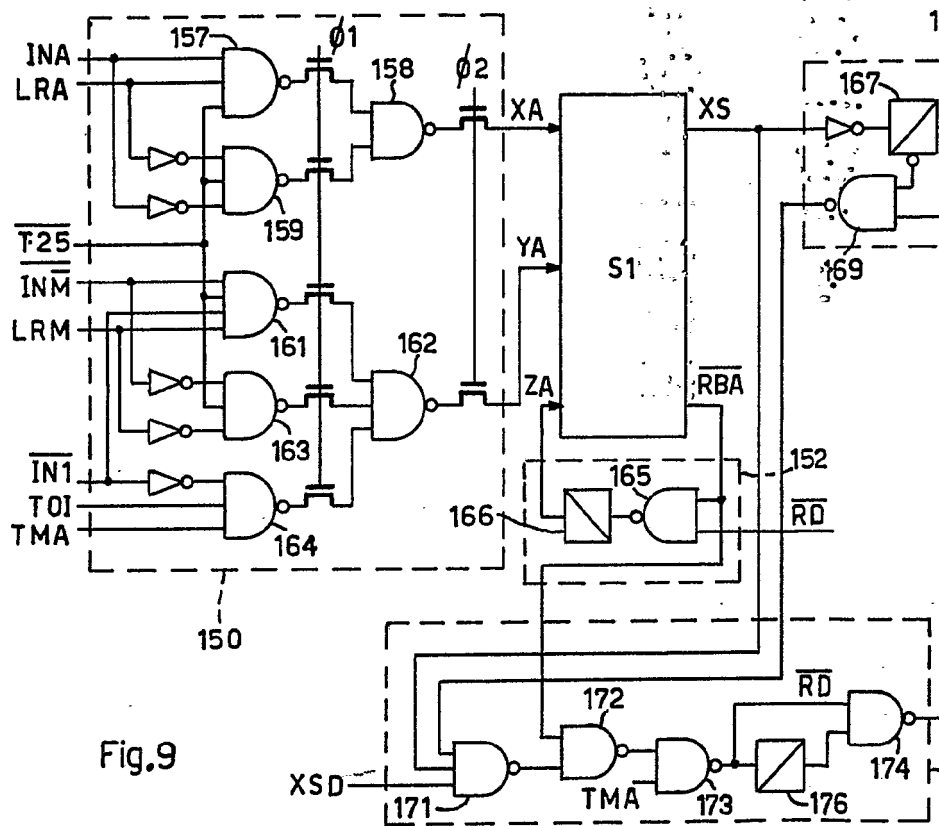
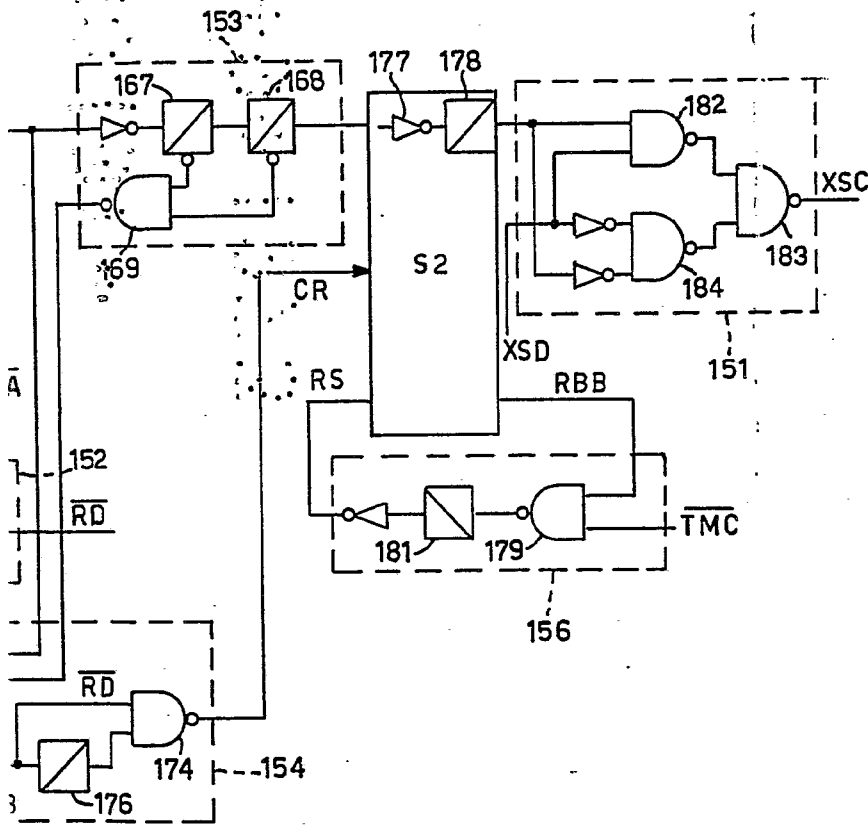


Fig.9

416522



ESCALA  
VARIABLE



19 SET. 1973

Madrid

L. GOMEZ MOLINA / INGENIERO  
D. de Firmado: L. Gomez Fernández

416922

416922



ESCALA VARIABLE

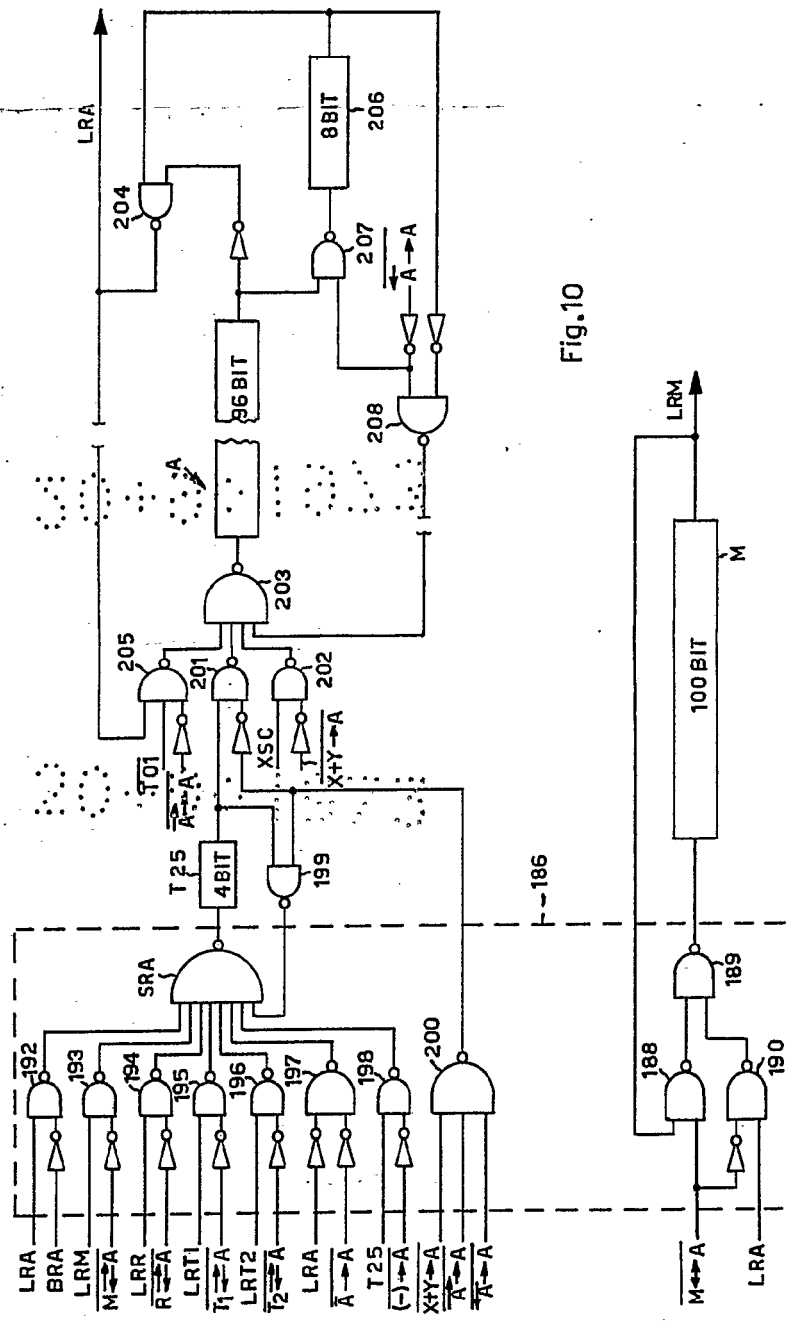
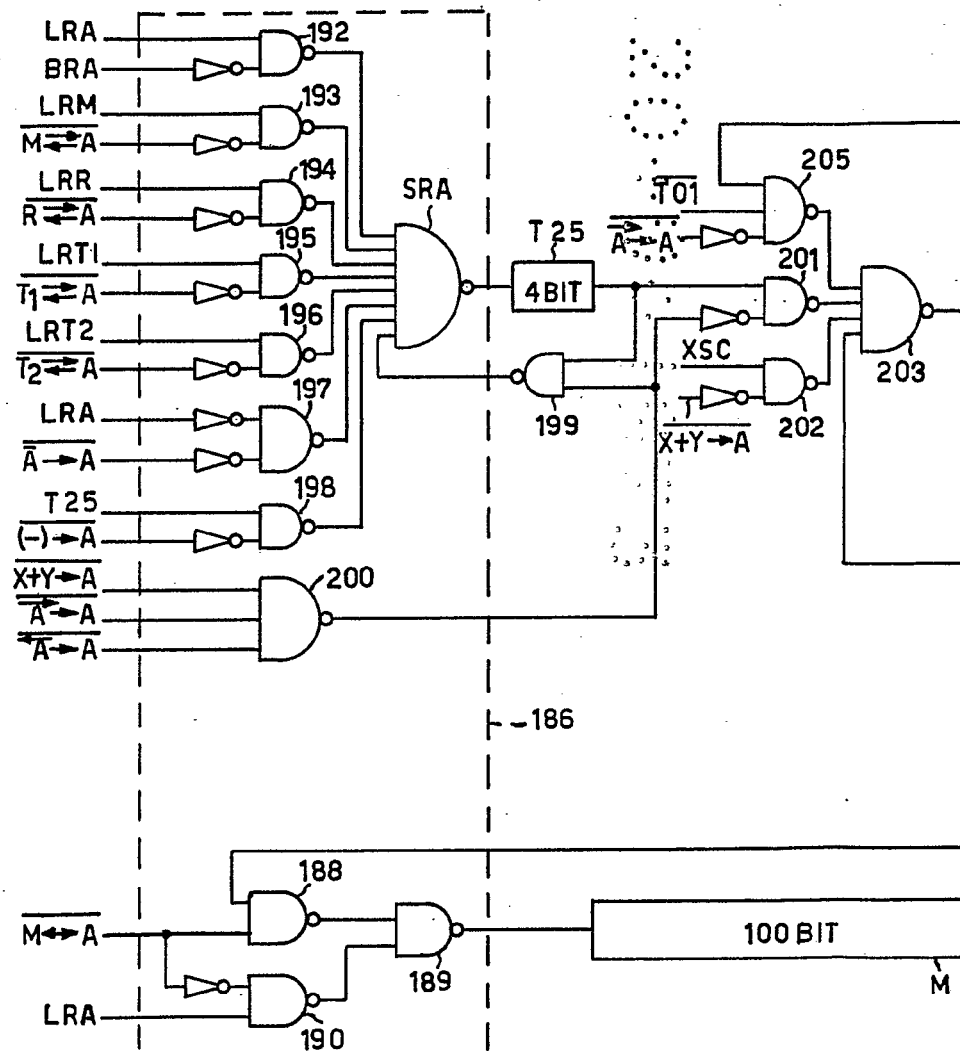


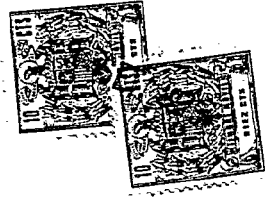
Fig.10

Madril, J. S. SET. 1972  
 INGENIERO ADMINISTRATIVO Y COMERCIAL  
 P. Filizadeh L. Gout. Fernández

416922



416922



ESCALA  
VARIABLE

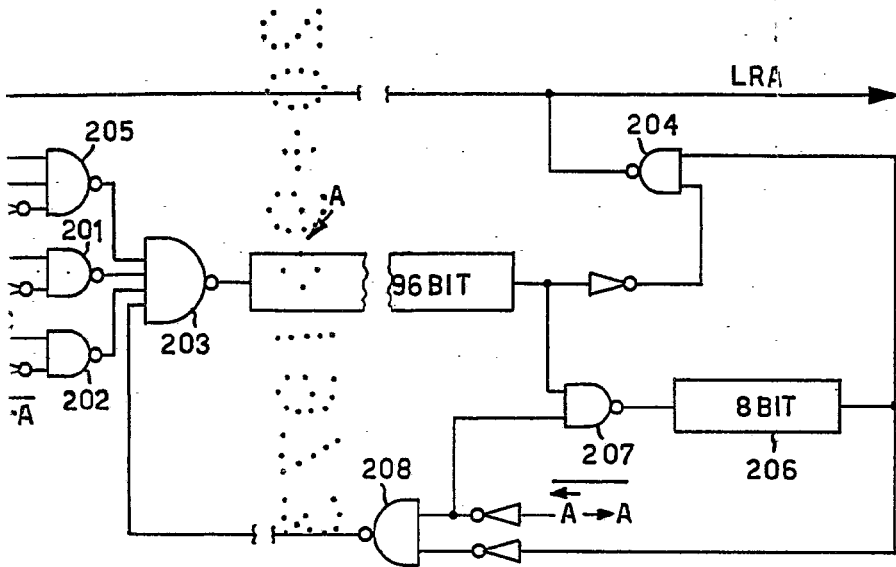
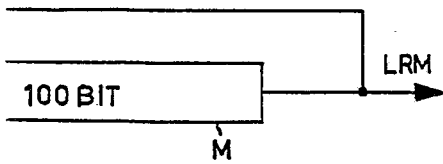


Fig.10



Madrid 19 SET. 1973

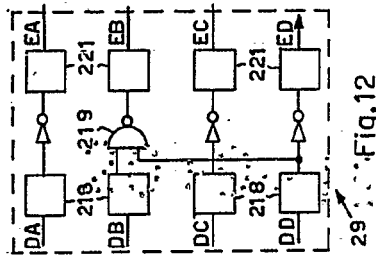
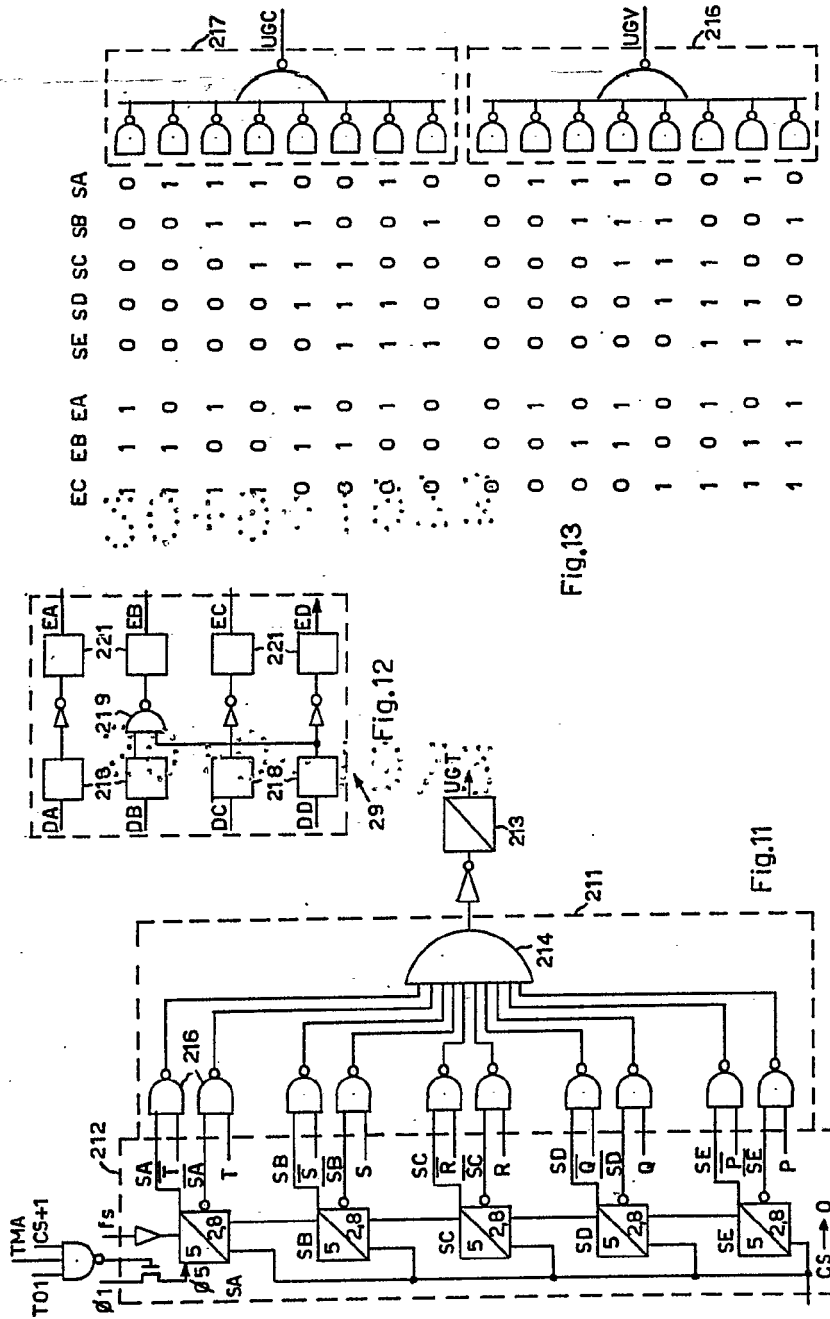
L. GOMEZ AGUIL Y MOJER  
Ingenieros de Telecomunicaciones  
E. P. Firmados L. Gault Fernández

416922

416922



ESCALA  
VARIABLE



EC	EB	EA	SE	SD	SC	SB	SA	UGC
1	1	1	0	0	0	0	0	0
1	1	0	0	0	0	0	1	0
1	0	1	0	0	0	1	1	1
1	0	0	0	0	1	1	1	1
0	1	1	0	1	1	1	0	0
0	1	0	1	1	1	0	0	0
0	0	1	1	1	0	0	1	1
0	0	0	1	0	0	1	0	0
0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	1	1
0	1	0	0	0	0	1	1	0
1	0	1	1	1	0	0	0	0
1	1	0	1	1	0	0	1	0
1	1	1	1	0	0	1	0	0

Fig.13

Fig.11

19 SET. 1973  
 Madrid  
 W. GOMEZ FERRAZ V. LIZARRAIN  
 P. Ferrnada L. C. de Ferrnada

416922

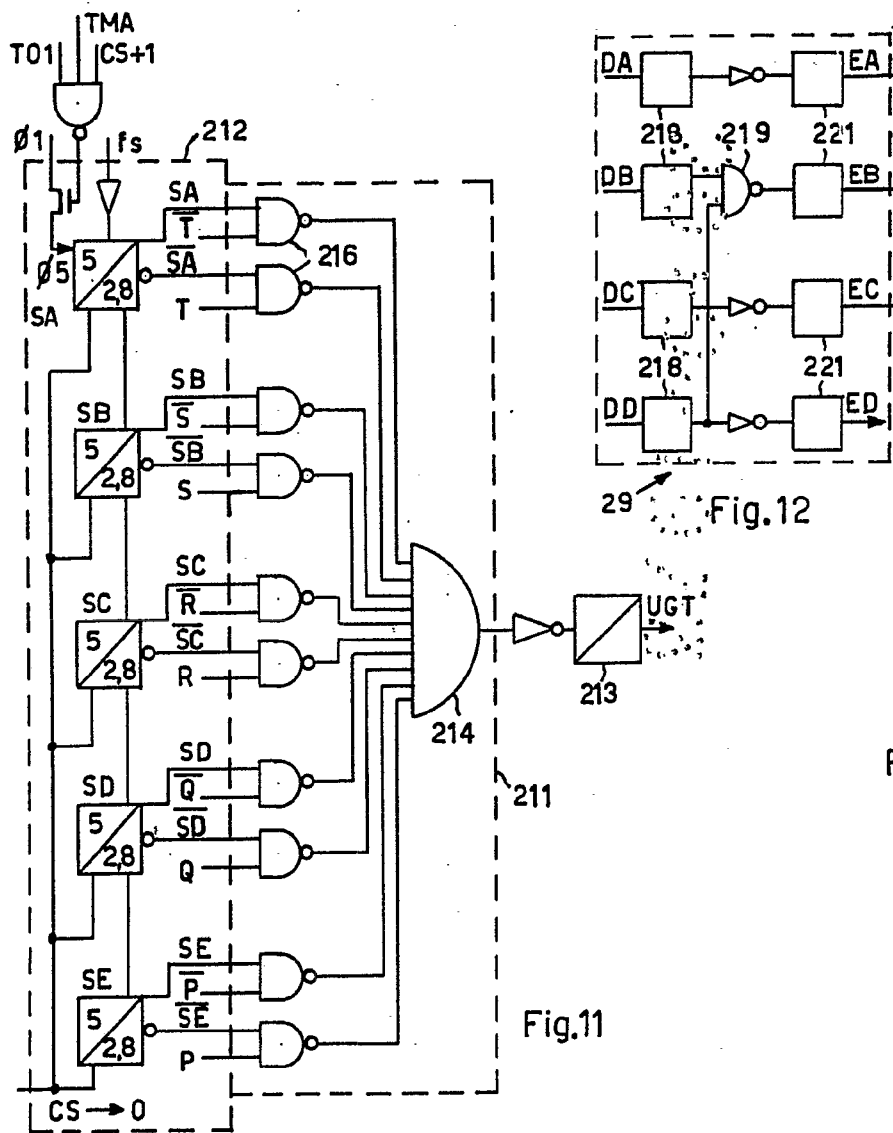
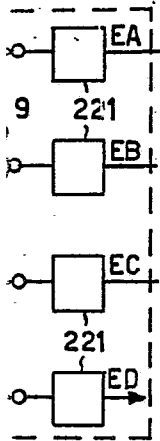
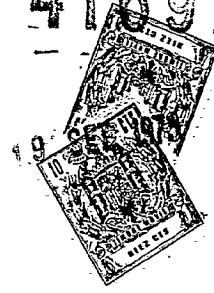


Fig.1

Fig.11

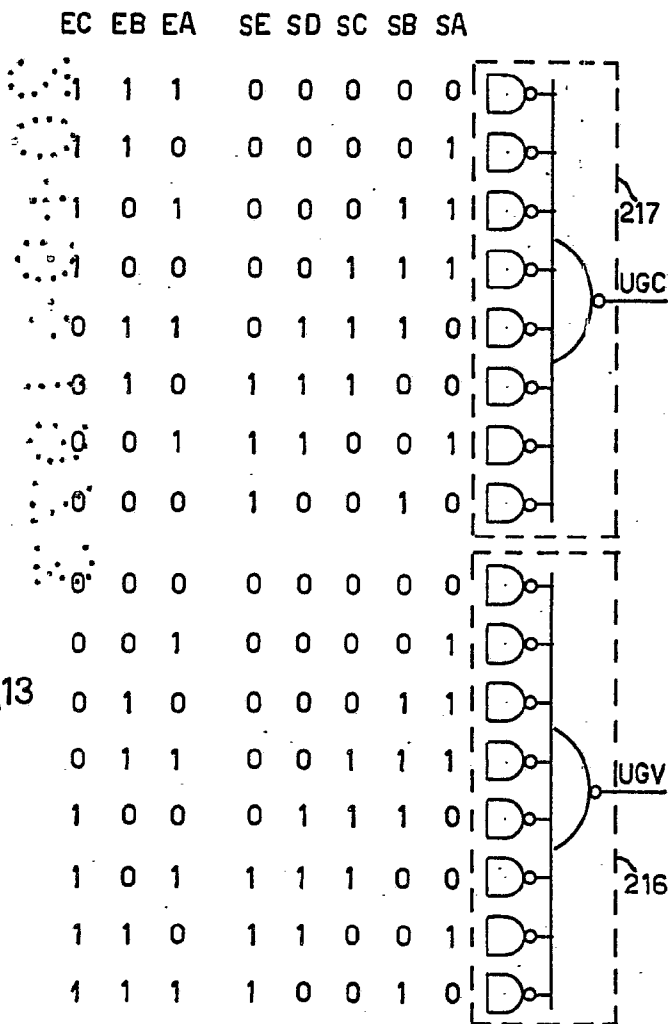
Fig.12

416922



J.12

Fig.13



ESCALA  
VARIABLE

19 SET. 1973

Madrid  
F. GOMEZ ARANDA Y CIA S.A.  
Ingenieros de Electricidad y Electrónica