



P. Charransol, J. Hauri, S.R. Fontana 15.6.6

416871

416871

FC 23-6-75

Int. Cl. <sup>2</sup> H03K, H04Q

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN  
ESPAÑA POR "UN DISPOSITIVO DE ENCAMINAMIENTO DE SEÑAL PARA  
UNA TRANSMISION PARALELO Y/O MALLA DE CONMUTACION DE SEÑA-  
LES CODIFICADAS" A NOMBRE DE STANDARD ELECTRICA, S.A., DO-  
MICILIADA EN MADRID CALLE RAMIREZ DE PRADO Nº 5.

-----

El presente invento se refiere a un dispositi-  
tivo de encaminamiento de señal para una transmisión parale-  
lo y/o malla de conmutación de señales codificadas y, más  
concretamente, a un dispositivo de encaminamiento previsto  
5 para estar asociado con cada entrada y salida y hacer posi-  
ble encaminar en la entrada  $n$  señales de entre  $n+1$  vías de  
transmisión y/o conmutación, y realizar la reserva de enca-  
minamiento a la salida. Es particularmente apropiado en cen-  
trales que aplican la conmutación por división de tiempo de  
10 señales por modulación en código de impulsos.

En las entradas de una tal central, las señas-  
les de las líneas se muestrean a 8 kHz, y cada muestra se con-  
vierte en una combinación codificada de 8-bit. Cada combina-  
ción de 8-bit se transmite en paralelo sobre 8 conductores en

416871

2.

12 J



muy corto período de tiempo, lo que constituye una abertura de tiempo de canal. Es así posible multiplexar-en-tiempo 256 canales, por ejemplo. El período recurrente de las combinaciones sucesivas de un canal es de 125  $\mu$ s, mientras que la duración de cada abertura de tiempo es de unos 500 ns. Un grupo multiplex de entrada encamina las señales desde 256 líneas. Un grupo multiplex de salida similar, encamina las señales hacia las mismas 256 líneas. Los valores numéricos mencionados anteriormente, sin que sea necesario, son normalmente admitidos.

Dentro de la central, es necesario que una combinación codificada que aparece en un canal de tiempo de un grupo multiplex sea retransmitida sobre cualquier canal de tiempo de cualquier grupo múltiplex. Esto implica operaciones de conmutación de espacio (conexiones de grupo a grupo) y operaciones de conmutación en tiempo (conexiones de canal a canal). Esto se realizará mediante una malla que incluya conmutadores de espacio y almacenamientos. Esta malla puede ser, por ejemplo, del tipo conocido espacio-tiempo-espacio. Una vía de conexión entre un canal de entrada de una primera línea (A) y un canal de salida de una segunda línea (B) utiliza dos conmutadores de espacio dispuestos sobre cada lado de una célula de memoria; dan acceso, uno a los grupos multiplex de entrada y el otro a los grupos multiplex de salida. De este modo, en la abertura de tiempo asignada al canal de llegada, y a través del primer conmutador orientado hacia el grupo de entrada apropiado, una combinación codificada, originada en el canal de entrada, se almacena en la célula de memoria. En la abertura de tiempo asignada al canal de salida, y a través del segundo conmutador orientado hacia el grupo de salida apropiado, la combinación codificada, origi-

416871

3.



nada en el canal de entrada y mantenida en la célula de memoria, se retransmite hacia el canal de salida. La conexión en dirección opuesta, entre el canal de salida de la primera línea (A) y el canal de llegada de la segunda línea (B) se realiza de la misma manera, y utiliza, generalmente, la misma célula de memoria.

En la práctica, las numerosas células de memoria necesarias pertenecen a diversos almacenamientos de voz y existen dos conmutadores de espacio asociados con cada almacenaje. En un almacenaje de voz, es necesario acceder, al menos dos veces, a cada célula de memoria en un ciclo de 125  $\mu$ s, la primera vez, en la abertura de tiempo asignada al canal de entrada, y la segunda vez, en la abertura de tiempo asignada al canal de salida, estando cada conmutador orientado apropiadamente en estos instantes determinados. Las otras células de la misma memoria hacen posible establecer otras llamadas, sin importar que estén asignadas, cada vez, a diferentes canales de tiempo.

En una tal central, se emplean los conmutadores de espacio, por multiplexión en tiempo, para un gran número de llamadas. Lo mismo ocurre para los circuitos comunes de almacenamiento de voz y, de un modo general, para todos los circuitos que transmiten y/o conmutan combinaciones codificadas. Un fallo en cualquiera de estos circuitos afectará a todas las llamadas que utilicen dicho circuito. Esto no puede aceptarse.

La solicitud de patente española nº 400.466, registrada el 6 de marzo de 1972 bajo el título de "Red de transmisión y/o conmutación de señales codificadas" describe, de una manera general, una malla de conmutación diseñada para anular los efectos de un tal fallo. Esta malla, prevista para

416871

4.



la transmisión paralelo y/o conmutación de señales codificadas, está constituida por la yuxtaposición de diferentes secciones de malla independientes cada una prevista para transmitir y/o conmutar un único bit de las combinaciones codificadas, a fin de que el fallo, si ocurre, afecte solamente a un bit de dichas combinaciones, lo cual hace posible la detección de cualquier fallo y permite corregir o disminuir sus efectos.

Cada conmutador está constituido por diferentes conmutadores elementales independientes, cada uno de los cuales conmuta un bit de las combinaciones codificadas; estos conmutadores elementales están controlados en paralelo a fin de que tengan siempre la misma orientación. Del mismo modo, cada almacenaje está constituido por diferentes almacenajes elementales, almacenando cada uno un bit de las combinaciones codificadas. Estos almacenajes elementales están controlados en paralelo.

Además, si las combinaciones codificadas incluyen  $n$  bits, la malla incluye, por lo menos,  $n+1$  secciones, mientras que los elementos de encaminamiento de señal están asociados con las entradas y las salidas y hacen posible asociar los  $n$  bit de cada combinación con  $n$  secciones designadas entre las  $n+1$  secciones de la malla. Por lo tanto, si tiene lugar un fallo en cualquier unidad elemental que transmite las combinaciones codificadas, el bit respectivo se encamina hacia una sección de malla no dañada.

Sin embargo, como cada bit de las combinaciones codificadas puede ser encaminado hacia una sección de emergencia, no presenta una vía de transmisión idéntica a las otras. Por razones de propagación, todas las vías deben ser

416871

5.



5 practicamente idénticas, estando determinado el funcionamiento del sistema por la peor vía de transmisión. El presente invento ofrece un modo de encaminamiento particular que cumple esta condición y se refiere, generalmente, a un dispositivo de encaminamiento de señal para una transmisión y/o conmutación paralelo de señales codificadas.

10 El dispositivo de encaminamiento, según el presente invento, tiene  $n$  accesos de señal dispuestos según un cierto orden, y  $n+1$  accesos de malla, dispuestos también según un cierto orden, y que corresponden a  $n+1$  secciones de malla. Incluye elementos de conmutación normales que asocian, en condición de reposo, los  $n$  accesos de señal con los  $n$  accesos de malla de rangos correspondientes; el acceso de malla  $n+1$  de rango  $p$  corresponde a la malla de sección de emergencia. Está caracterizado principalmente porque incluye también  
15 elementos de conmutación "hacia emergencia" previstos para asociar, en caso de fallo en una sección de malla de rango  $m$ , los accesos de señal de rangos  $m$  a  $p-1$  a los accesos de malla de rangos  $m+1$  a  $p$ , de tal modo que cada acceso de señal esté  
20 conectado al acceso de malla del mismo rango, al menos, o al acceso de malla del rango siguiente, en caso de fallo, que modifica muy poco las condiciones de transmisión de esta señal.

25 Según otra característica del presente invento, la sección de malla de emergencia ocupa una posición central de rango  $i$  y dos grupos de elementos de conmutación normal asociados, en condición de reposo, los accesos de señal desde 0 a  $i-1$  y desde  $i+1$  a  $n$  con los accesos de señal de malla del mismo rango, mientras que existen dos grupos de elementos de conmutación "hacia emergencia". Aquellos del primer  
30 grupo asocian selectivamente los accesos de señal de rangos 0



a  $i-1$  con los accesos de malla de rangos 1 a  $i$ , en caso de fallo en una de las secciones de malla de rangos 0 a  $i-1$ , y del modo descrito previamente. Aquellos del segundo grupo asocian selectivamente los accesos de señal de rangos  $i+1$  a  $n$  con los accesos de malla de rangos  $i$  a  $n-1$ , en caso de fallo en una de las secciones de malla de rangos  $i+1$  a  $n$  y en modo simétrico al precedente, que simplifica el diseño de los circuitos de control de conmutación "hacia emergencia".

Describiremos otras características, a modo de ejemplo no limitativo, refiriéndonos a las figs. 1 a 6, que representan:

- La fig. 1, el diagrama esquemático de una malla de conmutación por división en el tiempo, en la que se aplica el presente invento;
- La fig. 2, una ilustración de los contenidos de los almacenajes MT1 y MP1 de la fig. 1.
- La fig. 3, una configuración del equipo de entrada RE1 de la fig. 1, según el presente invento;
- La fig. 4, una configuración del equipo de salida RS1 de la fig. 1, según el presente invento;
- La fig. 5, una configuración de los circuitos de decodificación que hacen posible obtener las señales de control de las figs. 3 y 4;
- La fig. 6, una configuración del equipo RE1 de la fig. 3, que hace posible el encaminamiento de un posible bit de comprobación en la sección que falla.

Describiremos primeramente, refiriéndonos a la fig. 1, el esquemático bloque de los circuitos de una malla de conmutación en donde puede aplicarse el invento.

Esta malla incluye grupos múltiplex de entra-

416871

7.



da tales como GE1. A cada uno de ellos corresponde un grupo multiplex de salida tal como GS1. Cada grupo múltiplex incluye por ejemplo, 256 canales de tiempo. A cada canal de tiempo corresponde una abertura de tiempo de canal de unos 500 ns, durante la cual, se transmite una combinación codificada sobre diversos conductores en paralelo. El período recurrente de una misma abertura de tiempo de canal es 125  $\mu$ s.

Para el establecimiento de una llamada existen diferentes unidades de conmutación. Por razones de claridad, en la fig. 1 se ha representado solamente una de ellas, que incluye un almacenamiento de vía MT1, un almacenamiento de voz MP1, un conmutador de grupo de llegada CE1 y un conmutador de grupo de salida CS1.

Todas las unidades, a través de las cuales se transmiten las combinaciones codificadas, esto es, en este caso, los conmutadores y el almacenamiento de voz, están constituidas por la yuxtaposición de unidades elementales, cada una de las cuales transmite un bit de las combinaciones codificadas. Así, el conmutador CE1 está constituido por 9 conmutadores elementales CE1<sub>0</sub> a CE1<sub>8</sub>, idénticos y controlados en paralelo. Cada uno de ellos conmuta y transmite un bit, de un modo totalmente independiente de los otros, de tal modo que un fallo puede afectar solamente a un bit a la vez. Del mismo modo, el almacenamiento MP1 está constituido por 9 almacenamientos elementales individuales MP1<sub>0</sub> a MP1<sub>8</sub> controlados en paralelo, y el conmutador CS1 está constituido por 9 conmutadores elementales CS1<sub>0</sub> a CS1<sub>8</sub>.

Puede considerarse que la malla de conmutación está constituida por diversas secciones de malla SRO a SR8, cada una de ellas incluye todas las unidades elementales que

416871

8.



transmiten un bit de las combinaciones codificadas.

El almacenamiento de vía MT1 es un almacenamiento que tiene 256 células que se leen cíclicamente, en sincronismo con las aberturas de tiempo de canal de grupo múltiplex. Cada célula puede contener una dirección de una célula del almacenamiento de voz o un número de grupo múltiplex.

El almacenamiento de voz MP1 puede tener hasta 128 células de memoria cada una de las cuales será asignada a una llamada. Estas células de memoria están dirigidas según la información suministrada por el almacenamiento de vía MT1.

El conmutador CE1, durante cada abertura de tiempo de canal, asocia la entrada del almacenamiento MP1 a cualquier grupo de entrada, en respuesta a la información suministrada por la célula del almacenamiento de vía MT1.

El conmutador CS1, durante cada abertura de tiempo de canal, asocia la salida del almacenamiento MP1 a cualquier grupo de salida. Está orientado siempre en la misma posición que el conmutador CE1.

Describiremos el funcionamiento de esta malla refiriéndonos también a la fig. 2, y considerando el caso de una llamada entre un abonado (A), al que corresponde la abertura de tiempo de canal  $t_0$  en los grupos de salida y llegada GE1 y GS1, y otro abonado (B), al que corresponde la abertura de tiempo de canal  $t_j$  en los grupos de salida y entrada GEp y GSp.

En la abertura de tiempo de canal  $t_0$ , una célula del almacenamiento de vía MT1, suministra un número de grupo G1 y una dirección  $ad_0$ . Este número se transmite, en pa-

416871

9.



raleío, a los conmutadores CE1 y CS1. En respuesta, los últimos se orientan, respectivamente, hacia los grupos GE1 y GS1. Simultáneamente, se transmite la dirección ad0 al almacenamiento de vía MP1. En la última, la célula de memoria que corresponde a esta dirección, es objeto, respectivamente, de las operaciones de lectura y escritura.

La información leída en la dirección ad0 se transmite al grupo múltiplex GS1, a través del conmutador CS1. Entonces, la información presente en el grupo múltiplex GE1, transmitida a través del conmutador CE1 a la entrada del almacenamiento de voz MP1, se almacena en lugar de la leída en ese momento, en la dirección ad0. El abonado (A) ha recibido una muestra codificada, mientras que la que él ha suministrado ha sido registrada.

En la abertura de tiempo de canal tj, una célula correspondiente del almacenamiento de vía MT1 suministra el número de grupo Gp y nuevamente, la dirección ad0. Consecuentemente, los conmutadores CS1 y CE1 se orientan hacia los grupos GSp y GEp. La dirección ad0 se transmite al almacenamiento de voz MP1.

La información leída en la dirección ad0 se transmite al grupo múltiplex de salida GSp, a través del conmutador CS1. Entonces, la información presente en el grupo múltiplex de llegada GEp, transmitida a través del conmutador CE1 al almacenamiento MP1, se registra en la dirección ad0. El abonado (B) recibe la muestra codificada recibida previamente desde el abonado (A) y registrada en la abertura de tiempo t0. La muestra codificada y registrada en la dirección ad0 se mantiene hasta la siguiente abertura de tiempo t0, en la que se transmite al abonado (A).

416871

10.

12



Puede verse que, la llamada considerada entre dos abonados, a los que corresponden diferentes aberturas de tiempo de canal y grupos multiplex, necesita las dos células del almacenamiento de vía que corresponden a estas aberturas de tiempo de canal en el almacenamiento de vía, una célula de memoria en el almacenamiento de voz y el empleo de los conmutadores CS1 y CE1, en las aberturas de tiempo apropiadas, a fin de alcanzar cualquier grupo múltiplex.

Además, en la fig. 1 se representan los equipos RE1, RS1 asociados con los grupos GE1 y GS1. El equipo RE1 recibe los diferentes bits de las combinaciones codificadas suministrados en paralelo por el grupo GE1, y los transmite sobre los conductores  $GE1_0$  a  $GE1_8$ . El equipo RS1 recibe los diferentes bits de las combinaciones codificadas que aparecen en los conductores  $GS1_0$  a  $GS1_8$  y suministra las combinaciones codificadas transmitidas en paralelo en el grupo GS1. En caso de fallo, los equipos RE1 y RS1 aseguran las conmutaciones necesarias, como será descrito después. Estos elementos, según el presente invento, hacen posible remediar los efectos de cualquier fallo que ocurra en los circuitos de la malla de conmutación.

Si las combinaciones codificadas transmitidas en los grupos de salida y llegada tienen 8 bits, mientras que la malla de conmutación incluye 9 secciones SR0 a SR8, el equipo RE1 encaminará los 8 bits de las combinaciones de llegada hacia las secciones SR0 a SR3 y SR5 a SR8; el equipo RS1 suministrará las combinaciones de salida retransmitiendo los bits desde dichas secciones anteriores. Si una sección falla, existen elementos, no representados, que actuarán sobre los equipos RE1 y RS1, así como sobre todos los equipos idénticos

416871

11.

12



asociados con los otros grupos múltiplex, a fin de que estos equipos encaminen los 8 bits de las combinaciones codificadas hacia las 8 secciones de malla no dañadas. Estos equipos hacen posible, sin importar la sección de malla donde haya  
5 ocurrido el fallo, el encaminamiento de las combinaciones codificadas hacia las secciones de malla en buenas condiciones, mientras que la sección que falla queda aislada.

La malla de la fig. 1 puede encaminar los 8 bits en caso de un fallo, y un noveno bit en ausencia de fallo. Como los grupos multiplex de salida y llegada tienen 8  
10 bits, no se emplea la novena sección de malla (SR4) en ausencia de un fallo. Sin embargo, el equipo GE1 puede añadir a los 8 bits del grupo múltiplex GE1 un bit de paridad, mientras que el equipo RS1 puede incluir elementos de comprobación  
15 de paridad. La novena sección de malla (SR4) se empleará para el encaminamiento de los bits de comprobación, que ayudan en la detección de fallos. En caso de fallo, se emplearán las 8 secciones no dañadas para transmitir los 8 bits de datos, mientras que se desconectará la comprobación de paridad hasta  
20 que el fallo haya sido reparado.

Refiriéndonos a las figs. 3 y 4, describiremos seguidamente una configuración de los equipos RE1 y RS1 de la fig. 1, según el presente invento.

Convencionalmente, en la siguiente descripción, las puertas-AND se han representado por un punto rodeado de un círculo (símbolo de intersección lógica), las puertas-OR por una cruz rodeada por un círculo (símbolo de unión lógica) y los biestables por dos rectángulos yuxtapuestos que contienen, respectivamente, los dígitos 0 y 1; generalmente,  
25 no se han representado las entradas al biestable, y las salidas  
30



416871

das están localizadas en la parte inferior de los rectángulos,

El grupo múltiplex GE1 suministra las combinaciones codificadas de 8-bit. Consecuentemente, se ha previsto, en el equipo RE1 de la fig. 3, un generador de paridad PE1 que envía, por sus conductores de salida o accesos de señal se0 a se3 y se5 a se8 los 8 bits de las combinaciones codificadas que se han recibido por sus conductores de entrada ge0 a ge7. También envía, por su conductor de salida, o acceso de paridad se4, un bit de paridad calculado desde los precedentes. El equipo RE1 incluye, además, un juego de 9 puertas directas pe0 a pe8 que hace posible la transmisión de los 9 bits, suministrados por PE1, sobre los conductores o accesos de malla GE1<sub>0</sub> a GE1<sub>8</sub>. Así, las puertas pe0 a pe3 activadas por las señales  $\overline{N0}$  a  $\overline{N3}$ , conectan las salidas se0 a se3 del generador de paridad PE1 a los accesos de malla GE1<sub>0</sub> a GE1<sub>3</sub>; cuando están presentes las señales  $\overline{N0}$  a  $\overline{N3}$ . Lo mismo es aplicable para las puertas pe5 a pe8 que, en presencia de las señales  $\overline{N5}$  a  $\overline{N8}$  conectan las salidas se5 a se8 del generador de paridad PE1, respectivamente, a los accesos de malla GE1<sub>5</sub> a GE1<sub>8</sub>. Finalmente, la puerta pe4, en presencia de la condición N4 conecta la salida se4, del generador PE1, al conductor GE1<sub>4</sub>.

El equipo RE1 incluye un juego de ocho puertas de transferencia pf0 a pf3 y pf5 a pf8. Estas puertas están controladas, respectivamente, por las señales N0 a N3 y N5 a N8, complementarias de las respectivas señales  $\overline{N0}$  a  $\overline{N3}$  y  $\overline{N5}$  a  $\overline{N8}$ . Estas puertas asocian cada salida del generador de paridad a la sección malla vecina. Cuando desaparece la condición  $\overline{N0}$ , esto es, cuando está presente la condición N0, la puerta pf0 conduce, mientras que no conduce la puerta pe0; se transmite el bit de las combinaciones codificadas suminis-

416871

13.



trado por el generador de paridad PE1 por su salida se0, a través de la puerta pf0, al conductor GE1 y a la sección de malla SR1. Del mismo modo, cuando desaparece la condición N3, y está presente la N3 la puerta pf3 asocia la salida se3 del generador PE1 a la sección vecina SR4; se cancela la condición N4.

De un modo simétrico, en presencia de la condición N8, la puerta pf8 asocia la salida se8 del generador PE1 a la sección SR7; cuando está presente la condición N5, la puerta pf5 asocia la salida se5 del generador PE1 a la sección vecina SR4, siendo cancelada la condición N4.

En conclusión, las puertas pf0/3 asocian, respectivamente, cada acceso de señal se0 a se3 con la sección de malla vecina, cambiando un paso hacia la derecha, y las puertas pf5/8 asocian, respectivamente, cada acceso de señal se5 a se8 con la sección vecina, cambiando un paso hacia la izquierda.

Tan pronto como aparece un fallo en la sección de malla SR3, desaparece la condición N3 y aparece la N3. Desaparece la condición N4. Como se ha visto anteriormente, las puertas pe3 y pe4 se hacen no conductoras y la pf3 conductora. El conductor GE1<sub>3</sub> y la sección SR3 están aislados, y el bit de paridad suministrado por el generador PE1, por su salida se4, ya no se transmite al conductor GE1<sub>4</sub>; el bit de combinación codificada suministrado por el generador PE1 por su salida se3 se transmite, a través de la puerta pf3 y el conductor GE1<sub>4</sub>, a la sección de emergencia SR4.

Supondremos ahora que ocurre un fallo en la sección de malla SR5; aparece la condición N5 y desaparecen las condiciones N4 y N5; la puerta pf5 se hace conductora y



las pe<sub>5</sub> y pe<sub>4</sub> están bloqueadas. El conductor GE<sub>1</sub><sub>5</sub> y la sección SR<sub>5</sub> están aislados; ya no se transmite el bit de paridad suministrado por el generador PE<sub>1</sub> por su salida se<sub>4</sub> al conductor GE<sub>1</sub><sub>4</sub>. El bit de datos suministrado en la salida se<sub>5</sub> se transmite, a través de la puerta pf<sub>5</sub> y el conductor GE<sub>1</sub><sub>4</sub>, a la sección de emergencia SR<sub>4</sub>.

Si suponemos, finalmente, que ocurre un fallo en la sección de malla SR<sub>8</sub>; aparecen las condiciones N<sub>8</sub> a N<sub>5</sub> y desaparecen las condiciones N<sub>4</sub> y N<sub>8</sub> a N<sub>5</sub>. Las puertas pe<sub>8</sub> y pe<sub>4</sub> están bloqueadas y las puertas pf<sub>8</sub> y pf<sub>5</sub> se hacen conductoras; el conductor GE<sub>1</sub><sub>8</sub> y la sección SR<sub>8</sub> están aislados, y el bit de paridad ya no se transmite al conductor GE<sub>1</sub><sub>4</sub>. El bit de datos suministrado por la salida se<sub>8</sub> se transmite, a través de la puerta pf<sub>8</sub>, y el conductor GE<sub>1</sub><sub>7</sub>, a la sección de malla SR<sub>7</sub>; el bit de datos suministrado por la salida se<sub>7</sub> se transmite, a través de la puerta pf<sub>7</sub> y el conductor GE<sub>1</sub><sub>6</sub>, a la sección de malla SR<sub>6</sub>, y así sucesivamente hasta que el bit de datos, suministrado por la salida se<sub>5</sub>, que se transmite a través de la puerta pf<sub>5</sub> y el conductor GE<sub>1</sub><sub>4</sub> a la sección de emergencia SR<sub>4</sub>.

En el centro de conmutación de la fig. 1, tan pronto como ocurre un fallo, cambia un paso hacia la sección de emergencia, de todas las vías incluídas entre esta sección de emergencia y la sección que falla, lo cual se realiza en todos los equipos de entrada tal como RE<sub>1</sub>.

Describiremos seguidamente, refiriéndonos a la fig. 4 una configuración del equipo de salida RS<sub>1</sub>.

El equipo RS<sub>1</sub> incluye un circuito de comprobación de paridad PS<sub>1</sub> que corresponde al circuito PE<sub>1</sub> (fig. 3). Este circuito retransmite, por sus conductores de salida ss<sub>0</sub> a

416871

15.



5 ss8 los bits recibidos; respectivamente, por sus conductores de entrada  $GS1_0$  a  $GS1_8$ . En el caso de un error de paridad, este circuito suministra sobre un grupo de conductores ft1, una combinación que facilita la identificación de la sección que falla.

10 El equipo RS1 incluye, además, las puertas ps0 a ps3 y ps5 a ps8, para la transferencia directa de los 8 bits de combinación codificada, en ausencia de fallo, así como las puertas de transferencia pt0 a pt3 y pt5 a pt8. Las puertas pt0 a pt3 y pt5 a pt8, por una parte, y las puertas ps0 a ps3 y ps5 a ps8, por otra, están controladas respectivamente, por las condiciones  $N0$  a  $N3$  y  $N5$  a  $N8$ , por una parte, y por otra parte, por sus complementos  $\overline{N0}$  a  $\overline{N3}$  y  $\overline{N5}$  a  $\overline{N8}$ . De esta manera, la puerta pt0 se hace conductora por la condición  $N0$  para la conexión de la salida ssl del circuito PS1 al conductor gs0, y la puerta ps0 se hace conductora por la condición  $\overline{N0}$  por la conexión directa de la salida ss0 del circuito PS1 al conductor gs0. Lo mismo ocurre para las puertas pt1, ps1, pt2, ps2, ... pt8, ps8.

20 Cuando aparece un fallo en la sección de malla SR3, se ha visto que desaparece la condición  $\overline{N3}$  y aparece la condición  $N3$  y que, como consecuencia, el bit de paridad transmitido al generador de paridad PE1 por el conductor ge3 fué transmitido, por el equipo de entrada RE1 (fig. 3), a la sección de emergencia SR4. Este bit se presenta al circuito de comprobación de paridad PS1 por el conductor  $GS1_4$ . Este circuito lo retransmite por el conductor de salida ss4. Como la puerta pt3 se hace conductora por la condición  $N3$ , retransmite dicho bit por el conductor de salida gs3. Por lo tanto, 25 30 en caso de un fallo en la sección de malla SR3, el bit de las



416871

17.



das del generador de paridad PE1 y las puertas están físicamente dispuestas como en la fig. 1, los diferentes caminos de transmisión permanecen, prácticamente, sin cambios. Cuando ocurre un fallo en una sección de malla, la vía de transmisión que falla es reemplazada por una sección vecina. El proceso, bien conocido, en que la sección SR4 es una sección de emergencia común necesita un múltiplo en la entrada de esta sección, conectado a través de las puertas de control adicionales. Este requerimiento deteriora las características eléctricas de la vía de emergencia y, las características del sistema, que están determinadas por la peor de aquellas vías. Esta configuración evita los problemas de propagación eléctrica debido, en particular, al múltiplo en la entrada de la sección de emergencia. Estas mismas consideraciones se aplican a los circuitos del equipo de salida RS1.

Describiremos ahora, refiriéndonos a la fig. 5, una configuración de los circuitos de decodificación que hacen posible obtener las condiciones NO a N8 y sus complementos  $\overline{NO}$  a  $\overline{N8}$ , necesarias para el funcionamiento de los circuitos de las figs. 3y 4.

Estos circuitos de decodificación, comunes a todos los grupos múltiplex, incluyen en particular, un circuito de control CLF. Este circuito incluye nueve biestables, bs0 a bs8. En ausencia de un fallo, el biestable bs4 está en la posición 1, y los otros biestables están en reposición. Los diferentes conductores de salida  $\overline{bb0}$ , bb0,  $\overline{bb1}$ ... $\overline{bb8}$  de estos biestables, están asociados con seis puertas OR ds1 a ds3 y ds5 a ds7 así como a seis puertas-AND dp1 a dp3 y dp5 a dp7; la puerta-OR ds3 está asociada con las salidas directas de los biestables bs0 a bs3, y la puerta dp3 está asociada con

416871

18.

12 JUN 1964



las entradas complementarias de los mismos biestables. Dando a las señales de salida de los biestables las mismas referencias que a los conductores de salida en los que aparecen, puede escribirse, siendo  $N_3$  y  $\overline{N}_3$ , respectivamente, las señales de salida de las puertas  $ds_3$  y  $dp_3$

$$N_3 = bb_0 + bb_1 + bb_2 + bb_3$$

$$\overline{N}_3 = \overline{bb_0} \cdot \overline{bb_1} \cdot \overline{bb_2} \cdot \overline{bb_3}$$

Expresiones análogas describen las señales de salida  $N_{2/0}$  y  $\overline{N}_{2/0}$  de las puertas  $ds_{2/0}$  y  $dp_{2/0}$  con:

$$10 \quad N_0 = bb_0 \quad \text{y} \quad \overline{N}_0 = \overline{bb_0}$$

Las funciones suministradas por las salidas de las puertas-OR  $ds_{5/8}$  y las puertas-AND  $dp_{5/8}$  se expresarán de la misma manera:

$$N_5 = bb_5 + bb_6 + bb_7 + bb_8$$

$$15 \quad \overline{N}_5 = \overline{bb_5} \cdot \overline{bb_6} \cdot \overline{bb_7} \cdot \overline{bb_8}$$

con:

$$N_8 = bb_8 \quad \text{y} \quad \overline{N}_8 = \overline{bb_8}$$

Por razones de homogeneidad llamaremos  $N_4$  a la salida directa  $bb_4$  del biestable  $bs_4$ .

20 En ausencia de fallo, los biestables  $bs_{0/3}$  y  $bs_{5/8}$  están en reposición, mientras que el biestable  $bs_4$  está activado.

Supondremos ahora que ha ocurrido un fallo en la sección SRO de la malla de la fig. 1. Este fallo lo detecta el circuito de comprobación de paridad PS1 del equipo de salida RS1 de la fig. 4. Este circuito transmite las combinaciones erróneas por sus conductores de salida  $ft_1$  hacia el circuito de control CLF, que identifica la sección que falla. Lo mismo ocurre para cada circuito de comprobación de paridad PS1 a PSn de todos los equipos de salida del centro de comu-

25

30



416871

tación que detecta una combinación errónea. El análisis de estas combinaciones erróneas por ejemplo, por integración, hará posible la identificación de la sección de malla en la que se ha localizado la falta. Entonces, si es la sección SRO, se disparan los biestables bs4 y bs0, no se suministra más la señal bb4 y aparece la señal bb0. Desaparecen las combinaciones  $\overline{N0/N3}$  y  $N4$ , y aparecen las combinaciones  $N0/N3$ .

Puede suponerse también que ha aparecido un fallo en la sección SR8 de la malla de la fig. 1. En respuesta, se disparan los biestables bs4 y bs8 del circuito CLF. Aparece la señal bb8 y desaparece la bb4. Aparecen las combinaciones  $N8$  a  $N5$  y desaparecen las combinaciones  $\overline{N8/N5}$  y  $N4$ .

En resumen, en el circuito de control CLF existe siempre solamente un biestable en posición 1 que identifica la sección de malla que no ha de emplearse para la transmisión de un bit de datos. Los circuitos de la fig. 5 suministran las condiciones necesarias a los equipos de entrada y salida de las figs. 3 y 4.

Refiriéndonos a la fig. 6, describiremos el funcionamiento de un equipo de entrada que hace posible, en todos los casos, la conmutación del bit de comprobación hacia la sección que falla, lo cual facilita, en particular, la identificación del elemento que falla en esta sección.

En la fig. 6, se encuentran todos los elementos de la fig. 3 a los que se ha añadido un juego de 8 puertas de transferencia pn0 a pn3 y pn5 a pn8. Estas puertas están controladas, respectivamente, por las señales de salida directas bb0/bb3 y bb5/bb8 de los biestables bs0/bs3 y bs5/bs8 del circuito de control CLF de la fig. 5. Así, cuando aparece la señal bb3, la puerta pn3 conecta la salida se4, del genera-

416871



dor de paridad PE1, al conductor GE1<sub>3</sub>. Lo mismo ocurre para las otras puertas pn0... pn8.

Supongamos que ha aparecido un fallo en una de las secciones SR8 de la malla de la fig. 1. Se ha visto que ello trae como consecuencia la aparición de la señal bb8 y la desaparición de la bb4, y, consecuentemente, la aparición de las combinaciones N8 a N5 y la desaparición de las N4 y N8/N5. Las salidas se8 a se5 del generador de paridad están conectadas, respectivamente, a los conductores GE1<sub>7</sub> a GE1<sub>4</sub>.

El bit de comprobación ya no se transmite por la salida se4 al conductor GE1<sub>4</sub>, siendo bloqueada la puerta pe4. Pero la puerta pn8, que se hace conductora por la señal bb8, encamina el bit de comprobación, por el conductor GE1<sub>8</sub>, hacia la sección SR8.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo, y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Francia el día 13 de julio de 1972, señalada con el número 72 25409, y se acoge, por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

----- N O T A -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son:

1. Un dispositivo de encaminamiento de señal para una transmisión paralelo y/o malla de conmutación de señales codificadas, previsto para estar asociado con cada en-

Handwritten mark resembling a stylized 'A' or 'B' with the number 30 written below it.

416871

21.



trada y salida de esta malla y que tiene  $n$  accesos de señal  
dispuestos según un cierto orden, y  $n+1$  secciones de malla  
correspondientes, así como elementos de conmutación normales  
que asocian, en posición de reposo, los  $n$  accesos de señal con  
5 los  $n$  accesos de malla de rangos correspondientes. El acceso  
de malla  $n+1$ , de rango  $p$ , que corresponde a la malla de la sec-  
ción de emergencia, se caracteriza porque incluye también ele-  
mentos de conmutación "hacia emergencia" previstos para aso-  
ciar, en caso de fallo de una sección de malla de rango  $m$ , los  
10 accesos de señal de rangos  $m$  y  $p-1$  a los accesos de malla de  
rangos  $m+1$  a  $p$ , de tal modo que cada acceso de señal esté  
conectado al acceso de malla del mismo rango, en reposo, o  
al acceso de malla de rango siguiente, en caso de fallo, per-  
maneciendo en ambos casos, las mismas condiciones de transmi-  
15 sión de señal.

2. Un dispositivo de encaminamiento de señal,  
según la reivindicación 1, caracterizado porque la sección  
de emergencia ocupa una posición central de rango  $i$  y porque  
el dispositivo incluye dos grupos de elementos de conmutación  
20 normales que asocian, en condición de reposo, los accesos de  
señal dispuestos de 0 a  $i-1$  y de  $i+1$  a  $n$  con los accesos de  
malla de los mismos rangos, mientras que existen dos grupos  
de elementos de conmutación "hacia emergencia". Los del pri-  
mer grupo asocian selectivamente los accesos de señal de ran-  
25 gos 0 a  $i-1$  con los accesos de malla de rangos 1 a  $i$ , en caso  
de fallo en una de las secciones de malla de rangos 0 a  $i-1$ ,  
y del modo en que se describe en la reivindicación 1. Los del  
segundo grupo asocian selectivamente los accesos de señal de  
rangos  $i+1$  a  $n$  con los accesos de malla de rangos  $i$  a  $n-1$ , en  
30 caso de fallo en una de las secciones de malla de rangos  $i+1$



416871

a n y de un modo simétrico al precedente, lo cual simplifica el diseño de los circuitos "conmutación hacia emergencia".

2. Un dispositivo de encaminamiento de señal para una transmisión paralelo y/o malla de conmutación de señales codificadas.

Tal y como se describe en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

La presente memoria consta de veintidos hojas escritas por una sola cara.

Madrid, 13 JUL. 1973



*M. G. Santamaría*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

*M*



416871  
Fig. 1

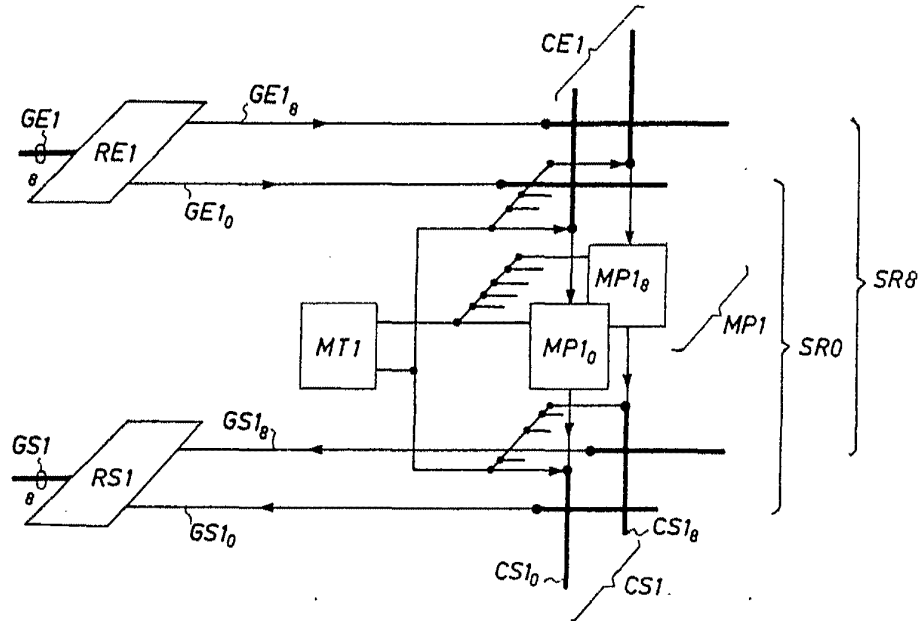
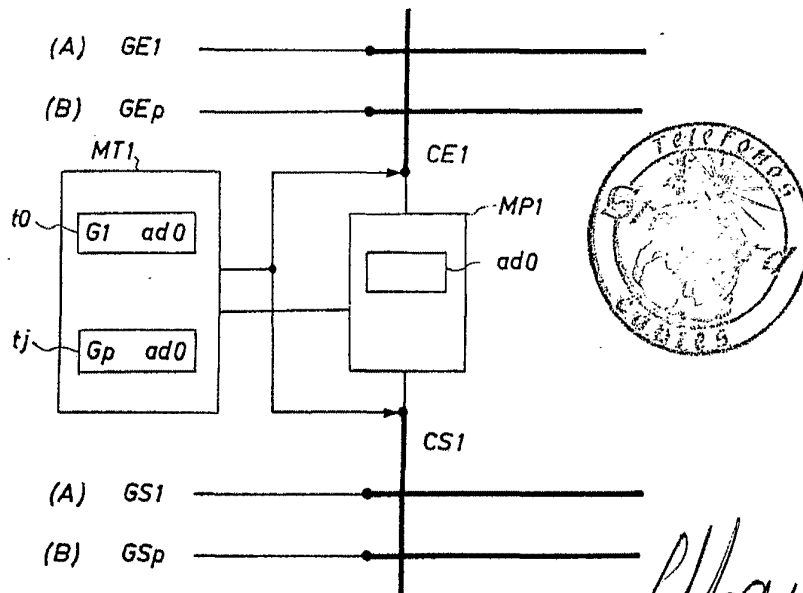


Fig. 2

30 ABR. 1974



*Eugenio Barroso*  
**EUGENIO BARROSO**  
 Secretario General

3/2



416871

Fig. 3

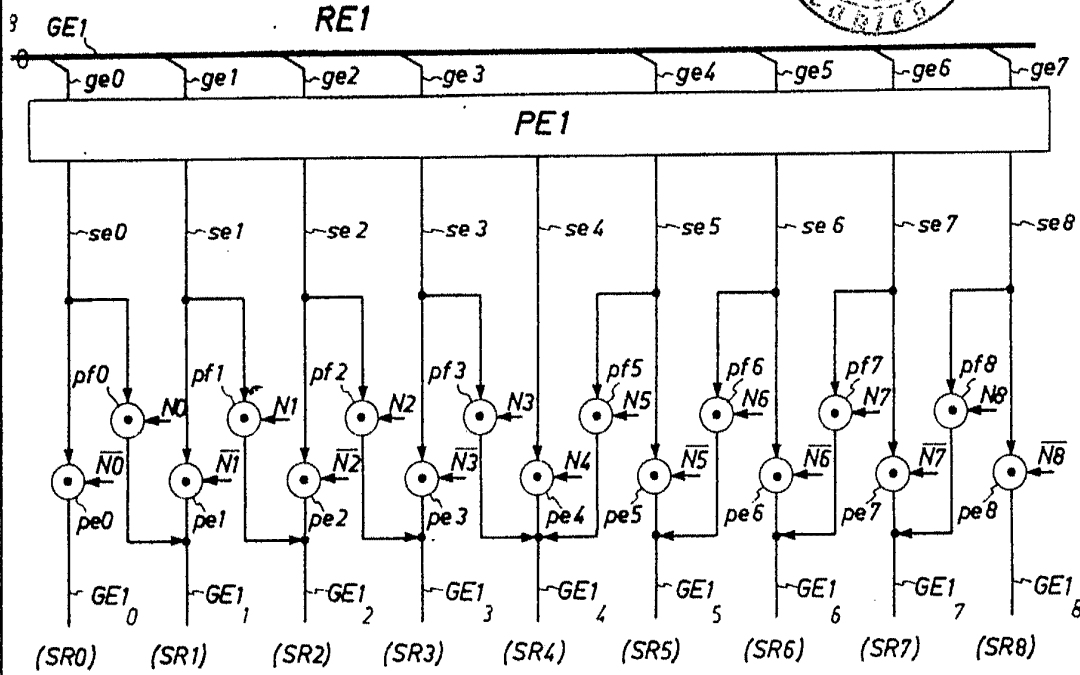
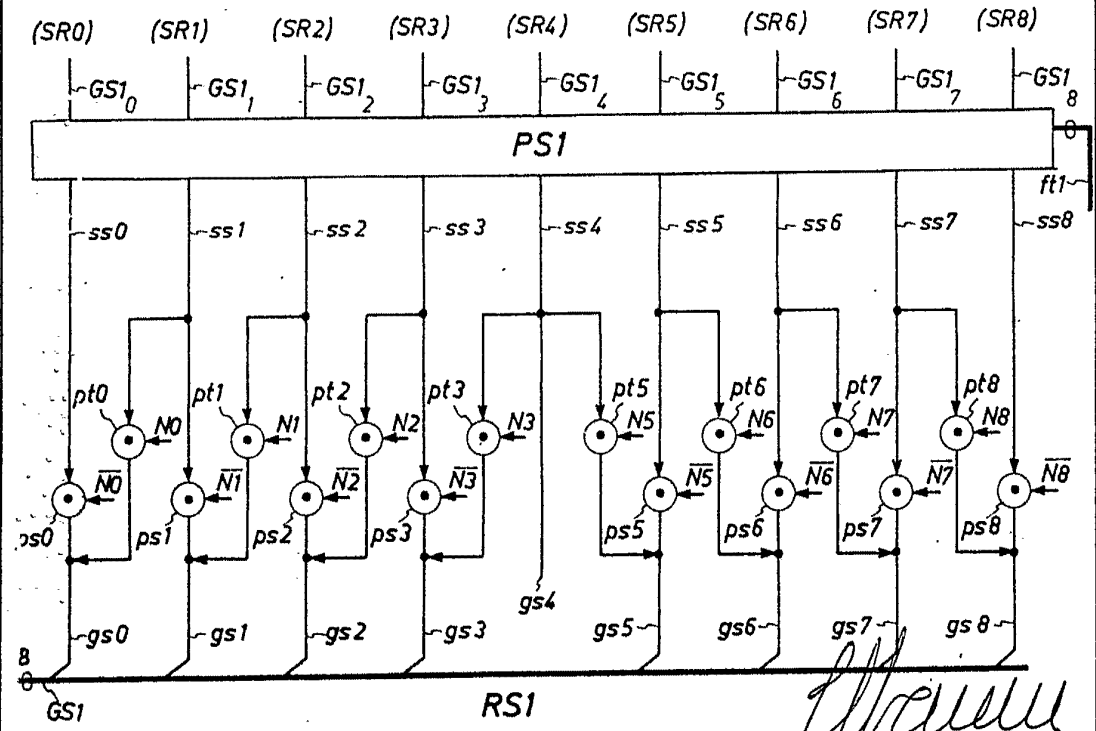


Fig. 4

30 ABR. 1974



*Eugenio Barroso*  
**EUGENIO BARROSO**  
 Secretario General



416871

Fig. 5

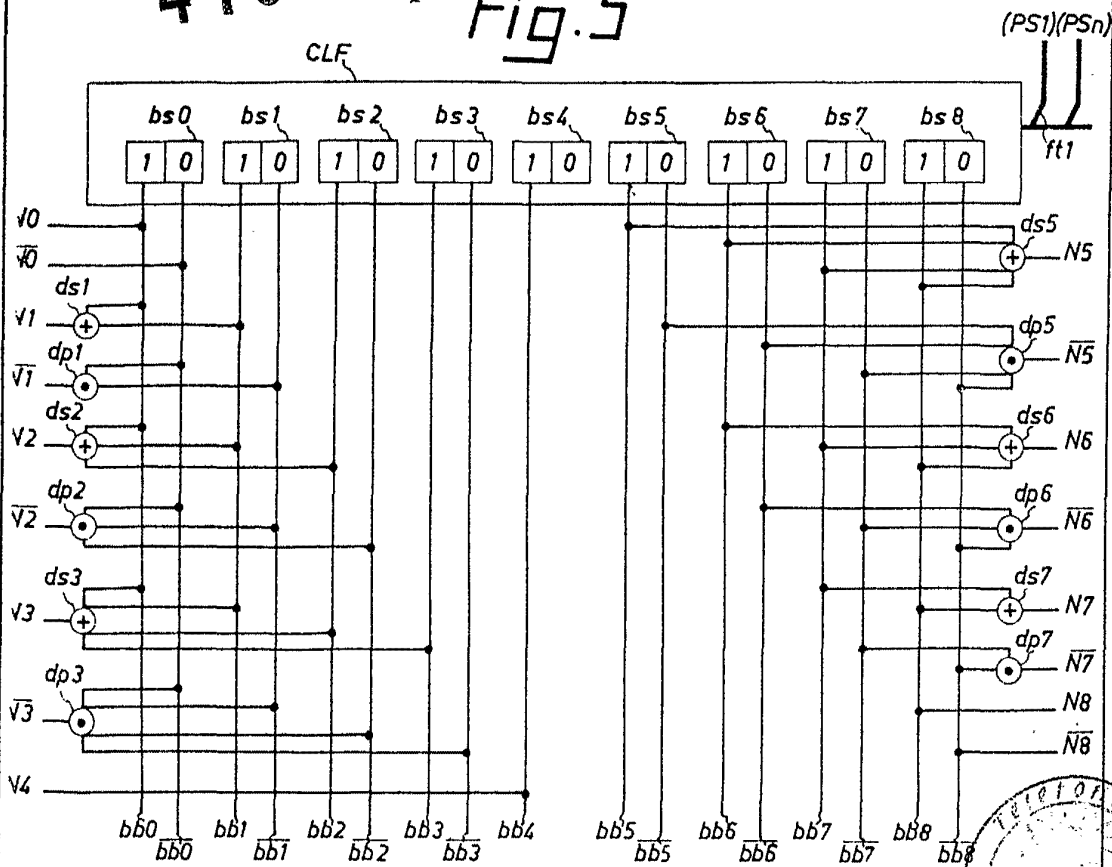
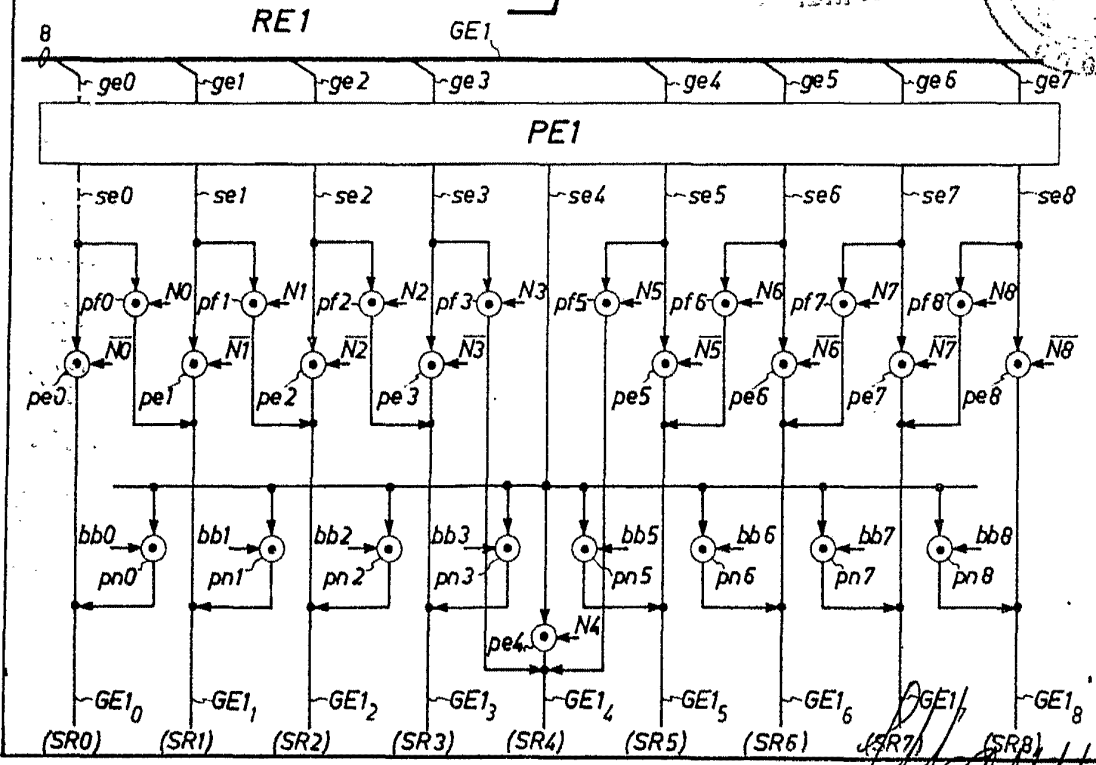


Fig. 6



EUGENIO BARROSO  
Secretario General