

4 1 5 7 1 8



P.- 54.480

PHN 6349 Spain VD/EV

MEMORIA DESCRIPTIVA

para solicitar

PATENTE DE INVENCION

en España

Incl. Cl.: H03B // H04M por ~~VEINTE~~ años

A nombre de N.V. PHILIPS'GLOEILAMPENFABRIEKEN

entidad holandesa

establecida en Emmasingel 29, Eindhoven, Holanda

por: "UN DISPOSITIVO GENERADOR DE FRECUENCIA
AUDIBLE PARA GENERAR VARIAS FRECUENCIAS
SELECCIONADAS"

(Clase Internacional H03b)

415718



El invento se refiere a un generador de señales de frecuencia audible para general varias frecuencias seleccionadas, que comprende un oscilador de impulsos, un divisor de frecuencia que está conectado al oscilador de impulsos y que tiene un dividendo entero ajustable para derivar las frecuencias seleccionadas de la frecuencia del oscilador de impulsos, y un convertidor de binario a digital para formar aproximadamente señales digitales senoidales.

Los generadores de señales de frecuencia audible de este tipo son utilizados ventajosamente en la práctica para generar frecuencias con estabilidad de cristal.

La Solicitud de Patente Holandesa 7.013.780 describe un generador de señales de frecuencia audible que es utilizado en un modulador de datos y que comprende una fuente de impulsos que tiene una frecuencia de repetición de impulsos que es igual a un múltiplo de las frecuencias seleccionadas a generar, y del cual se deriva una secuencia de impulsos, por medio de un circuito de distribución de frecuencia, que se aplica a un convertidor de binario a digital.

Debido a la capacidad de división de fre-

415718



cuencia del convertidor de binario a digital, la frecuencia de repetición de impulsos de la fuente de impulsos está escogida de modo que sea más alta, en un factor de multiplicación que es igual a la capacidad de división de frecuencia, que el mínimo común denominador de las frecuencias a generar. Si ha de ser generada una onda senoidal aproximada muy exactamente, se requiere un convertidor digital que tenga una capacidad de división en alta frecuencia. Esto tiene el inconveniente de que ha de ser utilizado un oscilador que tenga una frecuencia de oscilación muy alta. Esto implica, por una parte, que sea grande el número de elementos lógicos a utilizar y, por otra parte, que los elementos lógicos utilizados deben ser adecuados para funcionamiento a estas frecuencias muy altas; se requieren entonces elementos lógicos que tengan una disipación relativamente grande.

El invento tiene por objeto realizar un generador de señales de frecuencia audible del tipo expuesto por medio de un número relativamente pequeño de elementos lógicos, en el cual la velocidad de funcionamiento de los elementos lógicos puede ser relativamente baja, y en el cual son generadas las frecuencias seleccionadas con una onda senoidal apro

415718



ximada con precisión por medio de pocos elementos lógicos adicionales.

El dispositivo de acuerdo con el invento está caracterizado porque el divisor que tiene un dividendo entero comprende un subdivisor ajustable que tiene un dividendo fraccionario, estando conectado al mismo un subdivisor que tiene un dividendo entero fijo, constituyendo también el último subdivisor el convertidor de binario a digital.

De acuerdo con una característica adicional, el divisor entero comprende un circuito de programación al cual está conectado el subdivisor que tiene el dividendo fraccionario ajustable para generar señales de reposición en posiciones de cómputo dadas de este subdivisor, al cual está conectada una unidad de conmutación de selección de frecuencia para la selección de algunas de las señales de reposición generadas para cada una de las frecuencias seleccionadas, y al cual está conectado el subdivisor que tiene el dividendo entero fijo para originar la aparición de las señales de reposición seleccionadas de acuerdo con una secuencia fija y durante un número de veces por ciclo del divisor entero que corresponde al dividendo del subdivisor que tiene el dividendo entero fijo, estando



conectado el circuito de programación al subdivisor que tiene el dividendo fraccionario ajustable para reponer el subdivisor que tiene el dividendo fraccionario ajustable a una posición inicial o de partida mediante cualquier señal de reposición pertinente que aparezca.

Se describirán el invento y sus ventajas con referencia a las realizaciones representadas en las Figuras.

10 La Figura 1 representa una realización de un generador de señales de frecuencia audible de acuerdo con el invento.

15 Las Figuras 2a a 2d representan algunos elementos de lógica de inyección por medio de los cuales está realizado el generador de señales de frecuencia audible representado en la Figura 1.

La Figura 3 representa el diagrama de un divisor que es utilizado en el generador de señales de frecuencia audible representado en la Figura 1.

20 Las Figuras 4a a 4k representan señales que pueden producirse en el divisor representado en la Figura 3.

25 Las Figuras 5a y 5b representan partes de un convertidor de binario a digital que es utilizado en el generador de señales de frecuencia audible representado en la Figura 1.

415718



La Figura 6 y la Figura 7 representan señales que pueden producirse en las partes de un convertidor de binario a digital representado en la Figura 5a y en la Figura 5b.

5 La Figura 8 representa el diagrama de otro divisor que es utilizado en el generador de señales de frecuencia audible representado en la Figura 1.

10 La Figura 9 representa una realización de un dispositivo de conmutación de selección por pulsador de señales de frecuencia audible utilizado en el generador de señales de frecuencia audible representado en la Figura 1.

15 La realización representada en la Figura 1 ilustra una aplicación del generador de señales de frecuencia audible de acuerdo con el invento en un aparato telefónico de pulsadores, estando destinado el aparato a ser utilizado en un sistema especial de señalización de frecuencia audible. En
20 este sistema de señalización se hace uso de dos bandas diferentes de frecuencia que están situadas dentro de la banda de frecuencia de un canal vocal, estando situadas en cada una de las bandas de frecuencia cuatro frecuencias seleccionadas que son
25 utilizadas como frecuencias de señalización. Para

415718



la transferencia de información, es combinada una frecuencia de señalización de una de las bandas de frecuencia con una frecuencia de señalización de la otra banda de frecuencia.

5 En el Documento número 101, C.C.I.T.T.,
Comisión XI, se recomienda 697, 770, 852 y 941 Hz
sucesivamente para las frecuencias de señalización
situadas en la más baja de las dos bandas de fre-
cuencia, y 1204, 1336, 1477 y 1633 Hz, sucesivamen-
10 te, para las frecuencias de señalización situadas
en la más alta de las dos bandas de frecuencia.

Estas frecuencias no pueden desviarse de
su valor anormal en más de 1,5% y el nivel de la
suma de todos los armónicos más altos debe ser al
15 menos 20 dB más bajo que el nivel de la onda funda-
mental.

Para satisfacer el requerimiento de tole-
rancia de frecuencias de $\pm 1,5\%$, mientras se tienen
en cuenta los fenómenos de envejecimiento y los
20 efectos de variaciones de temperatura, humedad rela-
tiva y tensión, las frecuencias de señalización es-
tán preferiblemente derivadas de osciladores esta-
bilizados por cristal. Es económico utilizar un osci-
lador controlado por cristal y derivar todas las fre-
25 cuencias de señalización de las frecuencias de os-

415718



5 cilación suministradas por este oscilador de modo que se asegure al mismo tiempo que las frecuencias de señalización no pueden estar desplazadas entre sí. Son utilizadas técnicas digitales para satisfacer el requerimiento de tolerancia de frecuencias y para permitir la realización del generador de señales de frecuencia audible en forma integrada.

10 Se hace uso de un oscilador 1 de impulsos que es conocido por sí mismo, y son derivadas las frecuencias de señalización de la frecuencia del oscilador suministrada por el oscilador de impulsos por medio de divisores enteros.

15 Con el fin de mantener pequeño el número de divisores, son utilizados divisores que tienen un dividendo entero ajustable, siendo utilizados dos divisores 2 y 3 enteros que tienen un dividendo ajustable debido al hecho de que han de ser generadas simultáneamente dos frecuencias de señal en el sistema especial de señalización. Estos divisores
20 comprenden terminales 8 y 9 de control, a los cuales está conectada una unidad 12 de conmutación de selección de frecuencia por medio de la cual pueden ser ajustados los dividendos. La frecuencia de oscilador debe ser entonces igual al mínimo común denominador de las frecuencias de señalización a generar,
25

415718



siendo muy grande el mencionado mínimo común denominador para las frecuencias de señalización recomendadas por la comisión C.C.I.T.T. Las frecuencias de impulsos suministradas por los divisores 2 y 3
5 contienen generalmente un alto porcentaje de armónicos de orden superior. Con el fin de satisfacer el requerimiento de que el nivel de la suma de todos los armónicos debe ser al menos inferior en 20 dB al nivel de la frecuencia de señalización generada,
10 deben ser utilizados filtros; en vista del hecho de que debe ser posible fácilmente integrar estos filtros, deben estar realizados en forma digital. Estos filtros digitales tienen una capacidad de división de frecuencia que es proporcional a la
15 calidad de estos filtros. Cuando se hace uso de tales filtros, habrá de ser escogida la frecuencia del oscilador normalmente de modo que sea más alta, en un factor que es igual a la capacidad de división de frecuencia, que el mínimo común denominador
20 de las frecuencias de señalización. Esto implica que deben ser utilizados muchos elementos lógicos; estos elementos deben tener una velocidad de funcionamiento que esté en concordancia con esta frecuencia alta de oscilador. Los elementos de este tipo
25 son antieconómicos y tienen una disipación alta. En

20.7.73

415718



ese caso no es posible utilizar un generador de señales de frecuencia audible de este tipo en un sistema de teléfono de pulsadores.

El invento permite la utilización de una frecuencia de oscilador más baja, por cuanto que cada uno de los divisores 2 y 3 enteros comprende un subdivisor 4,6 que tiene un dividendo fraccionario ajustable, y un subdivisor 5,7 que tiene un dividendo entero fijo, constituyendo también el último subdivisor el convertidor de binario a digital.

Se obtiene una reducción adicional de la frecuencia de oscilación utilizando la tolerancia de frecuencia de 1,5% permisible seleccionando frecuencias de señalización que tienen un mínimo común denominador relativamente pequeño, pero que se desvían sólo ligeramente (menos de 1,3 o/oo) de las frecuencias recomendadas por la Comisión XI C.C.I.T.T. en el documento número 101.

Consecuentemente, la frecuencia del oscilador asciende a 221,8 kHz en esta realización. Los dividendos de los divisores 2 y 3 enteros que son requeridos para derivar las frecuencias de señalización deseadas de los mismos están establecidos, junto con estas frecuencias, en las columnas 2 y 1, respectivamente, de la tabla A.

415718



TABLA A

	Frecuencia de Señalización	Dividendo del divisor entero	Dividendo del subdivisor que tiene dividendo fraccionario	Los divisores
5	1633	136	11 1/3	
	1477	150	12 1/2	2
	1336	166	13 5/6	
	1204	184	15 1/3	
10	941	236	19 2/3	
	852	260	12 2/3	3
	770	288	24	
	697	318	26 1/2	

15

Será considerada la lógica utilizada antes de dar una descripción detallada del generador de señales de frecuencia audible.

20

La utilización de un generador de señales de frecuencia audible en un aparato telefónico de pulsadores en la presente realización implica que el generador de señales de frecuencia audible debe ser adecuado para funcionamiento a una tensión de alimentación de 2,7 voltios y una corriente de alimentación de 10 mA. Para esto, todos los circuitos

25

415718



lógicos están realizados por medio de lógica de inyección. Este tipo de lógica está descrito en la Solicitud de Patente Holandesa 7.107.040 no publicada anteriormente.

5 El elemento básico de todos los circuitos lógicos de inyección está representado en la Figura 2a, y consiste en un transistor 14 de colectores múltiples sin resistencias, para el cual se cumple con buena aproximación que la base está conectada a una fuente 15 de corriente individual. Cuando el terminal 16 de entrada está conectado conductivamente a masa, a lo que se hará referencia posteriormente como que está aplicada una señal baja al terminal 16 de entrada, la corriente de la fuente 15 de corriente será aplicada a masa, y el transistor 14 no estará en conducción. Todas las corrientes aplicadas a los terminales 17 y 18 de salida que está conectados a los colectores no pueden ser extraídas, a lo cual se hará referencia posteriormente como que los terminales 17 y 18 de salida suministran una señal alta. Si es aplicada una señal alta al terminal 16 de entrada, la corriente de la fuente 15 de corriente fluirá a masa por intermedio de la unión base emisor del transistor 14, y las corrientes aplicadas a los terminales 17 y 18 de salida

415718



da fluirán a masa por intermedio de la unión colector emisor. Los terminales 17 y 18 de salida suministran entonces una señal baja. Este elemento básico, que funciona como un inversor, está designado por el símbolo representado en la Figura 2b. No está permitida la interconexión directa de una pluralidad de entradas en la lógica de inyección.

De acuerdo con este sistema lógico, se realiza una puerta "Y" interconectando dos conductores como se representa en la Figura 2c. El terminal de salida suministra una señal alta (no puede extraer corriente) solamente si A y B están con nivel alto (es decir, no se deriva corriente de A o de B). Esto significa que la señal, presente en el terminal de salida satisface la relación lógica $A \cdot B$ de las señales A y B lógicas aplicadas a las entradas.

La Figura 2d representa una puerta "O" que está construida de acuerdo con este sistema lógico. Las señales A y B lógicas aplicadas a los terminales de entrada son invertidas por los inversores 19 y 20 para formar las señales \bar{A} y \bar{B} . Subsiguientemente, estas señales son combinadas para formar la expresión $\bar{A} \cdot \bar{B}$ por la puerta "Y" que está realizada por las salidas interconectadas de los inver-

415718



sores 19 y 20, y esta señal es convertida en la señal $A+B$ de salida por medio del inversor 21.

Por medio del inversor, la puerta "Y" y la puerta "O" representadas en las Figuras 2b a 5 2d, pueden ser realizadas de modo conocido todos los elementos lógicos más complejos, tales como elementos biestables. Cada uno de los elementos biestables utilizados en el circuito comprende una entrada S de activación o establecimiento, una entrada 10 T de basculamiento, una entrada D de condición, una salida Q de señal, y una salida \bar{Q} de señal invertida. Una señal alta que es aplicada a la entrada S de activación pone el elemento en el estado de activación que está caracterizado porque la salida 15 Q de señal suministra una señal alta. Una señal alta o baja aplicada a la entrada D de condición, puede activar o reponer, respectivamente, el elemento biestable en el cual una señal aplicada a la entrada T de basculamiento cambia desde un nivel alto a un 20 nivel bajo. Se obtiene un divisor por dos de modo conocido conectando la salida \bar{Q} de señal invertida de un elemento biestable a la entrada D de condición.

La Figura 3 es una representación detallada del divisor 2 que tiene un dividendo entero ajustado

415718



table de acuerdo con el invento. El subdivisor 4
comprende cuatro elementos 22 a 25 biestables co-
nectados en cascada, que están contruidos como
divisores por dos. La entrada T de basculamiento
5 del elemento 22 está conectada al terminal 13 de -
salida del oscilador 1 de impulsos que no está re-
presentado en esta Figura, y las entradas T de
basculamiento de los elementos 23 a 25 están conec-
tadas a las salidas Q de señal de los elementos 22
10 a 24 precedentes. En la Figura 4a está representada
la secuencia de impulsos que es aplicada al termi-
nal 13 por el oscilador. Las señales que se deri-
van sucesivamente de la misma mediante división
por dos por los elementos 22 a 25 están representa-
15 das en las Figuras 4b a 4e.

El subdivisor 5, que tiene un dividendo
fijo, está conectado al subdivisor 4, que tiene un
dividendo ajustable. El dividendo fijo de este sub-
divisor 5 está escogido de modo que es igual a do-
20 ce en esta realización. A fin de realizar este di-
videndo, el subdivisor 5 comprende cuatro elementos
26, 27, 28 y 29 biestables que están interconectados
como se describe posteriormente, estando conectados
los elementos 26 y 29 del mismo como divisores por
25 dos. Debido a que las entradas de elementos que es-

415718



tán consyтуidos de acuerdo con la lógica de inyec-
ción no pueden estar interconectadas directamente,
son utilizados los inversores 30 a 34 a fin de ob-
tener una pluralidad de salidas idénticas, a cuyas
5 entradas pueden estar conectadas individualmente,
estando conectados estos inversores a la salida Q
de señal o a la salida \bar{Q} de señal invertida de los
elementos biestables 25, 26 y 27 suministrando las
señales invertidas con respecto a las señales de-
10 seadas. Por ejemplo, el inversor 30 está conectado
a la salida \bar{Q} de señal invertida del elemento 25
para alimentar las entradas T de basculamiento de
los elementos 26, 27 y 28, conectadas a las salidas
del inversor 30, con una señal que es idéntica a
15 la señal suministrada por la salida Q de señal del
elemento 25.

Además, para obtener una señal para la
entrada D de condición del elemento 27 de modo que
los elementos 26, 27 y 28 constituyan un divisor
20 por seis, están dispuestos los inversores 35, 36 y
37. El inversor 35 está conectado a los inversores
32 y 33 a fin de proporcionar en su salida la fun-
ción lógica "0" de los valores lógicos de señal
aplicados a los inversores 32 y 33. Similarmente, el
25 inversor 36 está conectado a los inversores 31 y

415718



34 para proporcionar en su salida la función lógica "0" de los valores lógicos de señal aplicados a los inversores 31 y 34. El inversor 37 está conectado a la salida del inversor 35 y a la salida \bar{Q} de señal invertida del elemento 28 biestable a fin de proporcionar en su salida la función lógica "Y" con negación" de las señales lógicas aplicadas a su entrada, estando conectadas las salidas de los inversores 36 y 37 a la entrada D de condición del elemento 27 para aplicar a la misma la función lógica "Y" de las señales suministradas por los inversores 36 y 37. Adicionalmente, la salida Q de señal del elemento 27 está conectada, por intermedio del inversor 34, a la entrada D de condición del elemento 28.

Se describirá el funcionamiento del subdivisor 5 con referencia a las Figuras 4f a 4j, suponiendo que los elementos 26 a 29 biestables están en el estado de activación o de establecimiento; la señal de salida del subdivisor 4 que está representada en la Figura 4e está representada otra vez a una escala de tiempos reducida en la figura 4f.

Debido a que los elementos 26 a 28 están en el estado de activación, el inversor 35 hace que el inversor 36 y el inversor 37 suministren una se-

415718



ñal alta, con el resultado de que es también apli-
cada una señal alta a la entrada D de condición del
elemento 27.

5 Como resultado del flanco negativo que
aparece en el instante t_1 (Figura 4f), es repuesto
el elemento 26, el elemento 27 permanece activado
y el elemento 28 es repuesto, como se representa
en las Figuras 4g, 4h y 4i. La reposición del ele-
10 mento 26 hace que la señal de salida del inversor
35 cambie desde un nivel alto a un nivel bajo, con
el resultado de que por el momento la reposición
del elemento 28 no influye en la señal alta de sali-
da suministrada por el inversor 37. El flanco ne-
15 gativo que aparece en el instante t_2 pone el ele-
mento 26 en el estado de activación, con el resulta-
do de que la señal de salida del inversor 35 se ha-
ce otra vez alta. En combinación con la señal alta
suministrada por la salida \bar{Q} de señal invertida del
elemento 28, esta señal alta de salida hace que la
20 señal de salida del inversor 37 cambie desde nivel
alto a nivel bajo, con el resultado de que es apli-
cada una señal baja a la entrada D de condición
del elemento 27. Consecuentemente, el flanco negati-
vo que tiene lugar en el instante t_3 repondrá tanto
25 el elemento 26 como el elemento 27. Debido a que

415718



los elementos 26 y 27 son repuestos simultáneamente,
el valor de las señales suministradas por los in-
versores 35 y 36 no se modifica. Solamente la se-
ñal aplicada a la entrada D de condición del ele-
5 mento 28 cambia de nivel bajo a nivel alto. El
flanco negativo que aparece en el instante t_4 acti-
vará, consecuentemente, los elementos 26 y 28.
Debido a que el elemento 26 está activado, la señal
de salida del inversor 36 cambia de nivel alto a
10 nivel bajo, con el resultado de que la señal apli-
cada a la entrada D de condición del elemento 27
permanece baja, aún cuando la señal de salida del
inversor 37 se ha hecho alta debido a la activación
del elemento 28. El flanco negativo que aparece
15 en el instante t_5 repone el elemento 26, con el
resultado de que la señal suministrada por el inver-
sor 36 se hace alta y es aplicada una señal alta
a la entrada D de condición del elemento 27. El
flanco negativo que aparece, en el instante t_6 ac-
20 tiva los elementos 26 y 27. Los tres elementos 26,
27 y 28 son entonces activados, de modo que a par-
tir del instante t_7 se repite el ciclo de los esta-
dos sucesivos de los mencionados elementos. La se-
cuencia de impulsos suministrada por el elemento
25 28 tiene, consecuentemente, una frecuencia de re-
petición de impulsos que es seis veces más pequeña

20.7.73

415718



que la frecuencia de repetición de impulsos de la
secuencia de impulsos suministrada por el subdivi-
sor 4. Debido a que la entrada T de basculamiento
del elemento 29 biestable que está conectado como
5 divisor por dos está conectada a la salida Q de
señal del elemento 28, la frecuencia de repetición
de impulsos de la secuencia de impulsos suministra-
da por el elemento 29 es doce veces más pequeña que
la frecuencia de repetición de impulsos de las se-
10 cuencias de impulsos suministradas por el subdivi-
sor 4, como se representa en la Figura 4j.

A fin de obtener una señal digital que
sea aproximadamente senoidal, el subdivisor 5 com-
prende un circuito 38 de ponderación, al cual es-
15 tán conectados los inversores 32 y 34 y la salida
Q de señal invertida del elemento 29. El circuito
38 de ponderación comprende un circuito puerta co-
mo se representa en la figura 5a con el fin de
formar señales que determinen las fases de la onda
senoidal, aproximada, y un circuito fuente de co-
20 rriente, como se representa en la Figura 5b, que es-
tá conectado al mismo y por medio del cual son de-
terminadas las amplitudes de la onda senoidal apro-
ximada.

25 Las señales suministradas por los inverso-

415718



res 32, 34 y la salida \bar{Q} de señal invertida del elemento 29 están aplicadas a los terminales 40, 41 y 42 de entrada del circuito puerta representado en la Figura 5a, estando representadas las mencionadas
5 señales en las figuras 6a, 6b y 6c.

Los inversores 43, 44 y 45 están conectados a estos terminales de entrada con el fin de tener una pluralidad de salidas de señal idénticas disponibles para cada uno de los terminales de entrada con el fin de impedir que las entradas de los
10 inversores que están conectadas a los mismos estén directamente conectadas entre sí. Las señales aplicadas a los terminales 40, 41 y 42 de entrada son recuperadas de las señales suministradas por los
15 inversores 43, 44 y 45 por medio de los inversores 46, 47 y 48.

Debido a que la salida de los inversores 43, 47 y 48 están interconectadas, se obtienen en el inversor 50 la función lógica "Y" de la señal
20 invertida de la señal de entrada representada en la Figura 6a y las señales de entrada representadas en las figuras 6a y 6c, estando representada dicha señal en la figura 6d. Después de inversión sucesiva por los inversores 50 y 53, esta señal es aplicada
25 al terminal 53-1 de salida en forma inalterada.

415718



Debido a que las salidas de los inversores 47 y 48 están interconectadas, es aplicada la función lógica "Y" de las señales de entrada representadas en las figuras 6b y 6c al inversor 51, estando representada la mencionada señal en la figura 6e y siendo aplicada en forma no modificada a los terminales 54-3 de salida después de inversión sucesiva por los inversores 51 y 54.

El inversor 49 constituye una puerta "O" en combinación con los inversores 44 y 46 que están conectados a la entrada de este inversor, con el resultado de que este inversor forma en sus dos salidas la función lógica "O" de la señal de entrada representada en la Figura 6a y una señal que se obtiene por inversión de la señal de entrada representada en la figura 6b. Una primera salida del inversor 49 está conectada, junto con una salida del inversor 48, a la entrada del inversor 52 con el fin de alimentar este inversor con la función lógica "Y" de la señal suministrada por el inversor 49 y la señal de entrada representada en la figura 6c. Esta señal, representada en la figura 6f, es aplicada en forma no modificada al terminal 55-4 de salida después de inversión sucesiva por los inversores 52 y 55.

415718



Una segunda entrada del inversor 49 está conectada, junto con una salida del inversor 45, al inversor 56, con el fin de alimentar los terminales 56-4 de salida con la función lógica "Y" invertida de la señal suministrada por el inversor 49 y una señal que se deriva de la señal de entrada representada en la Figura 6c por inversión. La señal aplicada a los terminales 56-4 de salida está representada en la Figura 6g.

10 La salida del inversor 47 está conectada, junto con la salida del inversor 45, a un inversor 57 con el fin de alimentar los terminales 57-3 de salida con la función lógica "Y" invertida de la señal 6b de entrada y una señal que se obtiene de la señal de entrada representada en la Figura 6c por inversión. Esta señal está representada en la figura 6h. Adicionalmente, la salida de los inversores 43, 45 y 47 están conectadas a un inversor 58 con el fin de hacer que el inversor 58 suministre la función lógica "Y" invertida de señales que están derivadas de las señales de entrada representadas en las figuras 6a y 6c por inversión y la señal de entrada representada en la Figura 6b, estando representada la mencionada señal en la figura 6i.

25 Como resulta claro de las figuras 6d y 6i,

415718



los inversores 53 a 58 suministran impulsos que están dispuestos simétricamente entre sí, que tienen las mismas frecuencias de repetición de impulsos y que tienen duraciones de impulso diferentes entre sí, siendo la duración de los impulsos múltiplos impares de aproximadamente un doceavo del período de impulsos de la secuencia de impulsos suministrada por el subdivisor 5. Consecuentemente, en cada período de la secuencia de impulsos suministrada por el subdivisor 5 están caracterizadas doce fases que están aproximadamente distribuidas regularmente sobre 360°.

Con el fin de obtener una amplitud aproximadamente senoidal que cambie en estos instantes de fase, los inversores 53, 54, 55, 56, 57 y 58 están provistos de un terminal 53-1 de salida, tres terminales 54-3 de salida, cuatro terminales 55-4 de salida, cuatro terminales 56-4 de salida, tres terminales 57-3 de salida, y un terminal 58-1 de salida, respectivamente, que están conectados al circuito fuente de corriente representado en la figura 5b. Este circuito comprende dieciseis fuentes de corriente conectadas en paralelo, divididas en seis grupos de una, tres, cuatro, cuatro, tres y una fuentes de corriente, respectivamente, que están de

415718



5 signadas por 59, 60-62; 63-66; 67-71; 72-75 y 76,
respectivamente. Está representada solamente una
fuente de corriente de cada grupo. Cada una de las
fuentes de corriente comprende un primer transis-
tor 59-1, 60-1, 76-1, y un segundo transistor
59-2, 60-2,, 76-2, que está conectado en se-
rie con el primero. Todas las fuentes de corriente
están conectadas entre los terminales 78 y 79 de
una fuente de alimentación de tensión, no represen-
10 tada, en serie con una resistencia 77. También,
dispuesto entre estos terminales está un divisor de
tensión que está compuesto de las resistencias 80
y 81, estando conectada la toma central de dicho
divisor de tensión a las bases de todos los tran-
sistores 59-1, 59-2,, 76-1, 76-2. La tensión
15 de la toma central del divisor 80, 81 de tensión
está seleccionada de modo tal que todos los tran-
sistores 59-1 a 76-1 conducen una corriente cons-
tante, idéntica. Los terminales 53-1 a 58-1 de sa-
lida del circuito puerta están conectados, por in-
20 termedio de los terminales 59-3 a 76-3 de entrada,
a conexiones que están dispuestas entre los colec-
tores de los transistores 59-1, 60-1, 76-1 y
los emisores de los transistores 59-2, 60-2,
25 76-2. Si la señal aplicada a un terminal de entrada,

415718



por ejemplo el 59-3, es alta, la corriente fluye desde el camino de corriente principal del transistor 59-1 a masa por intermedio del camino de corriente principal del transistor 59-2 y la resistencia 77. Esta corriente provoca entonces una caída de tensión a través de la resistencia 77. Si la señal aplicada al terminal 59-3 de entrada es baja, la corriente fluye desde el camino principal de corriente del transistor 59-1, por intermedio del terminal 59-1 de entrada y el inversor 59 que está conectado al mismo, a masa, con el resultado de que esta corriente no puede contribuir a la tensión a través de la resistencia 77. Debido a que los inversores 53 a 58 controlan una, tres, cuatro, cuatro, tres, y una fuentes de corriente, respectivamente, por medio de las señales representadas en las Figuras 6d a 6i, se forma a través de la resistencia 77 la señal de tensión senoidal representada en la Figura 7, comprendiendo la mencionada señal de tensión senoidal solamente los armónicos $(n.12)+1^{\circ}$ ($n = 1, 2, 3, \dots$).

Conectando un condensador 83 en paralelo con la resistencia 77, se obtiene un filtro de paso bajo que suprime los armónicos, con el resultado de que se satisface el requerimiento de la C.C.I. T.F. en lo que respecta al nivel de estos armónicos.

415718



La señal de tensión senoidal está disponible entre los terminales 82 y 79 que constituyen el terminal 10 de salida en las Figuras 1 y 3.

5 Para generar las cuatro frecuencias de
señal que están situadas en la banda de frecuencias
altas debe ser posible ajustar los dividendos del
divisor 2 que están representados en estas fre-
cuencias en la Tabla A, columna 2, bajo el control
de las señales que son aplicadas a la entrada 8
10 de control por la unidad 12 de conmutación de selec-
ción de frecuencia. Debido a que el dividendo del
subdivisor 5 es igual a doce, el dividendo del sub-
divisor 4 debe ser ajustado a los primeros cuatro
valores representados en la columna 3 de la tabla
15 A para las frecuencias de señalización que están
situadas en la banda de frecuencias altas. A este
respecto, el subdivisor 4 está provisto del circuito
84 de programación que está representado en la Fi-
gura 3. Este circuito de programación comprende los
20 conductores 85 a 91 que están conectados, por inter-
medio de la puerta "O" 100 que está formada por
los inversores 92/98 que están conectados a estos
conductores y el inversor 99 que está conectado a
dicha puerta, a un inversor 101, junto con el termi-
25 nal 13 de entrada. Este inversor 101 está conectado,

415718



por intermedio de un inversor 102, a las entradas
S de activación de los elementos 22, 23 y 24 bies-
tables. Por medio de este circuito 84 de programa-
ción puede derivarse una señal de reposición en los
5 instantes en los cuales el subdivisor 4 está en
una de las posiciones de cómputo once a dieciseis,
siendo utilizada la mencionada señal de reposición
para reponer el subdivisor 4 a una posición inicial
que está definida por el estado de activación de los
10 elementos 22 a 25.

Para este fin, las salidas de señal inver-
tidas de los elementos 22, 23 y 24 están conectadas
a entradas de los inversores 103, 104 y 105, estan-
do conectadas las salidas del inversor 103 a los
15 conductores 86, 87 y 90, estando conectadas las sa-
lidas del inversor 104 a los conductores 85, 86,
87 y 91, estando conectadas las salidas del inver-
sor 105 a los conductores 88, 89, 90 y 91, y estando
conectada la salida Q de señal del elemento 25 a
20 la salida de la puerta "O" 100, constituyendo cada
punto de conexión una puerta "Y". Cuando la señal
presente en la entrada 13 es alta, se obtiene la se-
ñal de reposición si uno de los conductores 85 a 91
suministra una señal alta por intermedio de la puer-
25 ta "O" 100 y la salida Q de señal del elemento 25

415718¹



5 suministra también una señal alta. Si se supone
que el subdivisor 4 está en su posición inicial,
la salida Q de señal del elemento 25 se hace alta
(Figura 4e) después que han sido aplicados al ter-
10 minal de entrada nueve impulsos; el modo según el
cual está conectado el subdivisor 4 al circuito
15 de programación hace entonces, como se repre-
senta en las Figuras 4b a 4c, que todas las seña-
les aplicadas por el subdivisor 4 al conductor
85 estén a nivel alto durante el impulso undécimo
aplicado al subdivisor 4, las señales aplicadas
a los conductores 86 y 87 estén a nivel alto du-
rante el impulso duodécimo aplicado al subdivisor
4, las señales aplicadas a los conductores 88 y
15 89 estén a nivel alto durante el impulso decimoter-
cero aplicado al subdivisor 4, las señales aplica-
das al conductor 90 estén a nivel alto durante
el impulso decimocuarto aplicado al subdivisor 4,
y que las señales aplicadas al conductor 91 estén
20 a nivel alto durante el impulso decimoquinto apli-
cado al subdivisor 4, siendo activados todos los
elementos 22 a 25 del subdivisor 4 por el impulso
decimosexto porque el subdivisor 4 ha completado
un ciclo de cómputo.

25 A fin de obtener el dividendo fracciona-

415718



rio del subdivisor 4 que se requiere para una frecuencia de señal dada, son generadas señales de control bajo el control de la unidad 12 de conmutación de selección de frecuencia de un modo que se describirá todavía, sirviendo las mencionadas señales de control para seleccionar dos de las ocho señales de reposición que son generadas en una posición de cómputo dada del subdivisor 4, estando dispuestas estas señales de reposición seleccionadas bajo el control de señales suministradas por el subdivisor 5 de tal modo que se presentan alternativamente según una secuencia de tiempo dada.

Para este fin, el circuito 84 de programación está provisto de terminales 8-1 y 8-2 de entrada, a los cuales están conectados inversores 106 y 107. La unidad 12 de conmutación de selección de frecuencia está conectada a estos terminales 8-1 y 8-2 de entrada que constituyen el terminal 8 de control representado en la Figura 1. Este dispositivo 12 suministra dos señales lógicas a los terminales 106 y 107 de entrada cuando es oprimido un botón de un modo que se describirá todavía. Por medio de estas dos señales lógicas pueden ser distinguidos cuatro estados de señal, siendo utilizado cada uno de los estados de señal para seleccionar

415718



dos de ocho señales de reposición. Esto se consigue porque los conductores 85 y 86 están conectados a las salidas del inversor 106, así como a las salidas del inversor 107, estando conectados los conductores 87 y 88 a las salidas del inversor 106, y estando conectados los conductores 89 y 90 a las salidas del inversor 107.

Si las señales aplicadas a los terminales 8-1 y 8-2 de entrada son ambas bajas, los inversores 106 y 107 suministran señales altas. El conductor que recibe solamente señales altas del subdivisor 4 en una determinada posición de cómputo, aplica entonces una señal alta a través de la puerta "Q" 100 que, en combinación con el estado alto de la salida Q de señal del elemento 25, es capaz de reponer el subdivisor 4. Esto ocurre en primer lugar para el conductor 85 en la posición de cómputo undécima. Manteniendo a nivel bajo la señal que aparece en la posición once de cómputo sobre el conductor 85 del modo que se describirá aún, la señal presente en el conductor 86 se hace alta en la posición 12 de cómputo del subdivisor 4, siendo capaz entonces la mencionada señal de reponer el subdivisor 4. Cuando es aplicada una señal baja a ambos terminales 8-1 y 8-2 de entrada, son así seleccionadas las señales de reposición que son generadas en

415718



las posiciones de cómputo once y doce.

Si la señal que es aplicada al terminal 8-1 de entrada es baja y la señal que es aplicada al terminal 8-2 de entrada es alta, es aplicada
5 una señal alta solamente a los conductores 87 y 88. La señal baja que es aplicada a los conductores 85 y 86 mantiene las señales que aparecen en estos conductores a nivel bajo debido a los puntos de conexión de las salidas de los inversores 103, 104 y
10 105 que actúan como puertas "Y". Como resultado, son seleccionadas las señales de reposición que se derivan en las posiciones de cómputo doce y trece.

Si la señal aplicada al terminal 8-1 de entrada es alta y la señal aplicada al terminal 8-2
15 de entrada es baja, el inversor 107 aplica una señal alta solamente a los conductores 89 y 90. Son entonces seleccionadas las señales de reposición que se derivan en las señales de cómputo trece y catorce.

20 Si las señales aplicadas a ambos terminales 8-1 y 8-2 de entrada son altas, es aplicada una señal baja a los conductores 85 a 90. Solamente son seleccionadas entonces la señal de reposición derivada de la posición de cómputo quince y la señal que
25 origina la reposición a la posición de partida o ini-

415718



cial en la posición dieciseis de cómputo del subdivisor 4.

La secuencia según la cual se suceden entre sí las dos señales de reposición que son seleccionadas bajo el control de la unidad 12 de conmutación de selección de frecuencia está determinada por el subdivisor 5. Las salidas de los inversores 31 y 33 de este subdivisor están conectadas a un inversor 108, cuyas salidas están conectadas a los conductores 85 y 91, estando conectada una salida del inversor 31 al conductor 87, y estando conectada una salida adicional al conductor 89, estando también conectada al último conductor una salida para el inversor 34. Se describirá con detalle el funcionamiento con referencia a las señales representadas en las figuras 4a a 4k.

Como se ha descrito ya, cada impulso suministrado por el subdivisor 4 (figura 4f) cambia el estado de los elementos 26 y 27 de acuerdo con las señales representadas en las figuras 4g y 4h. Estas Figuras muestran que las señales aplicadas al inversor 108 son ambas altas durante los intervalos de tiempo situados entre los instantes t_2 , t_3 , t_6 , t_7 , t_8 , t_9 , y t_{12} , t_{13} . La señal suministrada por el inversor 108 es baja durante estos intervalos.



Si las señales aplicadas a ambos terminales 8-1 y 8-2 de entrada son bajas durante los intervalos de tiempo durante los cuales el inversor 108 aplica una señal alta al conductor 85, este conductor 85 será portador de una señal alta en la posición once de cómputo y durante los intervalos de tiempo en los cuales el inversor 108 suministra una señal baja al conductor 85, el conductor 86 será portador de una señal alta en la posición doce de cómputo. Las posiciones de cómputo del subdivisor 4 cambian en los instantes en los cuales aparecen los flancos posteriores de los impulsos aplicados al terminal 13 de entrada, de modo que una señal suministrada por intermedio de la puerta "O" 100 por el conductor 85 u 86, cambia de nivel alto a nivel bajo en los instantes de aparición de las posiciones de cómputo undécima y duodécima, respectivamente. La señal aplicada desde el terminal 13 de entrada al inversor 101 es entonces, sin embargo, baja. La señal aplicada al terminal 13 de entrada se hace alta después de medio período de repetición de impulsos de la secuencia de impulsos aplicada al terminal 13 de entrada, con el resultado de que, por intermedio de los inversores 101 y 102, es aplicada una señal alta (representada en la figura 4k) a las entradas S de activación de

415718



los elementos 22, 23 y 24. Esta señal repone el subdivisor 4 a su posición inicial.

5 Como resulta de las figuras 4c, 4h, 4k y 4a, suponiendo que el subdivisor 4 está en la posición inicial, este subdivisor es repuesto solamente después que han sido recibidos en el terminal 13 de entrada once impulsos, subsiguientemente después que han sido recibidos doce y después que han sido recibidos, como resulta de las figuras 4g y 4h, sucesivamente once, doce, once, doce, once, doce, once, once, once y doce impulsos en el terminal 13 en cada ciclo del subdivisor 5. Debido a que el ciclo del subdivisor 5 es igual al ciclo del divisor 2, el dividendo de este divisor es 136, derivando el mencionado dividendo, de acuerdo con la tabla A, 15 la frecuencia 1633 Hz de señal a partir de una frecuencia de generador de 221,8 kHz. El dividendo medio del subdivisor en un ciclo del divisor 2 es $34/3$, como se indica en la tabla A, columna 3. Debido a 20 que el subdivisor 4 no es repuesto siempre en la misma posición de cómputo, los instantes t_1 a t_{13} , como se representa en la Figura 4, no están distribuidos regularmente. Estos instantes están también representados en la Figura 6 y en la Figura 7. Sin 25 embargo, la secuencia de aparición de los instantes



está escogida de tal modo que la onda senoidal aproximada es simétrica, con el resultado de que no son generados armónicos pares. El aumento en el número y la intensidad de los armónicos impares de orden superior originados por la distribución de tiempo irregular es tan pequeño que son satisfechos fácilmente los requerimientos impuestos por la Comisión C.C.T.T.T.

La señal que es aplicada por el inversor 31 al conductor 87 corresponde a la señal representada en la Figura 4g. Esto significa que, si es aplicada una señal baja al terminal 8-1 de entrada y es aplicada una señal alta al terminal 8-2 de entrada, los conductores 88 y 87 son portadores alternativamente de una señal alta en las posiciones 13 y 12 de cómputo, respectivamente, del subdivisor 4, reponiendo así el subdivisor. El dividendo medio del subdivisor 4 es entonces igual a $25/2$, con el resultado de que el dividendo del divisor 2 es igual a 150. De acuerdo con la tabla A, es generada entonces una señal que tiene una frecuencia de 1477 Hz.

Las señales aplicadas por los inversores 31 y 34 al conductor 89 corresponden a la señal representada en la figura 4g, y a una señal que se

415718



obtiene por inversión de la señal representada en la figura 4h. Esto significa que está aplicada una señal alta al conductor 88 solamente durante los intervalos situados entre los instantes t_3 , t_4 y t_{10} , t_{11} . Si es aplicada una señal alta al terminal 8-1 de entrada y es aplicada una señal baja al terminal 8-2 de entrada, es repuesto al subdivisor 4, porque los conductores 90 y 91 son portadores de señales altas del modo descrito, sucesivamente después que han sido recibidos catorce, catorce, catorce, trece, catorce, catorce; catorce, catorce, catorce, trece, catorce y catorce impulsos en el terminal 13 de entrada en cada ciclo del divisor 2. El dividendo medio del subdivisor 4 es entonces igual a $83/6$, de modo que el dividendo del divisor 2 es igual a 166. De acuerdo con la tabla A, es entonces generada una señal que tiene una frecuencia de 1336 Hz.

La señal que es aplicada por el inversor 108 al conductor 85 es también aplicada al conductor 91. Si son aplicadas señales altas a ambos terminales 8-1 y 8-2 de entrada, el conductor será portador de una señal alta, si el inversor 108 suministra una señal alta, después que han sido aplicados quince impulsos al terminal 13 de entrada, re-

415718



poniendo la mencionada señal el subdivisor 4, y, si el inversor 108 suministra una señal baja, el subdivisor 4 habrá retornado a su posición inicial después de que hayan sido recibidos dieciseis impulsos en el terminal 13 de entrada. Esto se consigue de este modo por cuanto que en cada ciclo del divisor 2 es repuesto el subdivisor 4 sucesivamente después que han sido aplicados al terminal 13 de entrada quince, dieciseis, quince, quince, quince, dieciseis; quince, dieciseis, quince, quince, quince, y dieciseis impulsos. El dividendo medio del subdivisor 4 es entonces igual a $46/3$, y el dividendo del divisor 2 es entonces igual a 184. De acuerdo con la tabla A, es entonces suministrada una señal que tiene una frecuencia de 1204 Hz.

La secuencia de las posiciones de cómputo en las cuales es repuesto sucesivamente el subdivisor 4 está también escogida para las frecuencias de señalización generadas de 1477, 1336 y 1204 Hz, de modo que la onda senoidal aproximada es simétrica, de forma que no son generados armónicos pares.

Las frecuencias que están situadas en la banda de frecuencias bajas del sistema especial de señalización son derivadas de la frecuencia del oscilador por medio del divisor 3 entero que está com-

415718



5 puesto, de acuerdo con el invento, por un subdivi-
sor 6 que tiene un dividendo fraccionario ajusta-
ble, y un subdivisor 7 que tiene un dividendo ente-
ro fijo. Este divisor 3 está representado con deta-
10 lle en la figura 8. Como resulta de la tabla A, los
dividendos que han de ser realizados por medio de
este divisor son mayores que los del divisor 2. Con-
secuentemente, el divisor 3 representado en la Fi-
gura 8 difiere del divisor 2 representado en la Fi-
15 gura 3, por una parte, porque entre los elementos
24 y 25 biestables está dispuesto un elemento 109
biestable cuya entrada S de activación está conecta-
da a una salida del inversor 102, estando conectada
la entrada T de basculamiento a la salida Q de señal
20 del elemento 24 estando conectada la salida Q de
señal a la entrada T de basculamiento del elemento
25, y estando conectada la salida Q de señal inver-
tida a un inversor 110 dispuesto adicionalmente y,
por otra parte, porque los subdivisores 6 y 7 están
25 conectados a los conductores 85 a 91 de un modo di-
ferente a los subdivisores 4 y 5, no estando conec-
tado el conductor 90 a una salida del inversor 107.
Independientemente del hecho de que los terminales
de entrada están designados por 9-1 y 9-2 de acuerdo
con el terminal 9 de control representado en la Fi-



gura 1, y del hecho de que el terminal de salida, como se representa en la Figura 1, está designado por 11, las otras partes están designadas por las mismas referencias que las utilizadas para el divisor 2.

Además del hecho de que la salida Q de señal del elemento 25 suministra una señal alta en las posiciones 16 a 32 de cómputo, el inversor 104 suministra una señal alta al conductor 85 solamente si el subdivisor 6 está en la posición diecinueve de cómputo, siendo aplicadas señales altas por los inversores 103 y 104 al conductor 86 cuando el subdivisor 6 está en la posición veinte de cómputo, siendo aplicadas señales altas al conductor 87 por los inversores 103 y 105 cuando el subdivisor 6 está en la posición veintiuno de cómputo, siendo aplicada una señal alta al conductor 88 por el inversor 105 cuando el subdivisor 6 está en la posición veintidos de cómputo, siendo aplicadas señales altas al conductor 89 por los inversores 103, 104 y 105 cuando el subdivisor 6 está en la posición veinticuatro de cómputo, siendo aplicadas señales altas al conductor 90 por los inversores 103 y 110 cuando el subdivisor 6 está en la posición veinticuatro de cómputo, y siendo aplicadas señales altas

415718



al conductor 91 por los inversores 104 y 110 cuando
el subdivisor 6 está en la posición veintisiete de
cómputo. Estos conductores son seleccionados por
medio de señales lógicas que son aplicadas a los
5 terminales 9-1 y 9-2 de entrada por la unidad 12
de conmutación de selección de frecuencias aún por
describir, es decir si las señales aplicadas a ambos
terminales de entrada son bajas, son seleccionados
los conductores 85 y 86, siendo seleccionados los
10 conductores 87 y 88 si la señal aplicada al termi-
nal 9-1 de entrada es baja y la señal aplicada al
terminal 9-2 de entrada es alta, siendo selecciona-
do el conductor 89 si la señal aplicada al terminal
9-1 de entrada es alta y la señal aplicada al ter-
15 minal 9-2 de entrada es baja, y siendo selecciona-
dos los conductores 90 y 91 si las señales aplica-
das a los dos terminales 9-1 y 9-2 de entrada son
altas. La secuencia según la cual los conductores
85, 86; 87, 88 y 90, 91 que son seleccionados por
20 pares, suministran señales de reposición, está de-
terminada porque los conductores 85 y 87 están co-
nectados a las salidas de los inversores 31 y 33,
y porque el conductor 90 está conectado a una salida
del inversor 31. Como resulta de las figuras 4g y
25 4h, los inversores 31 y 33 suministran señales altas

415718



solamente durante los intervalos de tiempo que están situados entre los instantes $t_2, t_3; t_6, t_7; t_8, t_9$ y t_{12}, t_{13} , de modo que cuando es seleccionado el par 85, 86 de conductores, el subdivisor 6 es repuesto después que han sido sucesivamente recibidos en el terminal 13 de salida en cada ciclo del divisor 3 veinte, diecinueve, veinte, veinte, veinte, diecinueve; veinte, diecinueve, veinte, veinte, veinte y diecinueve impulsos. El dividendo medio del subdivisor 6 asciende entonces a $59/3$ y el dividendo del divisor 3 es 236. De acuerdo con la tabla A, es entonces suministrada a la salida 11 una frecuencia de 941 Hz.

Similarmente, cuando es seleccionado el par 87 y 88 de conductores, el subdivisor 6 es repuesto después que han sido recibidos sucesivamente en el terminal 13 de entrada en cada ciclo del divisor 3 veintidos, veintiuno, veintidos, veintidos, veintidos, veintiuno; veintidos, veintiuno, veintidos, veintidos, veintidos y veintiun impulsos. El dividendo medio del subdivisor 6 es entonces $68/3$ y el dividendo del divisor 3 es igual a 260, correspondiendo el mencionado dividendo, de acuerdo con la tabla A, a una frecuencia de señal de 852 Hz que es aplicada al terminal 11 de salida.

415718



Cuando es seleccionado el conductor 89,
el subdivisor 6 es repuesto después de cada veinti-
cuatro impulsos recibidos en el terminal 13 de en-
trada. El dividendo del divisor 3 es entonces 288,
5 que corresponde, de acuerdo con la tabla A, a una
frecuencia de señal de 770 Hz para la señal aplica-
da al terminal 11 de entrada.

El inversor 31 aplica la señal representa-
da en la figura 4g al conductor 90, con el resulta-
do de que al seleccionarse el par 90, 91 de conduc-
10 tores, el subdivisor 6 es repuesto después que han
sido recibidos alternativamente en el terminal 13
de entrada veintisiete y veintiseis impulsos. El
dividendo del subdivisor 6 es entonces igual a $53/2$
15 y el dividendo del divisor 3 asciende entonces a
318, el cual, de acuerdo con la tabla A, hace la
frecuencia de señalización de la señal que aparece
en el terminal 11 de salida igual a 691 Hz.

La secuencia establecida de las posiciones
20 de cómputo en las cuales es repuesto sucesivamente
el subdivisor 6 está escogida nuevamente de modo
tal que la onda senoidal aproximada es simétrica.

En la Figura 9 está representada la uni-
dad 12 de conmutación de selección de frecuencia que
25 suministra las señales lógicas requeridas a los ter-

415718



minales 8-1, 8-2 y 9-1, 9-2 de entrada. Este dispositivo comprende un contador 138 que está compuesto por cuatro elementos 111, 112, 113 y 114 biestables conectados en cascada. El terminal 13 de salida del
5 oscilador 1 de impulsos aplica, por intermedio del inversor 137, impulsos a las entradas T de basculamiento de los elementos 111 a 114 biestables. Como resultado, el contador 138 pasa continuamente a través de todas las sucesivas posiciones de cómputo.
10 Está también dispuesto un conmutador 117 de pulsador que está compuesto por dos pares de cuatro conductores 127-1 a 127-4 y 127-5 a 127-8 que se cruzan entre sí según ángulos rectos. Encima de cada punto de cruce (dieciseis en total) del conductor está dis-
15 puesto un pulsador (no representado), presionando el mencionado pulsador, cuando es oprimido, entre sí los conductores, que normalmente se cruzan entre sí en el punto de cruce, con el resultado de que son conectados conductivamente entre sí. Las salidas \bar{Q}
20 de señal invertida de los elementos 111 y 112 están acopladas, por intermedio de una puerta "0" que está formada por los inversores 115, 117 y 123, al conductor 127-5, con el resultado de que solamente este conductor recibe una señal baja cuando los ele-
25 mentos 111 y 112 están en el estado de activación.

415718



La salida Q de señal del elemento 111 y la salida
Q de señal invertida del elemento 112 están acopla-
das, por intermedio de una puerta "0" formada por
los inversores 116, 117 y 124, al conductor 127-6
5 con el resultado de que este conductor recibe una
señal baja solamente cuando el elemento 111 está
en el estado de reposición y el elemento 112 está
en el estado de activación.

La salida Q de señal invertida del elemen-
10 to 111 y la salida Q de señal del elemento 112 es-
tán acopladas, por intermedio de la puerta "0" for-
mada por los inversores 115, 118 y 125, al conduc-
tor 127-7 de modo que solamente este conductor re-
cibe una señal baja cuando el elemento 111 está en
15 el estado de activación y el elemento 112 está en
el estado de reposición. Adicionalmente, las sali-
das Q de señal de los elementos 111 y 112 están
acopladas. por intermedio de una puerta "0" que es-
tá formada por los inversores 116, 118 y 126, al
20 conductor 127-8, de modo que solamente este conduc-
tor recibe una señal baja cuando los elementos 111 y
112 están ambos en el estado de reposición. Durante
el proceso de cómputo del contador 138, son aplica-
das sucesivamente señales bajas a los conductores
25 127-5 a 127-8, correspondiendo las mencionadas seña-

415718



les bajas a las cuatro posibles combinaciones de estados de activación/reposición de los elementos 111 y 112.

5 Los conductores 127-1 a 127-4 están conectados a los inversores 128 a 131. Debido a que estos conductores no están normalmente conectados a masa, están aplicadas señales altas a los inversores 128 a 131, con el resultado de que el último suministra señales bajas. Cuando es oprimido un pulsador, uno de los conductores 127-5 a 127-8 es conectado a uno de los conductores 127-1 a 127-4. El inversor (128 a 131) que está conectado a este conductor (127-1 a 127-4) suministra una señal alta en el instante en el cual el conductor que está conectado al mencionado conductor suministra una señal baja.

10

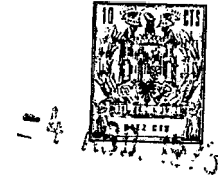
15

La salida del inversor 131 está conectada a un inversor 132, junto con las salidas de los inversores 119 y 121 que están conectadas a las salidas \bar{Q} de señal invertida de los elementos 113 y 114. El inversor 132 suministra una señal baja solamente si el inversor 131 suministra una señal alta y los elementos 113 y 114 están ambos en el estado de activación. La salida del inversor 130 está conectada a la entrada de un inversor 133, junto con la salida

20

25

415718



del inversor 121 y la salida de un inversor 120 que
está conectado a la salida Q de señal del elemento
113. El inversor 133 suministra una señal baja so-
lamente si el inversor 130 suministra una señal al-
5 ta, el elemento 113 está en el estado de reposición,
y el elemento 114 está en el estado de activación.
El inversor 129 está conectado a un inversor 134,
junto con la salida del inversor 119 y una salida
de un inversor 122 que está conectado a la salida
10 Q de señal del elemento 114. Este inversor 134 sumi-
nistra una señal baja solamente si el inversor 129
suministra una señal alta y el elemento 113 está en
el estado de activación y el elemento 114 está en
el estado de reposición. El inversor 128 está conec-
15 tado a un inversor 135, junto con las salidas de
los inversores 120 y 122, suministrando el menciona-
do inversor 135 una señal baja solamente si el in-
versor 128 suministra una señal alta y los elemen-
tos 113 y 114 están ambos en el estado de reposi-
20 ción. Durante el cómputo, los elementos 113 y 114
aplican señales altas a las entradas de los inver-
sores 132 a 135, correspondiendo las mencionadas se-
ñales a las cuatro combinaciones posibles de estados
de activación/reposición de estos elementos. Los in-
25 versores 132 a 135 están conectados, por intermedio
de una puerta "Y" formada por la unión 136, a la
entrada del inversor 137. Se consigue así que cuando
20.7.73 es oprimido un pulsador la puerta "Y" 136 suminis-

415718



tra una señal baja solamente para una posición de
cómputo del contador 138 que es característica pa-
ra el pulsador. Esta señal baja es aplicada al in-
versor 137, con el resultado de que son bloqueados
5 los impulsos que son suministrados por intermedio
del terminal 13 de salida del oscilador. El contador
138 permanece en la posición de cómputo selecciona-
da mientras está oprimido el pulsador. Los termi-
nales 141-1 y 141-2 de salida conectados a las sa-
lidas de los inversores 120 y 122, suministran las
10 señales que se requieren para los terminales 8-1
y 8-2 de entrada del divisor 2. Similarmente, los
terminales 142-1 y 142-2 de salida, conectados a
las salidas de los inversores 116 y 118, suminis-
15 tran las señales requeridas para los terminales
9-1 y 9-2 de entrada. Cuando es liberado el pulsa-
dor, la señal suministrada por la puerta "Y" 136
toma nivel alto nuevamente y el contador 138 cuen-
ta continuamente los impulsos suministrados otra
20 vez por el oscilador 1 de impulsos. Será obvio de
lo precedente que cuando es oprimido un pulsador
son generadas dos frecuencias de señal del sistema
especial de señalización, estando situada una de
las frecuencias de señalización en cada una de las
25 dos bandas de frecuencia. Las frecuencias que son



415718

seleccionadas oprimiendo un conmutador 127 de pulsador están representadas en los extremos de los conductores en la Figura 9 que son interconectados por el pulsador.

5 La presente solicitud que corresponde a la presentada en Holanda, con fecha 10 de Junio de 1.972, bajo el Número 7207933, se acoge a los beneficios del Artículo 51 del vigente Estatuto sobre Propiedad Industrial.

10

15

- REIVINDICACIONES -

20

Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

25

20.7.73

- 49 -

415718



1ª.- Un dispositivo generador de frecuencia audible para generar varias frecuencias seleccionadas, que comprende un oscilador de impulsos, un divisor de frecuencia que está conectado al oscilador de impulsos y que tiene un dividendo entero ajustable para derivar las frecuencias seleccionadas de la frecuencia del oscilador de impulsos, y un convertidor de binario a digital para formar aproximadamente señales digitales senoidales, caracterizado porque el divisor que tiene un dividendo entero comprende un subdivisor que tiene un dividendo fraccionario ajustable y un subdivisor que tiene un dividendo entero fijo que está conectado al mismo, constituyendo también el último subdivisor el convertidor de binario a digital.

2ª.- Un dispositivo de acuerdo con la reivindicación 1ª, caracterizado porque el divisor entero está provisto de un circuito de programación al cual está conectado el subdivisor que tiene el dividendo fraccionario ajustable con el fin de generar señales de reposición en posiciones de cómputo dadas de este subdivisor, al cual está conectada una unidad de conmutación de selección de frecuencia para la selección de algunas de las señales de reposición generadas para cada una de las frecuencias

20.7.73

- 50 -

me



415718

seleccionadas, y al cual está conectado el subdivi-
sor que tiene el dividendo entero fijo para origi-
nar la aparición de las señales de reposición selec-
cionadas de acuerdo con una secuencia fija y en un
5 número de veces por ciclo del divisor entero que co-
rresponde al dividendo del subdivisor que tiene el
dividendo entero fijo, estando conectado el circuito
de programación al subdivisor que tiene el dividen-
do fraccionario ajustable con el fin de reponer el
10 subdivisor que tiene el dividendo fraccionario ajus-
table a su posición inicial por cualquier señal de
reposición pertinente que aparece.

3ª.- Un dispositivo de acuerdo con la
reivindicación 2ª, caracterizado porque las señales
15 de reposición que son seleccionadas por la unidad
de conmutación son derivadas de posiciones de cóm-
puto directamente sucesivas del subdivisor ajusta-
ble, estando seleccionada la secuencia según la
cual aparecen las señales de reposición selecciona-
20 das de tal modo que la onda senoidal aproximada es
simétrica.

4ª.- Un dispositivo de acuerdo con la
reivindicación 1ª, caracterizado porque el conver-
tidor de binario a digital comprende un dispositivo
25 ponderador que está compuesto por fuentes de co-

20.7.73

ofe

415718



rriente conectadas en paralelo, que están conecta-
das en serie con una resistencia, siendo conmutadas
sucesivamente ocho, cuatro, una, ninguna, una, cua-
tro, ocho, doce, quince, dieciseis, quince y doce
5 fuentes de corriente bajo el control de las seña-
les derivadas de las posiciones de cómputo del sub-
divisor fijo, con el resultado de que se obtiene
una onda senoidal aproximada a través de la resis-
tencia.

10 5ª.- Un dispositivo de acuerdo con cual-
quiera de las reivindicaciones precedentes para ge-
nerar las frecuencias recomendadas por el C.C.I.T.T.
com. XI en el Documento Número 101, caracterizado
porque están conectados al oscilador de impulsos
15 dos divisores ajustables que tienen un dividendo
entero, estando provistos los mencionados divisores
de terminales de control a los cuales está conecta-
da una unidad de conmutación de selección de fre-
cuencia.

20 6ª.- Un dispositivo de acuerdo con la
reivindicación 5ª, caracterizado porque la frecuencia
del oscilador de impulsos asciende a 221,8 kHz,
siendo ajustable el dividendo de uno de los diviso-
res enteros ajustables a 136, 150, 166 y 184 bajo
25 el control de la unidad de conmutación de selección

20.7.73

ME

415718



de frecuencia, siendo ajustable el dividendo del otro divisor entero ajustable a 236, 260, 288 y 318 bajo el control de la unidad de conmutación de selección de frecuencia.

5 7ª.- Un dispositivo de acuerdo con la réivindicación 6ª, caracterizado porque los dividendos de los subdivisores que tienen dividendos enteros fijos son iguales a doce, siendo sucesivamente las posiciones de cómputo en las cuales es
10 repuesto el subdivisor que tiene un dividendo fraccionario ajustable, 11, 12, 11, 11, 11, 12; 11, 12, 11, 11, 11 y 12 cuando el dividendo ajustado del divisor entero es 136; 13, 12, 13, 12, 13, 12; 13, 12, 13, 12, 13 y 12 sucesivamente cuando el dividendo es 150, 14, 14, 14, 13, 14, 14; 14, 14, 14, 13, 14 y 14 sucesivamente cuando el dividendo es 166; 15, 16, 15, 15, 15, 16; 15, 16, 15, 15, 15 y 16 sucesivamente cuando el dividendo es 184; 20, 19, 20, 20, 20, 19; 20, 19, 20, 20, 20 y 19 sucesivamente cuando el dividendo es 236; 22, 21, 22, 22, 22, 21; 22, 21, 22, 22, 22, y 21 sucesivamente cuando el divisor es 260; 24, 24, 24, 24, 24, 24; 24, 24, 24, 24, y 24 sucesivamente cuando el divisor es 288, y 27, 26, 27, 26, 27, 26; 27, 26, 27, 26, 27 y 26 sucesivamente cuando el divisor es 318.

20.7.73

ME

415718



8ª.- Un dispositivo de acuerdo con cualquiera de las reivindicaciones precedentes, construido de acuerdo con el principio de lógica de inyección.

5 9ª.- Un dispositivo generador de frecuencia audible para generar varias frecuencias seleccionadas.

10 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de cincuenta y cuatro hojas escritas a máquina por una sola de sus caras.

Madrid, -4 [30. 1973

P.A.

Formación de la Memoria
Per. T. 1000

20.7.73/RTA.-

mle

415718

77

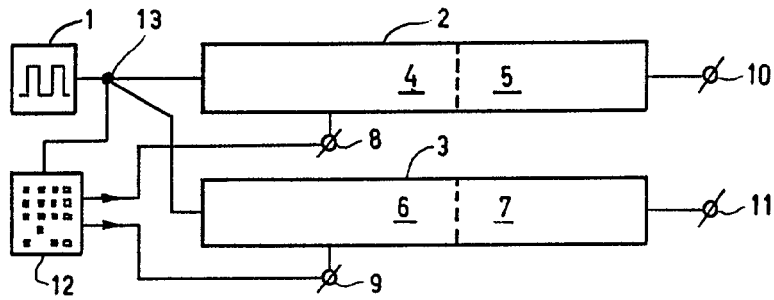


Fig. 1

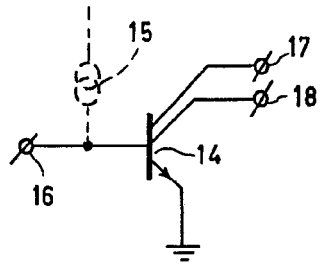


Fig. 2a

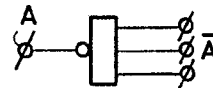


Fig. 2 b

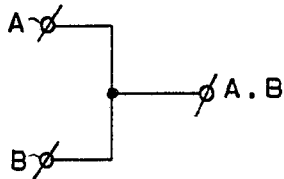


Fig. 2c

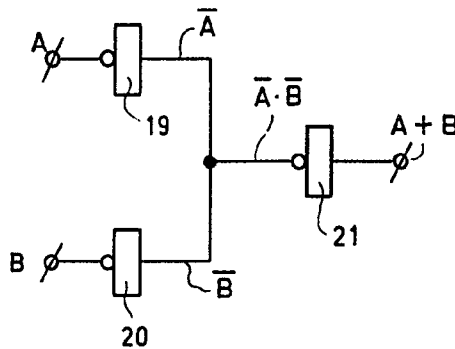


Fig. 2d

Fédération des Électrotechniciens
 For Podes

415718

415718

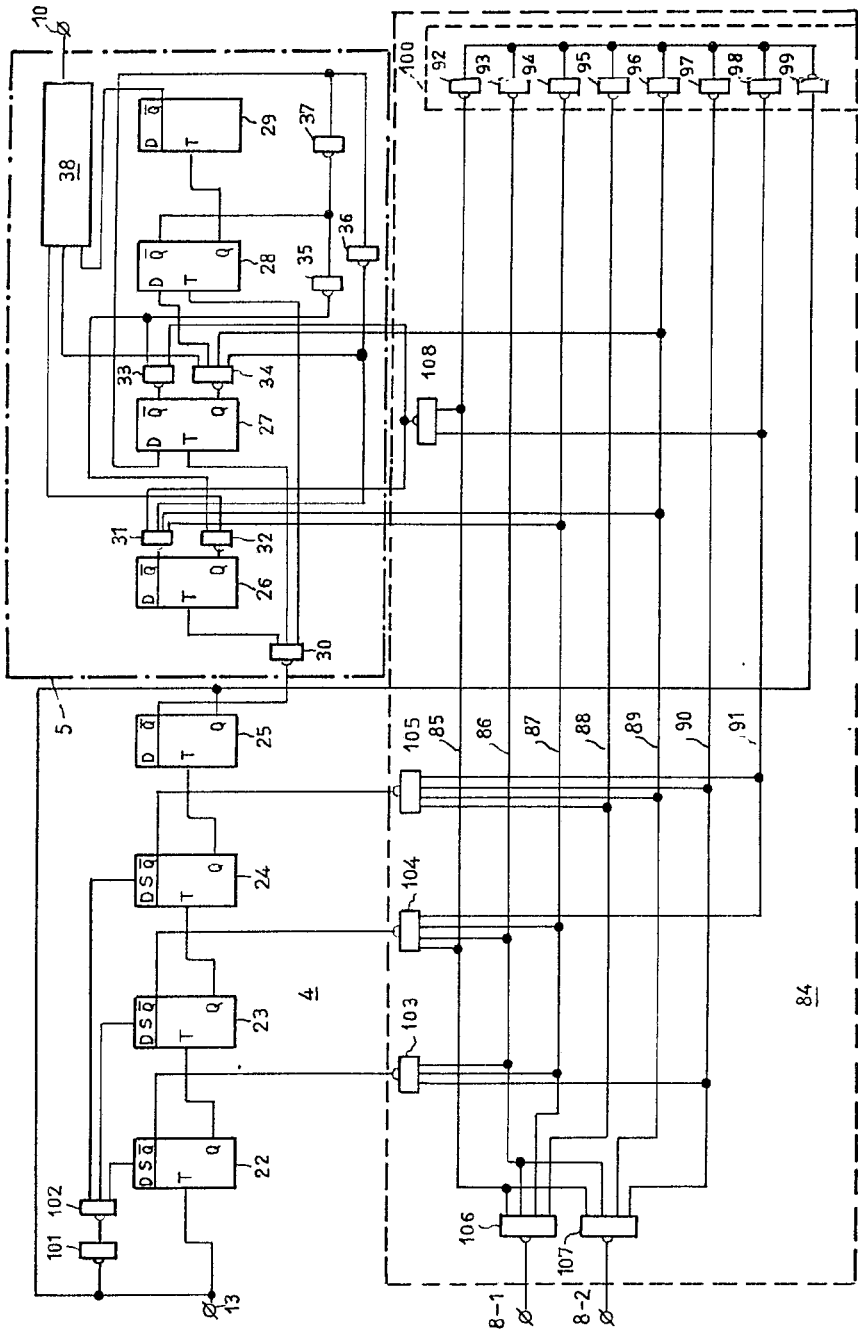
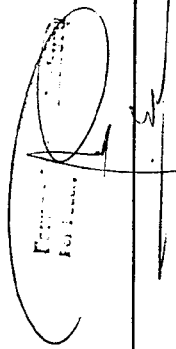


Fig. 3



4157181

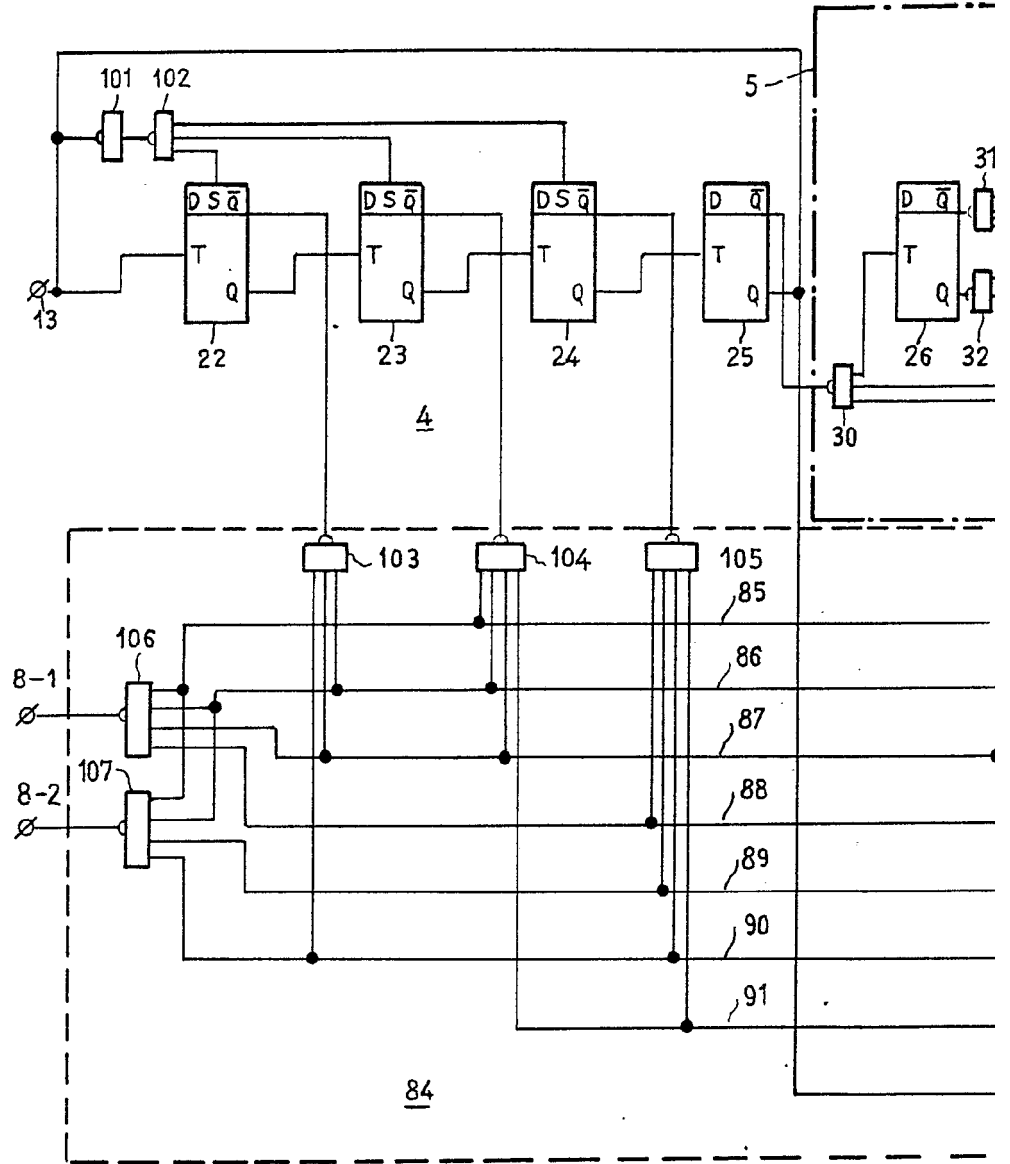


Fig.

415718

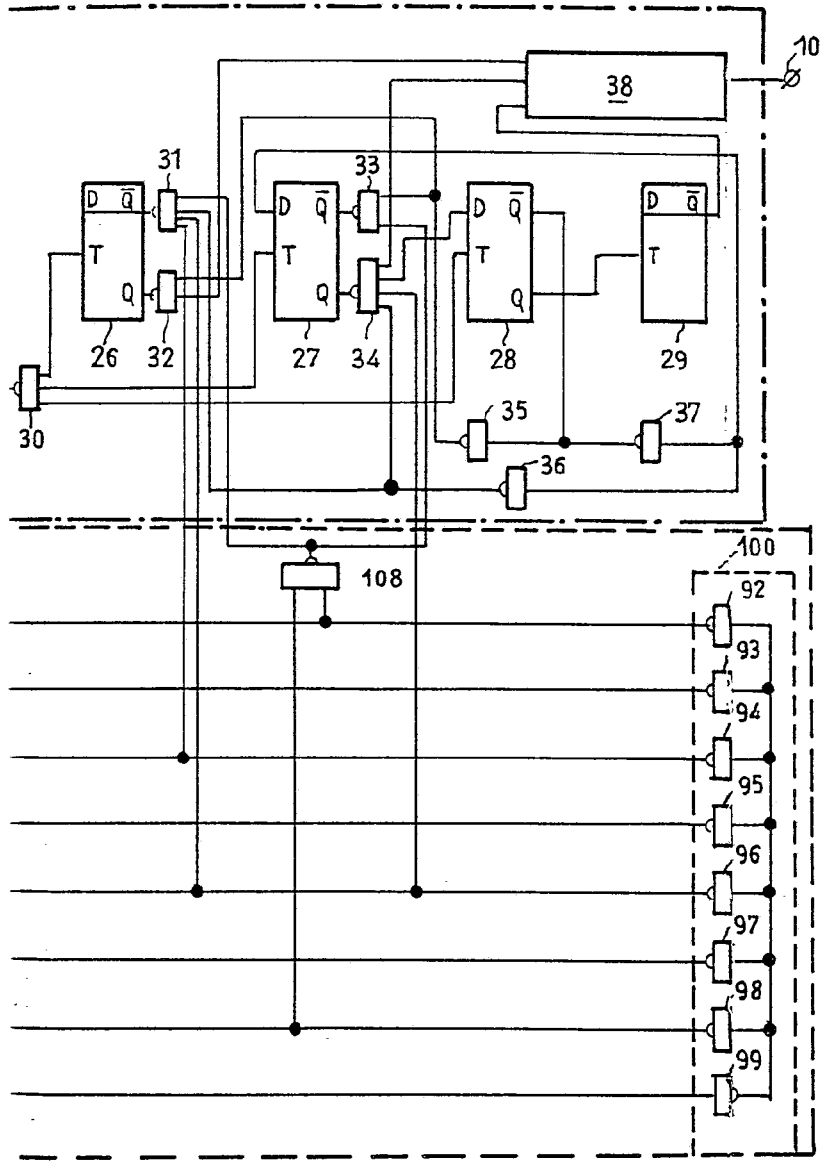


Fig. 3

Fernand [illegible]
Por Foder.

415718

415718

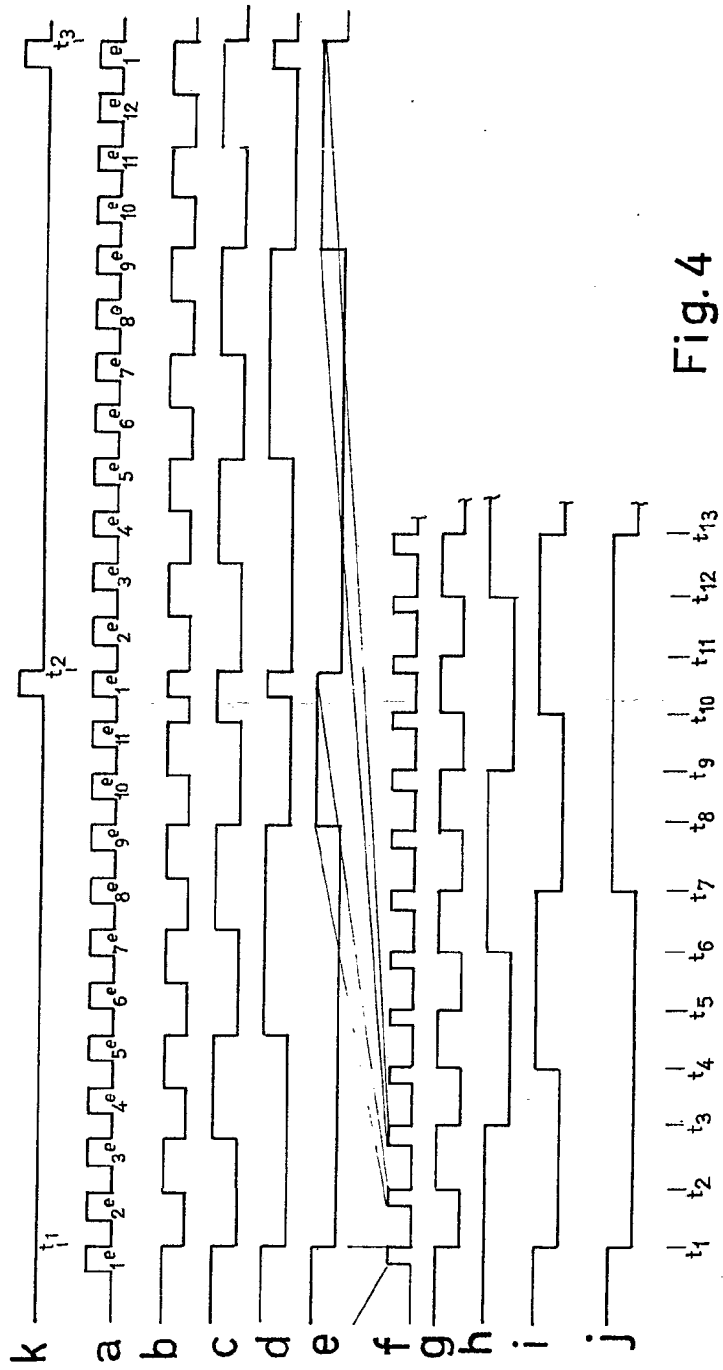
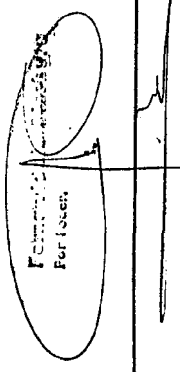
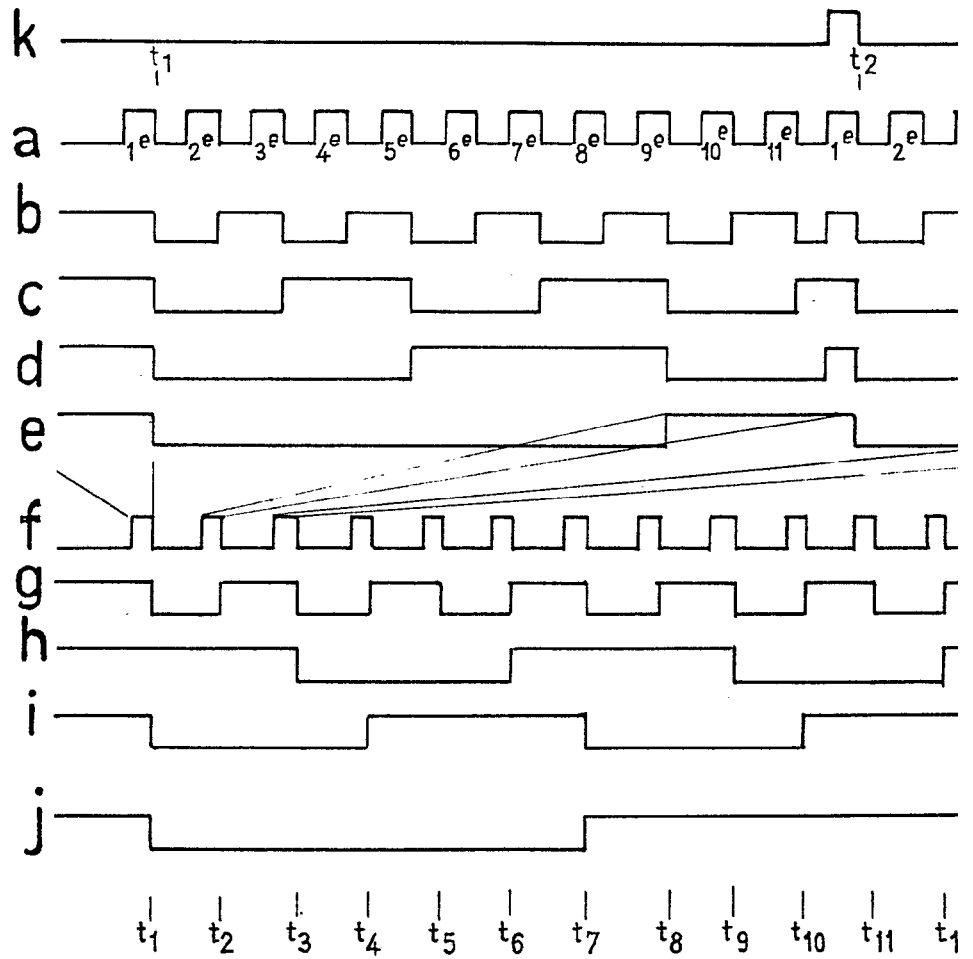


Fig. 4



415718



415718

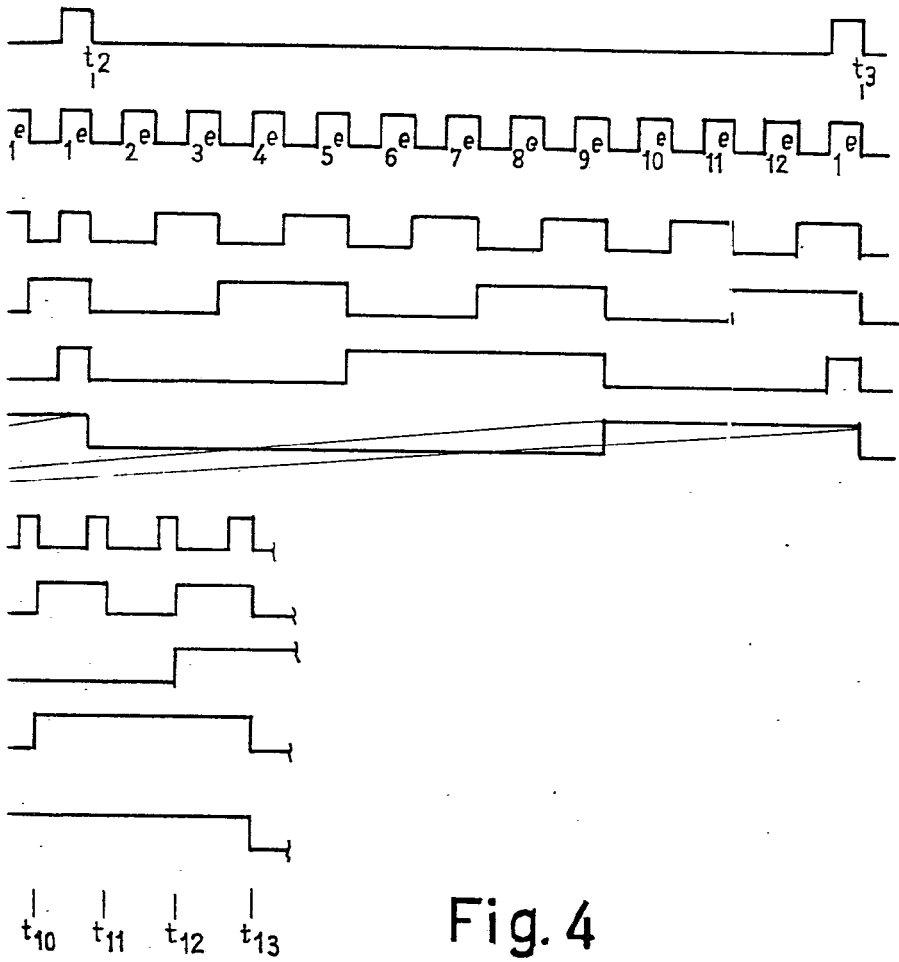
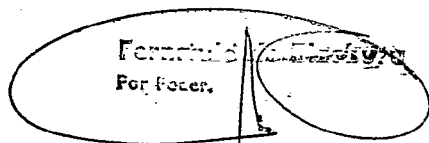


Fig. 4



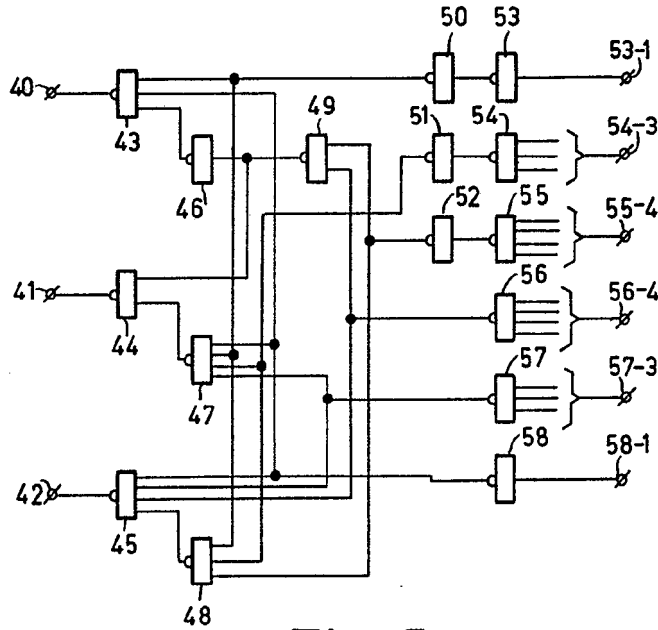


Fig. 5 a

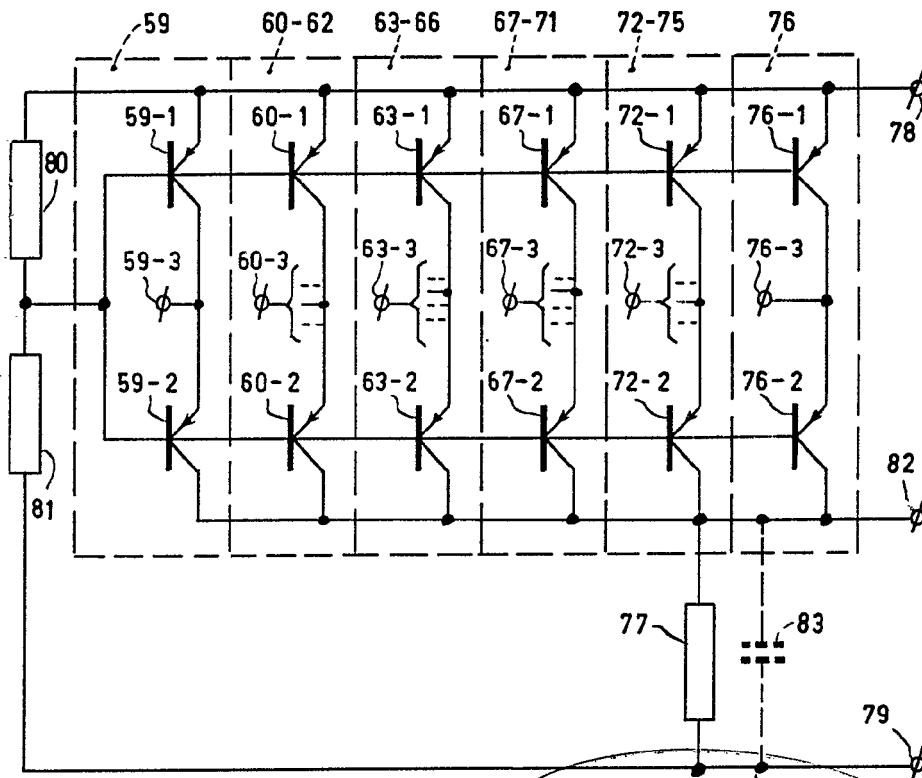


Fig. 5 b

For use as a...
For Focus...

415718

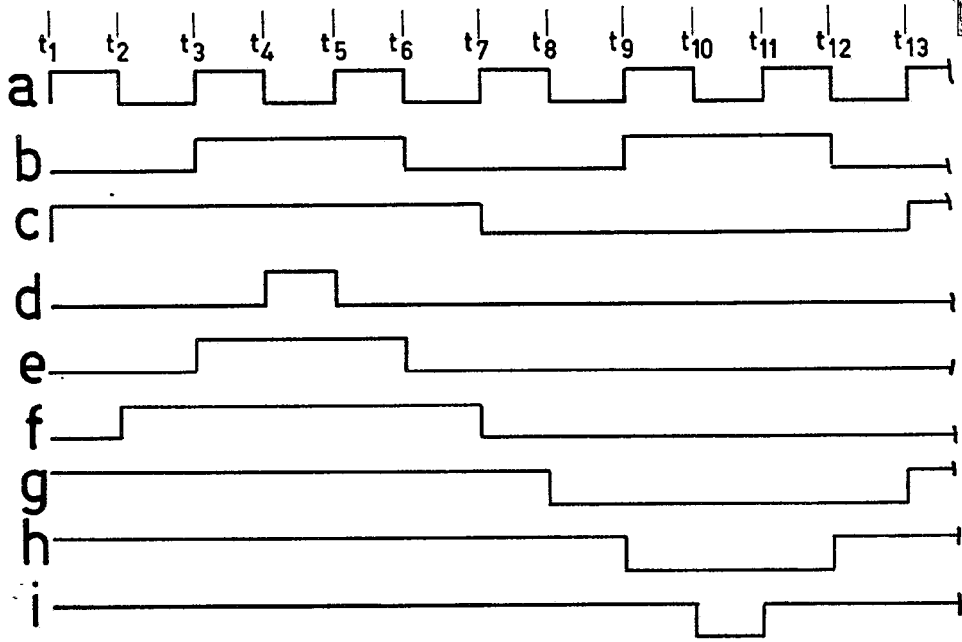


Fig. 6

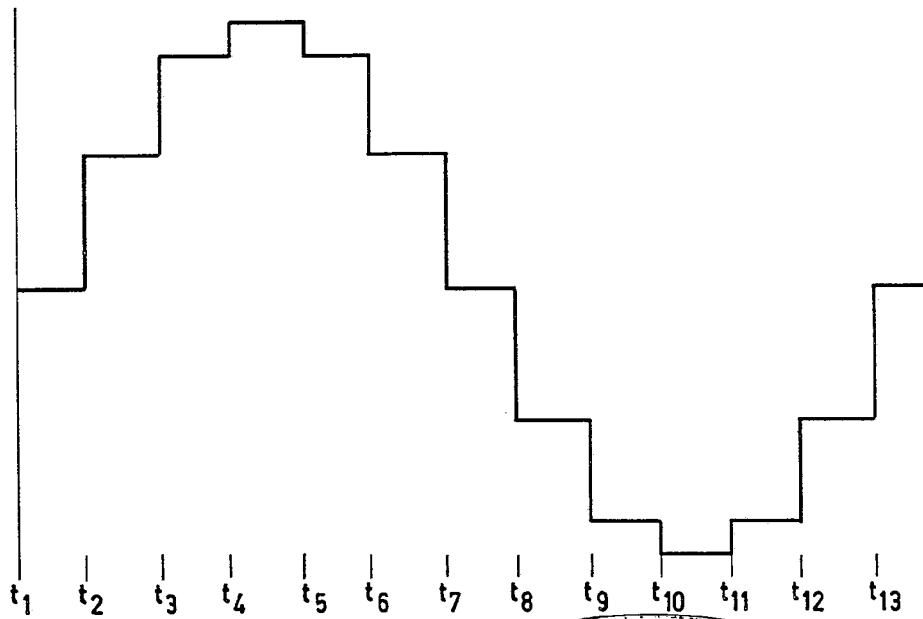


Fig. 7

Federale de Hissburg
Por Poder.

415718

415718

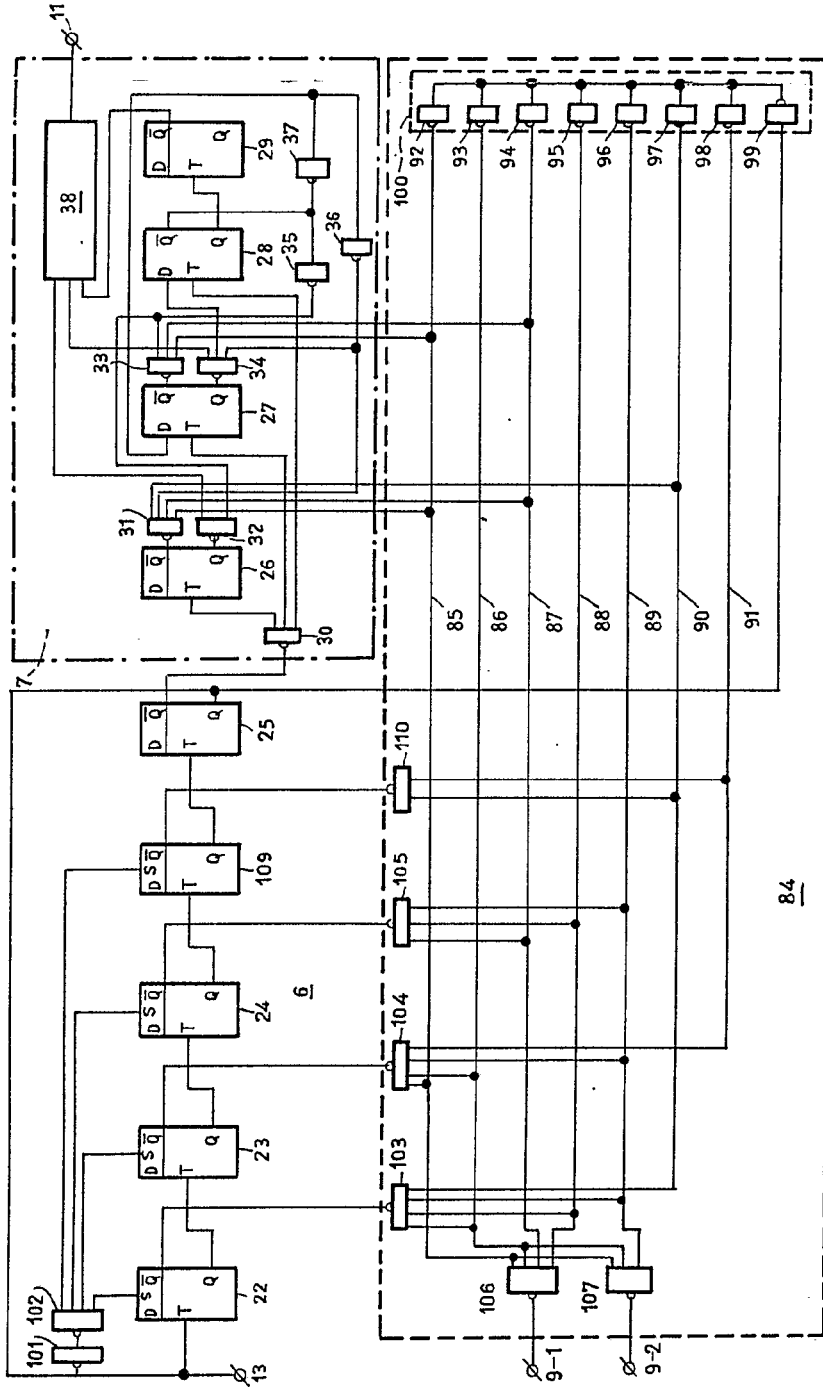
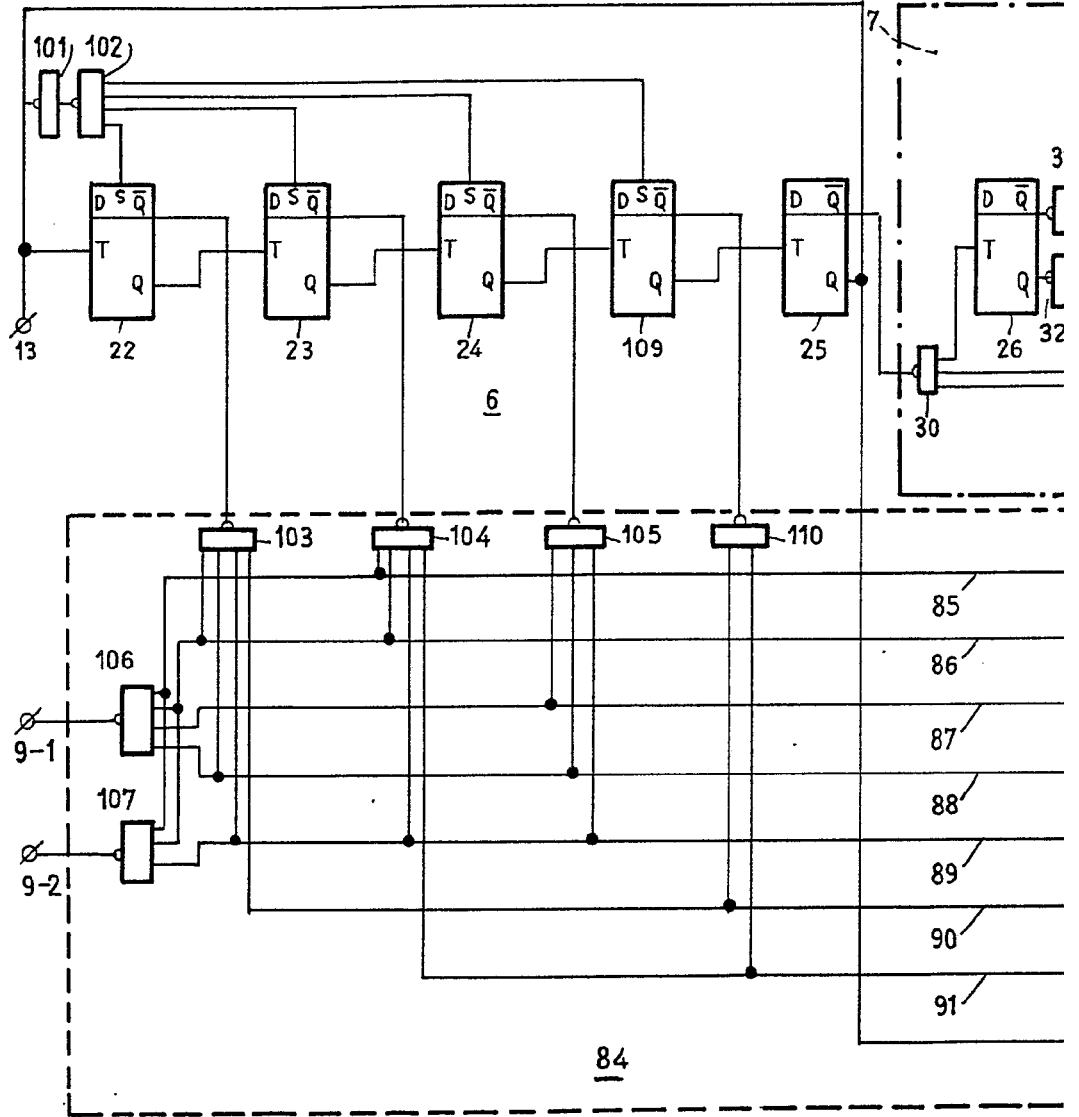


Fig. 8

For (Date)



415718



F

415718

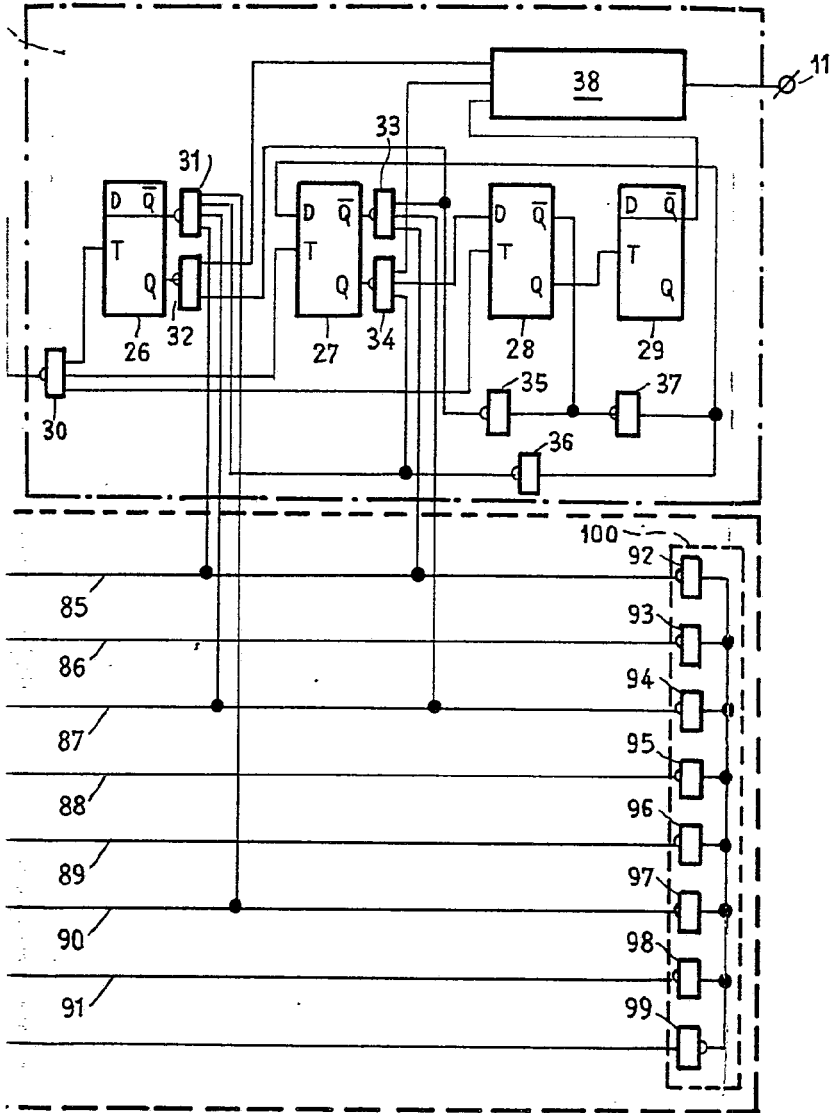


Fig. 8

Fernando de S. ...
Por Poder.

415718

415718 17

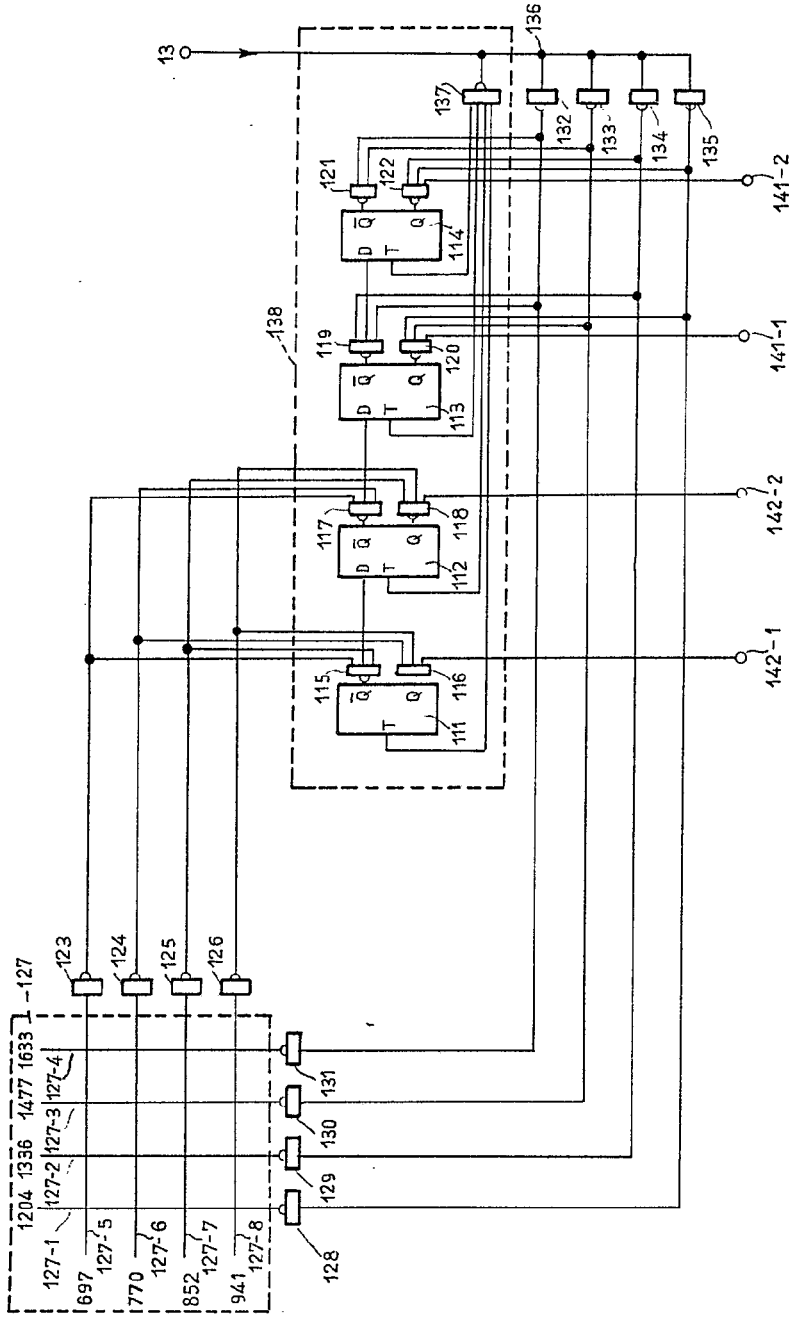
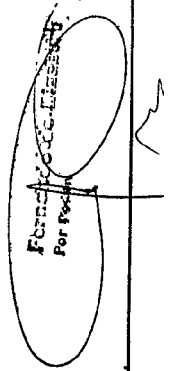


Fig. 9

For Office Use Only



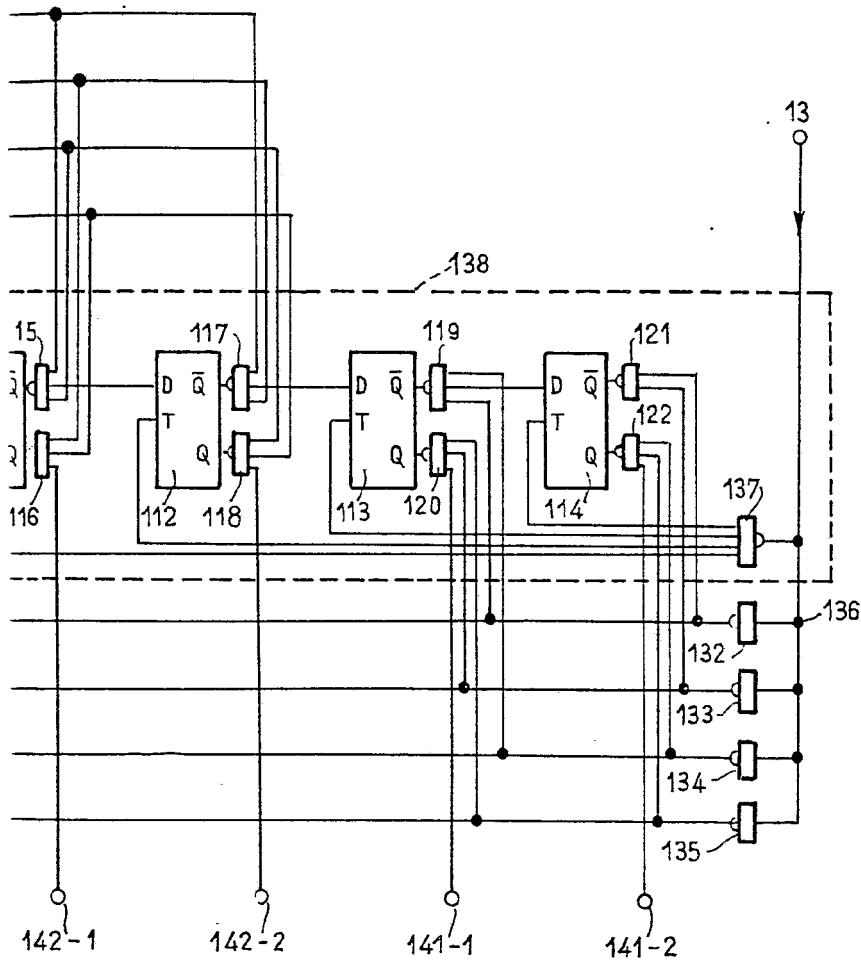


Fig. 9

Ernest C. Eberhart
For Record