

415301

D.E. Forster 2.6

3.^a COPIA

H03K/H04L

9 MAR. 1977

CONCEDIDA

MEMORIA DESCRIPTIVA PARA SOLICITAR CERTIFICADO DE ADICION EN
ESPAÑA POR : "MEJORAS INTRODUCIDAS EN EL OBJETO DE LA PATENTE
PRINCIPAL Nº 403.243, POR MEJORAS EN LOS PROCESOS DE SEÑALI-
ZACION EN SISTEMAS DE TRANSMISION MIC", A NOMBRE DE STANDARD
ELECTRICA, S.A., CON DOMICILIO EN MADRID, CALLE DE RAMIREZ
DE PRADO Nº 5.

El presente certificado de adición tiene por objeto introducir mejoras en relación con un circuito de sincronización de las palabras para un sistema de transmisión con modulación por codificación de impulsos (MIC) y, en particular, a un circuito aplicable a una transmisión de polaridad alterna-
5 da con reducción de la disparidad por violaciones en la polaridad.

La transmisión con polaridad alternada consiste en el envío de impulsos de polaridades positivas (nivel "+") y
10 negativas (nivel "-") correspondientes a los 1s. de una palabra binaria de n bits, mientras que un nivel cero corresponde a los 0s. El resultado final es que el valor medio del nivel

de la línea en corriente continua es cero.

En la estación de origen, un reloj local o "base de tiempo HA" define una sucesión de slots de tiempo de bit iguales, estando cada slot asociado a la transmisión de un bit, mientras que cada grupo de n bits consecutivos determina un "tiempo de palabra".

Durante la transmisión, los impulsos sufren distorsiones de amplitud y de fase que hacen necesario regenerarlos por medio de repetidores situados en la línea, cuando es ésta larga, y en la estación de término.

Es bien sabido que en un repetidor regenerativo, los impulsos son reagudizados y aplicados a un circuito de retemporización que provee unas señales que definen la posición de tiempo de impulsos medio o "base de tiempo HJ".

Un método para la obtención de esta retemporización consiste en sincronizar la frecuencia de las señales entregadas por un reloj local con la de las señales recibidas, por medio de un lazo de cierre en fase.

Es bien conocido que la efectividad de tal sincronización aumenta con el número promedio de transiciones en la señal recibida.

Para aumentar este número, es decir, para reducir la disparidad en el código, se han dispuesto diversos métodos de codificación. La patente española nº 325.910, en particular, describe un método de transmisión por el que cada palabra binaria se transmite en forma directa o complementaria, según que el número de impulsos o de ls contenidos en la palabra sea mayor o igual a $\frac{n}{2}$ o menor de $\frac{n}{2}$, respectivamente. Además, durante la recepción, para detectar si la palabra ha sido transmitida en forma directa o complementaria, a cada palabra se aso-

cia un bit adicional o bit de comprobación.

Este método tiene, sin embargo, el inconveniente de requerir una velocidad de transmisión aumentada, si ha de ser mantenida la misma capacidad de transmisión de la información, dado que ha de transmitirse un bit adicional.

Para resolver este problema, la patente principal Nº 403.243, describe un método con el que una palabra complementada se señala rompiendo la regla de la alternación de la polaridad de los impulsos. Así se tiene que, si una palabra W es complementada y el impulsos final de la palabra precedente (W-1) es positivo, el primer impulso de la palabra W que corresponde a un "1" después de la complementación, será positivo, mientras que, de acuerdo con la regla de la alternación, debería ser negativo. A la recepción, la detección de un par de impulsos consecutivos de polaridades similares controla la complementación de la palabra recibida.

Este tipo de señalización por violación de la regla de alternación de la polaridad introduce en el espectro de la señal transmitida una componente de corriente continua, mientras que la transmisión con polaridad alternada efectúa debidamente la eliminación total de dicha componente de continua, en el caso de haber señales vocales.

Para eliminar esta componente de corriente continua manteniendo la propiedad de reducción de la disparidad, este invento propone un método de transmisión con violaciones de la polaridad alternada, es decir, con una transmisión en la que la polaridad de un par de impulsos, en relación con una violación dada, se opone a la de un par de impulsos relativa a la violación precedente.

En estos dos métodos de transmisión con polaridad

alternada y con polaridad violada el reloj local usado en el equipo de recepción deberá estar cerrado en fase con las señales recibidas de forma que se identifiquen los diferentes slots de tiempo de bit de las palabras recibidas. El invento se refiere más particularmente a un procedimiento de sincronización de las palabras con el que las señales de slots de tiempo de bits $m_1, m_2 \dots m_n$ entregadas por el reloj son sincronizadas con los tiempos de recepción del primero, segundo ... etc. bits de la palabra.

Es, por tanto, el objeto de este invento, la obtención de un circuito para la transmisión con polaridad alternada y violación de la polaridad, con el que se permita la eliminación de la componente de corriente continua en el espectro de señales transmitidas.

Otro objeto del invento es un circuito de sincronización de las palabras para un sistema de transmisión en MIC en el que la señalización de la información sea transmitida por violaciones de la polaridad, simples o alternadas.

En un circuito de recepción para la información transmitida por el método de polaridad alternada y violación simple o alternada de la polaridad y en el que se incluye un circuito de detección de la violación de la polaridad, se provee un medio de reloj local que incorpora un contador de bits que entrega las señales de slots de tiempo de bits $m_1, m_2 \dots m_n$, junto con un medio para el establecimiento de dicho contador, bajo el control de una señal V , para situar m_B posiciones seleccionadas entre $m_1 \dots m_n$ posiciones, un medio de retardo RP con una capacidad de p tiempos de bit, un medio de control de la información con el que una palabra recibida y retardada por el circuito RT es transmitida en forma

complementada o directa, según que se haya detectado o no la violación de la polaridad, y un medio de sincronización de las palabras que controla la elaboración de una señal V cuando ha sido detectada una violación de la polaridad entre
 5 los tiempos de bit ml y mB.

Otros objetos, características y ventajas de este invento se harán evidentes por la lectura de la descripción que sigue de un ejemplo real la cual se hace en conexión con los dibujos que se acompañan, en los que:

- 10 - las Figs. 1a y 1b representan los diagramas de las señales de reloj;
- las Figs. 2a a 2f representan diagramas de señales transmitidas con violaciones simples de la polaridad;
- las Figs. 3a a 3d representan diagramas de señales transmitidas con violaciones alternadas (o dobles) de la polaridad;
- 15 - la Fig. 4 representa en detalle el circuito de transmisión;
- la Fig. 5 representa en detalle el circuito de recepción;
- las Figs. 6a a 6h muestran los diagramas relativos a la recepción de las señales transmitidas con violaciones simples
 20 de la polaridad;
- las Figs. 7a a 7c muestran los diagramas relativos a la recepción de señales transmitidas con violaciones alternadas de la polaridad, y
- las Figs. 8a a 8c representan los diagramas de señales en
 25 transmisión.

El sistema de transmisión por MIC, al que este invento se aplica, está diseñado para transmitir palabras de n bits asociados a un solo canal o con varios canales, por los que la información es transmitida secuencialmente
 30 en múltiple de tiempo.

Como ejemplo no limitativo, en la descripción se toma el caso de un sistema MIC en el que $n=8$.

Las Figs. 1a y 1b representan los diagramas de las señales de reloj usadas para la transmisión y la recepción, en las que:

- la Fig. 1a representa las señales de tiempo de bit $m_1, m_2 \dots m_8$ que definen los intervalos de tiempo relativos a cada bit de la palabra. Los intervalos de tiempo relativos a las palabras $(W-1), W, (W+1)$ se refieren como $t(W-1), tW, t(W+1)$.
- la Fig. 1b representa señales a, b, c, d, e, de "estrechos" slots de tiempo que dividen cada tiempo de bit en cinco intervalos iguales.

Este invento se aplica como fué dicho en la introducción, a una transmisión caracterizada por los tres puntos siguientes:

- Transmisión en código de disparidad reducida, en el que una palabra que comprende menos de $\frac{n}{2}$ 1s es complementada.
- Transmisión en polaridad alternada en la que impulsos alternados con polaridades positiva y negativa corresponden a sucesivos 1s: ello es la regla de alternación de la polaridad.
- Transmisión con polaridad violada, en la que la presencia de una palabra complementada es señalizada por la ruptura de la regla de la polaridad alternada. En el caso de una violación simple de polaridad, como fué descrito en la patente principal 403.243, esta violación se hace sobre el primer impulso de una palabra complementada.

Con objeto de facilitar la lectura de la descripción, dividimos ésta en tres partes:

- 1.- Transmisión con violación simple y doble de la polaridad.
- 2.- Circuito de transmisión.

3.- Circuito de recepción.

1.- Transmisión con violación simple y doble de la polaridad.

Los diagramas de señales de las Figs. 2a a 2f se refieren a transmisiones con violación simple de la polaridad, como fueron descritas en la patente principal, para tres palabras consecutivas (W-2), (W-1), W.

La Fig. 2a representa estos tres tiempos de bit.

La Fig. 2b representa el código transmitido. Si el número de bits l de una palabra se designa como n_l , se tiene que $n_l > 3$ para las palabras (W-2) y (W-1) y $n_l < 3$ para la palabra W, de modo que esta palabra puede ser complementada, como puede verse en el diagrama de la Fig. 2c, que representa las señales de baudío completos transmitidas en polaridad alternada.

La violación de la regla de la alternación de la polaridad aparece en el primer impulso de la palabra W, en el tiempo de bit m_3 .

Puede verse así que:

- Una palabra en la que $n_l > 3$ es transmitida en forma directa y contiene de 4 a 8 impulsos (representando 1s).
- Una palabra en la que $n_l < 3$ es transmitida en forma complementaria y contiene de 5 a 8 impulsos (representando 0s).

Ello implica que el complemento contiene por lo menos un impulso en la primera semipalabra definido por el intervalo de tiempo de m_1 a m_4 .

Como se vió en la introducción, este procedimiento de transmisión introduce una componente de c.c. El presente invento elimina esta componente prescribiendo que la violación de la polaridad VPx se aplique a un par de impulsos que tengan una polaridad opuesta a la del par que caracteriza la violación

de polaridad precedente VP (xl).

Los diagramas de señales de las Figs. 3a a 3d se refieren a esta transmisión con violación alternada o "doble" de la polaridad.

5 La Fig. 3a representa los slots de tiempo asociados a las tres palabras consecutivas (W-2), (W-1), W de las que las dos últimas deben ser complementadas como se ve examinando los valores de código que se muestran en la Fig. 3b. Para la palabra (W-1) la violación se señala por su primer impulso, que ocurre en el tiempo m2. Para la palabra W, el primer impulso que aparece en el tiempo m1 debe ser, para 10 señalar la violación de la polaridad, del mismo signo que el impulso final de la palabra (W-1), esto es, positivo. Ello no es posible dado que la violación de la polaridad precedente se refiere a un par de impulsos positivos. 15

Este primer impulso de W palabras debe ser, por tanto, negativo, y la violación se señalará por el segundo impulso que aparece, en este ejemplo, en m5.

2.- Circuito de transmisión

20 2.1.- Descripción general

La Fig. 4 representa el circuito de transmisión detallado, el cual puede dividirse en dos partes:

a) Los circuitos de polaridad alternada y de violación simple de la polaridad, de acuerdo con la patente principal. Ellos incluyen: 25

- El circuito de control de transmisión TC, compuesto principalmente del registro de cambio SRL (con capacidad para n=8 bits). el selector KN, que entrega una señal K para n1)3 y los flip-flops B1, B2.
- El circuito de memoria de la violación de la 30

polaridad MV, que contiene el flip-flop B3.

- El circuito de control de la polaridad PC, que contiene los flip-flops B4, B5 y los gates Pa1 a P a 8.

5

- El circuito de reagudizado RS1.

b)

El circuito de transmisión con violación de la polaridad AV, que contiene los flip-flops B6, B7 y los gates Pa9 a Pa13.

La Tabla I, que sigue, en la que la abreviatura "VP" denota "violación de la polaridad", indica las funciones llevadas a cabo por los flip-flops B1 a B6.

10

TABLA I: Funciones llevadas a cabo por los flip-flops del circuito de transmisión.		
Flip-flops	Función	Cuando se hace el cambio de estado
15 B1, B2	Condición <u>1</u> : transmisión directa Condición <u>0</u> : transmis. complementada	Tiempo de palabra
B3	Indicación de violación de la polaridad.	Reposición a cero tan pronto como es ejecutada la VP
20 B4, B5	Indicación de la polaridad del impulso siguiente	Tiempo de bit
B6	Polaridad de la violación precedente	Tiempo de palabra

25 2.2.- Funcionamiento de los circuitos de transmisión para violación simple de la polaridad.

A continuación se recuerda de forma concisa el modo de operar de estos circuitos, que fué descrito en la patente principal.

30

Con cada impulso (dígito 1) de una palabra W

que se aplica a la entrada A, el selector KN avanza un paso en el "estrecho" tiempo e. Al final del tiempo de palabra t_W se recibe una señal k si $n > 3$, y al comienzo del tiempo de la palabra siguiente $t_{(W+1)}$ tendremos que:

$$\begin{aligned}
 5 \quad m.l.a &\rightarrow \overline{B1} \\
 k.m.l.b &\rightarrow B1 \text{ o } \overline{k}.m.l.b \rightarrow B3 \quad (1) \\
 B1.e &\rightarrow B2 \text{ o } \overline{B1}.e \rightarrow \overline{B2}
 \end{aligned}$$

Al mismo tiempo, el valor de los n bits de la palabra W es transferido al registro SRL.

10 Puede verse que, en el tiempo $t_{(W+1)}.m.l.e$:

- El valor de los ocho bits de la palabra W está disponible en SRL.

- El estado del flip-flop B2 indica el modo de transmisión de esta palabra (véase la Tabla I). Si las salidas directa y complementada de SRL se designa como X y \overline{X} puede verse que son seleccionadas por la condición B2 y la condición $\overline{B2}$ respectivamente. La ecuación (1) que hemos visto muestra que el flip-flop B3 se establece en el estado 1 para la condición \overline{K} , es decir, cuando $n1 \leq 3$. Esto significa que los flip-flops B1 y B2 están en el estado 0 para ordenar la transmisión complementada de la palabra o "transmisión de la palabra \overline{W} ", y que esta complementación debe ser señalizada por una violación de la polaridad en el primer impulso de dicha palabra \overline{W} .

25 Como puede verse en las Figs. 8a (tiempo de recepción para dos palabras consecutivas W, (W+1), 8b (tiempo de procesado m.l.b de la señal K o \overline{K}) y 8c (tiempo de transmisión), una palabra \overline{W} recibida en la entrada A en el tiempo t_W es transmitida a la salida C en el tiempo $t_{(W+1)}$, con un
30 retardo que es ligeramente mayor que una palabra de tiempo.

El circuito PC controla simultaneamente la transmisión con polaridad alternada y la violación simple de polaridad (condición B3) del primer impulso de una palabra \bar{W} .

El control de polaridad se lleva a cabo por medio de un flip-flop B4, que está conectado como divisor y que cambia el estado en un tiempo de digito c de cada tiempo de transmisión de un impulso (gates Pa2, Pa3). Para la violación de la polaridad, es decir, cuando aparece la condición B3, este flip-flop B4 actúa una segunda vez sobre el tiempo de digito d que sigue inmediatamente (señal E dada por el gate Pal) de modo que su estado permanece el mismo en dos impulsos consecutivos.

El estado del flip-flop es transferido al "estrecho" tiempo 3 (gates Pa5, Pa6) en el flip-flop B5, cuyo estado determina la polaridad del impulso que va a ser transmitido (estado 1 = polaridad positiva P; estado 0 = polaridad negativa N).

Los impulsos que aparecen en el conductor de salida Xa del circuito TC (1s de una palabra W o \bar{W}) son aplicados a los circuitos AND Pa7 y Pa8, que son también conectados a las salidas del flip-flop B5 de modo que las señales P y N son aplicadas alternativamente al circuito RS1 en los tiempos b y c. Este circuito está diseñado para transmitir, en su salida C, unas señales "de baudio completo" (impulsos de una duración de un tiempo de bit) o señales "de medio baudio" (impulsos de una duración del tiempo de medio bit).

Los cambios en el estado del flip-flop B4 se controlan por las señales B1, $\bar{B1}$, Be y también por las señales g7 y $\bar{g7}$, que definen el valor del primer bit a ser transmitido, el cual se almacena en la última etapa de SRL. Puede verse

que la condición $g7 \cdot (\overline{g7})$ indica que debe ser transmitido un impulso en el siguiente tiempo de bit cuando tenga que transmitirse una palabra W (\overline{W}). Los diferentes casos de cambio de estado del flip-flop $B4$ son:

- 5 a) Transmisión de una palabra W : condición $B1.g7.c$ (circuito ET Pa2),
- b) Transmisión de una palabra \overline{W} : condición $\overline{B1.g7.c}$ (circuito ET Pa3),
- c) Violación de la polaridad en el primer impulso de una
- 10 palabra \overline{W} : condiciones $B3.g7.d = E$ y $E \rightarrow \overline{B3}$ (circuito AND Pa1, del que no se usa la entrada f).

2.3.- Funcionamiento de los circuitos de transmisión con violaciones de la polaridad alternada.

El circuito diseñado para controlar la violación de la polaridad alternada actúa de la siguiente manera:

Si debe tener lugar una violación de la polaridad (condición $B3$), la señal E entregada por el gate Pa1 es almacenada hasta el siguiente tiempo de dígito c en el flip-flop $B7$. La condición lógica $B7.a$ excita a Pa9, Pa10 y el estado del flip-flop $B4$ se transfiere al flip-flop $B6$. Este flip-flop contiene así la información de polaridad de la última violación VPx (condición $B6 = VPx$ positiva; condición $\overline{B6} = VPx$ negativa).

Como se vió en el párrafo 1, la violación de la regla de alternación de la polaridad requiere que la violación siguiente $VP(x+1)$ solamente ocurra después de la transmisión de un impulso que tenga una polaridad opuesta a la de VPx (ver la Fig. 3c). Esta condición se satisface cuando los flip-flops $B4$ y $B6$ están en estados opuestos.

Para el control del estado del flip-flop $B4$,

el circuito AND Pal incluye, además de las entradas a las que son aplicadas las señales B3, G7 d, una entrada f conectada a la salida del circuito OR Pal3, dando:

$$E = (B4.\overline{B6} + \overline{B4}.B6).B3.\overline{g7}.d$$

5 3.- Circuito de recepción

3.1.- Descripción general

La Fig. 5 representa el circuito de recepción detallado. Este circuito recibe por la entrada A, unos impulsos que son reagudizados y sincronizados con las señales de tiempo de bit de la base de tiempo HJ. Estos impulsos se presentan en forma idéntica a la de los impulsos entregados por el circuito de transmisión (Figs. 2c y 3c).

El circuito de recepción se puede dividir en dos partes:

- 15 a) Los circuitos de recepción para señales de polaridad alternada y de violación simple de la polaridad, como fué descrito en la patente principal. Estos circuitos son:
- El reloj local CL con el generador de señales G sincronizado con la base de tiempo HJ, el selector de tiempo "estrecho" KB y el selector de tiempo de bit KD. El repetidor que da las señales de la base de tiempo HJ no se muestra en la Fig.
 - El circuito de retemporización RT, conteniendo un rectificador de onda completa RF y el registro de cambio de p bit SR2.
 - El circuito detector de violación de la polaridad VD, que incluye los flip-flops B11 y B12 y el detector de la polaridad PD; el cual entrega las señales P (recepción de un impulso de polaridad positiva) o N (recepción de un impulso de polaridad negativa).
 - El circuito de control de la información WX, que incluye los flip-flops R, S y los circuitos lógicos Pa22 a Pa26.
- 20
- 25
- 30

b) Los circuitos de sincronización de las palabras de acuerdo con el invento, que incluyen el flip-flop de búsqueda de sincronización ZN. y su circuito AND de control Pa21.

3.2.- Funcionamiento de los circuitos de recepción

5 El funcionamiento de estos circuitos se describe a continuación en relación con la Fig. 5, Figs. 6a a 6e y Figs. 2a a 2f.

Las señales recibidas a la entrada A son aplicadas a los circuitos VD y RT.

10 En el circuito VD, el flip-flop B11 almacena la polaridad de un impulso recibido y esta información es transferida al flip-flop B12 a la recepción del impulso siguiente (puede ser recibida con un retardo de uno a tres tiempos de bit; véase la Fig. 2c). En estas condiciones, si la regla de
15 alternación de la polaridad ha sido rota, ambos flip-flops estarán en la misma condición, por lo menos durante los tiempos d y e, como se puede ver en las Figs. 6a a 6c, y se obtiene una señal de violación de la polaridad para la condición lógica:
$$A = (B11.B12 + \overline{B11}.\overline{B12}).e$$
 (ver las Figs. 2d y 6e).

20 En el circuito RT las señales de entrada (Fig. 2c) son aplicadas al rectificador de onda completa RF cuya salida está conectada al registro de cambio SR2. Este último comprende una salida directa Y y una salida complementada \overline{Y} , sobre la que aparecen las señales NRZ mostradas respectivamente en
25 las Figs. 2e y 2f. Estas señales son retardadas en p tiempos de bit con respecto a las señales aplicadas a la entrada A (Fig. 2c).

30 Para la descripción del circuito WS se puede suponer que la base de tiempo HL (señales m1 a m8) está perfectamente sincronizada con los impulsos recibidos, es decir, que

la información que aparece en la salida J representa el valor del primer bit b_1 de una palabra en el tiempo de bit m_1 , etc...

Al comienzo de un tiempo de palabra (tiempo $m_1.b$), el flip-flop R recibe una señal que le pone en el estado 1,
 5 permaneciéndolo en esta condición mientras no se detecte una violación de la polaridad (Fig. 6f). En cada tiempo "estrecho" a, el gate Pa22 controla la transferencia del estado de este flip-flop S, (Fig. 6g). La presencia de la condición S muestra que se ha recibido una palabra \bar{W} (palabra transmitida en forma
 10 directa).

Por otra parte, tan pronto como se haya detectado una violación de la polaridad, el flip-flop R se restablece al estado 0 en el tiempo $m_1.e$ y permanece en este estado hasta el siguiente tiempo $m_1.b$. Su estado es transferido al flip-
 15 flop S y la condición \bar{S} denota así que se está recibiendo una palabra \bar{W} .

En la Fig. 6a, que se refiere a las violaciones simples de la polaridad, el impulso de violación pertenecen al bit b_3 y la condición \bar{S} ocurre al final de este tiempo de
 20 bit. Puede pertenecer al bit b_4 a condición de que \bar{S} ocurra en este caso con un retardo de un tiempo de media palabra con respecto al tiempo de recepción de este impulso. Las señales recibidas deben ser así retardadas en $p=4$ tiempos de dígito (ver las Figs. 6a y 6h), de modo que el bit b_1 de la
 25 palabra \bar{W} pueda ser complementado aunque la violación ocurra en el bit b_4 . El registro de cambio SR2 da, en cada tiempo, una nueva información que dura un tiempo de bit y la selección de esta información se lleva a cabo de acuerdo con la ecuación

$$J = (Y.S + \bar{Y}.\bar{S}).(c+d).$$

30 La información así dada por la salida J, en

modulación de "retorno a polarización", corresponde al verdadero valor de las palabras tal como se muestra en la Fig. 2b.

Como ha sido visto (Fig. 3c) el impulso de violación de la polaridad puede pertenecer al bit b5 en el caso de una violación de polaridad alternada. En este caso, p=5
5 es seleccionado por el registro SR2.

3.3.- Sincronización de las palabras

En la descripción que se dió en el párrafo 3.2 se supuso que la sincronización de las palabras era la correcta. Sin embargo, puede no ser este el caso cuando se pone el
10 sistema en servicio o durante operaciones en que la transmisión es afectada por interferencias.

Por esta razón, el invento provee medios para controlar la sincronización de las palabras y restablecerla
15 en caso de desincronización.

Una transmisión con polaridad alternada y violación simple de la polaridad se caracteriza por el hecho de que una palabra \bar{W} de 8 bits contiene de cinco a ocho impulsos, de modo que por lo menos uno de ellos tiene lugar en la primera semipalabra (bits b1 a b4). Comparando las Figs. 6a y 6h
20 puede verse que, cuando la sincronización del canal es correcta, los bits b1 a b4 se reciben durante los tiempos de bit m5 a m8, lo que puede ser llamada la "zona blanca" ZB, en contraposición a la "zona negra" ZN que cubre los tiempos de
25 bit m1 a m4. Como dos impulsos de la misma polaridad pertenecen a dos palabras consecutivas (W-1) y W, unicamente el impulso de violación que ha permitido la generación de la señal Q (Fig. 2d) aparecerá en la "zona blanca" de la palabra W en el caso de una sincronización correcta.

30 En la transmisión con violación alternada de la

polaridad, el impulso de violación que causa la generación de la señal Q puede pertenecer a uno de los bits b_1 a b_5 . En las Figs. 7a a 7c este impulso pertenece al bit b_5 , es decir, es el segundo impulso de la palabra W. En consecuencia, el intervalo de tiempo limitado por las señales m_1 a m_3 es la "zona negra" (Ver la Fig. 7c).

Resumiendo, con independencia del tipo de violación de la polaridad, la "zona blanca" es aquella en la que aparece la señal Q.

En el presente invento ha sido establecido un algoritmo para la resincronización, de la forma que sigue: cada vez que una señal Q que caracteriza una violación de la polaridad aparece en la "zona negra" el contador de tiempos de bit KD es puesto en la posición m_B que corresponde al primer tiempo de bits de la "zona blanca".

Esta resincronización se efectúa por medio de un circuito AND Pa21 y del flip-flop ZN. Este último es puesto en el estado 0 por una señal m_B que marca el comienzo de la "zona blanca" y el estado 1 por una señal m_1 que marca el comienzo de la "zona negra" como puede verse en las Figs. 6a, 6h y 7a, 7c. Se tiene $m_B = m_5$ para las violaciones simples de la polaridad y $m_B = m_4$ para las violaciones alternadas. La señal de resincronización $V = Q.ZN$ denota la detección de una violación de polaridad en la "zona negra" y controla el establecimiento en posición $m(B-1)$ del selector KD en el tiempo de dígito e. En el tiempo a del dígito siguiente este último proporciona la señal m_B del tiempo de bit.

En la Tabla 2 se dan las especificaciones de las zonas y la capacidad p del registro SR2.

Tabla 2 : Especificaciones de las zonas y capacidad del registro SR2.				
Tipo de violación de la polaridad	Zona blanca	Zona negra	mB	P
Simple	m1-m4	m5-m8	m5	4
Alternada	m1-m3	m4-m8	m4	5

Dos casos de sincronización pueden ser observados:

- que el impulso de violación de la polaridad esté en el bit b1. La resincronización es inmediata;
- 10 - que el impulso de violación de la polaridad esté en uno de los bits b2, b3, b4. En este caso, el establecimiento del contador KD en la posición mB no trae la resincronización inmediata. De ello resulta que, en la resincronización de la palabra o de una de las palabras complementadas que la siguen,
- 15 la violación de la polaridad es nuevamente detectada en la "zona blanca", llevando a un nuevo establecimiento en la posición mB, de lo cual se sigue que después de recibir un cierto número de palabras complementadas dando una señal Q para uno de los bits b2, b3, b4, se recibe una palabra cuyo
- 20 primer impulso está en el bit b1, asegurando una perfecta resincronización.

El cálculo demuestra que esta sincronización es sumamente rápida. Así, para los códigos de ocho bits en que todas las palabras tienen la misma probabilidad de que o-

25 curran:

- en el caso de una violación sencilla de la polaridad, la probabilidad de que aparezca una violación en el bit b1 es de 0,25 y el tiempo medio de resincronización es de 40 tiempos de palabra;
- 30 - en el caso de una violación alternada de la polaridad, el

tiempo medio de sincronización es de 31 tiempos de palabra.

Si bien este ejemplo ha sido descrito en relación con unos especiales ejemplos reales está claro que no se limita a dichos ejemplos y que es válido para otras variaciones o modificaciones sin que ello signifique un desvío en su especial campo de aplicación.

Este invento corresponde a una solicitud de certificado de adición formulado en Francia el día 30 de Mayo de 1972, señalado con el número 72 19338 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- NOTA -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de este certificado de adición de veinte años son los siguientes:

1.- Mejoras introducidas en el objeto de la patente principal Nº 403.243, por "Mejoras en los procesos de señalización en sistemas de transmisión MIC" constituidas por circuito de transmisión de las señales para transmisión con polaridad alternada de palabras de n bits y violación alternada de la polaridad incluyendo, como fué descrito en la patente principal Nº 403.243, un circuito de control de la transmisión que retarda las palabras a ser transmitidas en un intervalo de tiempo de n tiempos de bits, un circuito de memoria de violación de la polaridad MU que entrega una señal B3 cuando las palabras a ser transmitidas deben ser complementadas con señalización de violación de la polaridad, un circuito PC de control de la polaridad que determina la polaridad de los impulsos a ser transmitidos como función del valor del bit a ser transmitido y de la presencia o ausencia de una señal B3 y caracterizado, de acuerdo con el presente certificado de adición, por el hecho

de que también incluye un circuito de alternación de la violación de la polaridad en el que la polaridad de la violación precedente es almacenada por un flip-flop B6, y porque es comparada, al ocurrir una nueva violación, con la polaridad del primer impulso a ser transmitido, de tal modo que dicha nueva violación se hace sobre un par de impulsos de una polaridad opuesta a la del par precedente.

2.- Mejoras introducidas en el objeto de la patente principal N^o 403.243, por "Mejoras en los procesos de señalización en sistemas de transmisión MIC" constituidas por un circuito de recepción y sincronización de las palabras y con violaciones simples y alternadas de la polaridad incluyendo, de acuerdo con la patente principal, un circuito VD que entrega una señal Q cuando es detectada la violación de la polaridad, un circuito de retemporización RT en el que los impulsos recibidos son retardados en p tiempos de bit ($p < n$), un circuito de reloj que contiene un contador KD que entrega las señales de tiempos de bit $m_1, m_2 \dots m_n$ y un circuito de control de información WS por el que son transmitidas las señales relativas a una palabra en forma complementada o en forma directa según que esté o no presente una señal Q, caracterizándose la sincronización de la palabra, de acuerdo con el presente certificado de adición, por el hecho de que el contador KD es establecido en la posición mB ($B = \frac{n}{2}$ ó $\frac{n}{2} + 1$, para n par) cuando la señal Q aparece en el intervalo de tiempo limitado por los tiempos de bit m_1 y $m_{(B-1)}$, ambos incluidos, y porque $B = \frac{n}{2} + 1$, $p = \frac{n}{2}$ para una transmisión con violaciones simples de la polaridad y $B = \frac{n}{2}$, $p = \frac{n}{2} + 1$ para una transmisión con violaciones alternadas de la polaridad.

30 3.- Mejoras introducidas en el objeto de la patente

principal Nº 403.243, por "Mejoras en los procesos de señalización en sistemas de transmisión MIC".

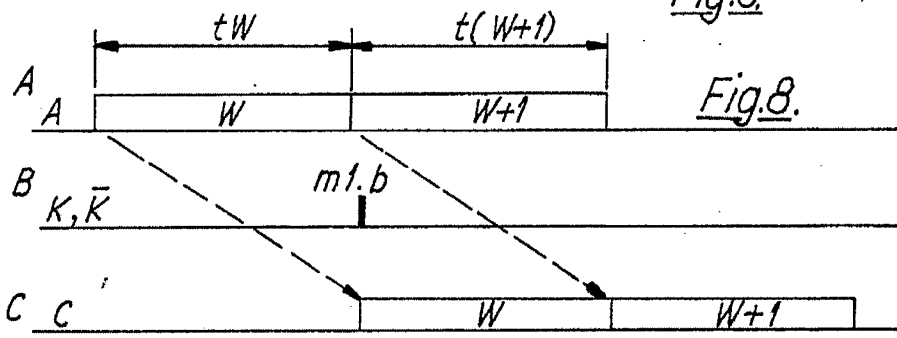
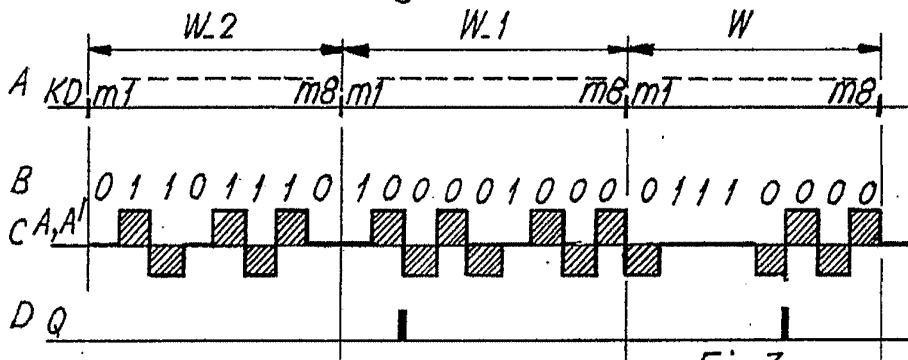
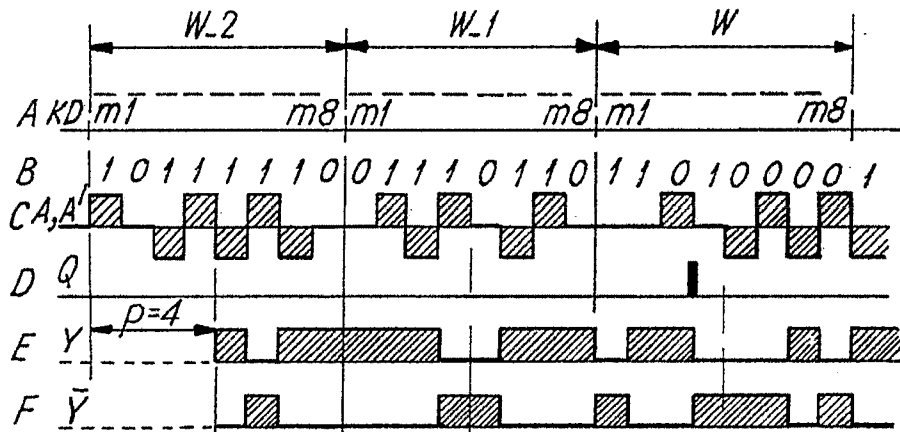
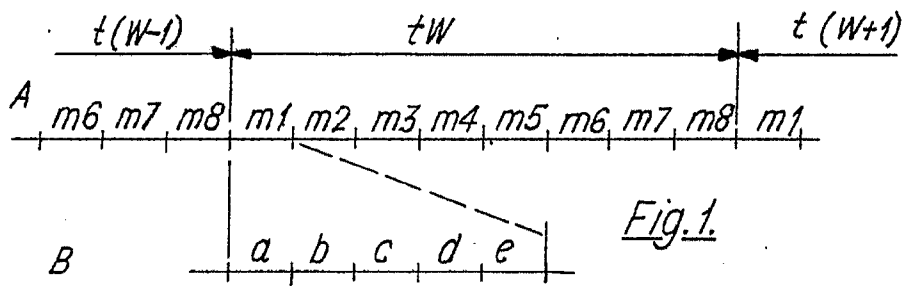
Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines
5 especificados.

Esta memoria consta de veintiuna hojas escritas por una sola cara.

Madrid, 29 MAYO 1973

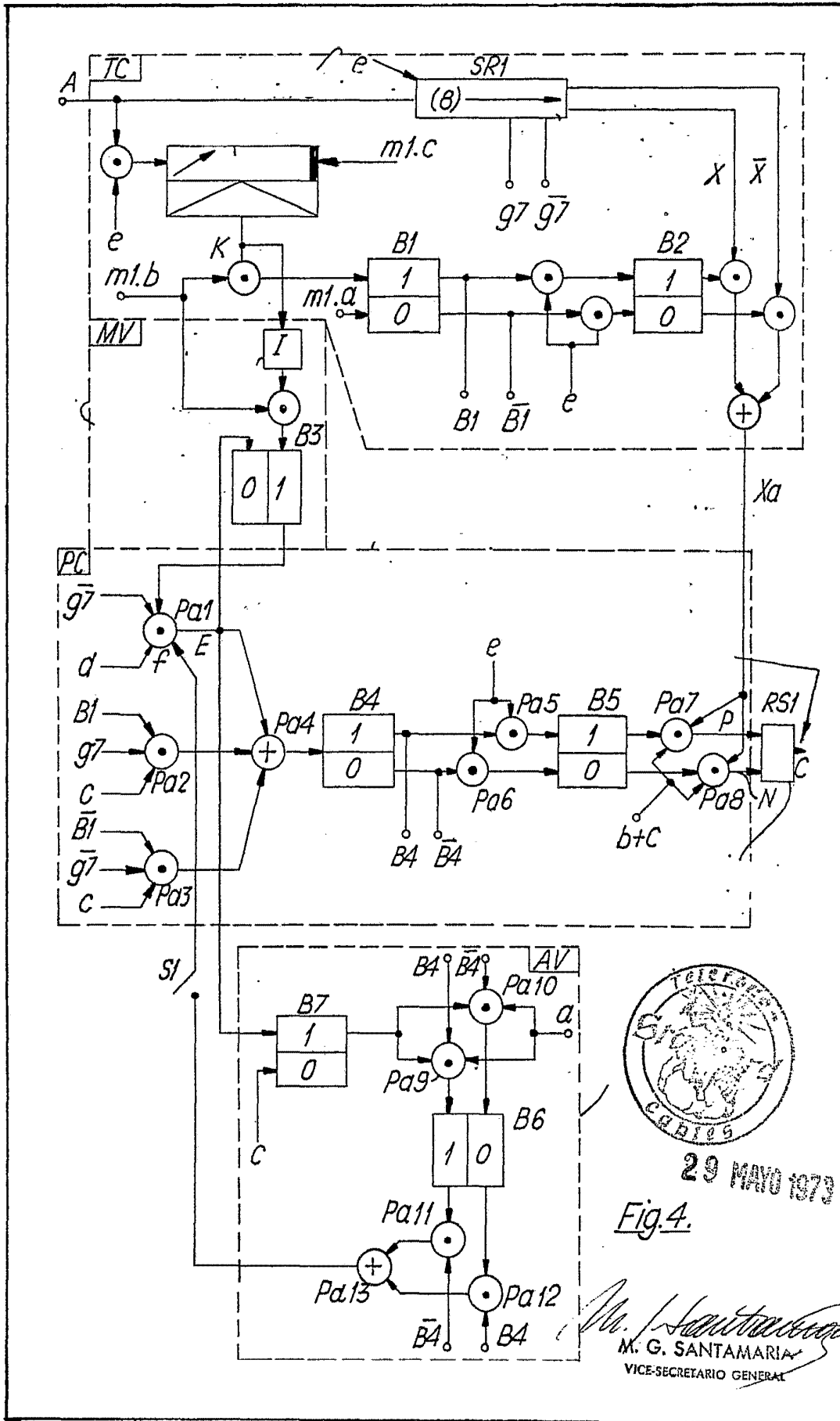
M. G. SANTAMARIA
VICESECRETARIO GENERAL





29 MAYO 1973

M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



29 MAYO 1972

Fig. 4.

M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

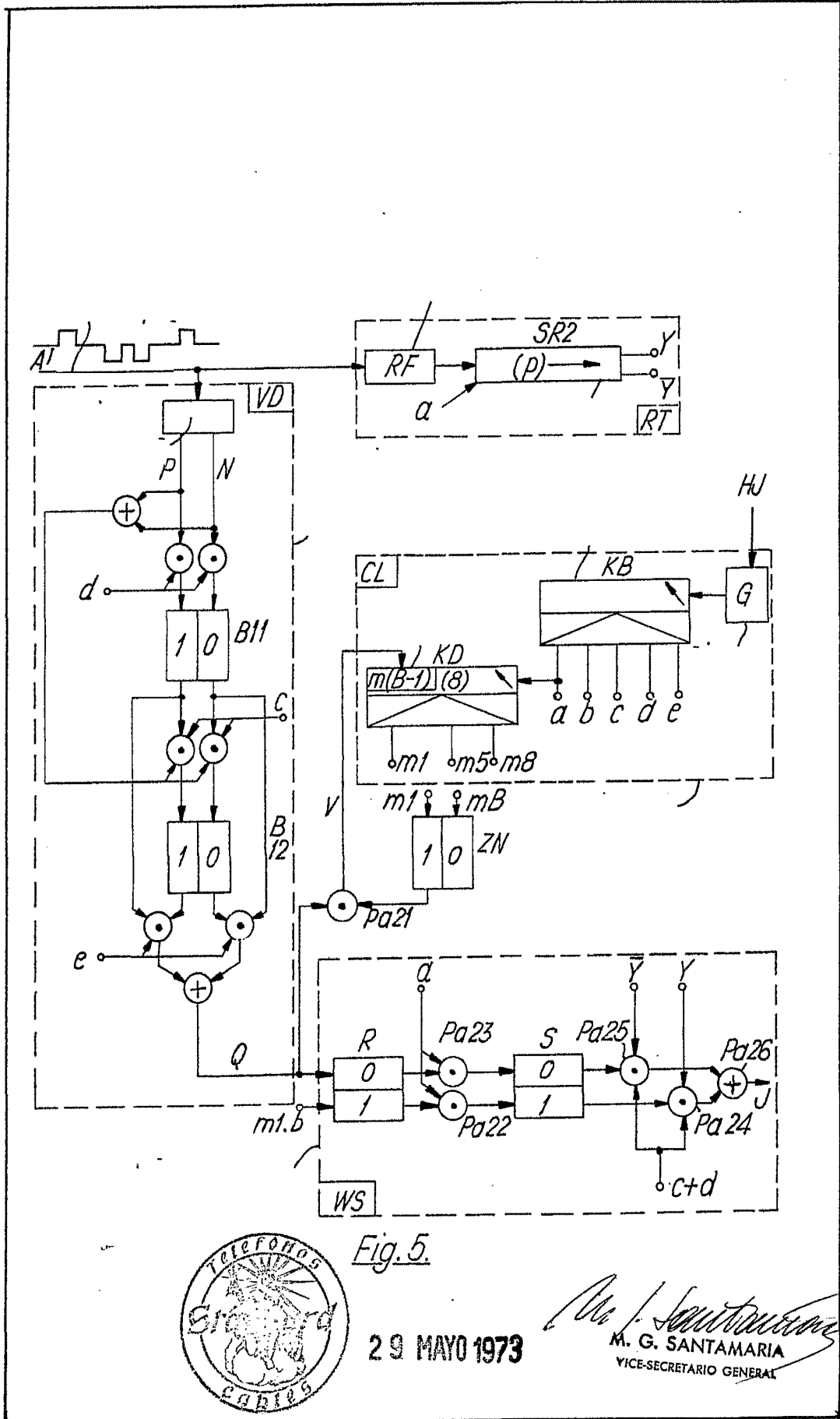


Fig. 5.



29 MAYO 1973

M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

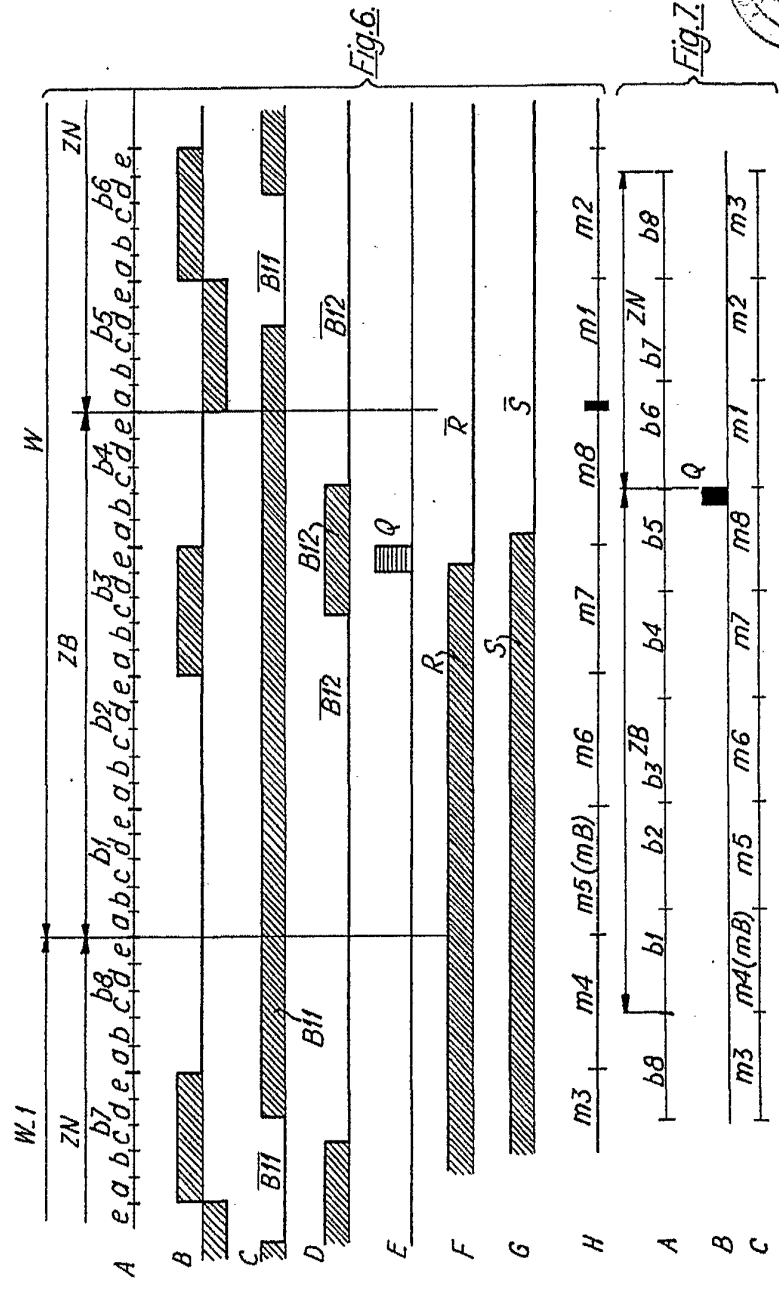


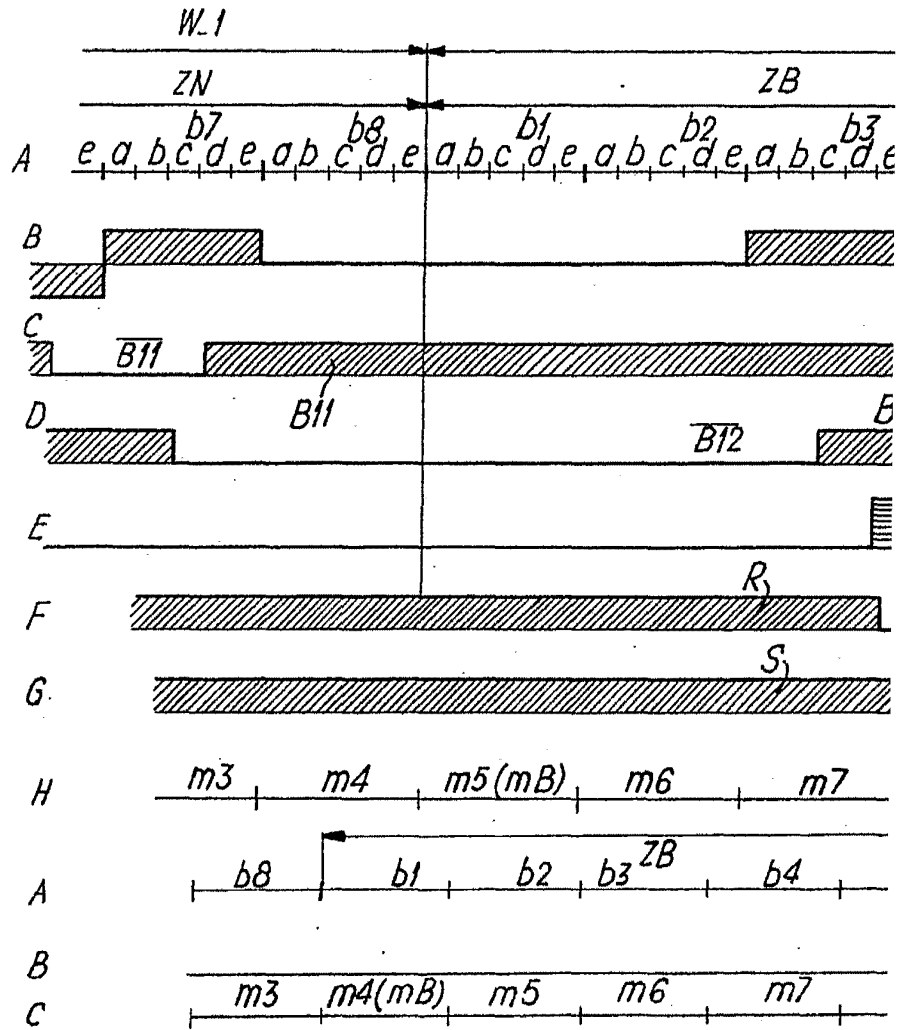
Fig. 6.

Fig. 7.



M. G. Santamaría
 M. G. SANTAMARÍA
 VICESECRETARIO GENERAL

23111



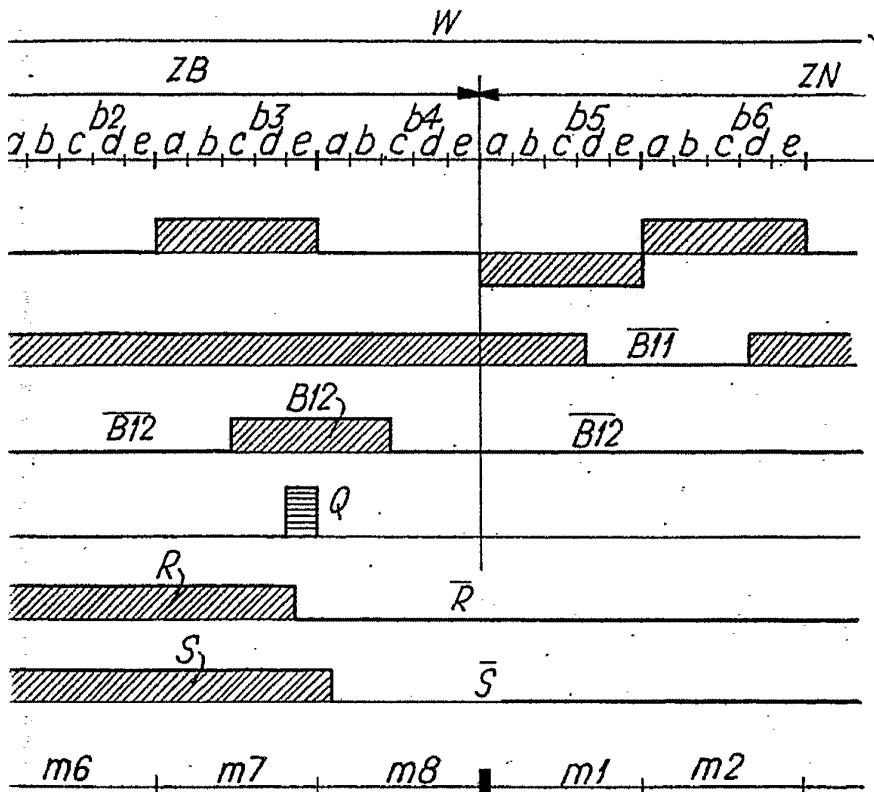


Fig. 6.

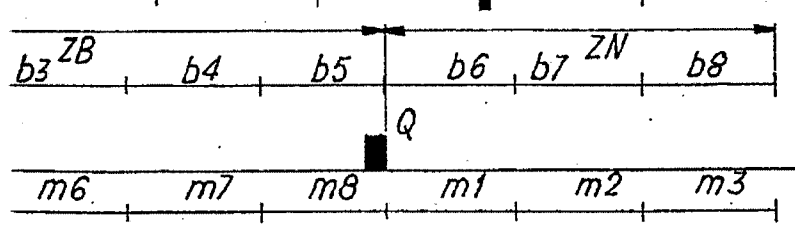


Fig. 7.

23 MAR



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL