

24 firmado 1978



415110

415110

MEMORIA DESCRIPTIVA.

PATENTE DE INVENCION.

Int. Cl.²: G08C//H03K

P A I S : ESPAÑA.

DURACION : 20 AÑOS.

F.C. 10-6-75

OBJETO : "SISTEMA SECUENCIAL PARA TRANSMISION DE DATOS".-

=====

A nombre de : JEUMONT-SCHNEIDER

Residente en : PUTEAUX (Hauts de Seine) - Francia,
31-32, Quai National.

Nacionalidad : FRANCESA.

24



415110

El presente invento se refiere a un sistema secuencial para transmisión de datos, que permite insertar el mando de operaciones de secuencia lenta en un programa de operaciones de secuencia rápida mandadas por un contador de impulsos gobernado por un reloj y asociado a un secuenciador.

El sistema según el invento es aplicable a cualquier conjunto de transmisión de datos que tenga sub-conjuntos rápidos y sub-conjuntos lentos (teletransmisiones, automatismos, etc.).

En la mayor parte de los sistemas secuenciales, la iniciación de las diferentes secuencias es mandada por un contador gobernado por un reloj que afecta a cada operación de un intervalo de tiempo determinado.

Ciertas de estas operaciones pueden comprender el empleo de sub-conjuntos (periféricos) cuya rapidez de funcionamiento es netamente inferior a la de la mayoría de los sub-conjuntos. Tal es el caso por ejemplo de una impresora o de dispositivos de relés. La inserción en las secuencias de tales operaciones cuya duración es por otra parte muy variable, complica la programación del sistema y aumenta la duración de los ciclos. Algunos sistemas se liberan de ello, condensando por medio de intercaras complicadas y costosas la operación efectuada por el sub-conjunto lento cuya duración es así llevada por el sistema a la de una



operación normal (memoria tampón).

- El sistema según el invento está caracterizado por-
que el contador de impulsos, cuando se inicia una opera-
ción de secuencia lenta, manda el estado cero a la salida
30.- de un primer operador lógico unido a la entrada de un cir-
cuito formador de impulsos cuya salida está conectada a
la primera entrada de un segundo operador lógico de dos
entradas, cuya segunda entrada está unida a un contacto
de relé abierto en reposo y que se cierra cuando la opera-
35.- ción de secuencia lenta ha terminado; la salida del segun-
do operador lógico está conectada a una entrada de una
báscula biestable e impone sobre la salida de dicha bás-
cula, un estado lógico fijo si el circuito formador de
impulsos está activo y si el contacto del relé está abier-
40.- to, este estado lógico fijo, bloquea el contador de impul-
sos por medio de una tercera operación lógica; dicha bás-
cula biestable posicionada según lo que precede, es vuel-
ta a posicionar por una señal síncrona de la señal del re-
loj, pero desplazada con relación a esta última.
- 45.- El sistema según el invento permite, cuando una ope-
ración de secuencia lenta debe intervenir en un estado da-
do entre las operaciones de secuencia rápida, insertar es-
ta operación sin perturbar la programación bloqueando des-
de el comienzo de la operación, el avance del contador
50.- de impulsos que manda el desarrollo de las secuencias, y
liberando este contador al final de la operación insertada.
- El invento será mejor comprendido con ayuda de un
ejemplo de realización con referencia a los dibujos adjun-
tos, en los que:
- 55.- La figura 1 representa el esquema lógico de un sistema



según el invento.

La figura 2, el diagrama de los tiempos de las señales recibidas en diferentes puntos de este esquema.

60.- El sistema tiene un operador lógico 3 interpuesto entre el contador de impulsos 2, que manda la iniciación de las secuencias por sus salidas h_0, h_1, \dots, h_n , y el reloj 1 que gobierna el contador, El secuenciador asociado al contador no ha sido representado en la figura 1 para simplificar el esquema.

65.- La salida del operador lógico 3 está unida a la entrada del contador mientras que sus entradas están unidas, una a la salida del reloj 1, la otra a la salida de una b4scula biestable $\bar{R} \bar{S}$ 4. El operador lógico 3 no transmite al contador 2 las señales del reloj 1 y no permite en consecuencia el mando del paso a la operaci3n siguiente
70.- mas que si la salida de la b4scula 4 est4 en estado cero.

La b4scula biestable 4 recibe en su entrada \bar{R} las se4ales del reloj 1 afectadas por un desplazamiento determinado y en su entrada \bar{S} , la salida de un operador l3gico
75.- Y-NO fantasma 5.

Una resistencia R_1 , une la entrada \bar{S} de la b4scula 4 con una fuente de tensi3n V que impone a la entrada \bar{S} de la b4scula 4 un estado uno en ausencia de se4ales en la salida del operador 5.

80.- El operador l3gico 5, de dos entradas, tiene su salida unida a la entrada \bar{S} de la b4scula 4 y sus entradas unidas:

- la primera, por una parte a un contacto de un rel4 R_x , contacto cuyo cierre impone a esta entrada un estado cero,
85.- por otra parte a la fuente de tensi3n V por una resistencia



R_2 .

- La segunda a un circuito formador de impulsos 6.

Este circuito 6 comprende:

90.- un transistor T de tipo NPN cuyo emisor está a masa, cuyo colector está unido a la entrada del operador 5 y cuya base está unida a una de las armaduras de un condensador C,

- una resistencia R_3 que une el colector del transistor T a la fuente de tensión V,

95.- una resistencia R_4 que une la base del transistor T a la fuente de tensión V,

- un condensador C una de cuyas armaduras está unida a la base del transistor T y cuya otra armadura está unida a la salida de un operador lógico Y-NO 7.

100.- Las dos entradas de este operador lógico 7, reciben, una, señales que proviene de una de las salidas (h_i por ejemplo) del contador 2, la otra, señales que provienen de un secuenciador exterior (no representado en el esquema) y que entrega un estado lógico uno, cuando el sub-conjunto lento X debe entrar en acción.

110.- El funcionamiento del sistema es el siguiente: Supongamos que el sub-conjunto lento X deba intervenir en la secuencia en curso en el momento del envío por el contador 2 de una señal sobre su salida h_i ; este instante está caracterizado por la aparición simultánea de dos estados lógicos uno sobre las entradas del operador 7. El operador 7, impone entonces un estado cero en su salida y pone por tanto a masa la armadura correspondiente del condensador C del circuito formador de impulsos 6.

115.- Esta puesta a masa deriva, por el condensador C la



corriente de base del transistor T y bloquea este transistor. El bloqueo del transistor T impone a su colector un estado uno que es igualmente impuesto a la entrada correspondiente del operador 5,

- 120.- El operador 5 que tiene sus dos entradas en estado uno (contacto de R_X abierto) impone a su salida un estado cero. Este estado cero impuesto a la entrada \bar{S} de la báscula 4 hace bascular esta última e impone a su salida directa e un estado uno. Este estado uno impuesto a la
- 125.- entrada del operador 3 impone un estado cero en su salida bloqueando así el avance del contador 2 cualesquiera que sean las señales enviadas por el reloj 1. El contador 2 permanece así bloqueado en tanto que la báscula 4 guarde un estado cero impuesto en su entrada \bar{S} , es decir en tanto que el operador 5 no cambie de estado en su salida d.
- 130.-

El cambio de estado del operador 5 es mandado:

- bien por la nueva puesta en conducción del transistor T que impone un estado cero a la entrada correspondiente del operador 5. Esta puesta en conducción se efectúa automáticamente al cabo de un tiempo determinado que corresponde al tiempo de carga de la capacidad C bajo la tensión V a través de la resistencia R_4 ,
- bien por el cierre del contacto del relé R_X que impone un estado cero sobre la entrada correspondiente del
- 135.-
- 140.- operador 5.

El contacto del relé R_X , normalmente abierto en reposo, se cerrará cuando el sub-conjunto X que manda una operación de secuencia lenta, reciba la orden de ejecutar esta operación y cuando haya terminado la ejecución.

- 145.- Cuando la salida del operador 5 pasa al estado uno,

415110



- 7 -

la entrada \bar{S} de la báscula 4 vuelve al estado uno y después de la llegada sobre su entrada \bar{R} de una señal u de reloj, la báscula 4 bascula imponiendo a su salida un estado cero que por medio del operador 3 permite así al

150.- contador 2 recibir de nuevo las señales de reloj 1 y reiniciar las secuencias siguientes. El contador 2 es por tanto bloqueado, bien después de la terminación de la operación del sub-conjunto lento X (funcionamiento normal) o bien más tarde al cabo de un retardo determinado.

155.- Al recuperar su progresión, el contador 2 cesa de emitir una señal sobre su salida h_1 haciendo así cambiar de estado la salida del operador 7.

Para comodidad de lo expuesto, hemos dibujado sólo un circuito de bloqueo, pero es evidente que el sistema

160.- es aplicable al caso de varios sub-conjuntos lentos que tengan cada uno un circuito de bloqueo del contador tal como el descrito. Tal es el caso del sub-conjunto lento X' asociado con la salida h_k del contador 2 a la entrada

165.- de un operador $7'$, idéntico a 7, cuya salida está unida en d' a la entrada \bar{S} de la báscula 4 por un circuito 8 idéntico al que está intercalado entre 7 y d en la descripción precedente.

Igualmente, el sistema permanece enteramente válido si la puesta en práctica del sub-conjunto es subordinada

170.- a un cierto número de condiciones $\sum h_i \cdot x_i$.

La figura 2 indica el diagrama de tiempo en diferentes puntos del esquema de la figura 1, a saber:

- t , una señal del reloj 1,
 - u , señal síncrona pero desplazada con la precedente,
- 175.- a la entrada \bar{R} de 4.



24 MAY 1973

- h_{i-1} , h_i , h_{i+1} , tres salidas consecutivas del contador 2.
- a, salida del operador 7.
- b, base del transistor T.
- 180.- -c, colector del transistor T.
- d, entrada \bar{S} de la báscula 4.
- e, salida directa de la báscula 4 correspondiente a la entrada \bar{S} .

- Los operadores lógicos 7, 7' etc. pueden poseer varias
- 185.- entradas unidas a otros sub-conjuntos tales como X y X', con bitios de mando particulares, sin que se salga del marco del presente invento.

Igualmente, se puede reemplazar por un elemento monoestable, el circuito formador de impulsos 6.

- 190.- El invento se aplica a telemandos y teleseñalizaciones, cada vez que se tiene necesidad de intercalar operaciones de secuencia lenta en un sistema de transmisión de datos de secuencia rápida.

N O T A.-
=====

- 195.- Los puntos de invención propia y nueva que se presenten para que sean objeto de esta Patente de Invención en España, por veinte años, son los siguientes:

- 1º.- Sistema secuencial para transmisión de datos, que permite insertar el mando de operaciones de secuencia lenta en un programa de operaciones de secuencia rápida mandadas por un contador de impulsos gobernado por un reloj y asociado a un secuenciador, caracterizado porque dicho contador, cuando se inicia una operación de secuencia lenta, manda el estado cero a la salida de un primer operador
- 200.- lógico unida a la entrada de un circuito formador de im-
- 205.-

415110



- 9 -

- pulsos cuya salida está conectada a la primera entrada de un segundo operador lógico de dos entradas cuya segunda entrada está reunida a un contacto de relé abierto en reposo y que se cierra cuando la operación de secuencia
- 210.- lenta ha terminado; la salida del segundo operador lógico está conectada a una entrada de una báscula biestable e impone sobre la salida de dicha báscula un estado lógico fijo si el circuito formador de impulsos está activo y si el contacto del relé está abierto; este estado lógico
- 215.- fijo bloquea el contador de impulsos por medio de un tercer operador lógico; dicha báscula biestable posicionada según lo que precede es vuelta a posicionar por una señal síncrona de la señal de reloj pero desplazada con relación a esta última.
- 220.- 2º.- Sistema secuencial según el punto 1º, en el que varios circuitos compuestos por un primer operador lógico, por un circuito formador de impulsos, por un segundo operador lógico y por un contacto de relé dispuestos según dicho punto, son insertados entre la báscula biestable y
- 225.- las salidas del contador de impulsos, con bitios de mando particulares.
- 3º.- Sistema secuencial según uno de los puntos precedentes, en el que cada circuito formador de impulsos es reemplazado por un elemento monoestable.
- 230.- 4º.- "SISTEMA SECUENCIAL PARA TRANSMISION DE DATOS", todo tal y conforme se describe en la presente memoria la cual consta de 233 líneas y a título de ejemplo se representa en los adjuntos dibujos.

Ma ----



415110

- 10 -



24 MAYO 1973

----- drid. 24 MAYO 1973

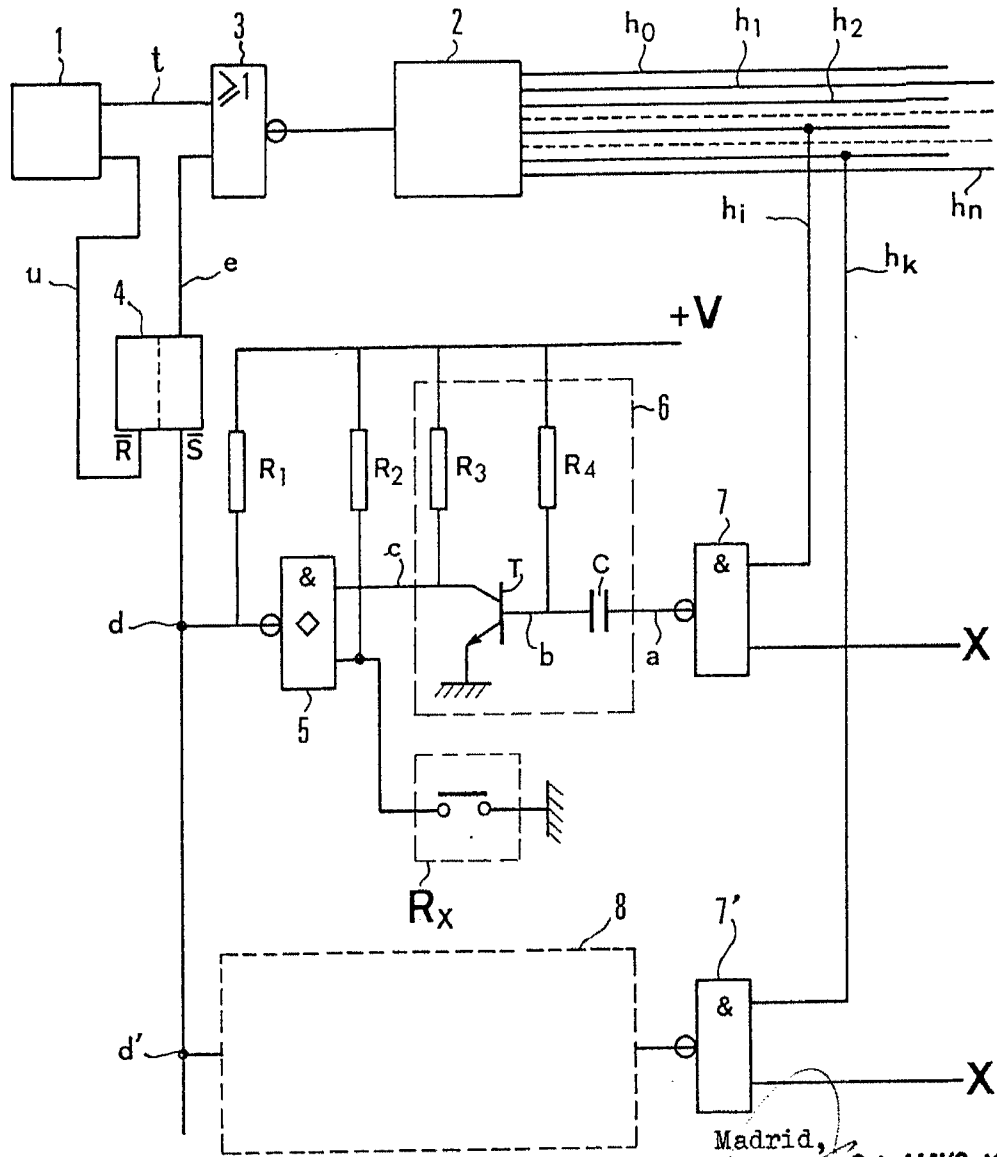
~~Ⓟ~~

ESCALA VARIABLE.



24 MAYO 1973

FIG.1



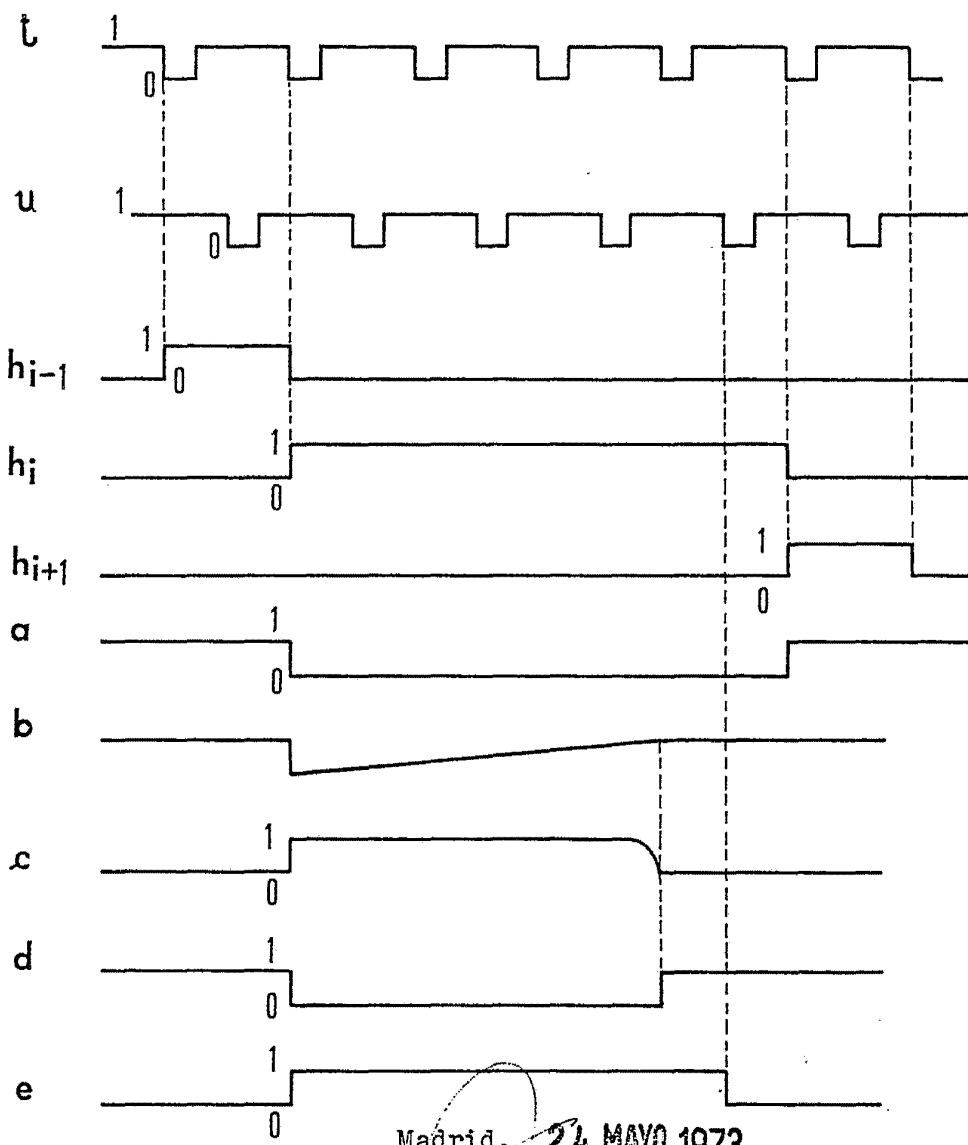
Madrid,

24 MAYO 1973

ESCALA VARIABLE.

24 MAYO 1973

FIG.2



Madrid, 24 MAYO 1973