

-6 JUN.



414795

P.- 54.392

F.C 2-II-75

Int. Cl. <sup>a</sup>	B66B
W.E. Case No. 42,742	

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION por 20 años

A nombre de WESTINGHOUSE ELECTRIC CORPORATION

entidad norteamericana

con domicilio en Westinghouse Building, Gateway Center,  
Pittsburgh, Pensilvania 15222, Estados  
Unidos de América.

por: "UN DISPOSITIVO GENERADOR DE PATRON DE VELOCIDAD EN  
O PARA UN SISTEMA DE CONTROL DE MOTOR DE ELEVADO-  
RES"

(Clase Internacional B66b)

31-5-73

BAD ORIGINAL

414795



Un cierto aparato dado a conocer pero no reivindicado en la solicitud presente, se reivindica en las siguientes solicitudes de patente españolas presentadas simultáneamente:

5

Solicitud Número 414803, presentada el 16 de Mayo de 1.973, con el título "UN DISPOSITIVO SELECTOR DE PISOS PARA UN SISTEMA DE ELEVADORES", cuya solicitud ha sido expedida a la misma concesionaria que la solicitud presente.

10

Solicitud Número , presentada el , con el título "CONTROL DE DESACELERACION DE DISTANCIA PARA SISTEMAS DE ELEVADORES", cuya solicitud ha sido cedida a la misma concesionaria que la solicitud presente.

15

Solicitud Número 414794, presentada el 16 de Mayo de 1.973, con el título "UN SISTEMA DE CONTROL DE ELEVADORES", cuya solicitud ha sido cedida a la misma concesionaria que la presente solicitud.

20

25

414795



La invención se relaciona en general con sistemas de elevadores y, más específicamente con un generador de patrón de velocidad para sistemas de elevadores.

Los sistemas de elevadores que utilizan dispositivos de control electromecánicos no proporcionan un control directo de sobreaceleración a través del patrón de velocidad sino que dependen de otros factores para alimentar la sobreaceleración. El diseño del dispositivo de control dinámico del carro es un compromiso entre una pluralidad de criterios, tales como el tiempo de respuesta del sistema, las características de llegada y el valor de la desaceleración durante la fase de reducción de velocidad. Durante la instalación del sistema de elevadores, el sistema se ajusta cuidadosamente para proporcionar la limitación de sobreaceleración requerida, que de nuevo involucra un compromiso entre los factores tales como rebasamiento de

20

25

31-5-73



desa aceleración, rebasamiento de llegada y oscilaciones en la velocidad del carro durante la aceleración. Además, el sistema puede requerir un reajuste periódico de la sobreaceleración si los parámetros del sistema dinámico se desvían como consecuencia de añejamiento, temperatura y desgaste.

Los sistemas de elevadores con dispositivos de control de estos sólidos pueden proporcionar un control a través de la sobreaceleración máximas en el patrón de velocidad mismo. Por ejemplo, la Patente Norteamericana Número 3,523,232, da a conocer un generador de patrón de posición versus tiempo que desarrolla una señal de aceleración y luego sobrepone una restricción de sobreaceleración en la señal de aceleración a través de un integrador. Esta señal de aceleración de restricción de sobreaceleración se integra dos veces para obtener la señal de posición de mando con respecto al tiempo. La patente Norteamericana Número 3,350,612 usa un capacitor para nivelar las transmisiones entre las distintas porciones de una señal patrón.

La invención estriba de un generador de patrón de velocidad para proporcionar una señal de patrón de velocidad controlada en sobreaceleración y que depende del tiempo que consiste de: una prima fuente de potencial que proporciona una señal escalonada conmutable entre primera y segunda magnitudes representativa del régimen máximo del cambio de la aceleración del elevador que representa de esta manera la sobreaceleración



máximas, un segundo elemento conectable para integrar la señal escalonada a fin de proporcionar una señal de desaceleración, un tercer elemento conectado para integrar la señal de aceleración a fin de proporcionar una señal de patrón de velocidad y un elemento de realimentación conectado desde el segundo y tercero elementos de integración para controlar la conmutación de las señal escalonada en respuesta a la señal de aceleración y la señal de patrón de velocidad.

La invención se hará más fácilmente evidente de la siguiente descripción ejemplaria que se toma junto con los dibujos que se acompañan, en los cuales:

La Figura 1 es una vista parcialmente esquemática y parcialmente en forma de diagrama de bloque que ilustra un sistema de elevadores que puede utilizar las enseñanzas de la invención;

La Figura 2 es un diagrama de bloque de un selector de pisos que abarca los conceptos básicos de la presente invención;

La Figura 3 es un diagrama de bloque de un selector de pisos que abarca los principios básicos de la presente invención y que además ilustra una modalidad preferida de la misma;

La Figura 4 es un diagrama de tiempo para explorar la posición de cero del contador de exploración que ilustra el

- 5 - 414795



desarrollo de ciertas señales de tiempo que se usan en el selector de pisos:

La Figura 5 es un diagrama esquemático de un contador, dextrificador, memoria, comparador y dispositivo de indización, apropiados para usarse en el selector de pisos mostrado en la Figura 3.

La Figura 6 es un diagrama esquemático de un contador, comparador y dispositivos de reajuste superior/inferior apropiados para usarse en el selector de pisos mostrado en la Figura 3;

La Figura 7 es un diagrama de tiempo para un edificio de 30 pisos que ilustra ciertas señales que explican el funcionamiento del selector de pisos mostrado en la Figura 3;

La Figura 8 es un diagrama esquemático de un selector de llamadas apropiado para usarse en el selector de pisos mostrado en la Figura 3;

La Figura 9 es un diagrama esquemático del circuito lógico apropiado para usarse en el selector de pisos mostrado en la Figura 3;

La Figura 10 es un diagrama esquemático de un sincronizador apropiado para usarse en el selector de pisos mostrado en la Figura 3;

La Figura 11 es un diagrama que ilustra cual de



las llamadas del pasillo puede ser tomada en cuenta por un carro cuando se ajusta para un recorrido ascendente y descendente;

La Figura 12 es un diagrama de bloque de un generador de patrón de velocidad que puede usarse en el sistema de elevadores mostrado en la Figura 1;

La Figura 13 es un diagrama esquemático del circuito lógico apropiado para usarse en el generador de patrón de velocidad que se muestra en la Figura 12;

La Figura 14 es un diagrama esquemático de un generador de rampa de tiempo apropiado para usarse en el generador de patrón de velocidad mostrado en la Figura 12;

La Figura 15 es una gráfica que ilustra las formas de onda en los distintos puntos de circuito del generador de rampa de tiempo mostrado en la Figura 14;

La Figura 16 es una gráfica que ilustra las señales de sobreaceleración, aceleración y velocidad que dependen del tiempo, para el generador de patrón de velocidad mostrado en la Figura 12;

La Figura 17 es un diagrama esquemático de un circuito de desaceleración de distancia apropiado para usarse en el generador de patrón de velocidad mostrado en la Figura 12;

La Figura 18 es un diagrama esquemático de un cir-



cuito de desaceleración en la terminal apropiada para usarse en el generador de patrón de velocidad mostrado en la Figura 12:

La Figura 19 ilustra una cuchilla de desaceleración en la terminal del tipo que puede usarse junto con el generador de impulsos para proporcionar impulsos para el circuito de desaceleración en el terminal, que se muestra en la Figura 18;

Las Figuras 20A y 20B son gráficas que ilustran el funcionamiento del circuito de desaceleración en la terminal mostrado en la Figura 18; y

La Figura 21 es un diagrama esquemático de un circuito impulsor que puede usarse en el generador de patrón de velocidad mostrado en la Figura 12;

La presente invención es un generador de patrón de velocidad nuevo y mejorado del tipo de estado sólido que proporciona una señal de patrón de velocidad óptima de tiempo con sacudidas controladas incorporadas en el patrón de velocidad. Además, la sobreaceleración máxima es directamente controlada y ajustable.

Más específicamente, una señal escalonada o una señal del tipo de conexión-desconexión se proporciona, la cual representa el valor de la sobreaceleración o el régimen del cambio de la aceleración. La señal escalonada es conmutable entre



una primera y una segunda magnitudes, con la sobreaceleración verdadera a la cual se someterá el carro elevador pudiendo entonces determinarse mediante las magnitudes de la señal;

La primera y segunda magnitudes de la señal escalonada de sobreaceleración proporciona corriente de polaridad opuesta. La corriente que responde a la magnitud seleccionada se integra para proporcionar una señal que representa la aceleración del carro o la desaceleración, y la señal de aceleración se integra para generar la señal de referencia de velocidad que depende del tiempo, para el dispositivo de control del motor.

Los circuitos de aceleración y realimentación de velocidad seleccionan una de las dos magnitudes de la señal de sacudidas para incorporar la restricción de sobreaceleración durante los períodos de transición entre: (1) la velocidad de cero del carro y la aceleración máxima, (2) la aceleración máxima y la velocidad máxima, (3) la velocidad máxima y la desaceleración máxima y (4) la desaceleración máxima y la velocidad de cero del carro. Durante el período cuando el carro está en la posición de descanso y durante los períodos de desaceleración constante y velocidad constante, los circuitos de realimentación cambian la señal de sobreaceleración entre sus dos magnitudes, de manera tal, que la sobreaceleración se



promedia hasta cero en el régimen de conmutación, siendo entonces más rápido de lo que es el tiempo de respuesta del carro elevador.

El patrón de velocidad que depende del tiempo proporciona un patrón para una corrida completa y puede usarse para controlar una corrida completa en sistemas de elevadores de velocidad relativamente baja. En sistemas de elevadores de velocidad más elevada, el patrón de velocidad que depende de tiempo pueden usarse para ciertas fases de la carrera con la señal que depende del tiempo siendo reemplazada por señales de referencia que dependen de la distancia, para otras fases de la carrera. Por ejemplo, el patrón de velocidad que depende del tiempo puede usarse para acelerar el carro u para las fases de velocidad completa cambiándose hacia una señal de desaceleración, que depende de la distancia, cuando se llega a la desaceleración máxima durante la fase de reducción de velocidad.

En el generador de patrón de velocidad dado a conocer, el valor de la sobreaceleración no depende de las funciones de transferencia del sistema, no hay necesidad de un ajuste de campo y puesto que no hay interacción entre el control de sobreaceleración y los otros parámetros, los otros parámetros pueden llevarse al óptimo, independientemente del control de sacudidas.



FIGURA 1

Haciendo ahora referencia a los dibujos, y a la Figura 1 en particular, se ha mostrado un sistema de elevadores 10 en donde un carro 12 está montado en una escotilla 13 para moverse con relación a una estructura 14 que tiene una pluralidad de niveles de piso, tales como 30 de ellos con solamente el primero, segundo y el tripésimo niveles de piso habiéndose, mostrado a fin de simplificar el dibujo. El carro 12 se sostiene mediante un cable 16 que se hace pasar a través de una garrucha de tracción 18 montada en la flecha de un motor impulsor 20, tal como un motor de corriente directa como el que se usa en el sistema impulsor Ward-Leonard. Un contrapeso 22 se conecta con el otro extremo del cable 16. Un cable regulador 24 que se conecta con la parte superior e inferior del carro 12, se hace pasar a través de una garrucha reguladora 26 colocada por encima del punto más elevado del recorrido del carro en la escotilla 13, y a través de una polea 28 colocada en el fondo de la escotilla. Un captador 30 se coloca para detectar el movimiento del carro 12 a través del efecto de las aberturas circunferencialmente separadas 26A en la garrucha reguladora 26. Las aberturas en la garrucha reguladora están separadas para proporcionar un impulso para cada incremento normal del recorrido del carro, tal como un impulso durante cada 1.27 centímetros del recorrido del carro. El captador 30 que puede ser de cualquier tipo apropiado, tal como del tipo óptico o magnético, proporciona impulsos en respuesta al movimiento de las aberturas 26A en la

- 11 - 414795



garrucha reguladora. El captador 30 se conecta con un detector de impulsos 32 que proporciona impulsos de distancia para un selector de piso 34. Los impulsos de distancia pueden desarrollarse de cualquier otra manera apropiada, por ejemplo mediante un captador colocado en el carro que coopera con los indicios o marcas regularmente separados en la escotilla.

Las llamadas del carro, tal y como se registran mediante una disposición de botones de presión 36 montada en el carro 12, se registran y se colocan en serie en control de llamadas de carro 38 y la información de llamadas de carro en serie resultantes se dirige al selector de piso 34.

Las llamadas de pasillo, tal y como se registran mediante los botones de presión montados en los pasillos, por ejemplo los botones de selección ascendentes 40 colocados en el primer nivel de piso, el botón de presión descendente 42 colocado en el trigésimo nivel de piso y los botones de presión ascendente y descendente 44 colocados en el segundo y los otros niveles de piso intermedios, se registran y se colocan en serie en el control de llamadas de pasillo 46. La información de llamadas de pasillo en serie resultante, se dirige hacia el selector de piso 34.

El selector de piso 34 procesa los impulsos de distancia desde el detector de impulsos 32, para desarrollar la información relacionada con la posición del carro 12 en la escotilla 13, y dirige también estos impulsos de distancia procesa-



dos hacia un generador de patrón de velocidad 48 que genera una señal de referencia de velocidad para un dispositivo de control del motor 50 que a su vez proporciona el voltaje impulsor para el motor 20.

El selector de pisos 34 sigue la pista del carro 12, las llamadas para servicio para el carro, proporciona la solicitud para acelerar la señal al generador de patrón de velocidad 48 y proporciona la señal de desaceleración para el generador de patrón de velocidad 48 en el período de tiempo preciso requerido para que el carro se desacelere de acuerdo con un patrón de desaceleración predeterminado y que se detenga en un piso predeterminado para el cual se ha registrado una llamada para servicio. El selector de pisos 34, también proporciona señales para controlar los dispositivos auxiliares tales como el dispositivo de funcionamiento de puerta 52, las linternas del vestíbulo 54 y controla el reajuste de los controles de llamada de carro y de llamada de pasillo, cuando se ha prestado servicio a una llamada de carro o de pasillo.

La llegada, y la igualación del carro al nivel de piso, se logra mediante un sistema transductor que utiliza placas inductoras 56, colocadas en cada nivel de piso y un transformador 58 colocado en el carro 12.

El dispositivo de control de motor 50 incluye un regulador de velocidad que responde al patrón de referencia proporcionado mediante el generador de patrón de velocidad 48. El



control de velocidad puede derivarse de una comparación de la velocidad real del motor y aquella requerida por el patrón de referencia, usando un regulador de imán de resistencia de avance tal como se da a conocer en la patente Británica Número 878,880 y la patente Norteamericana Número 3,207,265, que se han cedido a la misma concesionaria que la solicitud presente. El sistema de parada de precisión usando placas inductoras 56 y el transformador 58 se describe en detalle en la patente Número 3,207,265.

Una condición de sobrevelocidad, ya sea cerca del terminal superior o inferior se detecta mediante la combinación de un captador 60 y las cuchillas de desaceleración, tales como la cuchilla de desaceleración 62. El captador 60 de preferencia se monta en el carro 12, y una cuchilla de desaceleración se monta cerca de cada terminal. Sin embargo, una sola cuchilla de desaceleración montada en el carro podría cooperar con los captadores colocados cerca de cada terminal. La cuchilla de desaceleración tiene aberturas separadas, tales como una orilla dentada, con los dientes separados para generar impulsos en el captador 60, cuando hay un movimiento relativo entre los mismos, cuyos impulsos se procesan en el detector de impulsos 64 y se dirigen hacia el generador de patrón de velocidad 48 en donde los impulsos se usan para detectar la sobrevelocidad.

FIGURA 2



La Figura 2 es un diagrama de bloque del selector de piso 34, que abarca los conceptos básicos del mismo. Los impulsos de distancia desde el detector de impulsos 32, se aplican a un contador reversible 70, que comienza con una cuenta de CERO en el nivel de piso más bajo primero, cuenta hacia arriba cuando el carro está ascendiendo y cuenta hacia abajo cuando el carro está descendiendo. El contador 70 se reajusta forzosamente hasta CERO en el nivel de piso inferior, en caso de que esté fuera de cuenta y también puede reajustarse hasta la cuenta que representa el nivel de piso más hacia arriba cuando llega a ese piso, para corregir cualquier error en la cuenta. El contador 70 de preferencia es un contador binario que tiene el número de bits necesarios para contar hasta el número binario determinado, mediante el incremento normal que se usa para generar un impulso y la altura entre los pisos más hacia abajo y más hacia arriba.

El contador 70 se coloca para proporcionar un número binario que cambia continuamente a medida que el carro se mueve con relación a la estructura, a fin de indicar continuamente, la posición avanzada del carro, en oposición a la posición verdadera del carro en el pozo de izar. Esta posición continua avanzada del carro es el punto en donde el carro se detendría desde su velocidad regular, bajo un programa de desaceleración predeterminada. La posición continua avanzada del carro es más importante que la posición verdadera del carro en los sistemas

444795

46 J



de elevadores de alta velocidad, puesto que se necesitan varios pisos para detener el carro suavemente sin tensión innecesaria en los pasajeros.

Tal y como se da a conocer en la patente Británica anteriormente mencionada Número 1,273,301, la posición continua avanzada del carro puede generarse directamente en el contador reversible 70 generando los impulsos al doble del régimen de los impulsos de distancia, cuando se está acelerando el carro, y al mismo régimen que los impulsos de distancia cuando el carro marcha a velocidad constante. Cuando se inicia la desaceleración, se descontinúa la cuenta de los impulsos de distancia de manera tal que cuando el carro se detiene, la cuenta en el contador refleja la posición verdadera del carro.

Un segundo contador reversible 72 proporciona una señal que indica la posición discreta avanzada del carro, en términos de número de piso. El segundo contador reversible 72, también de preferencia es un contador binario que tiene el número de bits necesarios para proporcionar una palabra binaria para el piso más hacia arriba. El contador 72 puede reajustarse en uno o ambos terminales y se hace coincidir hacia arriba o hacia abajo, tal y como se requiera a medida que cambia la cuenta de la posición continua avanzada del carro, tal y como se describirá a continuación.

Se proporciona una memoria de lectura solamente 74, que, cuando se dirige por una palabra binaria del contador 72,



que representa la posición discreta avanzada del carro con un número de piso, proporciona una palabra binaria que tiene el número de bits necesario para describir el emplazamiento exacto de ese piso con relación a la estructura, con una resolución del mismo incremento normal usado para generar los impulsos, tales como de 1.27 centímetros. La memoria que permite solamente la lectura es de preferencia una matriz de diodos fundidos, con la presencia de un diodo correspondiente a un UNO lógico, mientras que un dedo que falta, es decir uno en donde su fusible se ha quemado, representa un CERO lógico. Un diodo puede desconectarse de la matriz, descargando un capacitor cargado a través del mismo y quemando el fusible en serie con el mismo. De esta manera, la memoria que permite solamente la lectura, puede usarse de manera precisa para cada piso de la estructura con el cual está asociado, durante una instalación de campo. Por ejemplo, el carro elevador se nivela en el piso inferior, el contador 70 se reajusta a CERO, el selector de pisos para la memoria que permite solamente la lectura 74 se ajusta con el piso inferior y los bits del contador 70 cada uno se conecta con un bit de la memoria que permite solamente la lectura, a través de un inversor y un interruptor, que cuando se hace accionar, descarga un capacitor a través del diodo asociado de la memoria que permite solamente la lectura y el bit invertido del contador 70 es un UNO lógico. De esta manera, cuando el contador 70 registra CERO en el nivel de piso inferior, los bits invertidos son



todos UNO y todos los diodos de la memoria que permite solamente la lectura 74 se desconectarían del circuito para la posición del piso uno. El carro luego se mueve mediante una operación manual hacia el siguiente nivel de piso y se nivela exactamente con el piso sin rebasamiento. La cuenta del contador 70 de esta manera describe el emplazamiento exacto de este piso con relación a la estructura, y el selector de palabras o de pisos de la memoria que permite solamente la lectura, se ajusta hacia la segunda palabra. Oprimiendo el interruptor se ajustará la segunda palabra de la memoria a la cuenta en el contador 70. Esta secuencia se repite hasta que se haya preajustado en la memoria que permite solamente la lectura, el emplazamiento exacto de todos los pisos. Por lo tanto, la memoria de dirección 74 con una palabra del contador 72 que contiene el número de bits necesario para describir el número de un piso, ocasiona que la memoria 74 proporcione una palabra que tiene el número de bits necesarios para describir de manera exacta, el emplazamiento de piso en la estructura con la misma resolución usada en el contador 70 para describir la posición continua avanzada del carro. Por ejemplo, una palabra de entrada de 5 bits que describe un número de piso, puede proporcionar una palabra de 16 bits que describe el emplazamiento de ese piso en la estructura.

Se proporciona un comparador de bit por bit 76 que compara las palabras de salida binarias del contador 70 y la memoria 74. Cuando las palabras binarias del contador 70 y de la

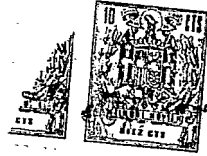


memoria 74 son iguales, el comparador 76 proporciona una señal de igualdad E02. De esta manera, cuando el carro está ascendiendo, cuando las palabras binarias del contador 70 y de la memoria 74 son iguales, se genera la señal de igualdad E02. La señal de igualdad E02 indica que debe iniciarse la desaceleración durante este momento o el carro no puede detenerse en la posición discreta avanzada del carro. Si no se inicia la desaceleración en ese punto, el contador 70 continuará contando hacia arriba en respuesta a los impulsos de distancia, la palabra binaria del contador 70 excederá la palabra binaria de la memoria 74 y el comparador 76 proporciona una señal para el dispositivo de indización 78. El dispositivo de indización 78 proporciona una señal para el contador 72 que incrementa el contador 72 para proporcionar la palabra binaria para el siguiente piso más elevado.

Quando el carro está descendiendo y la palabra binaria del contador 70 se convierte en igual a la palabra binaria de la memoria 74, se genera la señal de igualdad E02. Si no se inicia en este momento la desaceleración, el contador 70 continuará contando hacia abajo en respuesta a los impulsos de distancia y tan pronto como la palabra binaria del contador 70 es menor que la palabra binaria de la memoria 74, el comparador 76 proporciona una señal para el dispositivo de indización 78 que a su vez proporciona una señal de indización para el contador 72, disminuyendo el contador 72 mediante un piso para indicar

414795

- 19 -



el número del piso del siguiente piso inferior. La salida de la memoria 74 de esta manera se cambia a la dirección de ese piso.

Se proporciona un tercer contador 80 que es un contador de tipo de exploración continua, de preferencia del tipo binario, que comienza en CERO, cuenta hasta un número binario predeterminado en un período de tiempo predeterminado, e inicia el siguiente período predeterminado de tiempo en CERO nuevamente, dividiendo de esta manera cada período de tiempo predeterminado sucesivo, en una pluralidad de intervalos o ranuras de tiempo. La ubicación del mismo intervalo en cualquier período de tiempo predeterminado, se identifica de esta manera, mediante el mismo número binario. El número de intervalos en cada período de exploración se determina mediante el número de pisos en la estructura, con el número de intervalos siendo por lo menos tan grande como el número de pisos. Un contador de exploración de cinco bits, por ejemplo, proporcionará 32 intervalos antes de reajustarse automáticamente a CERO e iniciar el siguiente período de exploración. Si el número de pisos es mayor de 32, un contador de seis bits proporcionará 64 intervalos, etc. La duración de tiempo para cada intervalo se determina mediante el régimen al cual puede recogerse la información de la llamada de los botones de presión del carro y del pasillo, cuyo régimen se limita debido a la captación de ruido en el cable movable. Un intervalo de tiempo de 2 milisegundos se ha encontrado que es satis-

factorio. Por lo tanto, con un contador de exploración de cinco bits, un período de exploración predeterminado sería de 32 veces 2 ó sea 64 milisegundos, con cada uno de los 32 intervalos, ocupando 2 milisegundos del período. El contador de exploración 80 se controla mediante un reloj de sistema maestro.

Se proporciona un segundo comparador de bit por bit 82 que compara la palabra de salida binaria del contador 72 que describe el número del piso de una posición discreta avanzada del carro, con la salida del contador de exploración 80, binaria. El comparador 82 proporciona una señal EQ1Z durante cada período de tiempo predeterminado, cuando el número binario de la posición de exploración del contador de exploración 80 es igual a la palabra binaria del contador 72. La señal EQ1Z de esta manera puede denominarse la señal en serie de la posición avanzada del carro, ya que coloca la posición avanzada del carro en el intervalo o ranura de tiempo específico de la exploración que identifica el piso de la posición avanzada del carro.

Un circuito lógico 84 recibe las llamadas del carro y del pasillo, con las llamadas del carro, las llamadas ascendentes del pasillo y las llamadas descendentes del pasillo, cada una estando en una forma en serie, sincronizada con el contador de exploración. De esta manera, una llamada de carro para un piso predeterminado aparecería en el intervalo o ranura de tiempo para ese piso, tal y como se desarrolla por el contador de exploración. De una manera semejante, las llamadas ascendente

414793



y descendente del pasillo de los pisos específicos aparecerían en los intervalos asociados de cada período de exploración. El circuito lógico 84 detecta la coincidencia de una llamada para servicio, para la cual el carro está acondicionado para prestar servicio, para el piso de la posición avanzada del carro. Si la dirección de recorrido del carro es ascendente, el carro se acondiciona para tomar en cuenta las llamadas del carro y del pasillo registradas para los pisos, adelante de su dirección de recorrido. El carro manejará todas las solicitudes para servicio ascendente y se acondiciona para subir hasta la llamada registrada más elevada para servicio descendente y luego da servicio a todas las solicitudes para un recorrido descendente registrado adelante del mismo. Una vez que no hayan adelante del mismo llamadas de solicitud de servicio descendente, el carro se acondiciona para subir hasta la llamada inferior que solicita servicio descendente, y maneja todas las llamadas adelante del mismo, para prestar el servicio ascendente.

La coincidencia de una llamada para servicio para el piso de la señal en serie de la posición avanzada del carro, se memoriza por el circuito lógico 84 y cuando se genera la señal de igualdad EQ2 por el comparador 76, se inicia inmediatamente la desaceleración, lo cual impide que el contador 70 registre cualesquiera impulsos de distancia adicionales. La cuenta del contador 72 de esta manera no se hace coincidir y cuando el carro se detiene en el piso en el cual se solicitó



servicio, la posición discreta avanzada del carro y la posición continua avanzada del carro, ambas estarán en la posición verdadera del carro. Si no se detecta una coincidencia de una solicitud para servicio para el piso de la posición discreta avanzada del carro antes de que se genere la señal de igualdad EQ2 por el comparador 76, el siguiente impulso de distancia ocasionará que el comparador proporcione una señal para el dispositivo de indización 78, que hace coincidir el contador 72 para proporcionar un número binario que representa el número del siguiente piso, en el cual puede detenerse el carro.

FIGURA 3

La Figura 3 es un diagrama de bloque del selector de pisos 34, que representa una vista funcional detallada de una modalidad preferida de la invención, con los números de referencia iguales a las Figuras 2 y 3, indicando componentes semejantes, que no se describirán en detalle, puesto que ya se han descrito con relación a la Figura 2.

Más específicamente, la Figura 3 incluye un elemento de reajuste superior/inferior 86 que responde a los detectores de parada del carro en los pisos superior e inferior para proporcionar una señal de carga denominada CARGA N para los contadores 70 y 72. Las memorias dirigidas mediante el emplazamiento de la terminal específica, proporcionan una palabra binaria

414795

- 6 JUL



que describe el emplazamiento, es decir, un número de piso con respecto al contador 72 y el emplazamiento del piso en la estructura con respecto al contador 70, cuyas palabras se cargan en los contadores, cuando se genera la señal del contador CARGA N.

Se proporciona un descodificador mínimo/máximo 88 que detecta la llegada de la posición continua avanzada del carro de los pisos superior e inferior y que inicia la desaceleración en el terminal con una señal TDS en el caso en que no ocurra una coincidencia de la señal en serie de la posición avanzada del carro EQ1Z con una llamada para servicio para el terminal a que se aproxima, antes de la generación de una señal de igualdad EQ2.

Se proporciona una memoria que permite solamente la lectura 90 que se preajusta para identificar cuáles de los intervalos, en caso de haberlos, no se han asignado a los pisos, y para identificar los intervalos que no tienen llamadas de pasillo ascendente y descendente, es decir, pisos superior e inferior, respectivamente.

El circuito lógico 84 de la Figura 2 se muestra en mayor detalle en la Figura 3. El circuito lógico 84 incluye un circuito selector de llamadas 92, un circuito sincronizador 94 y un circuito lógico 96. El circuito selector de llamadas 92, recibe la señal en serie de la posición avanzada del carro EQ1Z y detecta cualquier coincidencia entre la señal EQ1Z y las



llamadas del pasillo en serie ascendente y descendente, y las llamadas del carro 1Z, 2Z y 3Z, respectivamente. Cuando se detecta una coincidencia, se genera una señal de coincidencia  $\overline{EIX}$  que se sincroniza en el circuito lógico 96 y se aplica al sincronizador 94 como la señal EI. El sincronizador determina si la solicitud para que se detenga en el piso de la señal de la posición avanzada del carro EI ocurre antes de la generación de la señal de igualdad EQ2, efectuada por el comparador 76. Si la señal EI es recibida mediante el sincronizador 94 antes de que reciba la señal de igualdad EQ2, se genera una señal de solicitud de desaceleración DEC que se procesa mediante el circuito lógico 96 para proporcionar una señal  $\overline{ACCX}$  para el generador de patrón de velocidad 48. Si una señal EI no es recibida para cuando se genera la señal de igualdad EQ2, el comparador 76 proporciona una señal para el dispositivo de indización 78, y el dispositivo de indización 78 proporciona una señal de impulso ascendente o de impulso descendente  $\overline{PI}$  ó  $\overline{PD}$  respectivamente, para hacer coincidir el contador 72 a fin de que proporcione la palabra binaria que representa el número del piso en donde el carro puede detenerse de acuerdo con el programa de desaceleración predeterminado. Las señales restantes en la Figura 3, se describirán cuando se describan los circuitos para llevar a cabo las distintas funciones.

FIGURA 4



Antes de describir los circuitos que pueden usarse en el selector de pisos 34, será conveniente ilustrar el desarrollo de algunas de las señales de tiempo que se usan en el funcionamiento del selector de pisos. La Figura 4 es un diagrama de tiempo que ilustra las señales generadas durante la posición de exploración de CERO, denominada 00, del contador de exploración 80 que se muestra en la Figura 2, que se supondrá que es un intervalo de 2 milisegundos. El reloj maestro o de sistema es una señal de 32 Khz. denominado K32 desde donde se derivan las otras señales de tiempo. Las señales K16, K08, K02, K01 y KP5, son señales de reloj o de tiempo de onda cuadrada de 16 Khz, 8 Khz., 4 Khz., 2 Khz., 1 Khz, y 500 hz. respectivamente, desarrolladas dividiendo la señal de reloj básica K32 en un contador binario.

Las señales de reloj K08S y K02S se desarrollan desplazando hacia adelante en 90 grados, las señales de reloj K08 y K02 respectivamente.

La señal de reloj  $\overline{STC}$  se desarrolla invirtiendo las señales de reloj K01 y KP5 y usando estas señales invertidas como entradas para un circuito de compuerta NAND ( $\overline{STC} = \overline{K01.KP5}$ ).

Las señales de reloj S1, S2, S3 y S4 se desarrollan en el primero, segundo, tercero y cuarto cuadrantes, respectivamente de cada posición de exploración con la señal S1 siendo igual a  $\overline{K01.KP5.K02S}$ , la señal S2 siendo igual a  $K01.\overline{KP5}.K02S$ , la señal S3 siendo igual a  $\overline{K01.KP5}.K02S$ , y la señal S4 siendo

414795



igual a K01.FP5.K02S.

Todas las señales anteriores se desarrollan durante cada posición de exploración del contador de exploración 80.

Las señales de reloj S100, S200 y S300 se desarrollan solamente durante la posición de exploración 00 del contador de exploración 80, con la señal S100 siendo igual a 00.S1, la señal S200 siendo igual a 00.S2, y la señal S300 siendo igual a 00.S3.

A fin de comprender mejor la siguiente descripción detallada de los circuitos que pueden usarse en la invención, las señales generadas mediante los distintos circuitos, y las funciones de las mismas se numeran a continuación. Las señales de tiempo no se han enumerado, ya que se han mostrado en la Figura 4.

<u>SEÑAL</u>	<u>FUNCION</u>
ACC	QUE EL CARRO SE ACELERE O MARCHE A VELOCIDAD COMPLETA
<u>ACCX</u>	SOLICITUD DE ACELERACION
AVPO-AVP4	POSICION AVANZADA DEL CARRO EN FORMA BINARIA
BTTM	EL CARRO ESTA DENTRO DE 47.72 CENTIMETROS DE LA TERMINAL INFERIOR
<u>BYPS</u>	EL CARRO PASANDO POR ALTO LAS LLAMADAS DEL PASILLO
CA	LLAMADA POR ENCIMA DEL PISO DE LA POSICION AVANZADA DEL CARRO
CB	LLAMADA DEBAJO DEL PISO DE LA POSICION AVANZADA DEL CARRO
CCY	LLAMADAS DEL CARRO EN SERIE



CEN CAPACITACION DE LLAMADAS  
CPLY LLAMADA EN EL PISO DURANTE LA PRIMERA EXPLORACION  
DCE CAPACITACION DE LLAMADA DESCENDENTE  
DCL PUERTAS CERRADAS  
DCY LLAMADAS DESCENDENTES EN SERIE  
DEC SOLICITUD DE DESACELERACION  
DECS SOLICITUD DE DESACELERACION SINCRONIZADA  
DGD SEÑAL PARA IMPULSAR EL RELE DE INTERFAZ "DE DESCENSO"  
DGT SEÑAL PARA IMPULSAR EL RELE DE INTERFAZ DE "ASCENSO"  
DL2 SEÑAL PARA IMPULSAR LA INTERFAZ DE PARADA  
DO CAPACITACION DE SOLICITUD DE PUERTA ABIERTA  
DOR SOLICITUD DE PUERTA ABIERTA  
DORR REAJUSTE-SOLICITUD DE PUERTA ABIERTA  
DOWN SEÑAL QUE ES VERDADERA CUANDO EL CARRO SE AJUSTA PARA  
DESCENDER  
DPL IMPULSOS DE DISTANCIA  
DNRZ REAJUSTE EN SERIE DE LA LLAMADA DEL PASILLO DESCENDENTE  
DSAN PATRON DE VELOCIDAD DEL CIRCUITO DE DESACELERACION DE  
DISTANCIA  
DSSW SEÑAL IMPULSORA PARA EL INTERRUPTOR DE DSAN  
D45 IMPULSOR DEL RELE MAESTRO DE PUERTAS  
EL LLAMADA EN LA POSICION AVANZADA DEL CARRO  
ELX SOLICITUD PARA DETENCION  
EQ1Z POSICION DEL CARRO EN SERIE  
EQ2 POSICION AVANZADA DEL CARRO IGUAL AL NIVEL DEL PISO



PSC PRIMERA EXPLORACION  
HLD CAPACITACION PARA LINTERNAS DEL VESTIBULO DE DESCENSO  
HLU CAPACITACION PARA LINTERNAS DEL VESTIBULO DE ASCENSO  
HLX CAPACITACION DE LINTERNAS DEL VESTIBULO  
HT1 SEÑAL DEL TRANSDUCTOR DE ESCOTILLA  
HTAN SEÑAL DEL CIRCUITO DEL TRANSDUCTOR DE ESCOTILLA  
HIS SEÑAL IMPULSORA PARA EL INTERRUPTOR DE HTAN  
IDLE CARRO INACTIVO, LISTO PARA EFECTUAR LA CORRIDA  
LAZO CARRO A DISTANCIA DE  $\pm$  25.40 CENTIMETROS DESDE EL  
NIVEL DEL PISO  
LOAD N CONTADORES DE POSICION CARGADA DEL CARRO  
MAIN CARRO A DISTANCIA DE 45.72 CENTIMETROS DEL PISO PRIN-  
CIPAL  
MINA DESACELERACION MAXIMA  
MTOO CARRIL DE LA MEMORIA  
MTO1 CARRIL DE LA MEMORIA  
MXVM VELOCIDAD MAXIMA  
NC CIRCUITO LOGICO EN CERO CUANDO NO HAY LLAMADAS  
NCS CIRCUITO LOGICO EN CERO CUANDO NO HAY LLAMADAS  
NLC IMPULSOS DE ENTRADA AL CONTADOR 544  
NL1-NL12 SALIDA DE DISTANCIA PARA IR AL CONTADOR DE PARADA  
544  
NL16 EL CARRO ESTA A DISTANCIA DE 40.64 CENTIMETROS DE LA  
ZONA DE PARADA  
PCR INDICA QUE HA CAMBIADO LA POSICION AVANZADA DEL CARRO



DEL PISO

PD           CONTADOR DESCENDENTE DE IMPULSOS DE LA POSICION AVAN-  
ZADA DEL CARRO

PLSDP       IMPULSOS DE LA CUCHILLA DE DESACELERACION EN EL TERMI-  
NAL

PI           IMPULSO ASCENDENTE DE LA POSICION AVANZADA DEL CARRO

SAC         EXPLORACION POR ENCIMA DE LA POSICION AVANZADA DEL  
CARRO

SBC         EXPLORACION POR DEBAJO DE LA POSICION AVANZADA DEL  
CARRO

SDT       SELECTOR DE AJUSTE PARA DESCENSO

SPSL       INTERRUPTOR DE SELECCION DE VELOCIDAD

SPSW      SOBREVELOCIDAD EN LA TERMINAL DETECTADA

SPS1       SELECCION DE VELOCIDAD #1

SPS2       SELECCION DE VELOCIDAD #2

SRAT       SEÑAL DE PATRON DE VELOCIDAD PARA EL DISPOSITIVO DE  
CONTROL DEL MOTOR

START      SEÑAL PARA HACER ARRANCAR EL CARRO EN RESPUESTA A UNA  
SOLICITUD DE ACELERACION

SUT       SELECTOR DE AJUSTE PARA ASCENSO

SOS-S4S    SEÑALES DE EXPLORACION

TDS       SEÑAL DE DETENCION EN LA TERMINAL

TOP        CARRO A DISTANCIA DE 45.72 CENTIMETROS DEL PISO SUPERIOR

TOVSP      SOBREVELOCIDAD EXCESIVA EN EL TERMINAL

TSAN       PATRON DE VELOCIDAD AUXILIAR USADO DURANTE LA DESACE-



	LERACION EN EL TERMINAL
<u>TSD</u>	CARRO EN DESACELERACION EN EL TERMINAL CUANDO EL CIRCUITO LOGICO ESTA EN 0
TRAN	PATRON DE VELOCIDAD QUE DEPENDE DEL TIEMPO
<u>TRSW</u>	SEÑAL IMPULSORA DEL TRAN
UCE	CAPACITACION DE LLAMADA DE ASCENSO
<u>UCY</u>	LLAMADAS DEL PASILLO ASCENDENTE EN SERIE
UP	SEÑAL QUE ES VERDADERA CUANDO EL CARRO SE AJUSTA PARA ASCENDER
<u>UPRZ</u>	REAJUSTE DE LLAMADAS DEL PASILLO ASCENDENTES EN SERIE
UPTR	ASCENSO
<u>Z0Z</u>	CARRO DENTRO DE 5.08 CENTIMETROS DEL NIVEL DEL PISO
<u>1Z</u>	LLAMADAS DEL PASILLO ASCENDENTES EN SERIE
<u>2Z</u>	LLAMADAS DEL PASILLO DESCENDENTES EN SERIE
<u>3Z</u>	LLAMADAS DEL CARRO EN SERIE

FIGURA 5

La Figura 5 es un diagrama esquemática de un contador reversible, un descodificador, una memoria que permite solamente la lectura, un comparador, y un dispositivo de indización, que puede usarse para el contador 70, el descodificador mínimo/máximo 88, la memoria 74, el comparador 76, un dispositivo de indización 78 mostrado en la Figura 3, con los números de referencia iguales en las Figuras 3 y 5 indicando componentes seme-

414795

-6 JUN 1974



jantes.

El contador 70 incluye una pluralidad de contadores binarios sincrónicos de cuatro bits, con cuatro contadores 100, 102, 104 y 106, habiéndose ilustrado. El número verdadero de bits y por lo tanto, el número verdadero de contadores en cascada requeridos, depende del incremento normal que se use para proporcionar los impulsos de distancia y la distancia entre los pisos más bajo y más alto.

El contador 70 requiere que los impulsos de distancia, denominados impulsos DPL, que se generan mediante la garrucha reguladora 26 y que se convierten al nivel lógico mediante el detector de impulsos 32 mostrado en la Figura 1, se generen a un régimen doble durante la aceleración del carro, para establecer una posición continua avanzada del carro a un régimen normal después de que el carro llega a la velocidad máxima para discontinuarse cuando el carro inicia la desaceleración, a fin de que la posición avanzada del carro y la posición verdadera del carro coincidan a medida que el carro se detiene en una parada. Los impulsos DPL deben dirigirse hacia las entradas de cuenta hacia arriba o cuenta hacia abajo del contador 70, dependiendo de la dirección del recorrido del carro. El generador de patrón de velocidad 48 requiere que reciba los impulsos de distancia al régimen al cual se generaron en todo momento durante el movimiento del carro. Todas estas funciones se proporcionan mediante el circuito que incluye primero y segundo circuitos basculadores



activados del tipo D, de orilla positiva 108 y 110, un circuito basculador 112 de circuito de compuerta NAND acoplado transversalmente, primero, segundo, tercero, cuarto, quinto, sexto y séptimo circuitos de compuerta NAND 114, 116, 118, 120, 122, 124 y 134, respectivamente, primero, segundo, tercero, cuarto, quinto, sexto y séptimo circuitos de compuerta NOT o invertidores 125, 126, 128, 130, 132, 133 y 135, respectivamente.

Los impulsos de distancia DPL se aplican a un terminal de entrada que se identifica con las mismas letras que la señal aplicada al mismo, así como los terminales de entrada y de salida en todas las distintas figuras que van a describirse en la presente. El terminal de entrada DPL se conecta con la entrada D del circuito basculador 108. Las señales de reloj K08 se conectan con la entrada C del circuito basculador 108 a través del invertidor 125. La salida Q del circuito basculador 108 se conecta con la entrada D del circuito basculador 110 y con una entrada del circuito de compuerta NAND 114. La salida  $\bar{Q}$  del circuito basculador 108 se conecta con la entrada del circuito de compuerta NAND 116. Las señales de reloj K08S se conectan con la entrada C del circuito basculador 110. Las entradas Q y  $\bar{Q}$  del circuito basculador 110 se conectan con las entradas de los circuitos de compuerta NAND 116 y 114, respectivamente. El terminal de entrada  $\overline{MXVM}$  se conecta con una entrada del circuito de compuerta NAND 116. La señal  $\overline{MXVM}$  tal y como se describirá a continuación, se genera mediante el generador de patrón de velo-



cidad 48, con la señal  $\overline{MXVM}$  yendo a un CERO lógico cuando el carro elevador alcanza la velocidad máxima.

La salida del circuito de compuerta NAND 114 se conecta con una entrada del circuito de compuerta NAND 134, y a través del invertidor 126 en un terminal de salida NLC. El terminal de salida NLC proporciona impulsos de distancia NLC cuando los impulsos se generan mediante la garrucha reguladora, al mismo régimen al cual se generaron. La salida del circuito de compuerta NAND 116 se conecta con la otra entrada del circuito de compuerta NAND 134.

La salida del circuito de compuerta NAND 134 se conecta con las entradas de ambos circuitos de compuerta NAND 118 y 120.

El circuito basculador 112 es un circuito basculador de dirección de recorrido, con su entrada ajustada S conectada con un terminal de entrada UP a través del invertidor 133 y con su entrada reajustada conectada con un terminal de entrada DOWN a través del invertidor 135. Las señales UP y DOWN son señales lógicas que responden a la dirección de recorrido del carro, con la señal UP siendo un UNO lógico cuando el carro está marchando en ascenso y con la señal DOWN siendo un UNO lógico, cuando el carro está marchando en descenso. La salida útil del circuito basculador 112 se denomina  $\overline{DN}$  y está conectada con una entrada del circuito de compuerta NAND 118 y con una entrada del circuito de compuerta NAND 120 a través del inverti-

414795



dor 128.

Un terminal de entrada ACC se conecta con las entradas restantes de ambos circuitos de compuerta NAND 118 y 120. La señal ACC, que se proporciona mediante el generador de patrón de velocidad 32, se convierte en verdadera o en un CERO lógico cuando el relé del freno para el motor impulsor se recoge, y falsa o de CERO lógico cuando se solicita al carro que inicie la desaceleración.

La salida del circuito de compuerta NAND 118 se conecta con una entrada de circuito NAND 122 a través del invertidor 130. La salida del circuito de compuerta NAND 120 se conecta con una entrada del circuito de compuerta NAND 124 a través del invertidor 132. Las entradas restantes de los circuitos de compuerta NAND 122 y 124 se conectan con las salidas  $\overline{\text{MAX}}$  y  $\overline{\text{MIN}}$  del descodificador mínimo/máximo 88 y, tal y como se explicará a continuación, la señal  $\overline{\text{MAX}}$  se convierte en verdadera o de un CERO lógico cuando la palabra de salida de la posición continua avanzada del carro (contador 70) es igual a la palabra binaria descrita en el piso terminal superior y la señal  $\overline{\text{MIN}}$  se convierte en verdadera o en un CERO lógico cuando la palabra de salida de la posición continua avanzada del carro es de CERO, describiendo el piso terminal inferior.

Durante el funcionamiento del contador 70, se asegurará que el carro se ajuste para recorrido ascendente con la señal UP siendo verdadera y el carro está comenzando a acelerarse.

414795



El terminal de entrada UP está al nivel de un UNO lógico y el terminal de entrada DOWN está al nivel de un CERO lógico que, cuando se invierten ambos, se ajusta el circuito basculador 112. La señal de salida  $\overline{DN}$  se ajustará al nivel de UNO lógico, aplicando un UNO lógico a una entrada de circuito de compuerta NAND 118 y de un CERO lógico hacia una entrada del circuito de compuerta NAND 120 a través del invertidor 128. De esta manera, el circuito de compuerta NAND 120 se bloquea. Cuando el relé de freno se recoge, la señal ACC va hacia el nivel de UNO lógico puesto que el carro no está desacelerándose. Por lo tanto, un impulso que aparece en la salida del circuito de compuerta NAND 134 impulsará hacia un estado bajo la salida del circuito de compuerta NAND 118 y el invertidor 130 aplicará un UNO lógico a la entrada del circuito de compuerta NAND 122. Siempre y cuando la posición continua avanzada del carro no esté en el terminal superior,  $\overline{MAX}$  estará al nivel de un UNO lógico y el circuito de compuerta 122 proporcionará un CERO lógico, cada vez que la salida del circuito de compuerta NAND 134 va hacia un estado bajo. La salida del circuito de compuerta NAND 122 se conecta con la entrada de "cuenta hacia arriba" del contador 100.

El circuito de compuerta NAND 134 se hace funcionar mediante la combinación de los circuitos basculadores 108 y 110 y los circuitos de compuerta NAND 114 y 116 para proporcionar el doble de impulsos de los impulsos de distancia recibidos,

414795

- 6 JUN



hasta que el carro alcanza la velocidad máxima, tal y como se señala cuando MXVM va hacia un estado bajo. El circuito basculador 108 recibe los impulsos de distancia DPL en su entrada D desde el terminal DPL y luego se sincroniza mediante las señales de tiempo K08 a través del invertidor 125. La salida Q del circuito basculador 108 aplica los impulsos al régimen de los impulsos de distancia hacia el circuito de compuerta NAND 114 y el circuito de compuerta NAND 114 proporciona una entrada hacia el circuito de compuerta NAND 134, y hacia el terminal de salida NLC. De esta manera, siempre y cuando se reciban los impulsos de distancia, se aplicarán al régimen que son recibidos a una entrada de circuito de compuerta NAND 134, y al terminal de salida NLC.

El circuito basculador 110 tiene su entrada D conectada con la salida Q del circuito basculador 108 y se sincroniza mediante las señales de tiempo K08S, que es la señal de reloj K08 desplazada hacia adelante en 90 grados. Esta disposición ocasiona que el circuito basculador 110 cambie 90 grados después que el circuito basculador 108 en la señal de reloj de 8 KHz. dando por resultado en que para un impulso de distancia hay una salida Q del circuito basculador 108 y una salida  $\bar{Q}$  del circuito basculador 110 estando ambas al nivel de un UNO lógico para 90 grados, impulsado la salida del circuito de compuerta NAND 114 al estado bajo para 90 grados. Este traslapo ocurre al comienzo de la salida Q positiva del circuito basculador 108 y la termi-



nación de la salida  $\bar{Q}$  del circuito basculador 110, que proporciona el impulso cerca del comienzo del impulso DPL.

Este traslape de los estados de UNO lógico también ocurren entre las salidas  $\bar{Q}$  y  $Q$  de los circuitos basculadores 108 y 110, respectivamente, a la terminación de la salida  $Q$  del circuito basculador 110 y al comienzo de la salida  $\bar{Q}$  del circuito basculador 108, proporcionando un impulso en la salida del circuito de compuerta NAND 116 cerca de la terminación de los impulsos DPL, cuyo impulso por lo tanto está separado del impulso que se proporciona en la salida del circuito de compuerta NAND 114 en respuesta a un impulso DPL.

Puesto que las salidas de los circuitos de compuerta NAND 114 y 116, están en estado elevado hasta que son impulsadas hacia el estado bajo cerca del comienzo y terminación de un impulso DPL, respectivamente, la salida del circuito de compuerta NAND 134 es impulsada dos veces a estado mayor por cada impulso DPL proporcionando de esta manera impulsos hacia la entrada de la cuenta hacia arriba del contador 100 al doble del régimen de DPL, mientras que los impulsos se proporcionan al mismo régimen que los impulsos DPL en el terminal de salida NLC.

Cuando el carro alcanza la velocidad máxima, la señal MXVM va hacia el estado bajo, bloqueando el circuito de compuerta 116 y la entrada de cuenta del contador 100 hacia arriba, entonces recibe los impulsos al mismo régimen en que son recibidos los impulsos de distancia. Cuando se inicia la desaceleración



del carro, la señal ACC va a su estado bajo, bloqueando el circuito de compuerta 118 de enviar impulsos adicionales al contador 100, capacitando la cuenta del contador 70 para que coincida con la posición verdadera del carro, a medida que el carro se detiene en una parada.

Cuando el carro desciende, el circuito basculador de dirección 112 bloquea el circuito de compuerta NAND 118 y capacita al circuito de compuerta NAND 120, dirigiendo la salida del circuito de compuerta NAND 134 hacia la entrada de la cuenta hacia abajo del contador 100 a través del circuito de compuerta NAND 124, siempre y cuando  $\overline{\text{MIN}}$  esté en el estado elevado.

El descodificador de mínimo/máximo 88 fuerza la desaceleración del carro, cuando la posición continua avanzada del carro, que se indica mediante la cuenta del contador 70 llega a cualquier terminal y también bloquea el y también bloquea el contador 70 de registrar cualquiera de los impulsos de distancia adicionales cuando ocurre esta situación. La salida  $\overline{\text{MAX}}$  del descodificador 88 responde a una pluralidad de diodos 138 conectados con la salida del contador 70 que están al nivel de un UNO lógico, cuando la posición continua avanzada del carro es igual a la palabra binaria que describe la posición del piso terminal superior. Cuando estos diodos tienen todos sus electrodos del cátodo conectados con un UNO lógico, el lado de entrada del invertidor 140 que está conectado con los electrodos del ánodo de los diodos, va hacia un estado elevado y la salida del invertidor

414/95-6 JUN 1954



140 es impulsada hacia el estado bajo para proporcionar la señal verdadera  $\overline{\text{MAX}}$ .

La salida  $\overline{\text{MIN}}$  del descodificador 88 responde a una pluralidad de combinaciones de invertidor/diodo conectados en serie a los cuales se hace referencia generalmente, mediante el número de referencia 142, que están conectados con la salida del contador 70. Cuando las salidas del contador 70 están todas al nivel de CERO lógico, indicando que la posición continua avanzada del carro está en el piso más bajo, el lado de entrada del invertidor 144 que está conectado con los electrodos del ánodo de los diodos, está en estado elevado, debido a que los invertidores, y la salida del invertidor 144, está al nivel de CERO lógico.

Las salidas  $\overline{\text{MIN}}$  y  $\overline{\text{MAX}}$  se usan para dar por terminada la cuenta del contador 70, tal y como se ha descrito en lo que antecede, y también se usan para iniciar la desaceleración del terminal a través del circuito que incluye los terminales de entrada BOTTOM, TOP; UP y DOWN, los invertidores 146, 148 y 150, los circuitos de compuerta NAND 152, 154, 156, 158 y 160, y el terminal de salida  $\overline{\text{TDS}}$ .

Los terminales de entrada BOTTOM Y TOP se conectan con los interruptores de límite en la escotilla, que ocasionan que los terminales de entrada BOTTOM y TOP estén a un nivel de UNO lógico cuando el carro queda a distancia de 35.72 centímetros desde los pisos inferior y superior, respectivamente. Por lo tanto, los circuitos de compuerta NAND 152 y 154 se capacitan



siempre y cuando el carro no quede a distancia de 45.72 centímetros de cualquier terminal. Los circuitos de compuerta NAND 156 y 158 responden a la dirección del carro, con el circuito de compuerta NAND 156, capacitándose cuando el carro se ajusta para descender y el circuito de compuerta NAND 158 capacitándose cuando el carro se ajusta para ascender.

Durante el funcionamiento del descodificador de mínimo/máximo, supongamos que el carro está ascendiendo. Las señales  $\overline{\text{MIN}}$  y  $\overline{\text{MAX}}$ , ambas están a un nivel de UNO lógico, tal como las señales BOTTOM y TOP invertidas. De esta manera, las salidas del circuito de compuerta NAND 156 y 158 están a nivel de un CERO lógico, las salidas de los circuitos de compuerta NAND 156 y 158 están ambos al nivel de un UNO lógico, las salidas del circuito de compuerta NAND 160 está al nivel de un CERO lógico y la salida del invertidor 150 es un UNO lógico proporcionando una señal elevada o falsa  $\overline{\text{TDS}}$ . Cuando la salida del contador 70 llega a la palabra binaria que describe el piso superior, la señal  $\overline{\text{MAX}}$  va hacia el estado bajo, la salida del circuito de compuerta NAND 154 va hacia el estado alto, la salida del circuito de compuerta NAND 158 va hacia su estado bajo, la salida de compuerta NAND 160 va hacia el estado elevado y la salida del invertidor 150 va hacia el estado bajo, el nivel verdadero para la señal de desaceleración del terminal  $\overline{\text{TDS}}$ . La señal  $\overline{\text{TDS}}$  se aplica al sincronizador 94, tal y como se explicará a continuación.

414795



De una manera semejante, cuando el carro desciende y la señal  $\overline{\text{MIN}}$  va hacia el estado bajo indicando que la posición continua avanzada del carro ha llegado al terminal inferior, la salida del circuito de compuerta NAND 152 va hacia el estado elevado, la salida de circuito de compuerta NAND 156 va hacia el estado bajo, la salida de circuito de compuerta NAND 160 va hacia el estado elevado y la salida del invertidor 150 va hacia el estado bajo.

La memoria 74 que puede ser una memoria que permite solamente la lectura tal como aquella disponible de Intersil Company, por ejemplo, la No. IM 5600, se coloca, al tiempo de la instalación del elevador, para producir un número binario que es la dirección binaria exacta del piso con relación a la estructura, usando el incremento normal, representado mediante el número binario que responde al piso de la posición discreta avanzada del carro tal como se determina mediante el contador 72.

El comparador 76 incluye una pluralidad de comparadores de bit por bit 162, 164, 166 y 168 teniendo una entrada para la palabra "A" conectada con la salida de los contadores 100, 102, 104 y 106 y una entrada para la palabra "B" conectada con la salida de la memoria 74. La memoria 74 es del tipo que tiene tres salidas. Una salida  $A < B$  que está al nivel de un "UNO lógico cuando la palabra A es menor que la palabra B, una salida  $A = B$  que está al nivel de un "UNO lógico cuando las palabras son iguales y una salida  $A > B$  que es un "UNO lógico cuando la



palabra A es mayor que la palabra B. La salida  $A < B$  está conectada con la entrada D de un circuito basculador activado de tipo D, de orilla positiva 170, la salida  $A = B$  está conectada con la entrada D del circuito basculador 174 y la salida  $A > B$ , está conectada con la entrada D de un circuito basculador 170. Las entradas de reloj de estos circuitos basculadores se conectan para recibir las señales de reloj  $\overline{K32}$  a través de un invertidor 176. Las salidas Q de los circuitos basculadores 170 y 172, están conectadas con el dispositivo de indización 78, mientras que la salida Q del circuito basculador 174 se conecta con el terminal de salida  $\overline{E02}$  a través del invertidor 178. El terminal de salida  $\overline{E02}$  proporciona la señal de igualdad  $\overline{E02}$  cuando la posición continua avanzada del carro llega al nivel del piso de la posición discreta avanzada del carro.

Durante el funcionamiento del comparador 76, se supondrá primero que el carro está descendiendo. La palabra A de esta manera será menor que la palabra B y la salida  $A < B$  estará al nivel de un UNO lógico, mientras que las otras salidas están al nivel de un CERO lógico. El circuito basculador 172 de esta manera proporciona una señal de un UNO lógico, mientras que las salidas de los circuitos basculadores 170 y 174, están en estado bajo. Cuando las palabras de entrada A y B son iguales, indicando que el carro debe ahora iniciar la desaceleración si va a detenerse en el piso de la posición discreta avanzada del carro, de acuerdo con un programa de desaceleración predeterminado,



la salida  $A = B$  va hacia un UNO lógico, el circuito basculador 174 proporciona un UNO lógico y la señal  $\overline{E02}$  va hacia el estado bajo o verdadero. Si se inicia la desaceleración, la señal ACC va hacia el estado bajo y el contador 70 permanece a la cuenta de la posición discreta avanzada del carro, y la palabra A continuará siendo igual a la palabra B hasta que se detenga el carro y luego empieza a moverse alejándose del piso. Si la desaceleración no se inicia cuando la salida  $A = B$  está en un estado elevado, el primer impulso de distancia después de la igualdad ocasionará que la salida  $A > B$  del comparador vaya hacia el estado elevado y el circuito basculador 170 proporciona un UNO lógico.

El dispositivo de indización 78 responde a las salidas de los circuitos basculadores 170 y 172 para hacer coincidir la posición discreta avanzada del carro para representar el siguiente piso en el cual puede detenerse el carro. El dispositivo de indización 78 incluye los circuitos de compuerta NAND 182, 184, 186 y 188, los invertidores 190 y 192, y responde a las señales de entrada UP, DOWN, ACC y S100, y se conecta con los terminales de salida  $\overline{PW}$  y  $\overline{PD}$  que están conectados con el contador 72, y con el sincronizador 94. Los circuitos de compuerta NAND 182 y 184 tienen entradas conectadas con los terminales de entrada UP y DOWN respectivamente y cada uno de ellos tiene entradas conectadas con el terminal de entrada ACC. De esta manera, cuando el carro desciende y el carro no se está desace-



lerando, el circuito de compuerta NAND 182 proporciona un CERO, que se invierte para capacitar al circuito de compuerta NAND 186. El circuito de compuerta NAND 184 proporciona un UNO lógico que se invierte para bloquear el circuito de compuerta NAND 188. De manera semejante, cuando el carro está descendiendo, el circuito de compuerta NAND 186 se bloquea y el circuito de compuerta NAND 188 se capacita. De esta manera, cuando el carro asciende, la salida  $A < B$  del comparador 176 y su circuito basculador asociado 172 no tienen efecto de circuito a medida que el circuito de compuerta NAND 188 se bloquea. Tan pronto como la salida  $A > B$  va hacia el nivel de un UNO lógico, la salida del circuito basculador 170 va hacia el estado elevado y el S100 se fija, lo cual ocurre sólo durante el intervalo de exploración 00 del contador de exploración 80, impulsa la salida del circuito de compuerta NAND 186 hacia el estado bajo, que es el nivel verdadero para la señal  $\overline{PW}$ . Cuando la señal  $\overline{PW}$  va hacia el estado bajo, hace avanzar el contador 72 para indicar el siguiente número de piso más elevado y la salida de la memoria 74 cambia para indicar la dirección del piso de ese piso, cuyo número de nuevo es más elevado que la posición continua avanzada del carro. La salida  $A < B$  del comparador 76 va hacia el estado alto, mientras que sus otras salidas están en estado bajo.

Cuando el carro desciende, la palabra A que responde a la posición continua avanzada del carro es mayor que la palabra B que responde a la posición discreta avanzada del carro y



la salida  $A > B$  del comparador 76 está en estado elevado, lo cual no tiene efecto de circuito puesto que está bloqueado el circuito de compuerta 186. Cuando la posición continúa avanzada del carro llega a la posición discreta avanzada del carro, la salida  $A = B$  va hacia el estado elevado y la señal  $\overline{EQ2}$  va hacia el estado bajo. Si se inicia la desaceleración, el contador 70 se bloquea mediante la señal ACC que va hacia el estado bajo. Si la desaceleración no se inicia, el contador 70 continúa contando hacia abajo y tan pronto como la salida  $A < B$  va hacia el estado elevado, el circuito basculador 172 va hacia el estado elevado y la salida del circuito de compuerta NAND 188 irá hacia el estado bajo al recibir la fijación del S100 durante la rama de exploración 00, para hacer coincidir el contador 72 con una señal  $\overline{PD}$  verdadera o de estado bajo para representar el siguiente piso inferior. Cuando se hace coincidir el contador 72, el comparador 76 proporcionará un UNO lógico en la salida  $A > B$ , y la secuencia anterior se repite.

FIGURA 6

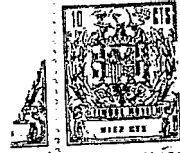
La Figura 6 es un diagrama esquemático de un contador reversible, un reajuste superior/inferior; y un comparador, que puede ser usado para el contador 72, el reajuste superior/inferior 86 y el comparador 82 mostrado en la Figura 3. Los números de referencia iguales en las Figuras 6 y 3 indican componen-



tes semejantes.

El contador 72 incluye el número necesario de contadores binarios de 4 bits sincrónicos en cascada que se requieren para representar el número de los pisos en la estructura asociada, con los dos contadores 194 y 196, habiéndose ilustrado. La entrada de cuenta hacia arriba del contador 194 se conecta con el terminal de entrada  $\overline{PT}$ , que recibe los impulsos de indización del dispositivo de indización 78, y la entrada de la cuenta hacia abajo del contador 194, se conecta con el terminal de entrada  $\overline{PD}$  que recibe los impulsos de indización para el dispositivo de indización 78. La salida del contador 72 se conecta con la memoria 74 descrita en lo que antecede, a través de los terminales de salida AVP0, AVP1, AVP2, AVP3 y AVP4 y con la entrada del comparador 82. El comparador 82 es un comparador de bit por bit, que tiene su otra entrada conectada con el contador de exploración 80. El comparador 82 tiene tres salidas, una salida  $A < B$  que es más elevada cuando la salida del contador de exploración 80 es más baja que la palabra de salida binaria del contador 72, una salida  $A = B$  que es elevada cuando el contador de exploración está en la ranura de tiempo de la posición discreta avanzada del carro y una salida  $A > B$  que es alta, cuando la palabra de salida del contador de exploración 80 excede la palabra de salida del contador 72.

Las salidas del comparador 82 se usan para desarrollar la señal en serie de la posición avanzada del carro E01Z, la ex-



ploración debajo de la señal discreta de la posición avanzada del carro SBC y la exploración por encima de la señal discreta de la posición avanzada del carro SAC. Estas señales se desarrollan mediante un circuito que incluye un terminal de entrada  $\overline{STC}$ , que recibe una señal de fijación o estroboscópica  $\overline{STC}$  que ocurre durante cada ranura de exploración del contador de exploración 80, tal y como se representa en la Figura 4, un terminal de entrada  $\overline{PCR}$ , que recibe una señal  $\overline{PCR}$  que es baja o verdadera cada vez que el dispositivo de indización 78 proporciona la señal de indización  $\overline{P\bar{U}}$  ó  $\overline{PD}$ , tal y como se explicará cuando se describe el sincronizador 94, los circuitos de compuerta NAND 198, 200 y 202, los invertidores 204, 206 y 208 y los terminales de salida SBC, EQ1Z y SAC.

En el funcionamiento del comparador 82, cuando el contador de exploración 80 está explorando (contando) debajo del piso de la posición discreta avanzada del carro, la salida  $A < B$  está en estado elevado, la cual se fija por medio de la señal  $\overline{STC}$ , durante cada ranura de exploración para proporcionar una salida baja desde el circuito de compuerta NAND 198, que se invierte por medio del invertidor 204, para proporcionar la señal elevada o verdadera SBC.

Cuando el contador de exploración 80 llega a la cuenta que representa el piso en la posición avanzada del carro, la salida  $A = B$  va hacia el estado elevado y la salida del circuito de compuerta NAND 200 va hacia el estado bajo cuando  $\overline{STC}$  va hacia el



estado elevado, siempre y cuando el contador 72 se capacite, mediante una señal  $\overline{PCR}$  elevada (el contador 72 no estando en coincidencia). La salida baja del circuito de compuerta NAND 200, se invierte mediante el invertidor 206 para proporcionar una señal verdadera  $E01Z$  en serie con la posición avanzada del carro, en la ranura de exploración apropiada del contador de exploración 80. Cuando el contador de exploración 80 hace pasar la cuenta de la posición discreta avanzada del carro, la salida  $A > B$ , va hacia el estado elevado y el circuito de compuerta NAND 202 proporciona un CERO lógico cuando la señal  $\overline{STC}$  fija va hacia el estado elevado durante cada ranura de exploración. La salida baja del circuito de compuerta NAND 202 se invierte mediante el invertidor 208 para proporcionar una señal  $SAC$  elevada o verdadera, que indica la exploración por encima de la posición discreta avanzada del carro.

El reajuste superior/inferior 86 reajusta ambos de los contadores reversibles 70 y 72 con la cuenta apropiada en los pisos tanto superior como inferior, para hacer avanzar el carro elevador, desde cualquier terminal, con la cuenta apropiada, antes de una carrera que se inicia desde estos pisos.

El reajuste superior/inferior 86 incluye los circuitos de compuerta NAND 210 y 212, 214, 216, 218 y 220, una memoria que permite solamente la lectura 222, los invertidores 224, 226, 228, 230, 232 y 234, los terminales de entrada TOP, BOTTOM, MAIN, DL2, Z02 y S100 y un terminal de salida  $\overline{LOAD N}$ .

414705



El circuito de compuerta NAND 210 tiene sus entradas conectadas con los terminales de entrada  $\overline{DL2}$  y Z02, con la señal  $\overline{DL2}$  siendo una señal desarrollada mediante el generador de patrón de velocidad 48 cuando el carro va a detenerse en una parada. Cuando  $\overline{DL2}$  está al nivel de CERO lógico, corresponde a "efectuar la corrida" y cuando  $\overline{DL2}$  está a nivel de UNO lógico, corresponde a "efectuar una parada". La señal Z02 se desarrolla mediante un interruptor de límite en la escotilla, con la señal Z02 siendo un UNO lógico cuando el carro está a distancia dentro de 5.08 centímetros del nivel de parada. Las señales TOP, BOTTOM y MAIN, desarrollan mediante los interruptores en la escotilla y están al nivel de un UNO lógico cuando el carro queda a distancia dentro de 45.72 centímetros de los pisos superior, inferior y principal, respectivamente. Si el piso inferior es el piso principal, el terminal de entrada MAIN y el circuito de compuerta NAND 214, pueden eliminarse. El terminal de entrada S100 recibe el impulso de reloj S100 generado durante la ranura de exploración 00 del contador de exploración 80. La salida del circuito de compuerta NAND 218 se conecta con el contador 72 y también con el terminal de salida  $\overline{LOAD N}$ , cuyo terminal está conectado con el contador 70 mostrado en la Figura 5.

La memoria que permite solamente la lectura 222 se ajusta para proporcionar el número del piso en forma binaria del piso específico dirigiendo la memoria. Por ejemplo, cuando la salida del circuito de compuerta NAND 212 va hacia el estado

50  
414795



bajo, la memoria 222 proporcionará el número del piso del piso inferior que es 00001. Cuando la salida del circuito de compuerta 216 va hacia su estado bajo, la memoria 222 proporcionará el número del piso superior, que en el ejemplo del piso trigésimo, sería 11110.

Cuando el carro elevador está en un piso que no sea el piso al cual se reajustan los contadores, las entradas hacia el circuito de compuerta NAND 220 todas estarán en estado elevado y sus salidas estarán en estado bajo, bloqueando el circuito de compuerta NAND 218. Cuando el carro llega a uno de los pisos reajustados, el circuito de compuerta NAND 210 capacita los circuitos de compuerta NAND 212, 214 y 216, y dependiendo de cuál de los pisos reajustados se ha colocado el carro, uno de estos circuitos de compuerta NAND dirige la memoria que permite solamente la lectura 222 y capacita el circuito de compuerta NAND 220. La señal de reloj S100 en la ranura de exploración 00 del contador de exploración impulsa la salida del circuito de compuerta NAND 218 hacia el estado bajo, lo cual carga el número de piso apropiado del contador 72. El contador 72 de esta manera se fuerza hacia el número de salida correcto y esta salida dirige la memoria 74 de la Figura 5. La memoria 74 proporciona el emplazamiento exacto del piso con relación a la estructura, en términos del incremento normal. Además de que la salida de la memoria 74 se usa por el comparador 76, la salida de la memoria 74 también se conecta con la entrada de carga del contador

414795



70, tal y como se ha ilustrado en la Figura 5. La señal LOAD N desde el reajuste superior/inferior 86 se conecta con la entrada LOAD N del terminal 70, y cuando la señal LOAD N va hacia el estado bajo, la salida de la memoria 74 se coloca en el contador 70 para hacer siempre arrancar el contador 70 con la cuenta correcta en cada piso reajustado. Este reajustamiento de los contadores y las memorias en los pisos reajustados seleccionados ocurre automáticamente durante el funcionamiento del carro elevador. Si se pierde energía durante el funcionamiento del elevador, ocasionando que los contadores pierdan su cuenta, se logra un funcionamiento de sistema normal, seguido por el regreso de energía, haciendo funcionar el carro manualmente hasta uno de los pisos reajustados.

FIGURA 7

La Figura 7 es un diagrama de tiempo para un edificio de treinta pisos, ilustrando las distintas ranuras o intervalos de exploración del contador de exploración 80, y la relación de las señales seleccionadas con respecto al mismo, tales como las llamadas del carro y las llamadas de pasillo ascendente y descendente. Puesto que el edificio del ejemplo tiene treinta pisos, el contador de exploración 80 puede ser un contador de 5 bits, que proporciona 32 intervalos o ranuras para cada exploración. Puesto que se supone que cada intervalo es de 2 milisegundos,



el tiempo de exploración para cada período de exploración es de 64 milisegundos. Si la construcción tiene más de treinta y dos pisos, se usaría un contador de 6 bits para usar las estructuras con 33 a 64 pisos, y un contador de exploración de 7 bits, manejaría estructuras con 65 a 128 pisos. Los otros contadores y memorias se seleccionarían consecuentemente.

Las llamadas del carro, a las cuales se hace referencia como señales 3Z, se colocan en serie y se sincronizan con el contador de exploración 80 para aparecer en la ranura de tiempo para el piso al cual solicitaron que marchara el carro. Por ejemplo, cada uno de los botones de presión del carro puede conectarse mediante alambre con un circuito de compuerta, con los circuitos de compuerta capacitándose en secuencia, mediante la salida del contador de exploración, de manera tal que la ranura de exploración 00 capacitaría el circuito de compuerta asociado con el primer piso, etc. Las salidas de los circuitos de compuerta se recogerían para presentar la información de llamadas del carro en forma de serie. Para los objetos del ejemplo, se supondrá que el carro está descendiendo, la posición discreta avanzada del carro, representada mediante la señal E01Z está en el piso vigésimo y el carro tiene llamadas de carro (señal 3Z) para los pisos 19o, 15o, 11o, 7o, y 4o.

Las llamadas del pasillo ascendente y descendente, representadas mediante las señales 1Z y 2Z, respectivamente, pueden también bloquearse mediante el contador de exploración 80,



para colocar en serie y sincronizar las llamadas hacia las ranuras de exploración asociadas, con el número del piso desde donde están registradas. Tal y como se ha ilustrado en la Figura 7, las llamadas de pasillo ascendentes 1Z se colocan en serie separadamente, con las llamadas para el servicio ascendente, registrándose desde los pisos 10o y 13o. Las llamadas del pasillo 2Z se registran para los pisos 7o y 22o.

Las señales MTOO y MTO1 mostradas en la Figura 7, se proporcionaron mediante la memoria que permite solamente la lectura 90, en la Figura 3 y se usan como señales de capacitación para asegurar que las ranuras de exploración de los contadores de exploración no usadas para representar los pisos, no se tomen en cuenta, así como para no tomar en cuenta las ranuras de exploración para los pisos más hacia arriba y más hacia abajo cuando se consideran las llamadas de pasillo ascendente y descendente, respectivamente. De esta manera, el carril de memoria MTOO que se usa para capacitar las llamadas de pasillo ascendentes 1Z, es un UNO lógico para las ranuras de exploración 00 a 28, representando los pisos 1 a 29 y de un CERO lógico para las ranuras de exploración 29, 30 y 31. El carril de memoria MTO1, se usa para capacitar las llamadas de pasillo 2Z y de esta manera, hay un UNO lógico para las ranuras de exploración 01 a 39, representando los pisos 2 a 20 y hay un CERO lógico para las ranuras de exploración 00, 30 y 31.

La señal CEN es una señal de capacitación de llamada



para las llamadas del carro, que se proporciona mediante un carril de la memoria que permite solamente la lectura, tal como la memoria que permite solamente la lectura 90. La señal CEN, puede simplemente usarse para asegurar que las ranuras de explotación no usadas para representar los pisos no se toman en cuenta por los circuitos de llamadas del carro; o tal y como se ilustra mediante la señal CEN alternativa en la Figura 7, puede usarse para impedir que el carro vaya hacia pisos específicos, en respuesta a una llamada del carro, tal como los pisos 15, 20 y 30.

Las señales restantes que se han mostrado en la Figura 7, son señales de reloj que se desarrollan en la Figura 4 y que se han descrito en lo que antecede.

En el diagrama de tiempo de la Figura 7, el carro, que está descendiendo, se detendría en los pisos para los cuales se registran las llamadas de carro 3Z y se detendría en el 70. piso para dar servicio a la llamada descendente registrada 2Z para ese piso. Cuando el carro ha dado servicio a la última llamada en la dirección descendente, avanzará hacia la llamada del pasillo ascendente registrada más baja, y luego manejará todas las llamadas descendentes registradas. Al manejar la última llamada para el servicio en la dirección ascendente, el carro avanzará hasta la llamada descendente registrada más alta. El circuito para hacer funcionar el carro de esta manera, se describirá a continuación.



FIGURA 8

La Figura 8 es un diagrama esquemático de un selector de llamada que puede usarse para el selector de llamadas 92 mostrado en la Figura 3. La función principal del selector de llamadas 92 es detectar la coincidencia entre el piso de la señal discreta de función avanzada del carro E012 y una solicitud de detener la señal de detención  $\overline{EIX}$ , cuando se detecta esta coincidencia. Las funciones auxiliares del selector de llamadas 92, son el reajuste de las llamadas de pasillo, la capacitación de las linternas del vestíbulo, que proporcionan la solicitud de puerta abierta, y detectar una llamada en el piso al comienzo de cada corrida.

Más específicamente, el selector de llamadas 92 incluye los terminales de entrada  $\overline{1Z}$ ,  $\overline{2Z}$  y  $\overline{3Z}$  para recibir las llamadas del pasillo y las llamadas del carro ascendentes y descendentes en serie respectivamente, los terminales de entrada MTO0, MTO1, y  $\overline{CEN}$ , para recibir las señales del carril de la memoria MTO1, MTO1 y  $\overline{CEN}$ , respectivamente, los terminales de entrada UCE Y DECE para recibir las señales de capacitación de llamadas ascendentes y descendentes, respectivamente desde el circuito lógico 96, los terminales de entrada DCL, DO y  $\overline{DORR}$  para recibir las señales de capacitación de puerta cerrada y de puerta abierta y las señales de reajuste de puerta respectivamente, el terminal de entrada UPTR que recibe una señal desde



el circuito lógico 96 que indica la dirección del recorrido del carro, el terminal de entrada  $\overline{FSC}$  que recibe una señal de circuito lógico 96 cuando se inicia la primera exploración al comienzo de una carrera, y el terminal de entrada S4 para recibir impulsos de tiempo durante cada ranura de exploración.

La señal en serie de posición avanzada del carro EQ1Z aparece en el terminal de entrada EQ1Z en la ranura de exploración asignada a su posición de piso específica y se fija mediante la señal de reloj S4 a través del circuito de compuerta NAND 240, que se invierte mediante el invertidor 242 para aparecer al nivel de un UNO lógico en la entrada de cada uno de los circuitos de compuerta NAND 244, 246, y 248.

Las llamadas del pasillo ascendentes en serie que aparecen en el terminal de entrada  $\overline{IZ}$  se invierten mediante el intertidor 250, se seleccionan mediante la señal del carril de la memoria M100 a través del circuito de compuerta NAND 252, se invierten hacia el nivel de un UNO lógico mediante el invertidor 254, se aplican a una entrada de cada uno de los circuitos de compuerta NAND 244, 256 y también a través del invertidor 258 hacia el terminal de salida  $\overline{UCY}$ , que proporciona las llamadas del pasillo en serie, tal y como se seleccionan mediante el carril de la memoria  $\overline{M100}$ .

Las llamadas del pasillo descendentes en serie que aparecen en el terminal de entrada  $\overline{2Z}$ , se invierten mediante



el invertidor 260, se seleccionan mediante la señal del carril de la memoria MT01 a través del circuito de compuerta NAND 262, se invierten hacia el nivel de un UNO lógico mediante el invertidor 264, se aplican a una entrada de cada uno de los circuitos de compuerta NAND 246 y 266 y también a través del invertidor 268 hacia el terminal de salida  $\overline{DCY}$  que proporciona las llamadas de pasillo descendentes en serie, tal y como son seleccionadas mediante el carril de la memoria MT01.

Las llamadas de carro en serie que aparecen en el terminal de entrada  $\overline{3Z}$  se invierten mediante el invertidor 270 y se aplican a un terminal de entrada de cada uno de los circuitos de compuerta NAND 272 y 248. La señal de capacitación de llamada del carro aplicada al terminal de entrada  $\overline{CEN}$  se invierte mediante el invertidor 274 y se aplica a otra entrada en cada uno de los circuitos de compuerta NAND 272 y 248. Las llamadas de carro para los pisos, para los cuales se capacita el carro, aparecen en la salida del circuito de compuerta NAND 272 y en el terminal de salida  $\overline{CCY}$ .

Cuando la señal de capacitación de llamadas ascendentes en el terminal de entrada UCE, que es recibida del circuito lógico 96 está al nivel de un UNO lógico, se acapacitan los circuitos de compuerta NAND 244, 256, 276. Durante este momento la señal de capacitación de llamadas descendentes en el terminal de entrada DCE estará al nivel de un CERO ló-

414795



gico, bloqueado los circuitos de compuerta NAND 246, 266, y 270. Cuando la señal de capacitación de llamadas descendentes del terminal de entrada DCE, que también es recibida desde el circuito lógico 96 está al nivel de un UNO lógico, la señal UCE estará al nivel de un CERO lógico, y los circuitos de compuerta NAND 246, 266 y 278 se capacitarán y los circuitos de compuerta NAND 244, 256, y 276 se bloquearán.

Las salidas de los circuitos de compuerta NAND 2446, 246 y 248 son normalmente elevadas cuando no hay coincidencia de la posición discreta avanzada del carro y no se detecta una llamada para servicio para este piso, y puesto que estas salidas están todas conectadas con una entrada del circuito de compuerta NAND 280, el circuito de compuerta NAND 280 proporciona un CERO lógico en ausencia de coincidencia, el cual se invierte al nivel de un UNO lógico por medio del invertidor 282. Por lo tanto, la señal en el terminal de salida EIX, que es la solicitud de detener la señal, es falsa o esta a un nivel de un UNO lógico, en ausencia de coincidencia.

Cuando se registra una llamada del pasillo o del carro para el piso de la posición discreta avanzada del carro, la señal EIX se hace verdadera o va hacia el estado bajo de la siguiente manera. Si la coincidencia detectada es una llamada de pasillo ascendente y el carro se capacita para llamadas ascendentes, las señales de entrada hacia el circuito de compuerta NAND 244, es decir UCE, HOLZ fijada y UCX,

414795



indicando la última las llamadas del pasillo seleccionadas, estarán al nivel de un UNO lógico simultáneamente durante la ranura de exploración del piso de la posición discreta avanzada del carro, impulsando la salida del circuito de compuerta NAND 244 hacia el estado bajo, la salida de circuito de compuerta NAND 280 hacia el estado elevado y el terminal de salida EIX hacia el estado bajo a través del invertidor 282.

Si la coincidencia detectada es una llamada de pasillo descendente y el carro se capacita para llamadas descendentes, las señales de entrada para el circuito de compuerta NAND 246, es decir DCE, EQLZ fijada y DCK, indicando la última las llamadas de pasillo descendentes seleccionadas, estará al nivel de un UNO lógico simultáneamente durante la ranura de exploración del piso de la posición discreta avanzada del carro, impulsando la salida del circuito de compuerta NAND 246 hacia el estado bajo, la salida del circuito de compuerta NAND 280 hacia el estado elevado y el terminal de salida EIX hacia el estado bajo.

Si la coincidencia detectada es una llamada de carro y el carro se capacita para el piso de la señal discreta de la posición avanzada del carro, las señales de entrada CEN, EQLZ fijada y 3Z para el circuito de compuerta NAND 248 estarán al nivel de un UNO lógico simultáneamente durante la ranura de exploración del piso de la posición discreta avanzada del carro, impulsando la salida del circuito de



compuerta NAND 248 hacia el estado bajo, la salida del circuito de compuerta NAND 280 hacia el estado elevado y el terminal de salida  $\overline{EIX}$  hacia el estado bajo.

Cuando el carro elevador inicia una carrera, el circuito lógico 96 proporciona una señal  $\overline{FSC}$  verdadera o baja durante la primera exploración completa del contador de exploración 80 comenzando en la señal de tiempo S200 y terminando en la señal de tiempo S100 que aplica al terminal de entrada  $\overline{FSC}$  del selector de llamadas 92. Esta señal  $\overline{FSC}$  verdadera o baja se invierte mediante el invertidor 284 aplicando un UNO lógico a la entrada del circuito de compuerta NAND 286. Puesto que la posición discreta avanzada del carro y la posición verdadera del carro son iguales al comienzo de una carrera, la señal  $\overline{EALZ}$  aparecerá en la ranura de tiempo para el piso en donde está colocado el carro. Si hay una llamada de pasillo ascendente en el piso en donde está colocado el carro, se aplicará una señal de pasillo verdadera UCX a la entrada del circuito de compuerta NAND 256. Si el carro se capacita para llamadas ascendentes, la señal UCE será verdadera si el carro se ajusta para ascender, la señal UPTR será verdadera impulsando la salida del circuito de compuerta NAND 256 hacia el estado bajo.

De manera semejante, si hay una llamada, de pasillo descendente en el piso en donde está colocado el carro, se aplicará una señal de pasillo descendente verdadera DCX a una



entrada de circuito de compuerta NAND 266. Si el carro se capacita para llamadas descendentes, la señal DCE se hará verdadera y si el carro se ajusta para descenso, la señal UPTR será falsa o elevada impulsando la salida del circuito de compuerta NAND 256 hacia el estado bajo.

Las salidas de los circuitos de compuerta NAND 256 y 266 se conectan con las entradas de circuito de compuerta NAND 288. Si no hay llamada en el piso, estas salidas serán elevadas y la salida del circuito de compuerta NAND 288 será baja. Si una de las salidas de los circuitos de compuerta NAND 256 o 266 va hacia el estado bajo indicando una llamada en el piso, la salida del circuito de compuerta NAND 288 de nuevo irá hacia el estado elevado. Cuando la salida del circuito de compuerta NAND 288 va hacia el estado elevado durante la primera exploración, la salida del circuito de compuerta NAND 286 va hacia el estado bajo que se invierte mediante el invertidor 290 y se aplica como una entrada de un circuito compuerta NAND 292. La otra entrada del circuito de compuerta 292 se conecta para recibir una señal de reloj S4, cuya señal fija la llamada en el piso a través del circuito de compuerta NAND 292 en donde se aplica a un terminal de salida CFLY, que indica una llamada en el piso. La salida del circuito de compuerta NAND 292 también se aplica a una de las entradas de ajuste del primer circuito basculador de puerta 294. El circuito basculador 294 puede ser del tipo de circui-



to de compuerta NAND acoplado transversalmente, que tiene los circuitos de compuerta NAND 295 y 297.

Las entradas de ajuste del primer circuito basculador de puerta 294, es decir, las entradas del circuito compuerta NAND 295, están también conectadas para que respondan a las salidas de los circuitos de compuerta NAND 244, 246 y 248. Por lo tanto; una llamada en el piso o una solicitud para detención para una llamada de carro o una llamada de pasillo, ajustará el primer circuito basculador de puerta 294 proporcionando un UNO lógico en la salida del circuito de compuerta NAND 295, y un UNO lógico en la entrada del circuito de compuerta 296. La otra entrada del circuito de compuerta 296 se conecta con el terminal de entrada DO, que está al nivel de un UNO lógico cuando se capacita la solicitud de puerta abierta. De esta manera, cuando el circuito de compuerta NAND 296 se capacita mediante una señal DO elevada, y el circuito basculador 294 se ajusta, se ajustará un segundo circuito basculador de segunda puerta 298. El circuito basculador 298 puede ser del tipo de circuito de compuerta NAND acoplado transversalmente que tiene los circuitos de compuerta NAND 299 y 301. El circuito de compuerta NAND 299 proporciona un UNO lógico en su salida, que se invierte mediante el invertidor 300 y se aplica al terminal de salida  $\overline{DOR}$ . Una señal de  $\overline{DOR}$  baja es una solicitud para abrir las puertas del carro, cuya solicitud se dirige a los circuitos de fun-

414795



cionamiento de puerta 52 que se han mostrado en la Figura 1. Los circuitos de funcionamiento de puerta pueden ser convencionales. Cuando transcurre el tiempo de no interferencia o de puerta abierta normal, los circuitos de funcionamiento de puerta 52 proporcionan una señal  $\overline{\text{DORR}}$  baja en el terminal de entrada  $\overline{\text{DORR}}$ , que reajusta el segundo circuito basculador de puerta 298. Cuando se cierra en realidad la puerta, una señal DCL baja aplicada al terminal de entrada DCL, iniciada mediante un interruptor de límite asociado con las puertas del carro y de la escotilla, reajusta el primer circuito basculador de puerta 294.

Se observará que el segundo circuito basculador se puerta 298 puede ajustarse iniciando una solicitud de puerta abierta mediante una señal de desaceleración en el terminal  $\overline{\text{TSD}}$  baja aplicada al terminal de entrada  $\overline{\text{TSD}}$  y conectada con una de las entradas de ajuste del circuito basculador 298. De esta manera, la desaceleración en el terminal, iniciada mediante el generador de patrón de velocidad 48, tal y como se describirá a continuación, también iniciará la apertura de las puertas del carro y de la escotilla.

La salida del invertidor 300 se invierte mediante el invertidor 302 y se conecta con una entrada de cada uno de los circuitos de compuerta NAND 276 y 278, que tienen también las entradas conectadas para recibir las señales de capacitación de llamadas ascendentes y de capacitación de llamadas des-

414795



cedentes UCE y DCE, respectivamente. Por lo tanto, cuando un carro se capacita para las llamadas ascendentes y se inicia una solicitud de puerta abierta, la salida del circuito de compuerta NAND 276 va hacia el estado bajo y esta señal se invierte mediante la señal 304 y se aplica a una entrada del circuito de compuerta NAND 306. El circuito de compuerta NAND 306 tiene también una entrada conectada para recibir la señal en serie de la posición avanzada del carro EQLZ. Cuando la señal en serie de la posición avanzada del carro EQLZ va hacia el estado elevado, la salida del circuito de compuerta NAND 306 va hacia el estado bajo y esta salida se conecta con el terminal de salida HLU, que capacita a la linterna del vestíbulo de ascenso para el piso de la posición en serie avanzada del carro y con el terminal de salida UPRZ, que reajusta el botón de presión del pasillo ascendente para el piso de la posición en serie avanzada del carro. El control de la linterna del vestíbulo 54 y el control de la llamada del pasillo 46, que se han mostrado en la Figura 1, que recibe estas señales de capacitación y reajuste, puede ser convencional.

De una manera semejante, el carro se capacita para llamadas descendentes y se inicia una solicitud de puerta abierta, la salida del circuito de compuerta NAND 278 va hacia el estado bajo y esta señal se invierte mediante el invertidor 308 y se aplica a una entrada del circuito de compu-



ta NAND 310. La señal en serie de posición avanzada del carro EOLZ se conecta con otra entrada del circuito de compuerta NAND 310 y cuando es recibida, la salida del circuito de compuerta NAND 310 va hacia el estado bajo proporcionando una señal baja de capacitación de linterna de vestíbulo descendente  $\overline{HLD}$  y una señal de reajuste de pasillo descendente baja o verdadera  $\overline{DNRZ}$ .

FIGURA 9

La Figura 9 es un diagrama esquemático de un circuito lógico que puede usarse para el circuito lógico 96 mostrado en la Figura 3. La función del circuito lógico 96 es recibir las llamadas en serie  $\overline{UCY}$ ,  $\overline{DCY}$  y  $\overline{CCY}$  desde el selector de llamadas 92, determinar cuando una llamada es relativa a la posición en serie avanzada del carro EOLZ, determinar en cual dirección debe marchar el carro y proporcionar la señal de dirección de recorrido UPTR en respuesta a la misma, capacitar el carro para llamadas ascendentes o descendentes con las señales de capacitación UCE y DCE, respectivamente, solicitar el arranque del carro con una señal verdadera  $\overline{ACCX}$  cuando está inactivo, en respuesta a una llamada para servicio, proporcionar la primera señal de exploración  $\overline{FSC}$  para el selector de llamada 92, proporcionar una señal alta o verdadera EI cuando hay una llamada en el piso de la posición en serie avanzada del



carro, proporcionar una señal verdadera o baja  $\overline{ACCX}$  cuando se efectúa una solicitud de desaceleración mediante el sincronizador 94, y capacitar el control de la linterna del vestíbulo con una señal verdadera  $\overline{HLX}$ .

Más específicamente, las llamadas de carro y de pasillo están conectadas con las entradas seleccionadas de los circuitos de compuerta NAND 320, 322, y 324, con las llamadas de carro en serie, que son recibidas en el terminal de entrada  $\overline{CCY}$  estando conectados con un terminal de entrada en todos los tres circuitos de compuerta NAND, las llamadas de pasillo ascendentes en serie son recibidas en el terminal de entrada  $\overline{UCY}$ , están conectadas con los terminales de entrada de los circuitos de compuerta NAND 322 y 324 y las llamadas de pasillo descendentes en serie aplicadas al terminal de entrada  $\overline{DCY}$ , están conectadas con los terminales de entrada de los circuitos de compuerta NAND 320 y 324. En ausencia de cualesquiera llamadas, las salidas de estos tres circuitos de compuerta NAND serán bajas. Una llamada del carro  $\overline{CCY}$  impulsará las salidas de todos los tres de estos circuitos de compuerta NAND hacia el estado elevado. Una llamada de pasillo ascendente  $\overline{UCY}$  impulsará las salidas de los circuitos de compuerta NAND 322 y 324 hacia el estado elevado. Una llamada descendente  $\overline{DCY}$  impulsará las salidas de los circuitos de compuerta NAND 320 y 324 hacia el estado elevado.

Las salidas de los circuitos de compuerta NAND 320, 322 y 324 se conectan con las entradas seleccionadas de los

414795



circuitos de compuerta NAND 326, 328, 330 y 332, con la salida del circuito de compuerta NAND 320 estando conectado con una entrada del circuito de compuerta NAND 330, la salida del circuito de compuerta NAND 322 estando conectada con una entrada del circuito de compuerta NAND 328 y la salida del circuito de compuerta NAND 324 estando conectada con las entradas de los circuitos de compuerta NAND 326 y 332.

El circuito de compuerta NAND 326 tiene también una entrada conectada con el terminal de entrada SAC, que recibe una señal alta o verdadera SAC desde el comparador 82 en la Figura 6 cuando el contador de exploración 80 está explorando por encima de la posición del piso de la posición en serie avanzada del carro.

El circuito de compuerta NAND 328 tiene también sus entradas conectadas con el terminal de entrada S4 que recibe señales de reloj durante cada ranura de exploración tal y como se ha mostrado 7, hacia el terminal de entrada EQ1Z desde el comparador 82 que proporciona la posición en serie avanzada en el carro en la ranura de exploración apropiada y a la salida de un circuito de compuerta NAND 374 a través del invertidor 323. La salida del invertidor 323 es elevada cuando se efectúa una solicitud para acelerar el carro, tal y como se explicará a continuación.

El circuito de compuerta NAND 330 tiene también entradas conectadas con la salida del invertidor 323, con el terminal



de entrada EQ1Z y con el terminal de entrada S4.

El circuito de compuerta NAND 332 tiene también una entrada conectada con el terminal de entrada SBC, que es verdadera cuando el comparador 82 indica que el contador de exploración 80 está explorando por debajo del piso de la señal en serie de la posición avanzada del carro E01Z.

Las salidas de los circuitos de compuerta NAND 326, 328, 330 y 332 están conectadas con las entradas seleccionadas de un circuito basculador de "llamada superior" 333, y un circuito basculador de "llamada inferior" 335. El circuito basculador de llamada superior 333 incluye dos circuitos de compuerta NAND 334 y 336, acoplados transversalmente, con las entradas del circuito de compuerta NAND 334 estando conectadas con las salidas de los circuitos de compuerta NAND 326 y 328. Una entrada del circuito de compuerta NAND 336 se conecta con un terminal de entrada S300 a través del invertidor 342, que reajusta el circuito basculador de llamada superior 330 durante la ranura de exploración 00 del contador de exploración 80.

El circuito basculador de llamada inferior 335 incluye dos circuitos de compuerta NAND 338 y 340 acoplados transversalmente, con las entradas del circuito de compuerta NAND 338 estando conectadas con las salidas de los circuitos de compuerta NAND 330 y 332. Una entrada del circuito de compuerta NAND 340 se conecta con el terminal de entrada S300 a través del invertidor 342, para reajustar también el circuito basculador de llama



mada inferior 335 durante la ranura de exploración 00.

El circuito basculador de llamada superior 333 se ajusta haciendo accionar la salida del circuito de compuerta NAND 334 a la cual se hace referencia como la señal CA, hacia un nivel de UNO lógico mediante el circuito de compuerta NAND 326 que va hacia el estado bajo, lo cual indica que el contador de exploración 80 está explorando por encima del piso de la posición en serie avanzada del carro y mientras que estaba explorando se detectó una llamada de pasillo o llamada de carro ascendente o descendente. Cuando la señal de salida CA del circuito de compuerta NAND 334 va hacia el estado elevado, la salida del circuito de compuerta NAND 336, a la cual se hace referencia como la señal  $\overline{CA}$ , va hacia el estado bajo. El circuito basculador de llamada superior puede también ajustarse mediante la salida del circuito de compuerta NAND 328 que va hacia el estado bajo, lo cual indica que hay una solicitud para acelerar y una llamada de carro o de pasillo ascendente en el piso del carro (los pisos de la posición en serie avanzada del carro y la posición verdadera del carro son iguales). Cuando el circuito basculador de llamada superior se ajusta durante el ciclo de exploración del contador de exploración 80, se ajusta mediante la señal  $\overline{S300}$  durante la ranura de exploración 00.

El circuito basculador de llamada inferior 335 se ajusta, haciendo accionar la salida del circuito de compuerta NAND 338, a la cual se hace referencia como la señal CB, a

- 70 -  
414795



un nivel de UNO lógico y la salida del circuito de compuerta NAND 340, a la cual se hace referencia como  $\overline{CB}$ , hacia un nivel de cero lógico mediante la salida del circuito de compuerta NAND 332 que va hacia el estado bajo. Esto indica que el contador de exploración 80 está explorando por debajo de la posición del piso de la posición en serie avanzada del carro, y mientras que estaba explorando se detectó una llamada de pasillo ascendente o descendente o una llamada de carro. El circuito basculador de llamada inferior 335 puede también ajustarse mediante la salida del circuito de compuerta NAND 330 que va hacia el estado bajo, indicando que hay una solicitud para acelerar el carro y que hay una llamada de pasillo ascendente de carro en el piso en donde está ubicado el carro.

La salida CA y  $\overline{CA}$  del circuito basculador de llamada superior 333 se conecta con las entradas del circuito de compuerta NAND 344 y 346, respectivamente, y las salidas  $\overline{CB}$  y CB del circuito basculador de llamada inferior 335 se conectan con las entradas de los circuitos de compuerta NAND 334 y 346, respectivamente. Las entradas de los circuitos de compuerta NAND 344 y 346 se conectan también con el terminal de entrada S200, que proporciona un impulso de reloj durante la ranura de exploración 00, y también hacia el terminal de entrada  $\overline{DOR}$ , que está en el estado elevado cuando no hay solicitud para abrir la puerta del carro mediante el selector de llamadas 92. De esta manera, cuando se ajusta el circuito basculador



de llamada superior 333, la señal CA está a un nivel de un UNO lógico, cuando no se ajusta el circuito basculador de llamada inferior, 335, la señal  $\overline{CB}$  estará al nivel de un UNO lógico, y cuando no hay solicitud para abrir la puerta del carro, la señal  $\overline{DOR}$  está a un nivel de un UNO lógico y la salida del circuito de compuerta NAND 344 irá hacia el estado bajo cuando la señal de reloj S200, es recibida durante la ranura de exploración 00.

De una manera semejante, cuando se ajusta el circuito basculador de llamada inferior 335 la señal CB estará al nivel de un UNO lógico, cuando no se ajusta el circuito basculador de llamada superior 333, la señal  $\overline{CA}$  estará a un nivel de un UNO lógico, y cuando no hay solicitud para abrir la puerta del carro, la señal  $\overline{DOR}$  estará al nivel de un UNO lógico y la salida del circuito de compuerta NAND 346 irá hacia el estado bajo cuando es recibida la señal de reloj S200.

Si hay llamadas por encima y por debajo del carro, ninguno de los circuitos de compuerta NAND 344 y 346 cambiará al nivel de salida bajo puesto que  $\overline{CB}$  y  $\overline{CA}$  estarán ambas en CERO.

Las salidas de los circuitos de compuerta NAND 344 y 346 se conectan con las entradas seleccionadas de un circuito basculador de dirección de recorrido 350. El circuito basculador de dirección de recorrido 350 incluye circuitos de compuer-



ta NAND 352 y 354, acoplados transversalmente, con el circuito de compuerta NAND 352 teniendo una entrada conectada con la salida del circuito de compuerta NAND 344, y con el circuito de compuerta NAND 354 teniendo una entrada conectada con la salida del circuito de compuerta NAND 346.

El circuito de compuerta NAND 352 tiene también entradas conectadas con los terminales de entrada  $\overline{SUT}$  y  $\overline{BTTM}$ . El terminal de entrada  $\overline{SUT}$ , por ejemplo, puede responder a un botón de presión inherente que cuando se oprime para indicar que se desea un recorrido ascendente, proporcionará una señal  $\overline{SUT}$  al nivel de un CERO lógico. El terminal de entrada  $\overline{BTTM}$  responde a un interruptor de límite en la escotilla que proporciona una señal a nivel de un UNO lógico cuando el carro está a distancia dentro de 45.72 centímetros de la parada inferior. Un invertidor 356 invierte la señal  $\overline{BTTM}$  antes de que se aplique al circuito de compuerta NAND 352.

El circuito de compuerta NAND 354 tiene también entradas conectadas con los terminales de entrada  $\overline{SDT}$  y TOP. El terminal de entrada  $\overline{SDT}$ , por ejemplo, puede responder a un botón de presión inherente que se oprime cuando se desea un recorrido descendente a fin de proporcionar una señal  $\overline{SDT}$  al nivel de un CERO lógico. La terminal de entrada TOP responde a un interruptor de límite en la escotilla que proporciona una señal al nivel de un UNO lógico cuando el carro queda

414795

- 73 -

distancia dentro de 45.72 centímetros de la parada superior. Un invertidor 358 invierte la señal TOP antes de que se aplique el circuito de compuerta NAND 354.

La salida del circuito de compuerta NAND 352 del circuito basculador de dirección de recorrido 350, que se denomina la señal 81U, se conecta con una entrada de un circuito de compuerta NAND 360 de dos entradas. La entrada restante del circuito de compuerta NAND 360 se conecta con la salida del invertidor 358. La salida del circuito de compuerta NAND 360, denominada UPTR, se invierte mediante un invertidor 362 y se aplica a una terminal de salida UPTR. El terminal de salida UPTR que está conectado con el generador de patrón de velocidad 48, está en estado elevado cuando se solicita un recorrido ascendente y está en estado bajo cuando se solicita un recorrido descendente.

Durante el funcionamiento de los circuitos de dirección de recorrido de la Figura 9, se observará que el circuito basculador de dirección de recorrido 350 se ajustará para proporcionar una señal verdadera 81U, ya sea mediante la señal de botón de presión inherente SUT, o cuando el carro está a distancia dentro de 45.72 centímetros desde la parada inferior o cuando la salida del circuito de compuerta NAND 344 va hacia el estado bajo. Además, el circuito basculador de dirección de recorrido 350 se ajustará para proporcionar una señal baja 81U por medio del botón de presión inherente



SDT, o cuando el carro está a distancia dentro de 45.72 centímetros de la parada superior, o cuando la salida del circuito de compuerta NAND 346 va hacia el estado bajo.

Si hay llamadas por debajo y por encima del emplazamiento del carro, o una llamada en el piso durante la primera exploración, ninguno de los circuitos de compuerta NAND 344 o 346 pueden ir hacia el estado bajo, ya que tanto  $\overline{CA}$  como  $\overline{CB}$  están a nivel de un CERO lógico. Por lo tanto, el circuito basculador de dirección de recorrido 350 no se hará accionar y el carro mantendrá la dirección de recorrido que está tomando en ese momento. Si se supone que el carro está marchando hacia arriba, continuará en la dirección ascendente hasta que (a) no haya llamadas adicionales para servicio delante de su dirección de recorrido o (b) llega a la parada superior. Cuando el carro llega a la parada superior, el terminal de entrada TOP irá hacia el estado superior, el circuito basculador 350 se hará accionar y la salida de un circuito de compuerta NAND 360 va hacia el estado elevado. La salida del circuito de compuerta NAND 360 irá hacia el estado elevado aún cuando el circuito basculador 350 no se haga accionar de cualquier razón debido a que una entrada del circuito de compuerta NAND 360 está conectada con el terminal de entrada TOP a través del invertidor 358. Si el carro no está en la parada superior y no hay llamadas adelante de su recorrido ascendente, sino que hay llamadas inferiores, la salida del circuito de compuer-

414795



ta NAND 346 irá hacia el estado bajo, haciendo accionar el circuito basculador 350 para proporcionar una señal baja 81U y para impulsar la salida del circuito basculador 360 hacia el estado elevado.

Si se supone que el carro está descendiendo, continuará en la dirección descendente hasta que (a) no haya llamadas adicionales para servicio adelante de su dirección de recorrido o (b) llega a la parada inferior. Cuando el carro llega a la parada inferior, el terminal de entrada BOTTOM va hacia el estado elevado, haciendo accionar el circuito basculador 350 para proporcionar una señal de salida verdadera 81U, y la salida del circuito de compuerta NAND 360 se impulsará hacia el estado bajo. Si no hay llamadas adelante de su dirección de recorrido descendente y no está en la parada inferior, pero si hay llamadas superiores, la salida del circuito de compuerta NAND 344 irá hacia el estado bajo haciendo accionar el circuito basculador 350 para proporcionar una señal verdadera 81U que impulsa la salida del circuito de compuerta NAND 360 hacia el estado bajo.

Los circuitos de capacitación de llamadas de pasillo ascendentes y descendentes del circuito lógico 96 incluyen los circuitos de compuerta NAND 364 y 366 y los invertidores 368 y 370, cuyos circuitos responden a un terminal de entrada BYPS, que responde al peso del carro. Cuando el peso del carro excede de una cantidad predeterminada, se aplica al terminal de entrada BYPS una señal verdadera o baja.



Los circuitos de compuerta NAND 364 y 366 cada uno tiene una entrada conectada con el terminal de entrada BYPS. El circuito de compuerta NAND 364 tiene también una entrada conectada con el terminal de salida UPTR, mientras que el circuito de compuerta NAND 366 tiene también un terminal de entrada conectado con la salida UPTR del circuito de compuerta NAND 360. Si el peso del carro es menor que la magnitud predeterminada y si la señal UPTR es elevada, la salida del circuito de compuerta NAND 364 irá hacia el estado bajo que se invierte mediante el invertidor 368 y se aplica al terminal de salida UCE como una señal elevada o verdadera indicando que el carro se capacita para las llamadas de pasillo ascendente. De una manera semejante, si el peso del carro es menor que una magnitud predeterminada, y la señal UPTR es baja o verdadera, la salida del circuito de compuerta NAND 366 irá hacia el estado bajo, que se invierte mediante el invertidor 370 y se aplica al terminal de salida DCE como una señal elevada o verdadera indicando que se ha capacitado el carro para las llamadas de pasillo descendentes.

Si el peso del carro excede la magnitud predeterminada, la señal BYPS irá hacia el estado bajo y ambos circuitos de compuerta NAND 364 y 366 se bloquearán y los terminales de salida UCE y DCE estarán ambos a un nivel de CERO lógico. Como se ha explicado en lo que antecede, los terminales de salida UCE y DCE están conectados con el circuito selector de llamadas 92 que se muestra detalladamente en la Figura 8.



Cuando el carro elevador esta inactivo, una llamada en el sistema iniciará una solicitud verdadera para acelerar la señal  $\overline{ACCX}$ , en la dirección solicitada, mediante los circuitos de dirección de recorrido justamente descritos. Los circuitos que generan la señal  $\overline{ACCX}$  incluyen los circuitos basculadores 380, 382 y 384, los circuitos de compuerta NAND 374, 386, 388, 390, 391, 392 y 394 y los invertidores 396, 398, 400.

El circuito basculador 380 incluye circuitos de compuerta NAND 402 y 404 acoplados transversalmente, con las entradas del circuito de compuerta NAND 402 estando conectadas con las salidas  $\overline{CA}$  y  $\overline{CB}$  de los circuitos basculadores de llamada superior y llamada inferior 333 y 335, respectivamente. El circuito de compuerta NAND 402 también tiene una entrada conectada con la salida del circuito de compuerta NAND 391. El circuito de compuerta NAND 391 tiene una entrada conectada con el terminal de entrada E01Z y otra entrada conectada con el terminal de entrada  $\overline{CEN}$ . Cualquier llamada ajustará el circuito basculador 380 para proporcionar un UNO lógico en la salida del circuito de compuerta NAND 402, a cuya señal de salida se hará referencia como la señal NCS. Asimismo, puesto que la señal  $\overline{CEN}$  es UNO lógico para el piso para el cual no se capacita del carro, tal y como se ha descrito con relación al selector de llamadas 92, si el piso de la posición en serie avanzada del carro indicado mediante la señal E01Z coincide con un piso para el cual no se capacitó el carro, parece ser que hay una llamada en el siste



ma y el circuito basculador 380 se ajustará también. Esto impide que el carro se detenga accidentalmente en el piso para el cual no se capacitó. El circuito basculador 380 se reajusta durante la ranura de exploración 00 mediante la señal de reloj S300 y se conecta con una entrada de circuito basculador NAND 404.

La señal de salida NCS del circuito de compuerta NAND 402 se conecta con las entradas de los circuitos de compuerta NAND 386 y 392. La salida del circuito de compuerta NAND 404 se conecta con una entrada del circuito de compuerta NAND 388. Cuando se detecta una llamada en el sistema y el circuito basculador 380 se ajusta, la señal verdadera NCS se desbloquea a través del circuito de compuerta NAND 386 durante la ranura de exploración 00 mediante la señal de reloj S200, que se conecta con la otra entrada del circuito de compuerta NAND 386. La salida del circuito de compuerta NAND 386 va hacia el estado bajo cuando es recibido el impulso del reloj S200 ajustando el circuito basculador 382 para proporcionar una señal NC de un UNO lógico en la salida del circuito de compuerta NAND 406. La entrada de reajuste del circuito basculador 382, es decir, un terminal de entrada del circuito de compuerta NAND 408, se conecta con la salida del circuito de compuerta NAND 388. Las entradas del circuito de compuerta NAND 388 se conectan con la salida del circuito de compuerta NAND 404 del circuito basculador 380, con el terminal de entrada S200 para recibir el impulso de reloj S200 y el terminal de entrada DOR



que está en el estado elevado en ausencia de una solicitud para abrir la puerta del carro. De esta manera, el circuito basculador 382 se reajusta mediante el circuito de compuerta NAND 388 en ausencia de una solicitud de puerta abierta  $\overline{DOR}$ , pero no hasta que se haya reajustado el circuito basculador 380 mediante la señal de reloj  $\overline{S300}$ .

La salida de ajuste NC del circuito basculador 382 se conecta con una entrada de un circuito de compuerta NAND 410 del circuito basculador 384, con una entrada del circuito de compuerta NAND 390, y también con una entrada de un circuito de compuerta NAND 414 que está asociado con la primera función de exploración, tal y como se explicará a continuación. Cuando la señal NC va hacia el estado elevado en la señal de reloj S200 capacita al circuito basculador 384 y capacita al circuito de compuerta NAND 390. El circuito de compuerta NAND 390\* tiene también una entrada conectada con el terminal de entrada S100, para recibir un impulsor de reloj durante la ranura de exploración 00, La señal de reloj S100, que aparece como un período de exploración completo después de que se hace accionar el circuito basculador 382 en la señal de reloj S200, hace accionar el circuito de compuerta NAND 390 para proporcionar una salida baja, haciendo accionar el circuito basculador 384 para impulsar la salida  $\overline{RUN}$  del circuito de compuerta NAND 410 hacia el estado bajo y la salida RON del circuito basculador NAND 412 hacia el estado elevado. La



salida  $\overline{RON}$  del circuito basculador 384 se conecta con una entrada del circuito de compuerta NAND 414, y la salida RUN del circuito basculador 384 se conecta con una entrada del circuito de compuerta NAND 392.

El circuito basculador 380 no se ajusta durante el impulso de reloj  $\overline{S300}$  debido a la llamada en el sistema, de manera que la entrada NCS hacia el circuito de compuerta NAND 392 es elevada cuando la salida RUN del circuito basculador 384 va hacia el estado elevado, en S100. Las entradas del circuito de compuerta NAND 392 también están conectados con el terminal de entrada S100 y IDLE. Por lo tanto, cuando las señales NCS, RUN y S100 están en el estado elevado cuando el carro está inactivo, la salida del circuito de compuerta NAND 392 va hacia el estado bajo, forzando la salida del circuito de compuerta NAND 394 hacia el estado elevado que se invierte mediante el invertidor 398 hacia una señal verdadera o baja  $\overline{ACCX}$ . La señal  $\overline{ACCX}$  que es una solicitud para acelerar, se aplica al generador de patrón de velocidad 48.

La salida del circuito de compuerta NAND 394 está también conectada con una entrada del circuito de compuerta 374, y la salida del circuito de compuerta NAND 374 está también conectada con una entrada del circuito de compuerta NAND 394, proporcionando una señal de salida baja  $\overline{ACCY}$  desde el circuito de compuerta NAND 374, en ausencia de una señal de solicitud de desaceleración  $\overline{DEC}$ . De esta manera, el circuito



de compuerta NAND 374 mantiene la señal baja  $\overline{ACCX}$ , aún cuando el circuito de compuerta NAND 392 vaya hacia el estado elevado al terminar el impulso de reloj S100 hasta que la señal  $\overline{DEC}$  va hacia el estado bajo.

La primera señal de exploración  $\overline{FSC}$  se proporciona para un período de exploración completo al comienzo de una carrera justamente antes de que se ajuste el circuito basculador de carrera 384. Cuando la salida NC del circuito basculador 382 va hacia el estado elevado, capacitando al circuito basculado de carrera 384,  $\overline{RUN}$  está en el estado elevado cuya señal se aplica al terminal de entrada del circuito de compuerta NAND 414 y puesto que la señal NC elevada se aplica también a una entrada del circuito de compuerta NAND 414, la señal  $\overline{FSC}$  inmediatamente va hacia el estado bajo y permanece en el estado bajo desde la señal de reloj S200 que hizo accionar el circuito basculador 382 hasta que la señal de reloj S100, que hace accionar el circuito basculador de carrera 384, impulsa a  $\overline{RUN}$  hacia el estado bajo y a  $\overline{FSC}$  hacia el estado elevado. En la señal de reloj S200, el circuito basculador 382 se reajusta mediante el circuito de compuerta NAND 388, y el reajuste del circuito basculador 382 reajusta el circuito basculador 384.

Otra función del circuito lógico 96 es proporcionar una señal EI indicando una llamada en el piso de la posición en serie avanzada del carro cuando se genera mediante el



414795

selector de llamadas 92 a una solicitud para señal de detención  $\overline{EIX}$ . El circuito para generar la señal EI incluye las terminales de entrada  $\overline{EIX}$ ,  $\overline{CEN}$ , S4, E01Z, S200,  $\overline{PCR}$  y  $\overline{DECS}$ , los circuitos basculadores 420, 422 y 424, los invertidores 400, 426, 428, y 430, y el circuito de compuerta NAND 432. El circuito basculador 420 incluye los circuitos de compuerta NAND 434 y 436, acoplados transversalmente, con una entrada del circuito de compuerta NAND 434 estando conectada con el terminal de entrada  $\overline{EIX}$ . Un terminal de entrada de circuito de compuerta NAND 434 se conecta también con la salida del circuito de compuerta NAND 432. Una entrada de circuito de compuerta NAND 436 se conecta con el terminal de entrada S200 a través del invertidor 426. Una entrada del circuito de compuerta NAND 436 está también conectado con el circuito basculador 424.

El circuito basculador 422 es del tipo JK que tiene su entrada J conectada con la salida del circuito de compuerta NAND 436 a través del invertidor 433, su entrada de reloj C conectada para recibir las señales de reloj S100, su entrada K conectada a tierra y su salida  $\overline{Q}$  conectada con el terminal de salida EI a través del invertidor 430.

El circuito basculador 424 incluye los circuitos de compuerta NAND 438 y 440 acoplados transversalmente, con una entrada del circuito de compuerta NAND 424 conectada con el terminal de entrada  $\overline{PCR}$ , una entrada del circuito

414795



de compuerta NAND 440 conectada con el terminal de entrada DECS, y el terminal de salida del circuito de compuerta NAND 433 estando conectado con la entrada CLEAR del circuito basculador 422 y una entrada del circuito de compuerta NAND 436 del circuito basculador 420.

El circuito de compuerta NAND 432 tiene entradas conectadas con la salida RUN del circuito basculador 384, con el terminal de entrada EOLZ, con el terminal de entrada S4, y con el terminal de entrada  $\overline{CEN}$  a través del invertidor 400. De esta manera, una señal verdadera RUN que coincide con una señal en serie elevada de posición avanzada del carro EOLZ, para un piso para el cual se capacita el carro ( $CEN = 1$ ) da por resultado que la salida del circuito de compuerta NAND 432 vaya hacia el estado bajo en la señal de reloj S4. La salida del circuito de compuerta NAND 432 se conecta con una entrada del circuito de compuerta NAND 434 del circuito basculador 420.

Cuando el terminal de entrada  $\overline{EIX}$  va hacia el estado bajo, el circuito basculador 420 se ajusta proporcionando un UNO lógico en la salida del invertidor 428 y en la entrada J del circuito basculador 422. Durante la señal de reloj S100, la salida  $\overline{0}$  del circuito basculador 422 irá hacia el estado bajo y el invertidor 430 invierte esta señal baja a una señal verdadera EI. La señal EI se aplica al sincronizador 94, que se describirá a continuación.

El circuito basculador de reajuste 424 que incluye



los circuitos de compuerta NAND 439 y 440 acoplados transversalmente, reajusta los circuitos basculadores 420 y 422 cuando se efectúa una solicitud para desacelerar el carro, es decir, cuando la señal  $\overline{DECS}$  va hacia el estado bajo. El circuito basculador de reajuste 424 se reajusta cuando se cambia el piso de la posición en serie avanzada del carro que se indica cuando la señal  $\overline{PCR}$  va hacia el estado bajo. El circuito basculador 420 puede también reajustarse mediante una señal de reloj  $\overline{S200}$ .

Además de que el circuito basculador 420 se ajusta mediante una solicitud para detención  $\overline{EIX}$  verdadera, la salida del circuito de compuerta NAND 432 que va hacia el estado bajo tiene el mismo efecto y esto ocurre, tal y como se ha manifestado con anterioridad, cuando una señal  $\overline{FUN}$  verdadera o alta coincide con la señal en serie de la posición avanzada del carro para un piso cuando se capacita el carro.

Una señal de capacitación de linterna del vestíbulo  $\overline{HLX}$  se proporciona mediante un circuito que incluye los circuitos de compuerta NAND 441, 443, 445 y 447. El circuito de compuerta NAND 441 tiene entradas conectadas con la salida del circuito de compuerta NAND 324, la salida del circuito de compuerta NAND 360 y el terminal de entrada SBC. La salida del circuito de compuerta NAND 441 está conectada con una entrada del circuito de compuerta NAND 445. El circuito de compuerta NAND 443 tiene entradas conectadas



con la salida del circuito de compuerta NAND 324, el terminal de salida UPTU y un terminal de entrada SAC. La salida del circuito de compuerta NAND 443 se conecta con una entrada del circuito de compuerta NAND 445. El circuito de compuerta NAND 447 tiene una entrada conectada con la salida del circuito de compuerta NAND 445 y con el terminal de entrada  $\overline{DOR}$ . La salida del circuito de compuerta NAND 447 está conectada con el terminal de salida  $\overline{XLX}$ .

Durante el funcionamiento del circuito de capacitación de linternas de vestíbulo, si no hay llamadas en el sistema, la salida del circuito de compuerta NAND 324 va hacia el estado bajo forzando las salidas desde los circuitos de compuerta NAND 445 hacia el estado bajo y la salida del circuito de compuerta NAND 447 hacia el estado elevado, proporcionando una señal elevada  $\overline{HLX}$  que puede usarse para suprimir los circuitos de linterna de vestíbulo. Si hay una llamada en el sistema, la salida del circuito de compuerta NAND 424 será elevada. Si el contador de exploración está explorando por debajo de la posición de la posición avanzada del carro, la señal SBC será elevada y si el carro se ajusta para recorrido descendente, la señal  $\overline{UPTR}$  será elevada y la salida del circuito de compuerta NAND 441 irá hacia el estado bajo. Esto fuerza la salida del circuito de compuerta NAND 445 hacia el estado elevado y si no hay solicitud para abrir una puerta, la señal  $\overline{DOR}$  también será elevada forzando la salida



de compuerta NAND 447 hacia el estado bajo, lo cual proporciona una señal baja  $\overline{HLX}$  que puede también usarse para capacitar los circuitos de linterna del vestíbulo. Si hay una llamada en el sistema, el circuito de compuerta NAND 324 será elevado y si el contador de exploración está explorando por encima del carro, la señal SAC también será elevada y si el carro se ajusta para recorrido ascendente, la señal UPTN será elevada. Esto fuerza la salida del circuito de compuerta NAND 443 hacia el estado bajo y la salida del circuito de compuerta NAND 445 irá hacia el estado elevado. En ausencia de una solicitud para abrir la puerta, la señal  $\overline{DOR}$  será elevada y el circuito de compuerta NAND 447 tendrá una salida baja, proporcionando una señal  $\overline{HLX}$  de salida baja, que de nuevo puede usarse para capacitar los circuitos de la linterna del vestíbulo.

FIGURA 10

La Figura 10 es un diagrama esquemático de un circuito sincronizador que puede usarse para el sincronizador 94 que se ha mostrado en la Figura 3. Las funciones del circuito sincronizador 94 es recibir la señal EI desde el circuito lógico 96 que indica que hay una llamada en el piso de la posición avanzada del carro y la señal  $\overline{EQ2}$  del comparador 76 en la Figura 5 que indica cuando la posición avanzada del carro es igual al nivel del piso. Si la señal  $\overline{EQ2}$  es recibida mediante el sincronizador y no se ha registrado ninguna llamada para este piso, es decir, el sincronizador no ha recibido una señal



elevada EI desde el circuito lógico 96, la señal  $\overline{E02}$  bloquea una señal EI que llega después, impidiendo que tenga ningún efecto de circuito. El carro de esta manera continúa marchando al mismo régimen y el dispositivo de indización 7<sup>º</sup> proporciona una señal  $\overline{PU}$  o  $\overline{PD}$  de impulso ascendente o impulso descendente para el contador reversible y para el sincronizador, cuyo impulso reajusta el sincronizador y lo capacita para registrar una señal EI para la siguiente posición discreta avanzada del carro hasta el momento en que es recibido el siguiente impulso  $\overline{E02}$ . Cuando una señal EI se ha registrado cuando es recibido el impulso  $\overline{E02}$ , el impulso  $\overline{E02}$  inicia la señal de solicitud de desaceleración DEC.

Más específicamente, la Figura 10 incluye un circuito para proporcionar un solo impulso E2 en respuesta al impulso de igualación  $\overline{E02}$ . Este circuito de tipo de una operación incluye los circuitos de compuerta NAND 450 y 452 y los circuitos basculadores 454, 456 y 45<sup>º</sup>. Los circuitos basculadores pueden ser del tipo de circuito de compuerta NAND acoplado transversalmente con el circuito basculador 454 teniendo los circuitos de compuerta NAND 460 y 462, el circuito basculador 456 teniendo los circuitos de compuerta NAND 464 y 466, y el circuito basculador 45<sup>º</sup> teniendo los circuitos de compuerta NAND 46<sup>º</sup> y 470<sup>º</sup>.

El terminal de entrada  $\overline{E02}$  se conecta con una entrada del circuito de compuerta NAND 450 y con una entrada del



circuito de compuerta NAND 462 del circuito basculador 454. La salida del circuito de compuerta NAND 450 está conectada con una entrada del circuito de compuerta NAND 460. La salida del circuito de compuerta NAND 462 se conecta con una entrada del circuito de compuerta NAND 466 del circuito basculador 456 y también con una entrada del circuito de compuerta NAND 452. La salida del circuito basculador 456 se conecta con otra entrada del circuito de compuerta NAND 452. La salida del circuito de compuerta NAND 4523 se conecta con una entrada del circuito de compuerta NAND 470 del circuito basculador 45<sup>o</sup>. Otra entrada del circuito de compuerta NAND 470 se conecta para recibir una señal  $\overline{DECS}$  que, tal y como se explicará a continuación, es una solicitud para desacelerar. La salida del circuito basculador 45<sup>o</sup> se conecta con las entradas de circuito de compuerta NAND 450, el circuito de compuerta NAND 464 del circuito basculador 456 y con la entrada del circuito de compuerta NAND 452. Una entrada del circuito de compuerta NAND 452 está también conectada para recibir la señal de solicitud de desaceleración  $\overline{DECS}$ . La salida del circuito de compuerta NAND 452 proporciona la señal E2 cuando es recibida la señal de igualdad  $\overline{E02}$ .

El circuito basculador 45<sup>o</sup> se reajusta ya sea mediante cualesquiera de las señales de desaceleración en el terminal  $\overline{TDS}$  ó  $\overline{TSD}$  a través del circuito de compuerta AND 472 que tiene sus entradas conectadas con los terminales



de entrada  $\overline{TDS}$  y  $\overline{TSD}$  y un terminal de salida conectado con un terminal de entrada del circuito de compuerta NAND 468. La señal de desaceleración en el terminal  $\overline{TDS}$  se genera mediante el descodificador mínimo/máximo 88 que se muestra en la Figura 5, y la señal de desaceleración en el terminal  $\overline{TSD}$  se genera mediante el generador de patrón de velocidad 49, tal y como se explicará a continuación.

El circuito basculador 458 puede también reajustarse mediante una señal  $\overline{PU}$  o  $\overline{PD}$  desde el dispositivo de indización 78. Este circuito de reajuste incluye los terminales de entrada  $\overline{PU}$ ,  $\overline{PD}$  y  $\overline{S200}$ , los invertidores 476, 473 y 480, el circuito basculador 482, el circuito de compuerta NAND 484 y un terminal de salida  $\overline{PCR}$ . El circuito basculador 482 puede ser del tipo de circuito de compuerta NAND acoplado transversalmente incluyendo los circuitos de compuerta NAND 486 y 488.

Una entrada del circuito de compuerta NAND 488 del circuito basculador 482 se conecta con el terminal de entrada  $\overline{S200}$  a través de un invertidor 476 que proporciona un impulso de reloj durante la ranura de exploración 00. Las entradas del circuito de compuerta NAND 486 están conectadas con los terminales de entrada  $\overline{PU}$  y  $\overline{PD}$ . La salida del circuito de compuerta NAND 486 del circuito basculador 482 se conecta con una entrada del circuito de compuerta NAND 484 y a través del invertidor 480 con el terminal de salida  $\overline{PCR}$ . Puesto que



$\overline{PU}$  o  $\overline{PD}$  ocurre en el impulso de reloj S100, ajustando el circuito basculador 482, y el impulso de reloj S200 reajusta el circuito basculador 482, la señal  $\overline{PCR}$  es baja o verdadera cada vez que el dispositivo de indización 78 proporciona una salida, con la señal  $\overline{PCR}$  siendo verdadera desde el impulso de reloj S100 hasta el impulso de reloj S200.

El circuito de compuerta NAND 484 tiene también una entrada conectada con la terminal de entrada S100 a través del invertidor 478. La salida del circuito de compuerta NAND 484 se conecta con una entrada del circuito de compuerta NAND 468 del circuito basculador 458.

El funcionamiento del circuito que proporciona un solo impulso EI para cada señal de igualdad  $\overline{E02}$ , es el siguiente: los distintos niveles del circuito lógico que se han indicado en la Figura 10 son aquellos justamente antes de recibir una señal verdadera o baja  $\overline{E02}$ . Cuando la señal  $\overline{E02}$  va hacia el estado bajo, la entrada  $\overline{E02}$  hacia el circuito de compuerta NAND 450 va hacia el estado bajo y la salida del circuito de compuerta NAND 450 va hacia el estado elevado capacitando al circuito basculador 454. La entrada baja  $\overline{E02}$  hacia el circuito de compuerta NAND 462 del circuito basculador 452 hace accionar al circuito basculador 454 "recondando" de esta manera que el circuito recibió una señal de igualdad  $\overline{E02}$ . Cuando se hace accionar el circuito basculador 454, el circuito de compuerta NAND 462 del cir-



cuito basculador 454 produce una señal de un UNO lógico que capacita al circuito basculador 456 e impulsa la salida del circuito de compuerta NAND 452 hacia el estado bajo. La salida baja del circuito de compuerta NAND 452 hace accionar el circuito basculador 45<sup>o</sup> impulsando la salida del circuito de compuerta NAND 46<sup>o</sup> hacia el estado bajo. La salida del circuito de compuerta NAND 46<sup>o</sup> se conecta con una entrada del circuito de compuerta NAND 452 impulsando la salida del circuito de compuerta NAND 452 hacia el estado elevado, que es una señal E2 verdadera. La salida baja del circuito de compuerta 46<sup>o</sup> también hace accionar el circuito basculador 456 que "recuerda" que el circuito basculador 45<sup>o</sup> se ha hecho accionar y la salida del circuito de compuerta NAND 452 se impulsa hacia el estado elevado para capacitar al circuito basculador 45<sup>o</sup>. La salida baja del circuito basculador 45<sup>o</sup> también bloquea el circuito de compuerta NAND 450.

Si se solicita una desaceleración, la entrada  $\overline{DECS}$  hacia el circuito de compuerta NAND 470 del circuito basculador 45<sup>o</sup> irá hacia el estado bajo bloqueando el circuito basculador 45<sup>o</sup> para que no se reajuste. Si no se solicita la desaceleración, la señal  $\overline{EQ2}$  irá de nuevo hacia el nivel de un UNO lógico. Se proporcionará una señal verdadera o baja  $\overline{PU}$  ó  $\overline{PP}$  cuando aparece un impulso de reloj S100 y el circuito basculador 4<sup>o</sup>2 se ajustará cambiando la salida del circuito de compuerta NAND 486 hacia un UNO lógico. El cir-



cuito de compuerta NAND 424 de esta manera se impulsa hacia el estado bajo al final del impulso de reloj S100, que reajusta al circuito basculador 452, y la salida E2 del circuito de compuerta NAND 452 va de nuevo hacia el nivel de un CERO lógico. Como se ha manifestado con anterioridad, la desaceleración en el terminal, tal y como se demuestra mediante la señal  $\overline{TDS}$  ó  $\overline{TST}$  baja o verdadera, también reajustará el circuito basculador 458.

Cuando se reajusta el circuito basculador 458 capacita al circuito basculador 456 y, por lo tanto, a la señal  $\overline{E02}$  de nuevo hacia un nivel de un UNO lógico, el circuito de compuerta NAND 450 se impulsa hacia el estado bajo mediante la entrada elevada del circuito basculador 458. Esto reajusta el circuito basculador 454 y el circuito basculador 454 reajusta el circuito basculador 456 manteniendo la salida de un UNO lógico del circuito de compuerta NAND 454 puesto que la entrada desde el circuito basculador 454 está ahora a un nivel de un CERO lógico. El circuito basculador 482 se reajusta en el impulso de reloj S200 dando por terminada la señal verdadera. El circuito va de nuevo hacia su estado original esperando otra señal verdadera.

El sincronizador 94 también incluye los terminales de entrada IDLE, S4, D45,  $\overline{CFLY}$  y EI, los terminales de salida DEC, DECS, y DO, los circuitos basculadores 490 y 492, los circuitos de compuerta NAND 494, 496, 498, 500, 502, 504



506 y 508 y los invertidores 510, 512 y 514. Los circuitos basculadores 490 y 492 pueden ser del tipo de circuito de compuerta NAND acoplado transversalmente, con el circuito basculador 490 teniendo circuitos de compuerta NAND 516 y 518 y con el circuito basculador 492 teniendo circuitos de compuerta NAND 520 y 522.

Los terminales de entrada IDLE, S4 y D45 están conectados con los terminales de entrada del circuito de compuerta NAND 494. El terminal de entrada IDLE es un UNO lógico cuando el carro está inactivo con los frenos aplicados, S4 es un impulso de reloj que ocurre durante cada ranura de exploración de una señal D45 elevada indica que las puertas deben cerrarse. El terminal de entrada D45 está también conectado con una entrada del circuito de compuerta NAND 516 del circuito basculador 490. Una entrada del circuito de compuerta NAND 518 del circuito basculador 490 se conecta con el terminal de entrada CFLY que es bajo cuando hay una llamada en el piso durante la primera exploración, tal y como se ha descrito con relación al selector de llamadas 92 que se muestra en la Figura 8. La salida del circuito basculador 490 está conectada con las entradas de circuito NAND 494 y el circuito de compuerta NAND 508.

El terminal de entrada EI se conecta con una entrada del circuito de compuerta NAND 496, con una entrada del circuito de compuerta NAND 500 y a través del invertidor



510 con una entrada del circuito de compuerta NAND 506. La entrada restante del circuito de compuerta NAND 500 se conecta con la salida del circuito de compuerta NAND 502 y la salida del circuito de compuerta NAND 500 se conecta con una entrada del circuito de compuerta NAND 502. Otras entradas del circuito de compuerta NAND 502 se conectan con la salida del circuito de compuerta NAND 472, con la salida del circuito de compuerta NAND 452 y con la salida del circuito de compuerta NAND 504. La salida del circuito de compuerta NAND 504 también está conectado con una entrada del circuito de compuerta NAND 506. El circuito de compuerta NAND 504 tiene entradas conectadas con la salida del circuito de compuerta NAND 472, con la salida del circuito de compuerta NAND 452 y con la salida de compuerta NAND 506.

El circuito de compuerta NAND 496 que ya se ha descrito, tiene entradas conectadas con la salida del circuito de compuerta NAND 502 y con el terminal de entrada EI y tiene también una entrada conectada con la salida de compuerta NAND 452. La salida del circuito de compuerta NAND 496 se conecta con una entrada del circuito de compuerta NAND 508. El circuito de compuerta NAND 508 tiene también entradas conectadas con la salida del circuito de compuerta NAND de 472, con la salida del circuito de compuerta NAND del circuito basculador 490 y con la salida del invertidor 512. La salida del circuito de compuerta NAND 508 se conecta con el terminal de



salida DEC que es la solicitud para la señal de desacelerar y con un terminal de entrada del circuito de compuerta NAND 49<sup>a</sup>. El circuito de compuerta NAND 49<sup>a</sup> tiene también una entrada conectada con el terminal de entrada S100. La salida del circuito de compuerta NAND 49<sup>a</sup> por lo tanto es la solicitud de desaceleración sincronizada con el impulso de reloj S100 y está conectada con una entrada del circuito de compuerta NAND 522 del circuito basculador 492. La salida del circuito de compuerta NAND 522 del circuito basculador 492 se conecta con el terminal de salida  $\overline{DECS}$  a través del invertidor 512 que es la solicitud de desaceleración sincronizada. La salida del invertidor 512 se conecta con el terminal de salida DO a través del invertidor 514 que es la señal de capacitación de solicitud de puerta abierta.

Al describir el funcionamiento del sincronizador 94 se supondrá que el carro se está moviendo con los niveles lógicos mostrados en la Figura 10 siendo aquellos antes de recibir las señales verdaderas  $\overline{EO2}$  y EI. Cuando la señal EI va hacia el estado elevado o verdadero antes de que la señal  $\overline{EO2}$  vaya hacia el estado bajo verdadero, la entrada EI hacia el circuito de compuerta 496 va hacia el estado elevado, la entrada EI hacia el circuito de compuerta NAND 500 va hacia el estado elevado impulsando la salida del circuito de compuerta NAND 500 hacia el estado bajo que bloquea el circuito de compuerta NAND 502 en su estado presente de proporcionar



una salida elevada. La salida  $\overline{E1}$  hacia el circuito de compuerta NAND 505 va hacia el estado bajo cambiando el circuito de compuerta NAND 506 para proporcionar una salida elevada y proporciona una entrada elevada hacia el circuito de compuerta NAND 504.

Ahora, cuando la señal E2 va hacia el estado elevado al recibir la señal de igualdad  $\overline{E02}$ , el circuito de compuerta NAND 496 tiene todas las entradas elevadas cambiando en salidas bajas lo cual ocasiona que el circuito de compuerta NAND 500 cambie hacia una salida elevada. La salida del circuito de compuerta NAND 500 se conecta con el terminal de salida DEC que, por lo tanto es elevado proporcionando una solicitud verdadera para desacelerar la señal DEC. La salida elevada del circuito de compuerta NAND 500 también se aplica al circuito de compuerta NAND 498, y cuando es recibido el impulso de reloj S100, la salida del circuito de compuerta NAND 498 va hacia el estado bajo para ajustar el circuito basculador 492 proporcionando una señal de salida  $\overline{DECS}$  verdadera y una señal de salida DO verdadera, que son las solicitudes sincronizadas de desaceleración y de capacitación de puerta abierta, respectivamente. Cuando el carro se detiene y abre su puerta en respuesta a la solicitud de desaceleración y la solicitud de capacitación de puerta abierta, la señal IDLE va hacia un UNO lógico y cuando expira el tiempo de no interferencia y la señal D45 va ha-



cia un UNO lógico solicitando que se cierre la puerta, el circuito de compuerta NAND 494 proporciona una salida baja que reajusta el circuito basculador 492.

Cuando la señal  $\overline{E02}$  va hacia el estado bajo antes de que la señal EI vaya hacia el estado elevado,  $\overline{E2}$  va hacia el estado elevado aplicando un UNO lógico a las entradas desde los circuitos de compuerta NAND 502, 504, y 496. El circuito de compuerta NAND 502 cambia su salida baja lo cual bloquea el circuito de compuerta NAND 496 y el circuito de compuerta NAND 500. Por lo tanto, si la señal EI ocurriera en el período corto entre las señales de tiempo S100 e S200 ( en el dispositivo de indización 78 funciona a S200 si no hay señal EI para cuando aparezca S100) no tendría efecto de circuito, ya que el circuito de compuerta NAND 500 se bloquea y el circuito de compuerta NAND 496 se bloquea.

Si hay una llamada en el piso durante la primera exploración antes de que el carro efectúe una carrera, tal y como se explicado en lo que antecede, la señal  $\overline{CFLY}$  se hará verdadera y esto impide la aceleración y envía una solicitud de puerta abierta por medio de un circuito que incluye el circuito basculador 490. La señal baja o verdadera  $\overline{CFLY}$  reajusta, el circuito basculador 490, capacitando al circuito basculador 492 cambiando la salida del circuito de compuerta NAND 494 hacia el estado elevado y cambiando la salida del



circuito de compuerta NAND 508 hacia el estado elevado que, tal y como se ha explicado con anterioridad, proporciona una señal DEC elevada, una señal DECS baja y una señal DO elevada.

FIGURA 11

La Figura 11 es un diagrama que ilustra las llamadas de pasillo que el selector de piso 34 permite que tome en cuenta el carro. En cada uno de los pisos de un edificio de 30 pisos se ha mostrado con los bloques asociados con los pisos 2 a 30 para recibir llamadas descendentes, y con los bloques asociados con los pisos 1 a 29 para recibir llamadas ascendentes. Los bloques para las llamadas ascendente o descendente se muestran dos veces con la primera ilustración estando asociada con un carro 503 que marcha hacia abajo (UPTR = 0) que tiene una posición avanzada de carro en el piso décimo séptimo y la segunda ilustración esta asociada con un carro 513' que marcha hacia arriba (UPTR = 1) que tiene una posición avanzada del carro en el piso décimo-septimo. En el caso de que el carro 530 esté descendiendo, el carro puede considerar las llamadas descendentes en el piso decimoséptimo por debajo del mismo a través del segundo piso, mientras que puede tomar en cuenta las llamadas ascendentes desde el piso decimosexto hasta el primer piso. Los bloques asociados con los pisos y la direc-



ción de las llamadas que puede tomar en cuenta el carro, aparecen sombreados. Tal y como se ha explicado con relación al circuito lógico 98, el carro 530 contestará todas las llamadas descendentes adelante del mismo y si no hay llamadas descendentes marchará hasta la llamada ascendente registrada más baja. De esta manera, el carro 530 está tomando en cuenta las llamadas descendentes adelante del mismo y cuando no hay llamadas ascendentes adicionales, toma en cuenta las llamadas descendentes para los pisos por debajo de su posición avanzada del carro.

Cuando el carro 530' está ascendiendo, toma en cuenta todas las llamadas ascendentes adelante del mismo, incluyendo el piso de su posición avanzada del carro cuando no hay llamadas ascendentes adicionales, toma en cuenta todas las llamadas ascendentes para todos los pisos adelante del mismo y marcha hasta la llamada descendente solicitada más alta, antes de detenerse e invertir su dirección de recorrido.

FIGURA 12

La Figura 12 es un diagrama de bloque de un generador de patrón de velocidad que puede usarse para el generador de patrón de velocidad 48 mostrado en la Figura 1. El generador de patrón de velocidad 48 proporciona una señal para el dispositivo de control del motor 50 que controla la velocidad del motor impulsor 20 y por lo tanto el movimiento del carro 12. En sistemas



de elevadores, la velocidad y la posición del carro debe controlarse de manera precisa para seguridad y comodidad de los pasajeros, mientras que responde a las llamadas para servicio en cualquier momento.

El generador de patrón de velocidad 48 mostrado en la Figura 12 continúa el concepto de selector de piso 34, descrito en lo que antecede, ya que el modelo electromecánico del ramp anterior del sistema de elevadores no se requiere, a fin de proporcionar las señales para el funcionamiento del mismo. Tal y como se indicará a continuación, el generador de patrón de velocidad de la Figura 12, es un sistema de control óptimo de tiempo, que mueve el carro elevador desde un punto a otro en un período de tiempo mínimo, mientras que controla directamente el régimen de cambio de la aceleración comúnmente llamado sobreaceleración, sujeto a las limitaciones máximas que se colocan en la aceleración y la velocidad.

El generador de patrón de velocidad 48 recibe las señales  $\overline{ACCX}$  y  $\overline{PTR}$  del selector de piso 34, que responde a una solicitud para aceleración y una solicitud de dirección de recorrido, respectivamente, cuyas señales se procesan en el circuito 540 para proporcionar las señales  $\overline{DGV}$  y  $\overline{DGD}$  para los relés de dirección del carro, la señal de aceleración ACC, las señales de velocidad  $\overline{SPS1}$  ó  $\overline{SPS2}$  para un circuito de generador de rampa de tiempo 542 y una señal de arranque START para el circuito impulsor 552.

- 101 - 414795 26 JUN. 1974



El generador de rampa de tiempo 542 proporciona una señal TRAN que depende del tiempo que para el sistema de elevadores que tiene una velocidad de carro máxima de aproximadamente 152.400 metros por minuto, puede usarse para controlar la aceleración, la velocidad completa, la desaceleración y las fases de parada de un carro. Para sistemas de elevadores que hacen funcionar los carros a más de esta velocidad, la señal de referencia de velocidad TRAN que depende del tiempo, se usa únicamente para la aceleración, la velocidad completa y la transición entre las fases de velocidad completa y desaceleración máxima de la carrera, con el generador de patrón de velocidad 48 cambiando automáticamente a señales que dependen de la distancia para las fases de desaceleración máxima y de parada de la carrera.

Un contador reversible 544 recibe los impulsos de distancia NLC desde el contador 70 mostrado en la Figura 5. El contador 544 responde a la señal  $\overline{MXVM}$  desde el generador de rampa de tiempo, que va hacia un CERO lógico cuando se alcanza la velocidad máxima del carro, y la señal ACC del circuito lógico 540 va hacia el nivel de un CERO Lógico cuando se solicita la desaceleración. Estas señales programan al contador 544 para (a) contar hacia arriba en respuesta a los impulsos de distancia NLC mientras que el carro se acelera, (b) detener la cuenta, cuando el carro llega a la velocidad máxima ( $\overline{MXVM}$  va hacia CERO), que de esta manera almacena la distancia para que



vaya hacia una parada y (c) contar hacia abajo, cuando se inicia la desaceleración (ACC va hacia CERO).

La salida del contador 544, se aplica a un circuito de desaceleración de distancia 546, que proporciona una señal de referencia de velocidad DSAN proporcional a la raíz cuadrada de la distancia para ir hacia la parada. La raíz cuadrada de la distancia para ir hacia la parada proporciona una desaceleración constante para el carro elevador, con el cambio de la señal TRAN que depende del tiempo hasta la señal DSAN que depende de la distancia, lográndose mediante los interruptores 548 y 550 y un circuito impulsos 552 que proporciona las señales de conmutación  $\overline{\text{TRSW}}$  y  $\overline{\text{DSSW}}$  durante el tiempo apropiado para hacer funcionar los interruptores 548 y 550, respectivamente. La conmutación entre las señales de referencia de velocidad, se describirá en esta solicitud como un interruptor directo y completo desde una señal a la otra. Sin embargo, es preferible que se use la conmutación de transición que mezcla o combina progresivamente las señales que van a cambiarse para proporcionar una transición uniforme entre las señales y limitar la sobreaceleración en caso de una falta de coincidencia entre las mismas. El aparato para llevar a cabo esta conmutación de transición de las señales, se da a conocer en la patente Británica Número 1,293,097, que fue cedida a la misma concesionaria que la solicitud presente.

Cuando el carro queda dentro de una distancia prede-



terminada del piso en donde va a detenerse, tal como a distancia de 25.40 centímetros, se aplica una señal HT1 desde un transductor hacia una disposición de conmutación 554, que también responde a las señales de dirección del recorrido del carro UP y DOWN. La señal UP es verdadera cuando el carro está ascendiendo, y la señal DOWN es verdadera cuando el carro está descendiendo. La disposición de conmutación 554, proporciona una señal de referencia de velocidad HTAN para un interruptor 556, que recibe una señal de conmutación  $\overline{HTS}$  desde el impulsor 522 durante el período de tiempo apropiado para cambiar desde la señal de referencia de velocidad de distancia DSAN hasta la señal de referencia de velocidad de distancia HTAN. De nuevo, se usa de preferencia la conmutación de transición usando interruptores analógicos para cambiar entre las dos señales de referencia de velocidad. El desarrollo de la señal HT1 del transductor, se describe en la patente Norteamericana anteriormente mencionada Número 3,207,265.

El detector de impulsos 64 mostrado en la Figura 1, genera impulsos en respuesta al captador 60 en el carro elevador y las cuchillas de desaceleración 62 montadas en la escotilla cerca de los terminales. Estos impulsos, a los cuales se hace referencia como impulsos PLSDP, junto con una señal desde un tacómetro en el motor impulsor 20, se aplican a un circuito de desaceleración en el terminal 558. El circuito de desaceleración en el terminal 558, detecta la sobrevelocidad del carro



cerca de un terminal y cuando se detecta la sobrevelocidad, proporciona una señal de referencia de velocidad TSAN para detener el carro en el terminal al cual se está aproximando el carro. La señal TSAN se cambia hacia un efecto de circuito, mediante el interruptor 560 que recibe una señal de conmutación  $\overline{TSD}$  desde el impulsor 552. Si la condición de sobrevelocidad detectada mediante el circuito de desaceleración en el terminal 558 excede de una magnitud predeterminada, se genera una señal TOVSP que se aplica al control de detención de emergencia (no ilustrado) que puede ser convencional.

Las señales de los interruptores analógicos impulsados mediante el impulsor 552, se aplican a un amplificador de suma 562, que proporciona una señal de referencia de velocidad SRAT para el dispositivo de control del motor 50 que se muestra en la Figura 1, que puede ser convencional.

FIGURA 13

La Figura 13 es un diagrama esquemático de un circuito lógico que puede usarse para el circuito lógico 540 mostrado en la Figura 12. El circuito lógico 540 incluye los terminales de entrada  $\overline{WPTR}$ ,  $\overline{ACCX}$ ,  $\overline{A}$ , y SPSL. El terminal de entrada  $\overline{WPTR}$  recibe una señal del circuito lógico 96 que responde a la dirección del recorrido del carro, con la señal  $\overline{WPTR}$  siendo un UNO lógico para el recorrido ascendente, y siendo un CERO



lógico para el recorrido descendente. El terminal de entrada  $\overline{ACCX}$  recibe una señal del circuito lógico 96 que responde a una solicitud para aceleración. La señal  $\overline{ACCX}$  es verdadera o está al nivel de un CERO lógico tan pronto como el relé del freno A (no ilustrado) se conecta, y permanece verdadera hasta que el carro se solicita que inicie la desaceleración. El terminal de entrada  $\overline{A}$  se conecta para que responda al nivel de freno A, y está al nivel de un CERO lógico cuando el freno se ajusta y está a nivel de un UNO lógico cuando el freno se conecta. El terminal de entrada SPSL puede simplemente ser un interruptor selector manual, que se ajusta para seleccionar una velocidad del carro máxima deseada, o puede ser un interruptor automático que, por ejemplo, está en una posición durante la parte de la velocidad elevada de una carrera y en una segunda posición para seleccionar una velocidad del carro más baja antes de llegar a la parada.

El circuito lógico 540 incluye también los terminales de salida  $\overline{DGU}$ ,  $\overline{DGD}$ , ACC, SPS1 y SPS2. Los terminales de salida  $\overline{DGU}$  y  $\overline{DGD}$  se conectan con los relés de interfaz de "ascender" y "descender" respectivamente, que ajustan la preferencia de la dirección de recorrido para el carro, el terminal de salida ACC se conecta con el contador reversible 70 en el selector de pisos 34, con el generador de rampa de tiempo 542, con el contador reversible 544 y con el circuito de desaceleración de distancia 546. Los terminales de salida SPS1 y SPS2



se conectan con el acelerador de rampa de tiempo 542.

El circuito lógico 540 incluye también los circuitos de compuerta NAND 564, 566 y 570, y los circuitos de compuerta AND 576 y 578, los invertidores 568, 572 y 574, y un circuito basculador 580.

El terminal de entrada UPTR se conecta directamente con una entrada del circuito de compuerta NAND 564, y a través del invertidor 568 con una entrada del circuito de compuerta NAND 566. El terminal de entrada  $\overline{ACCX}$  se conecta, a través del invertidor 572, con las entradas de los circuitos de compuerta NAND 564, 566 y 570. El terminal de entrada  $\overline{A}$  se conecta, a través del invertidor 574, con una entrada del circuito de compuerta NAND 570. Las salidas de los circuitos de compuerta NAND 564, 566 y 570, se conectan con los terminales  $\overline{DGN}$ ,  $\overline{DGD}$  y ACC.

El terminal de entrada SPST se conecta con la entrada D de un circuito basculador 580 que puede ser del tipo D accionado de orilla positiva. La entrada de reloj del circuito basculador 580 se conecta con el terminal de salida ACC. Las salidas Q y  $\overline{Q}$  del circuito basculador 580 se conectan con las entradas de los circuitos de compuerta AND 576 y 578, respectivamente. El terminal de salida Acc se conecta con los terminales de entrada de los circuitos de compuerta AND 576 y 578.

Durante el funcionamiento del circuito lógico 540, una señal UPTR verdadera capacita al circuito de compuerta NAND

- 14714795



564, mientras que una señal UPTR falsa o baja capacita al circuito de compuerta NAND 566. Cuando se envía una solicitud para que el carro se acelere, la señal  $\overline{ACCX}$  va hacia el estado bajo que se invierte a un UNO lógico mediante el invertidor 572, y ya sea el circuito de compuerta NAND 564 o el circuito de compuerta NAND 566, dependiendo de cuál de ellos haya sido capacitado mediante la señal UPTR, produce un CERO lógico o una señal verdadera a su terminal de salida asociado. Suponiendo que el carro se ajuste para ascenso, la señal UPTR va hacia el estado elevado, capacitando al circuito de compuerta NAND 564. Cuando la solicitud se efectúa para acelerar el carro, el circuito de compuerta NAND 564 proporcionará un CERO lógico al terminal de salida  $\overline{DGT}$  que impulsa al relé de interfaz específico que ajusta el carro para ascenso.

Cuando se hace una solicitud mediante el selector de piso 34, para hacer arrancar y acelerar el carro, la señal  $\overline{ACCX}$  va hacia el estado bajo y si el freno A está ajustado, la señal  $\overline{A}$  será baja. Los invertidores 572 y 574 invierten las señales  $\overline{ACCX}$  y  $\overline{A}$  bajas, a fin de cambiar el circuito de compuerta NAND 570 para proporcionar una salida baja, impulsando el terminal de salida ACC hacia el estado elevado a través del invertidor 575. Una señal verdadera ACC indica que se ha efectuado una solicitud para acelerar el carro, y el carro está disponible, es decir, está inactivo con el freno aplicado.

Cuando la señal ACC va hacia su estado elevado, capa-



cita a los circuitos de compuerta AND 576 y 578 y sincroniza el ajuste seleccionado mediante el interruptor selector de velocidad SPSL hacia las salidas del circuito basculador 580 que "recuerda" la selección de velocidad. Si la salida  $Q$  es elevada, el circuito de compuerta AND 576 produce una señal elevada hacia su terminal de salida SPS1. Si la salida  $\bar{Q}$  es elevada, el circuito de compuerta AND 578 produce una señal verdadera, hacia su terminal de salida SPS2.

El terminal de salida START se conecta con la salida del invertidor 572 que, cuando el terminal START va hacia el estado elevado, indica que ha efectuado una solicitud para hacer arrancar el carro. El terminal de salida START se conecta con el circuito impulsor 552.

FIGURA 14

La Figura 14 es un diagrama esquemático de un generador de rampa de tiempo que puede usarse para el generador de rampa de tiempo 542 mostrado en la Figura 12. El generador de rampa de tiempo 542 es una disposición nueva y mejorada para proporcionar por lo menos el patrón de referencia de velocidad para las fases de aceleración y velocidad completa de la carrera que en sistemas de elevadores de velocidad relativamente baja, puede usarse para proporcionar el patrón de referencia de velocidad para una carrera completa.

- 104-414795 - 10 JUN 1973



El generador de rampa de tiempo 542 proporciona una señal de referencia de velocidad que incluye el control a través del régimen máximo de cambio de aceleración, denominado a continuación "sobrealceleración" en el patrón mismo. Independientemente de la rapidez con que el carro responda a la señal de velocidad de referencia, la sobrealceleración en la velocidad del carro no puede exceder la sobrealceleración máxima colocada en el patrón de referencia.

Básicamente, el generador de rampa de tiempo 542 genera un patrón de referencia de velocidad, que se controla en sobrealceleración, mediante la integración doble de una señal de corriente, que es representativa de la sobrealceleración misma. Con esta disposición, la sobrealceleración, de la cual están más al tanto los pasajeros que la aceleración o velocidad, se controla directamente y no se somete a imprecisiones debidas a tolerancias y desviación en los componentes del circuito que se usan para efectuar los cálculos matemáticos. La aceleración se controla indirectamente, integrando la señal de sobrealceleración y la velocidad del carro se controla indirectamente integrando la señal de aceleración, pero los errores pequeños en la aceleración y la velocidad del carro debidas a imprecisiones de circuito, no da por resultado incomodidad para los pasajeros, tales como podrían proporcionar los errores en el control de la sobrealceleración.

La medida de la sobrealceleración para la aceleración



y la desaceleración se proporciona mediante corrientes positiva y negativa, respectivamente, estando sujetas estas corrientes a un interruptor analógico que se cambia en respuesta a un circuito de realimentación que controla la aceleración y desaceleración máximas, así como la velocidad máxima. El régimen de conmutación del interruptor analógico cuando se alcanza la aceleración o desaceleración máxima o la velocidad máxima, es demasiado rápido para que el carro responda al mismo y esta conmutación promedia la sobreaceleración hasta CERO durante estos períodos. Durante los períodos de transición entre la velocidad de cero y la aceleración máxima, entre la aceleración máxima y la velocidad máxima, entre la velocidad máxima y la desaceleración máxima, y entre la desaceleración máxima y la velocidad de cero, el interruptor analógico se ajusta mediante la señal de realimentación para aplicar la corriente positiva o negativa hacia el primer integrador, sin conmutación, a fin de proporcionar una referencia de control de velocidad durante estos períodos de transición, con una cantidad exacta directamente controlable de la sobreaceleración colocada en el patrón de velocidad, mediante las magnitudes de las corrientes positiva y negativa.

Más específicamente, el generador de rappa de tiempo 542 incluye los terminales de entrada SPS1, SPS2 y ACC y los terminales de salida TRAN, MINA y MXVM. Los terminales de entrada SPS1, SPS2 y ACC se conectan con el circuito lógico 540.



El terminal de salida TRAN proporciona por lo menos las porciones de aceleración y velocidad completa del patrón de velocidad para el dispositivo de control del motor, el terminal de salida MINA, que proporciona una señal verdadera durante la desaceleración máxima, se conecta con el circuito impulsor 552 y el terminal de salida MXVM, que proporciona una señal verdadera cuando el patrón de velocidad está a su valor máximo, se conecta con los contadores 544 y 70, con el último contador habiéndose descrito en lo que antecede, y mostrado en la Figura 5.

El generador de rampa de tiempo 542 incluye el elemento 582 para representar directamente la sobreaceleración o régimen de cambio de aceleración, tales como fuentes de voltaje positivo y negativo 584 y 586 ajustables y un interruptor analógico 587. La fuente de voltaje positivo 584 se conecta con un terminal 588 a través del interruptor 587 y una resistencia 589 y una fuente de voltaje negativo 586 se conecta con el terminal 588 a través de una resistencia 591. De esta manera, el valor y la dirección de la corriente en el terminal 588 pueden controlarse, abriendo y cerrando el interruptor 587. El funcionamiento del interruptor 587 se controla mediante un circuito de realimentación que incluye el conductor 590, con el interruptor 587 cerrándose cuando el conductor 590 está al nivel de un UNO lógico y abriéndose cuando el conductor 590 está al nivel de un CERO lógico.

La corriente en el terminal 588 es una representación



directa de la sobreaceleración y puesto que su magnitud se ajusta mediante las fuentes de voltaje ajustables 584 y 586, la sobreaceleración en el patrón de referencia de velocidad, que va a desarrollarse no excederá la magnitud de la sobreaceleración preajustada.

El terminal 588 se conecta con el primer elemento de integración 592, tal como un amplificador de funcionamiento que tiene un capacitor 593, en su circuito de realimentación. Si se usa un amplificador de funcionamiento tal y como se ha ilustrado en la Figura 14, el terminal 588 se conecta con su entrada de inversión y su entrada de no inversión se conecta con tierra. Puesto que la forma integral de la sobreaceleración o régimen de cambio de aceleración es la aceleración o la desaceleración, la salida del primer integrador 592 en el terminal 594 es representativa de la aceleración o de la desaceleración.

El terminal 594 se conecta con el segundo elemento de integración 596 que puede ser un amplificador de funcionamiento que tiene un capacitor 595 en su circuito de realimentación, con el terminal 594 conectado con la entrada de inversión del mismo a través de la resistencia 597. La entrada de no inversión se conecta con tierra. La forma integral de la aceleración o desaceleración es la velocidad y por lo tanto la salida del segundo elemento de integración es representativa de la velocidad. El terminal de salida 598 del segundo elemento de integración 596 se conecta con el terminal de salida TRAN.



Los límites en la aceleración, desaceleración y velocidad con el control de sobreaceleración directo y automático, se colocan en el patrón de referencia de velocidad TRAN mediante circuitos de realimentación de aceleración y de velocidad que controlan la conmutación del interruptor 587.

El circuito de realimentación de velocidad compara la señal en el terminal de salida 598 del segundo integrador 596, con una señal de referencia. La señal de velocidad desde el terminal 598 se invierte mediante el invertidor 600 que puede ser un amplificador de funcionamiento con una resistencia 606 en su circuito de realimentación. El terminal 598 se conecta con la salida de inversión del amplificador de funcionamiento a través de la resistencia 608 y la entrada de no inversión se conecta con tierra a través de una resistencia 604. Las resistencias de realimentación y de entrada 606 y 608 respectivamente de valor igual, para proporcionar un amplificador que tenga una ganancia de -1 para la señal desde el terminal 598.

El terminal de salida 602 del dispositivo de inversión 600, se conecta con el primer elemento comparador 610 que puede ser un amplificador de funcionamiento, con la señal de salida 602, conectada con la entrada de inversión del amplificador de funcionamiento. La entrada de no inversión del primer comparador 610 se conecta con un voltaje de referencia, a través del dispositivo de inversión 612, el elemento selector de demanda de velocidad 614 y un interruptor analógico 616.



El interruptor analógico 616 incluye primero y segundo interruptores 618 y 620 impulsados mediante las señales aplicadas a los terminales de entrada SPS1 y SPS2 respectivamente. Las señales SPS1 y SPS2 se proporcionan mediante el circuito lógico 540, descrito en lo que antecede. Las salidas del primero y segundo interruptores 618 y 620 se conectan con las entradas seleccionadas del selector de demanda de velocidad 614, con cada una de ellas estando conectada con un extremo de una resistencia predeterminada del mismo, tal como las resistencias 622 y 624, respectivamente, que tienen una magnitud que se selecciona para proporcionar velocidades de carro predeterminadas. Los otros extremos de las resistencias selectoras de velocidad, incluyendo un conductor 626 que no tiene una resistencia adicional añadida al mismo y por lo tanto representa la selección de velocidad máxima, se conectan en común con el terminal de salida 628 del selector de demanda de velocidad 614. El terminal de salida 628 del selector de demanda de velocidad 614, se conecta con la entrada del dispositivo de inversión 612. El dispositivo de inversión 612, puede ser un amplificador de funcionamiento que tiene una resistencia de realimentación 630, con el terminal 628 del selector de demanda de velocidad 614 conectado con la entrada de la inversión del amplificador de funcionamiento, a través de una resistencia 632. Las resistencias de realimentación y de entrada 630 y 632 respectivamente, son de valor igual para proporcionar una ganancia de -1. La



entrada de no inversión del amplificador de funcionamiento se conecta con tierra a través de la resistencia 634. La salida del dispositivo de inversión 612 aparece a través de la resistencia 638 en el terminal 636. El terminal 636 se conecta con una entrada de no inversión del comparador 610. Cuando la entrada de velocidad hacia el comparador 610 del terminal 602 es menor que la entrada de referencia en el terminal de entrada 636, la salida del comparador 610 es positiva y esta salida se invierte mediante el inversor 638 para que aparezca en el terminal 640 al nivel de un CERO lógico. Cuando la entrada de velocidad al comparador 610 desde el terminal 602 excede la entrada de referencia en el terminal de entrada 636, la salida del comparador 610 es negativa y esta salida se invierte mediante el invertidor 638 para que aparezca en el terminal 640 al nivel de un UNO lógico. De esta manera, el terminal 640 es un UNO lógico cuando la entrada de velocidad excede la entrada de referencia y es de un CERO lógico, cuando la entrada de referencia excede la entrada de velocidad.

El circuito de realimentación de aceleración del terminal 594 consiste de dos circuitos separados, uno para la aceleración y uno para la desaceleración. El circuito para la aceleración incluye el invertidor 642 y el comparador 644. El invertidor 642, puede ser un amplificador de funcionamiento que tiene una resistencia de realimentación 646, con la entrada de inversión conectada con el terminal 594 a través de la



resistencia 648. La entrada de no inversión se conecta también a través de la resistencia 650. Las resistencias de realimentación y de entrada 646 y 648 respectivamente, son de valor igual para proporcionar una ganancia de -1.

El terminal de salida 652 del invertidor 642 se conecta con la entrada de inversión del invertidor 600 a través de la resistencia 653, que es grande en comparación con el valor de la resistencia 608, tal como aproximadamente diez veces mayor. De esta manera, los circuitos de realimentación de aceleración y de velocidad, se interconectan, mientras que el valor de la resistencia de conexión 653 que se selecciona para impedir el rebasamiento de la velocidad máxima durante la transición desde la aceleración máxima hasta la aceleración de cero y la velocidad máxima.

El terminal de salida 652 del invertidor 642 está también conectado con una entrada de no inversión del comparador 644 y la entrada de inversión del comparador 644 se conecta con el brazo selector 654 de un selector de demanda de aceleración 656. El brazo selector 654 se conecta con una resistencia predeterminada del selector de demanda de aceleración, tal como la resistencia 658 que tiene un valor que proporciona la aceleración deseada. Cuando la entrada de la aceleración al comparador 644 desde el terminal 652 excede la entrada de referencia del selector de demanda de aceleración 656, la salida del comparador 644 es positiva, que se invierte mediante

-414795



-6

el invertidor 660 para aparecer en el terminal 662 al nivel de un CERO lógico. Cuando la entrada de referencia excede la entrada de aceleración, la salida del comparador 644 es negativa la cual se invierte mediante el invertidor 660 para aparecer en el terminal 662 al nivel de un UNO lógico. De esta manera, el terminal 662 está al nivel de un UNO lógico cuando la referencia excede la entrada de aceleración y al nivel de un CERO lógico, cuando la entrada de la aceleración excede el nivel de referencia.

Los terminales 640 y 662 que responden a la velocidad y a la aceleración, respectivamente, se conectan con las entradas de un circuito de compuerta NAND 664. De esta manera, ya sea la velocidad o la aceleración proporcionando un CERO lógico en los terminales 640 y 662 respectivamente, pueden forzar la salida del circuito de compuerta NAND 664 hacia el nivel de un UNO lógico. La salida del circuito de compuerta NAND 664 se conecta con una entrada de circuito de compuerta NAND 666. La otra entrada del circuito de compuerta NAND 666 responde al circuito de realimentación de desaceleración, tal y como se explicará a continuación, mientras que la salida del circuito de compuerta NAND 666 se conecta con el conductor de realimentación 590 y de esta manera, la conmutación del circuito de compuerta NAND 666 controla el estado de CONEXION-DESCONEXION del interruptor analógico 582.

El circuito de realimentación que responde a la des-



aceleración incluye un comparador 668 que puede ser un amplificador de funcionamiento que tiene una entrada de no inversión conectada con el terminal 594 y su entrada de inversión conectada con el brazo selector 654 del selector de demanda de aceleración 656. De esta manera, durante la desaceleración, el selector de demanda de aceleración 656 controla la porción de desaceleración del patrón de velocidad. La salida del comparador 668 se invierte mediante el invertidor 670, y la salida del invertidor 670 se conecta con un terminal 672 que se conecta con una entrada del circuito de compuerta NAND 666 y con el terminal de salida  $\overline{MINA}$ . La señal  $\overline{MINA}$  es verdadera durante la desaceleración máxima.

La salida del comparador 668 es positiva cuando la entrada de desaceleración del terminal 594 excede la entrada de referencia, y es negativa cuando la entrada de referencia excede la entrada de desaceleración. De esta manera, el terminal 672 está al nivel de un UNO lógico, cuando la referencia excede la entrada de la desaceleración y al nivel de un CERO lógico, cuando la entrada de desaceleración excede la entrada de referencia. Tal y como se explicará a continuación, el terminal 672 estará al nivel de un UNO lógico, excepto durante la desaceleración. De esta manera, excepto durante la desaceleración, el circuito de compuerta NAND 666 actúa como un invertidor para la salida del circuito de compuerta NAND 664, con las entradas de aceleración o velocidad hacia el circuito de compuerta NAND



664, controlando la conmutación del interruptor de realimentación 587. Una vez que se inicia la desaceleración, la salida del circuito de compuerta NAND 664 está al nivel de un UNO lógico, capacitando el circuito de compuerta NAND 666 para controlarse mediante la realimentación de desaceleración desde el terminal 672.

Como se explicará durante la descripción del funcionamiento del generador de rampa de tiempo 542, la salida del comparador 610 cambia rápidamente durante la porción de la velocidad máxima de la señal de referencia de velocidad. A fin de proporcionar una señal definitiva que indique que la fase de la velocidad máxima de la señal de referencia de velocidad, se está efectuando, se proporciona un circuito de memoria 673 que se conecta con el terminal de entrada ACC y con los terminales 662 y 640 que responde a la realimentación de aceleración y de velocidad, respectivamente. La salida del circuito de memoria 673 está conectada con el terminal de salida  $\overline{MXVM}$ , que proporciona una señal baja o verdadera solamente durante la fase de velocidad máxima de la señal de referencia de velocidad TRAN.

El circuito de memoria 673 incluye un circuito de compuerta NAND 672 que tiene una entrada conectada con el terminal 640 a través de un invertidor 674 y una entrada conectada con una salida desde un circuito basculador 676 a través de un invertidor 678. El circuito basculador 676 puede ser del



tipo de circuito NAND acoplado transversalmente que tiene los circuitos de compuerta NAND 680 y 682. El circuito de compuerta NAND 680 tiene una entrada conectada con el terminal 662, y el circuito de compuerta NAND 682 tiene una entrada conectada con el terminal de entrada ACC.

La salida del circuito de compuerta NAND 672 se conecta con un circuito basculador 684. El circuito basculador 684 puede ser del tipo J-K que, con una lógica positiva, funciona para ajustar Q al nivel de un UNO lógico con una entrada baja hacia el terminal PRESET, y ajusta Q al nivel de un CERO lógico con una entrada baja hacia el terminal CLEAR. La salida del circuito de compuerta NAND 672 se conecta con la entrada PRESET, el terminal de entrada ACC se conecta con la entrada CLEAR, las entradas J, C y K se conectan con tierra y la salida Q se conecta con el terminal de salida  $\overline{MXVM}$  a través del invertidor 686. El funcionamiento del circuito de memoria 670 se describirá después de que se ha descrito el funcionamiento del generador de rampa de tiempo para desarrollar el patrón de referencia de velocidad.

FIGURA 15

La Figura 15 que incluye las Figuras 15A y 15B es una gráfica que ilustra las formas de onda en varios puntos de circuito del generador de rampa de tiempo 542 mostrada en la



Figura 14. Se hará referencia a la Figura 15, mientras que se describe el funcionamiento del circuito del generador de rampa de tiempo 542.

Primero se supondrá que el carro elevador está en la posición de descanso y que no hay demanda para servicio. De esta manera, las señales SPS1, SPS2 y ACC estarán al nivel de un CERO lógico. Con cero voltios en el amplificador de funcionamiento 612, habrán cero voltios en el amplificador de funcionamiento 612, habrán cero voltios en su salida 636, tal y como se indica en la Figura 15B en 689 de la forma de onda para el amplificador de funcionamiento 612. Si está abierto el interruptor 587 tal y como se indica en 690 en la gráfica de "abierto-Cerrado" del interruptor 587 en la Figura 15A, la corriente fluirá hacia afuera de la entrada de inversión del primer integrador 592 y la salida del primer integrador 592 comenzará a ir hacia el estado positivo, tal y como se indica en 692 de la forma de onda para la salida del primer integrador 592. Cuando la salida del primer integrador 592 va hacia el estado positivo, la salida del segundo integrador 596 irá hacia el estado negativo, tal y como se indica en 694 de la curva para el segundo integrador 596. La salida del amplificador de funcionamiento 600 irá por lo tanto, hacia el estado positivo, tal y como se indica en 696. La salida positiva del amplificador de funcionamiento 660 se aplica a la entrada de la inversión del comparador 610 (Figura 15B) y se compara con la entrada de



CERO en la entrada de no inversión del amplificador de funcionamiento 612. Puesto que la señal de velocidad desde el amplificador de funcionamiento 600 excede la señal de referencia de velocidad del amplificador de funcionamiento 612, la salida del comparador 610 va hacia el estado negativo tal y como se indica en 698 en la curva para el comparador 610. La salida negativa del comparador 610 se invierte al nivel de un UNO lógico, mediante el invertidor 638 que se indica en 700 para la gráfica para el invertidor 638 que se aplica a una entrada del circuito de compuerta NAND 664.

El selector de demanda de aceleración 656 está proporcionando un voltaje positivo en las entradas de los comparadores 668 y 644. Puesto que el carro no está acelerándose ni desacelerándose durante este momento, el voltaje de referencia excede a las señales de aceleración y de desaceleración y las salidas de los comparadores 668 y 644 son negativas, tal y como se indica en 701 y 704, respectivamente, en las gráficas asociadas con estos comparadores. La salida negativa del comparador 668 se invierte al nivel de un UNO lógico mediante el invertidor 670 tal y como se indica en 706 de la gráfica para el invertidor 670, y la salida negativa del comparador 644, se invierte mediante el invertidor 660 hacia el nivel de un UNO lógico que se indica en 708 de la gráfica para el invertidor 660. La salida de un UNO lógico del invertidor 660 se aplica a la otra entrada del circuito de compuerta NAND 664, y la salida de un



UNO lógico del invertidor 670 se aplica a una entrada del circuito de compuerta NAND 666.

Por lo tanto, cuando el carro está en la posición de descanso y el interruptor 587 está abierto, ambas entradas de circuito de compuerta NAND 664 van hacia el estado elevado, impulsando la salida del circuito de compuerta NAND 664 desde el nivel de un UNO lógico que se indica en 710, hasta el nivel de un CERO lógico, indicado en 712. Cuando la salida del circuito de compuerta NAND 664 va hacia el estado bajo, la salida del circuito de compuerta NAND 666 se cambia desde el nivel de un CERO lógico que se indica en 714, hasta el nivel de un UNO lógico que se indica en 716. Cuando la salida del circuito de compuerta NAND 666 va hacia el estado elevado, se cierra el circuito analógico 587 tal y como se indica en 718 (Figura 15A).

Cuando se cierra el circuito analógico 587, la corriente de sobreaceleración fluirá hacia la entrada de inversión del primer integrador 592, impulsando la salida del primer integrador 592 hacia el estado negativo, tal y como se indica en 720. La salida del segundo integrador 596 por lo tanto, comienza a pasar al estado positivo, que se indica en 722, y la salida del amplificador de funcionamiento 600 comienza a pasar hacia el estado negativo, tal y como se indica en 724. La entrada de inversión del comparador de velocidad 610, por lo tanto se convertirá en menor que la entrada de CERO desde el circuito de referencia de velocidad, y la salida del comparador 610 va hacia el



estado positivo que se indica en 726 (Figura 15B). Esta salida positiva del comparador 610 se invierte hacia el nivel de un CERO lógico mediante el invertidor 638, que se indica en 728, la salida del circuito de compuerta NAND 664 se impulsa hacia el estado elevado en 730, la salida del circuito de compuerta NAND 666 se impulsa hacia el estado bajo mediante las dos entradas elevadas, que se indican en 732 y se abre el interruptor analógico 587, tal y como se indica en 734 (Figura 15A). Esta conmutación del interruptor analógico 587 ocurre a un régimen muy rápido que se determina mediante el umbral del comparador 610 y las características de los integradores 592 y 596. El régimen de conmutación, que usualmente será mayor de 1 Khz., es demasiado rápido para que el carro responda al mismo, de manera que no tiene efecto perjudicial en el movimiento del carro. La conmutación rápida del interruptor 587 se ilustra en las formas de onda de las Figuras 15A y 15B como siendo de un régimen bajo a fin de ilustrar más claramente la manera en que la condición del interruptor 587 afecta las distintas acciones del circuito.

La conmutación rápida del interruptor analógico 587 continúa, debido a la realimentación de velocidad y del comparador 610, mientras el carro está en posición de descanso sin solicitud para acelerarse, a cuya fase del funcionamiento del carro se hará referencia como la fase I. Las distintas fases de una carrera completa se indican en la parte superior de la



Figura 15A.

La fase II se inicia cuando hay una solicitud para acelerar el carro, señalado por ACC y conmutándose ya sea SPS1 ó SPS2 desde un nivel de CERO lógico hasta un nivel de UNO lógico en 736. Para los objetos del ejemplo, se supondrá que el interruptor selector de velocidad se ajusta para proporcionar una señal SPS1 verdadera cuando la señal ACC va hacia el estado verdadero. Una señal SPS1 verdadera cierra el interruptor analógico 618 y la salida del amplificador de funcionamiento 612 va hacia el estado negativo en 738 (Figura 15B). Puesto que la salida del amplificador de funcionamiento 600 está cerca de CERO, es más positiva que la salida negativa del amplificador de funcionamiento 612, y la salida del comparador 610 va hacia el estado negativo que se indica en 740. La salida del invertidor 638 va hacia un nivel de UNO lógico que se indica en 742, la salida del circuito de compuerta NAND 664, va hacia el nivel de un CERO lógico, que se indica en 744, la salida del circuito de compuerta NAND 666 va hacia el nivel de un UNO lógico que se indica en 746, y el interruptor analógico 587 se cierra, que se indica en 748 (Figura 15A).

La conmutación rápida del interruptor analógico 587 que promediaba una sobreaceleración hasta CERO y que también mantenía las señales de aceleración y de velocidad a CERO, se da ahora por terminada y el interruptor 587 permanece cerrado hasta que se alcanza la demanda de aceleración seleccionada.



Cuando se cierra el interruptor 587, la entrada positiva hacia la entrada de inversión del amplificador de funcionamiento 592 impulsa la salida del amplificador de funcionamiento hacia el estado negativo, con una inclinación 750 que se determina mediante la magnitud preseleccionada de la sobreaceleración. De esta manera, la salida del amplificador de funcionamiento 592, que es la primera forma integral de la sobreaceleración, proporciona el patrón de aceleración y el régimen de cambio de este patrón de aceleración no puede exceder del valor preseleccionado.

La salida que disminuye linealmente del amplificador de funcionamiento 592 se integra mediante el segundo integrador del amplificador de funcionamiento 596 para proporcionar una transición curvada uniforme 751 desde cero hasta una velocidad predeterminada, cuando se alcanza la aceleración máxima.

El amplificador de funcionamiento 642 invierte la salida del primer integrador 592 y aplica una señal positiva que se indica en 752 hacia la entrada de no inversión del comparador 644. La magnitud aumentada de la señal positiva 752 se compara con la señal de demanda de aceleración positiva constante aplicada a la otra entrada del comparador 644 y cuando la señal de aceleración 752 excede la referencia de aceleración en el punto 754, la salida del comparador 644, se cambia desde el nivel de voltaje negativo 704, hasta un nivel de voltaje positivo 756. El invertidor 660 cambia desde el nivel de UNO lógico 708 hasta el nivel de CERO lógico 758. La salida del circuito

414795

- 127 -



de compuerta NAND 664 de esta manera va desde el nivel de CERO lógico hasta el nivel de un UNO lógico en 760, la salida del circuito de compuerta NAND 666 va hacia el estado bajo en 762 y el interruptor 587 se abre en 764. Esto termina la fase II e inicia la fase III de la carrera.

En la fase III, la aceleración se mantiene constante mediante la conmutación rápida del interruptor 587, debido al comparador 644. La velocidad del carro, que se indica mediante la salida del segundo integrador 596, sin embargo, está aumentando debido a la aceleración constante. Cuando la velocidad del carro llega a la demanda de velocidad seleccionada, la fase III se da por terminada y se inicia la fase IV.

Más específicamente; cuando el interruptor 587 se abre en 764, el amplificador de funcionamiento 592 comienza a ir a su estado menos negativo, el amplificador de funcionamiento 642 comienza a ir hacia un estado menos positivo, disminuyendo a menos del nivel de referencia de demanda de aceleración y la salida del comparador 644 va hacia el estado negativo. La salida del invertidor 660 va hacia un UNO lógico, el circuito de compuerta NAND 664 va hacia el estado bajo, y la salida del circuito de compuerta NAND 666 va hacia el estado elevado para cerrar el interruptor 587. Esto impulsa la señal de aceleración más elevada que la señal de referencia de aceleración abriendo de nuevo el interruptor 587. Esta conmutación rápida del interruptor 587 continúa manteniendo la salida del amplifica-



dor de funcionamiento 592 a un nivel negativo máximo predeterminado 766, y la salida del amplificador de funcionamiento 642 al nivel positivo predeterminado 754. La entrada negativa constante hacia el segundo integrador 596, ocasiona que la salida del segundo integrador 596 aumenta linealmente durante la fase III, que se indica en 768, aún cuando cambia al mismo régimen rápido que el interruptor 587. El invertidor 600 invierte la salida del segundo integrador 596, y aplica una señal negativa 770 al comparador 610. Cuando la señal disminuye a 770 y llega al nivel de referencia de velocidad negativo en la otra entrada hacia el comparador 610, que se indica en el punto 771 de la gráfica para el invertidor 600, la salida del comparador 610 cambia desde un nivel negativo hasta un nivel positivo en 772. La salida del invertidor 638, cambia hacia un nivel de CERO lógico en 774, la salida del circuito de compuerta NAND 664 va hacia el estado elevado en 776, la salida del circuito de compuerta NAND 666 va hacia el estado bajo en 778 y el interruptor analógico 587 se abre en 780. Esto termina la fase III.

Se observará que la entrada positiva del invertidor 600 en el circuito de realimentación de velocidad desde el segundo integrador 596, es ayudado durante la fase III mediante la salida positiva del invertidor 642, en el circuito de realimentación de aceleración. Esta interacción de los circuitos de realimentación de aceleración y de velocidad, ocasiona que la salida del invertidor 600 llegue al nivel de la demanda de ve-

414795-6 JUL 1973



locidad en 771, ligeramente de manera más rápida de lo que sería sin dicha interacción y mientras que rebasa el nivel de referencia de velocidad, impide el rebasamiento del patrón de referencia de velocidad 596, durante la transición desde el período de velocidad del carro aumentada hasta el período de velocidad del carro constante, durante la fase IV.

Cuando se abre el interruptor 587 en 780 para dar por terminada la fase III, e iniciar la fase IV, la salida del primer integrador 592 aumenta linealmente desde el nivel negativo constante 766 hacia cero a lo largo de la línea 782. La inclinación de la línea 782, y por lo tanto el régimen de cambio de la aceleración se determina mediante el ajuste praseleccionado de la sobreaceleración.

El segundo integrador 596 proporciona una transición curvada uniforme 784 desde la porción que aumenta linealmente 768 hasta una porción constante 786. A medida que la salida del segundo integrador 596 se alisa uniformemente, la ayuda del invertidor 642 recibida por el invertidor 600 que se determina mediante el valor de la resistencia 653, reduce hasta cero a lo largo de la línea 788, capacitando la salida del invertidor 600 que rebasa el nivel de referencia de velocidad para regresar al nivel de demanda de velocidad, cuando el patrón de velocidad 596 está llegando al nivel de referencia de velocidad. De esta manera durante la fase IV, la porción 790 de la salida del invertidor 600 queda ligeramente debajo del nivel



de referencia. Cuando aumenta la salida del invertidor 600 hasta el nivel de referencia, el comparador 610 cambia desde una salida positiva hasta una salida negativa en 792 que a su vez impulsa el invertidor 638 hacia un estado elevado, el circuito de compuerta NAND 664 hacia un estado bajo y el circuito de compuerta NAND 666 hacia un estado elevado para cerrar el interruptor 587 y dar por terminada la fase IV.

La fase V consiste de la conmutación rápida del interruptor analógico 587 en respuesta al comparador 610 a fin de mantener constante la salida del segundo integrador 596 al nivel 786. Cuando el interruptor 587 se cierra al comienzo de la fase V, la salida del primer integrador 592 se hace negativa, la salida del segundo integrador 596 se hace más positiva, la salida del invertidor 600 se hace más negativa, y cuando llega al nivel de referencia de velocidad, la salida del comparador 610 va hacia el estado positivo, el invertidor 638 va hacia el CERO lógico, las salidas de los circuitos de compuerta NAND 664 y 666 van hacia el estado elevado y bajo, respectivamente, y el interruptor 587 se abre en 796. Esto inicia la cadena de eventos que cierra el interruptor 587, ocasionando una conmutación rápida del interruptor analógico 587 durante la fase V, que mantiene constante la velocidad del carro.

La fase V se da por terminada cuando se efectúa una solicitud por el selector de pisos para detener el carro en el piso de la posición avanzada del carro, se representa me-



diante las señales ACC y SPS1 que van hacia el nivel del CERO lógico en 800. Esto inicia la fase VI que es una transición uniforme desde una velocidad constante máxima, hasta una desaceleración máxima. Cuando la señal SPS1 va hacia CERO, la entrada de demanda de velocidad hacia el amplificador de funcionamiento 613, va hacia CERO y la salida del amplificador de funcionamiento 612 cambia desde el nivel de referencia de demanda de velocidad 738 hasta cero en 802. Puesto que la velocidad del carro es mayor que el nivel de referencia, la salida del comparador 610 va hacia el estado positivo en 804 impulsando la salida del invertidor 638 hacia el estado bajo en 806 y la salida del circuito de compuerta NAND 664 hacia el estado elevado en 808. La otra entrada hacia el circuito de compuerta NAND 666, desde el circuito de realimentación de desaceleración todavía está a un UNO lógico y el circuito de compuerta NAND 666 cambia hacia un estado bajo en 810 para abrir el interruptor 587 en 812.

Cuando el interruptor 587 se abre en 812, la salida del primer comparador aumenta desde cero a lo largo de una curva 814, que tiene una inclinación determinada mediante el ajuste de la sobreaceleración. La salida del segundo integrador 596, disminuye uniformemente desde el nivel de velocidad máximo 786 hasta una velocidad más baja a lo largo de la curva 816. Cuando la desaceleración del carro llega al nivel de demanda de desaceleración que se representa mediante la porción 814 de la señal



de aceleración en la salida del primer integrador 592 al llegar a la magnitud de la referencia de la demanda de desaceleración, el comparador 668 cambia su salida desde un nivel negativo 702 hasta un nivel positivo 818. El invertidor 670 cambia hasta el nivel de un CERO lógico en 820, la salida del circuito de compuerta NAND 666 va hacia el estado elevado en 822, y el interruptor 587 se cierra en 824. Esto termina la fase VI e inicia la fase VII, que es la fase de desaceleración constante de la corrida.

Cuando el interruptor 587 se cierra al comienzo de la fase VII, la salida del primer integrador 592 disminuye, y cuando disminuye a menos del nivel de referencia de desaceleración, la salida del comparador 668 se cambia hacia una salida negativa, el invertidor 670 va hacia un UNO lógico, la salida del circuito de compuerta NAND 666 va hacia un CERO lógico y abre el interruptor 587. Esto luego inicia la cadena de eventos que vuelven a cerrar el interruptor 587 y el interruptor 587 cambia rápidamente entre sus estados abierto y cerrado para mantener la salida del primer integrador al valor positivo máximo seleccionado 826. La salida positiva constante del primer integrador 592 ocasiona que el segundo integrador 596 disminuya linealmente a lo largo de una curva 828, y el invertidor 600 aumenta hacia cero. El aumento en la salida del invertidor 600 hacia cero a lo largo de la porción de la curva 830 es ayudado por la porción negativa 832 de la salida del invertidor



642, ocasionando que la curva 830 llegue hacia el nivel de CERO adelante de la salida del segundo integrador 596, impidiendo el rebasamiento del patrón de velocidad más allá del nivel de referencia de la misma manera que se ha descrito en lo que antecede, con relación a la fase IV. Cuando la porción de la curva 830 llega al umbral del comparador 610, en el punto 834, la salida del comparador 610 cambia desde un nivel positivo hasta un nivel negativo en 836, la salida del invertidor 638 cambia hacia un nivel de un UNO lógico en 838, la salida del circuito de compuerta NAND 664 va hacia un CERO lógico en 840, la salida del circuito de compuerta NAND 666 va hacia un estado elevado en 842, y el interruptor de realimentación 587 se cierra en 844, para dar por terminada la fase VII e iniciar la fase VIII.

La fase VIII es la transición de la velocidad del carro de la desaceleración máxima a cero. Cuando el interruptor 587 se cierra al iniciarse la fase VIII, la salida del primer integrador 592, disminuye a lo largo de la curva 846, con una inclinación constante determinada, mediante el ajuste de la sobreaceleración, el segundo integrador proporciona una transición curvada uniforme 848 de la velocidad del carro desde la desaceleración máxima hasta cero, y la combinación de la salida del segundo comparador y el amplificador de funcionamiento 642, el último de los cuales está aumentando hacia cero a lo largo de la curva 850, impide que el amplificador de funcionamiento



600 disminuya de nuevo hacia el nivel de referencia, hasta que el carro se detiene uniformemente en 852. Cuando el carro se detiene, la fase VIII se da por terminada y la fase I se inicia.

El circuito de memoria 673 proporciona una señal MXVM falsa o elevada, hasta que el comparador 610 indica que se ha alcanzado la velocidad máxima, en cuyo periodo de tiempo, tal y como se indica en la Figura 15B, la señal MXVM se cambia en verdadera o baja en el punto 854. Cuando el carro está en la posición de descanso, la salida del invertidor 660 es elevada, lo cual capacita el circuito basculador 676 y la señal ACC es baja, lo cual ajusta el circuito basculador 676 para proporcionar un nivel de un UNO lógico en la salida del circuito de compuerta NAND 682, que se invierte al nivel de un CERO lógico, mediante el invertidor 678. El circuito de compuerta NAND 672 por lo tanto suministra un UNO lógico a la entrada PRESET del circuito basculador 684. La señal ACC baja aplicada a la entrada CLEAR del circuito basculador 684, ajusta el circuito basculador 684, para proporcionar un CERO LOGICO en la salida Q que se invierte hacia un UNO lógico en el terminal de salida MXVM. Cuando se solicita la aceleración, la señal ACC va hacia un UNO lógico, capacitando los circuitos basculadores 676 y 684. Cuando se alcanza la aceleración máxima, el invertidor 660, va hacia el estado bajo en 758 para cambiar el circuito basculador 676, y el invertidor 678 ahora proporciona un UNO lógico hacia una de las entradas del circuito de compuerta NAND 672.



Cuando el comparador 610 cambia hacia el estado positivo para indicar que se ha alcanzado la velocidad máxima, los invertidores 638 y 674, aplican un UNO lógico hacia la otra entrada del circuito de compuerta NAND 672 y la salida del circuito de compuerta NAND 672 va hacia el estado bajo cambiando el circuito basculador 684 para proporcionar una salida Q elevada que se invierte hasta una señal  $\overline{MXVM}$ . Cuando la señal ACC va hacia CERO, el circuito basculador 676 se cambia de nuevo para ocasionar que el circuito de COMPUERTA NAND 672 proporcione un UNO lógico y el CERO lógico en la entrada CLEAR, cambia el circuito basculador 684, para proporcionar una salida Q baja, que se invierte, para proporcionar una señal elevada  $\overline{MXVM}$  tal y como se indica en 856 en la Figura 15B.

FIGURA 16

La Figura 16 es una gráfica que presenta las curvas de sobreaceleración, aceleración y velocidad que se muestran en la Figura 15, con la excepción de que se muestran sin la conmutación rápida mostrada en la Figura 15. La curva de sobreaceleración representa la entrada hacia el primer comparador 592 desde el terminal 588. Durante la conmutación rápida del interruptor 587, la sobreaceleración se promedia a CERO. Cuando el interruptor se cierra, se aplica una restricción positiva de sobreaceleración y cuando se abre se aplica una restricción ne-

414795



gativa de sobreaceleración.

La curva de velocidad, es decir, la salida del segundo integrador 596, puede usarse para la carrera completa del carro para sistemas de elevadores de velocidad relativamente baja, ya que proporciona un patrón de velocidad para todas las fases de una carrera. En sistemas elevadores de alta velocidad, más de aproximadamente 150 metros por minuto, el patrón de velocidad que se proporciona mediante el generador de rampa de tiempo no sería lo bastante preciso durante las fases de desaceleración y de parada de la carrera. Por lo tanto, tal y como se muestra en la Figura 12, el generador de patrón de velocidad designado 48 incluye, además del generador de rampa de tiempo 542, un circuito de desaceleración de distancia 546 y un circuito transductor 554. Como se muestra en la Figura 16, la señal de patrón de velocidad SRAT desde el generador de patrón de velocidad 48 puede ser una señal compuesta incluyendo la porción 860 desde el generador de rampa de tiempo que incluye las fases I a VI, una porción 862 desde el circuito de desaceleración de distancia 546, que incluye la fase VII, y una porción 864 desde el circuito transductor 554 que incluye la fase VIII.

FIGURA 17

La Figura 17 es un diagrama esquemático de un contador reversible y un circuito de desaceleración de distancia que



puede usarse para el contador reversible 544 y el circuito de desaceleración de distancia 546 mostrado en forma de bloque en la Figura 12. El circuito de desaceleración de distancia mostrado en la Figura 17, es una disposición nueva y mejorada para colocar exactamente el carro en una parada o zona de igualación a pesar de las constantes de duración prolongada de desviación del circuito. El circuito impulsor 552 cambia la fuente del patrón de velocidad desde el generador de rampa de tiempo 542 hasta el circuito de desaceleración de distancia 546 cuando la señal MINA va hacia CERO, indicando que se ha alcanzado la desaceleración máxima. Justamente antes de este momento, el circuito de desaceleración de distancia mostrado en la Figura 17, se calibra automáticamente, pero no para la posición del carro durante ese momento. El circuito de desaceleración de distancia se calibra para la cuenta que representa el punto en donde el carro estará cuando el patrón de velocidad se transfiere desde el circuito de desaceleración de distancia hasta el circuito transductor. Este es el único punto en donde se requiere una precisión extrema, y calibrando el circuito de desaceleración de distancia para esta distancia específica, hasta el piso, cuya calibración ocurre justamente antes de que se utilice el circuito, el circuito de desaceleración de distancia no necesita diseñarse para mantener exención de desviación a través de un período de tiempo prolongado y el aparato resultante por lo tanto puede construirse más económicamente.



De manera más específica, el contador 544 que se muestra en la Figura 17 incluye los terminales de entrada IDLE, MXVM, ACC y NLC, y los terminales de salida NL1 a NL12, y NL16, El terminal de entrada IDLE recibe una señal elevada o verdadera cuando el carro está inactivo, listo para efectuar una carrera, el terminal de entrada MXVM recibe una señal baja o verdadera, desde el generador de rampa de tiempo 542; cuando el carro está en la porción de la velocidad máxima de su carrera, el terminal de entrada ACC recibe una señal alta ó elevada o verdadera, cuando se efectúa una solicitud para acelerar el carro y el relé del freno se conecta, y permanece verdadera, hasta que se solicita que el carro se desacelere y el terminal de entrada NLC recibe los impulsos de distancia, tales como un impulso de distancia por cada 1.27 centímetros del recorrido del carro, desde el contador reversible 70 en el selector de pisos 34.

El contador 544 incluye un elemento contador reversible 870, tal como un contador binario que tiene una capacidad de bits suficiente para contar hasta la distancia máxima en términos del incremento normal, a través del cual, el carro elevador se acelera. Por ejemplo, pueden colocarse en cascada tres contadores binarios sincrónicos de 4 bits UP/DOWN 872, 874 y 876, para proporcionar un contador de 12 bits suficiente para contar hasta aproximadamente 51.815 metros, usando 1.27 centímetros para cada impulso, pero puede usarse cualquier número de bits dependiendo de los requisitos de la aplicación específica.



Las salidas CARRY y BORROW del contador 872 se conectan con las entradas UP y DOWN del contador 874, respectivamente y las salidas CARRY y BORROW del contador 874 se conectan con las entradas UP y DOWN del contador 876. Las entradas CLEAR de los contadores 872, 874 y 876, se conectan con el terminal de entrada que recibe la señal IDLE. Cuando la señal IDLE es elevada o verdadera, todas las salidas se fuerzan hacia el nivel bajo.

Las entradas UP y DOWN del contador 872 se conectan para recibir los impulsos NLC a través de un circuito que incluye los terminales de entrada NLC y  $\overline{MXVM}$ , los invertidores 902 y 904 y los circuitos de compuerta NAND 906, 908, 910 y 912.

El circuito de compuerta NAND 906 tiene una entrada conectada directamente con el terminal de entrada  $\overline{MXVM}$  y otra entrada conectada con el terminal de entrada NLC a través del invertidor 902. El circuito de compuerta NAND 908 tiene una entrada conectada con el terminal de entrada NLC a través del invertidor 902, y otra entrada conectada con el terminal de salida BORROW del contador 876, cuyo terminal de salida está al nivel de un UNO lógico, excepto cuando el contador 876 cuenta hacia abajo y llega hasta cero. Las salidas de los circuitos de compuerta NAND 906 y 908 se conectan con las entradas de los circuitos de compuerta NAND 910 y 912, respectivamente. El circuito de compuerta NAND 910 tiene también una entrada conectada con el terminal de entrada ACC y el circuito de compuerta



NAND 912 tiene una entrada conectada con el terminal de entrada ACC a través de un invertidor 904. La salida de los circuitos de compuerta NAND 910 y 912 están conectadas con las entradas UP y DOWN, respectivamente, del contador 872.

Las salidas A, B, C y D del contador 872 están conectadas con las entradas de los circuitos de compuerta NAND 878, 880, 882 y 884 respectivamente, las salidas A, B, C y D del contador 874 están conectadas con las entradas de los circuitos de compuerta NAND 886, 888, 890 y 892, respectivamente, y las salidas A, B, C y D del contador 876 están conectadas con los circuitos de compuerta NAND 894, 896, 898 y 900, respectivamente. Las salidas B, C y D del contador 874 y las salidas A, B, C y D del contador 876 están también conectadas con las entradas de un circuito de compuerta NAND 948 a través de los invertidores 950, 951, 952, 953, 954, 955 y 956, respectivamente. La salida del circuito de compuerta NAND 948 se conecta con un terminal de salida NL16.

Los circuitos de compuerta NAND 878, 880, 882, 884, 886, 888, 890, 892, 894, 896, 898 y 900 cada uno tiene una entrada conectada con el terminal de salida 999 de un circuito que incluye el terminal de entrada ACC, la salida BORROW del contador 876, los invertidores 914 y 916, y el circuito de compuerta AND 918, un circuito de compuerta NAND 920 y un multivibrador monoestable 922. El circuito de compuerta AND 918 tiene una entrada conectada con el terminal de entrada ACC a través del



invertidor 914, y otra entrada conectada con la salida BORROW del contador 876. La salida del circuito de compuerta AND 918 se conecta con las entradas del circuito de compuerta NAND 920 y del multivibrador monoestable 922. Otra entrada del circuito de compuerta NAND 920 se conecta con la salida del multivibrador monoestable 922. La salida del circuito de compuerta NAND 920 se conecta con el terminal de salida 999 a través del invertidor 916.

Las salidas de los circuitos de compuerta NAND 882 y 886, se conectan con las entradas de los circuitos de compuerta NAND 928 y 932, respectivamente. Los circuitos de compuerta NAND 928 y 932, tienen también entradas conectadas con el terminal 999. Las salidas de los circuitos de compuerta NAND 928 y 932, se conectan con los terminales de salida NL3 y NL5, respectivamente. Los circuitos de compuerta NAND 878, 880, 884, 888, 890, 892, 894, 896, 898 y 900 restantes, están conectados con los terminales de salida NL1, NL2, NL4, NL6, NL7, NL8, NL9, NL10, NL11, y NL12, respectivamente, a través de los invertidores 924, 926, 930, 934, 936, 938, 940, 942, 944 y 946, respectivamente.

Durante el funcionamiento del contador 544 se supondrá que el carro elevador está inactivo y listo para efectuar una corrida, en cuyo caso, el terminal de entrada IDLE recibe una señal verdadera o elevada que fuerza las doce salidas del contador 870 hacia el nivel de un CERO lógico. Cuando se solicita



que el carro se acelere, la señal IDLE va hacia el CERO lógico, capacitando al contador 870, la señal de aceleración ACC va hacia el nivel de un UNO lógico, y el generador de rampa de tiempo 542, proporciona el patrón de velocidad que inicia el movimiento del carro. Cuando el carro comienza a moverse, proporciona un impulso NLC en el terminal de entrada NLC para cada incremento normal del recorrido del carro, tal como de 1.27 centímetros. El terminal de entrada  $\overline{MXVM}$  está al nivel de un UNO lógico, puesto que el carro no está a la velocidad máxima, y la salida BORROW B del contador 876 proporciona una señal que está al nivel de un UNO lógico. De esta manera, ambos circuitos de compuerta NAND 906 y 908 se desbloquean mediante los impulsos NLC. Durante la aceleración, la señal ACC está al nivel de un UNO lógico, lo cual desbloquea los impulsos NLC a través del circuito de compuerta NAND 910 hacia la entrada de la cuenta hacia arriba del contador 872. El invertidor 904 invierte la señal ACC verdadera para bloquear el circuito de compuerta NAND 912. Cuando el carro llega a la velocidad máxima,  $\overline{MXVM}$  va hacia un CERO lógico, tal y como se ha descrito en lo que antecede y como se muestra en la gráfica de la Figura 15, que bloquea el circuito de compuerta NAND 906 e impide que los impulsos NLC lleguen al contador 870.

Quando la señal ACC va hacia un CERO lógico, solicitando la desaceleración, la señal  $\overline{MXVM}$  va de nuevo hacia un UNO lógico, pero el circuito de compuerta NAND 910 se bloquea



ahora mediante la señal ACC baja. El invertidor 904 invierte la señal ACC baja y hace pasar los impulsos NLC a través del circuito de compuerta NAND 912 hacia la entrada de la cuenta hacia abajo del contador 872. De esta manera, la salida del contador 870 tiene una cuenta en sus terminales de salida que registra continuamente la distancia que hay que recorrer hacia el piso. Deja de contar los impulsos NLC cuando el carro deja de acelerarse y cuenta hacia abajo cuando el carro comienza a desacelerarse. Con regímenes de aceleración y desaceleración iguales, el contador registra exactamente la distancia que se debe recorrer al piso de la posición avanzada del carro cuando la señal ACC va hacia el CERO lógico.

Cuando el contador 870 cuenta hacia abajo hasta el número binario que representa 32, que indica que el carro está a distancia de 40.64 centímetros desde el piso en el cual va a hacer parada, las salidas B, C y D del contador 874 y las salidas A, B, C y D del contador 876 estarán al nivel del CERO lógico. Estas salidas de CERO se invierten mediante los invertidores 950, 951, 952, 953, 954, 955 y 956 para cambiar el circuito de compuerta NAND 948 y proporcionar una señal baja  $\overline{NL16}$ , indicando que el carro está a distancia de 40.64 centímetros del piso, en donde debe efectuar la parada.

Cuando se inicia la desaceleración o reducción de velocidad, el circuito de desaceleración de distancia 546 que se muestra en la Figura 17, proporciona un patrón de velocidad que



responde a la raíz cuadrada de la señal que tiene una magnitud proporcional a la distancia que debe recorrer hasta el piso, con el patrón de velocidad transfiriéndose desde el generador de rampa de tiempo 542, hasta el circuito de desaceleración de distancia 546 a través del funcionamiento de los interruptores analógicos 548 y 550 y el impulsor 552, que se han mostrado en la Figura 12. De esta manera, la salida del contador 870 no se usa hasta que se inicia la desaceleración y entonces se usa hasta que el patrón de velocidad cambia desde la salida del circuito de desaceleración de distancia 546 hasta la salida del circuito transductor 554 cuando el carro está a una distancia predeterminada desde el piso, que para los objetos del ejemplo se supondrá que es de 25.40 centímetros. Cuando el carro se está desacelerando para efectuar su parada y está a distancia de 25.40 centímetros del piso, es importante, a fin de evitar una parada de sacudidas, que los voltajes de salida del circuito de desaceleración de distancia 546 y el circuito transductor 554, se hagan coincidir, cuando se efectúa la transferencia en el punto de 25.40 centímetros, mediante los interruptores analógicos 550 y 556. A fin de asegurar una buena coincidencia, el dispositivo de raíz cuadrada que se usa en el circuito de desaceleración de distancia, tendría que tener una precisión de  $\pm 0.05$  por ciento. Un dispositivo de raíz cuadrada con esta precisión, sin embargo, sería relativamente costoso de fabricar.

La Figura 17 ilustra un circuito de desaceleración de



distancia nuevo y mejorado que proporciona la precisión necesaria en el punto de transferencia de 25.40 centímetros, sin necesidad de usar un dispositivo de raíz cuadrada, altamente preciso y de costo elevado. Un dispositivo de raíz cuadrada económico, tal como un amplificador de funcionamiento con un multiplicador analógico de costo bajo en su circuito de realimentación, mantendría su calibración a través del período de tiempo que se requiere para desacelerar un carro elevador y detenerlo en una parada. Esta característica, junto con el hecho de que la salida del contador reversible 870 sólo se usa durante la fase de desaceleración de la carrera del elevador, se usa para proporcionar un circuito de desaceleración de distancia de bajo costo, que proporcionará la precisión requerida de 0.05 por ciento en el punto de transferencia de 25.40 centímetros, cuando se efectúa la transferencia.

Más específicamente, el contador reversible 544 se modifica para producir una señal binaria 10100 para el número 20, que representa la distancia de transferencia de 25.40 centímetros, antes de la etapa de desaceleración de la corrida y luego se cambia para proporcionar la cuenta verdadera o real del contador 870, cuando se solicita la desaceleración.

Cuando la señal ACC es baja, el circuito de compuerta AND 918 tiene dos entradas de UNO lógico, una desde la salida BORROW del contador 876 y una desde el terminal de entrada ACC a través del invertidor 914. El multivibrador monostable 922



tal como un Instrumento de la Texas Instrumen SB 74121, tiene su salida  $\bar{Q}$  conectada con una entrada de circuito de compuerta NAND 920 y por lo tanto está proporcionando una salida al nivel de UNO lógico. Las dos entradas de UNO lógico hacia el circuito de compuerta NAND 920 proporcionan una salida de CERO lógico que se invierte al nivel de un UNO lógico, mediante el invertidor 916. De esta manera, el terminal 999 está al nivel de un UNO lógico, que capacita los circuitos de compuerta NAND 873 a 900 y los circuitos de compuerta NAND 928 y 932.

Cuando se solicita que el carro se acelere, la señal ACC, va hacia el estado elevado, el circuito de compuerta AND 918 se cambia al estado bajo, el circuito de compuerta NAND 920 se cambia al estado elevado, y el invertidor 916 proporciona un CERO lógico en el terminal 999. Los circuitos de compuerta NAND 878 a 900 todos proporcionan un UNO lógico en sus salidas, cuyas señales se invierten mediante los invertidores 924, 926, 930, 934, 936, 938, 940, 942, 944 y 946 hasta el nivel del CERO lógico. Los circuitos de compuerta NAND 928 y 932, sin embargo, proporcionan salidas al nivel de un UNO lógico. De esta manera, cuando la señal ACC es elevada, los terminales de salida NL1 a NL12, proporcionan el número binario para 20 po 10100, representando el punto de transferencia de 25.40 centímetros. Cuando la señal ACC va hacia el estado bajo, la salida del circuito de compuerta AND 918 de nuevo va hacia el estado elevado, lo cual hace accionar el multivibrador monoes-

-47-4795

-6



table 922 para proporcionar un impulso bajo de duración predeterminada que de esta manera, retiene el circuito de compuerta NAND 920 al estado elevado y el terminal 999 en el estado bajo a través de la duración del impulso monoestable, debido a las razones que se explicarán a continuación.

En caso de que el contador 870 debido a cualquier razón cuenta hacia abajo hasta CERO antes de llegar al punto de transferencia de 5.40 centímetros, el circuito de desaceleración de distancia adoptaría la raíz cuadrada de CERO, que es CERO, y el patrón de velocidad estaría a un voltaje de CERO y el carro no correría. Sin embargo, con la disposición mostrada en la Figura 17, en donde la salida BORROW del contador 876 se conecta con una entrada y el circuito de compuerta AND 918, el contador 544 se forzará a producir una cuenta binaria de 20 cuando el contador 870 cuenta hacia abajo y llega a CERO. Si el carro no ha llegado al punto de transferencia de 25.40 centímetros, esta cuenta proporcionará una salida de voltaje desde el circuito de desaceleración de distancia, haciendo funcionar el carro en la misma dirección que su dirección de recorrido anterior, hasta que se alcanza el punto de transferencia o el piso. La salida BORROW del contador 876 va hacia CERO cuando el contador 876 cuenta hacia abajo hasta cero, lo cual inicia la misma secuencia descrita, cuando la señal ACC pasó a CERO.

El circuito de desaceleración de distancia 546 mostrado en la Figura 17 incluye un convertidor de sistema numérico



a analógico 960, un invertidor 962, un dispositivo de raíz cuadrada 964, un invertidor 966 y 968 y un circuito de sacado de muestras y de retención 970.

El convertidor del sistema numérico a analógico 960 es un convertidor lineal que proporciona un voltaje de salida unidireccional predeterminado, cuando sus terminales de entrada NL1 a NL12, que están conectados con los terminales de salida numerados de manera semejante del contador 544, están todos ellos al nivel de un UNO lógico, y un voltaje proporcionalmente menor a medida que se reduce la cuenta binaria.

La salida del convertidor 960 se aplica al invertidor 962 que puede ser un amplificador de funcionamiento que tiene una resistencia 972 en su circuito de realimentación. La salida del convertidor 960 luego se conecta con la entrada de inversión del amplificador de funcionamiento 962 a través de la resistencia 973, y su entrada de no inversión se conecta con tierra a través de una resistencia 974. La salida del amplificador de funcionamiento 962 se conecta con el dispositivo de raíz cuadrada 964 a través de un selector 976 que incluye un brazo selector 978 y una pluralidad de resistencias 980. El selector 976 se usa para proporcionar una elección en las características de desaceleración.

El dispositivo de raíz cuadrada 964, puede ser de cualquier tipo apropiado tal como un amplificador de funcionamiento 982 que tiene un multiplicador analógico 984 y una re-



sistencia 986 en su circuito de realimentación. El selector 976 se conecta con la entrada de inversión del amplificador de funcionamiento 982 y la entrada de no inversión se conecta con una fuente de voltaje ajustable 988. De esta manera, si la fuente 988 se ajusta a cero, en ausencia de un voltaje del amplificador de funcionamiento 962, la salida del amplificador de funcionamiento 982 y la salida del multiplicador 984 serán de cero, a medida que las entradas se equilibran. Si la salida del amplificador de funcionamiento 962 aumenta de cero a  $-X$  voltios, la salida del multiplicador 984 será de  $+X$  voltios, a fin de mantener equilibradas las entradas hacia el amplificador de funcionamiento 982, y la entrada hacia el multiplicador 984 por lo tanto debe ser de  $\sqrt{X}$  voltios. Si la fuente 988 no se ajusta a CERO, la salida del amplificador de funcionamiento 982 será proporcional a la raíz, la salida del amplificador de funcionamiento 982 será proporcional a la raíz cuadrada de la entrada desde el amplificador de funcionamiento 962 con una polarización añadida a la misma, que depende del ajuste de la fuente de voltaje ajustable 988.

La salida del amplificador de funcionamiento 982, que tal y como se ha manifestado en lo que antecede es proporcional a la raíz cuadrada de la entrada hacia la misma, se aplica al invertidor 966 a través de la resistencia 989. El invertidor 966 puede ser un amplificador de funcionamiento que tiene su entrada de inversión conectada con la resistencia 989, una re-



sistencia 990 en su circuito de realimentación que es igual a la resistencia 989 en magnitud, a fin de proporcionar una ganancia de -1, y su entrada de no inversión conectada con tierra a través de la resistencia 992.

La salida del amplificador de funcionamiento 966 se conecta con el elemento de inversión 968 a través de la resistencia 994. El invertidor 968 puede ser un amplificador de funcionamiento que tiene su entrada de inversión conectada con la resistencia 994, su entrada de no inversión conectada con tierra a través de la resistencia 996 y una resistencia 998 en su circuito de realimentación, que es igual en magnitud a la resistencia 994, a fin de proporcionar una ganancia de -1. La salida del amplificador de funcionamiento 968 proporciona el voltaje de patrón de velocidad durante la desaceleración, y por lo tanto está conectada con el terminal de salida DSAN.

Un selector 1000 puede proporcionarse para añadir un voltaje de polarización a la entrada del amplificador de funcionamiento 968, a fin de seleccionar las diferentes características de desaceleración. El selector 1000, por ejemplo, puede incluir una fuente de voltaje 1002 conectada selectivamente con una de una pluralidad de resistencias 1004 a través de un brazo selector 1006.

El circuito de sacado de muestras y de retención 970 incluye un elemento comparador 1008, que puede ser un amplificador de funcionamiento que tiene diodos Zener 1010 conectados

- 154-14795



en su circuito de realimentación, y su entrada de inversión conectada con un voltaje de referencia que incluye una fuente 1012 de un potencial unidireccional y un circuito divisor de voltaje por resistencia eléctrica 1014. El voltaje de referencia se selecciona para que sea igual al valor deseado del voltaje de salida DSAN, cuando la cuenta del contador 544 alcanza la magnitud que indica que el carro está a la distancia hasta el piso en donde el transductor funciona para suministrar el patrón de referencia de velocidad. Como se ha usado con anterioridad como un ejemplo, el voltaje de referencia sería el voltaje que aparecería en el terminal de salida DSAN, cuando la cuenta del contador 870 está en el número binario para 20 representando una distancia de 25.40 centímetros desde el piso. La entrada de no inversión del amplificador de funcionamiento 1008 se conecta con el terminal de salida DSAN, a través de la resistencia 1016, que proporciona la información de realimentación necesaria, en cuanto al valor de la señal DSAN y el efecto del circuito de sacado de muestras y de retención en la señal DSAN.

Cualquier desviación del voltaje de salida en el terminal DSAN desde el voltaje de referencia proporcionado mediante la fuente 1012 y el circuito divisor 1014, da por resultado que la salida del amplificador de funcionamiento 1008 cambie en la dirección necesaria para equilibrar las entradas. El circuito de sacado de muestras y de retención 970 se conecta funcionalmente para sacar muestras de voltaje que aparecen en el terminal



DSAN, cuando el carro se está acelerando y durante la porción de velocidad constante de su carrera. Este es el momento en que el contador 544 está enviando el número binario para 20 representando la distancia de cambio desde el circuito de desaceleración de distancia 546, hasta el circuito transductor 554. Durante este momento, el voltaje de calibración necesario para forzar el voltaje en el terminal de salida DSAN para que sea igual al voltaje de referencia, se desarrolla y se almacena. Justamente antes de que el contador 544 cambie desde una cuenta de salida forzada hasta una cuenta verdadera o real del contador 870, la porción de realimentación y el circuito de sacado de muestras y retención se desconecta de la porción de almacenamiento de manera tal que el voltaje de calibración para el punto de cambio puede mantenerse durante la desaceleración de distancia sin ser afectado por la salida del contador 544 cuando cambia hacia la cuenta del contador 870. Este voltaje de polarización o de calibración para el punto de cambio entre la señal de desaceleración de distancia DSAN y la señal del transductor HTAN no tiene efecto perjudicial en el funcionamiento del carro mientras que se está desacelerando desde su velocidad máxima, hasta su punto de cruce, ya que su valor es insignificante cuando la cuenta de salida del contador 544 es relativamente elevada. El voltaje de calibración sólo se convierte en importante, cuando la cuenta hacia abajo queda próxima a la distancia de cambio y asegura una transferencia entre las señales de desa-

- 153 - 414795



-6 JUN 1973

celeración de distancia y del transductor sin una discontinuidad que ocasionaría una parada de sacudidas.

La secuencia apropiada del circuito de sacado de muestras y de retención 970 con la salida del contador 544 puede lograrse usando una señal ACC elevada para activar el circuito de sacado de muestras y de retención y para desconectar la porción de realimentación del circuito de sacado de muestras y de retención desde la porción de almacenamiento, cuando la señal ACC que va hacia un valor bajo, cuando se solicita la desaceleración. Esto es cuando el multivibrador monostable 922 se convierte en importante, ya que retarda la conmutación del contador 544, desde su cuenta forzada hasta su cuenta real o verdadera cuando la señal ACC va hacia el estado bajo, durante un período de tiempo suficiente para que el circuito de sacado de muestras y de retención, en respuesta a la señal ACC baja, desconecte la función de sacado de muestras de su función de retención.

Las funciones de circuito del circuito de sacado de muestras y de retención 970 puede proporcionarse mediante un invertidor 1018, un transistor 1020 del tipo PNP, un transistor del tipo 1022 NPN, dos transistores de efecto de campo 1024 y 1026 del tipo de canal N y un capacitor 1028. El electrodo emisor del transistor 1020 se conecta con el terminal de entrada ACC, a través del invertidor 1018 y una resistencia 1030, la base del transistor 1020 se conecta con tierra, y su electrodo



colector se conecta con el electrodo de base del transistor 1022. El electrodo emisor del transistor 1022 se conecta con su electrodo de base a través de la resistencia 1032 y con una fuente 1033 de un potencial unidireccional negativo. El colector del transistor 1022 se conecta con el electrodo de compuerta G del transistor de efecto de campo 1024. El electrodo de compuerta G del transistor de efecto de campo 1024 también se conecta con la salida del comparador 1008 a través de la resistencia 1036. La fuente S del transistor 1024 se conecta con la salida del comparador 1008, y su electrodo de consumo D se conecta con el electrodo de compuerta del transistor 1026. El capacitor 1028 se conecta desde los electrodos de consumo y compuerta interconectados de los transistores 1024 y 1026, con tierra. El electrodo de consumo del transistor 1026 se conecta con una fuente 1037 de un potencial unidireccional positivo y su fuente se conecta con la entrada de inversión del amplificador de funcionamiento 968 a través de la resistencia 1038, la fuente 1033 del potencial unidireccional negativo a través de la resistencia 1034.

Cuando el terminal de entrada ACC va hacia el estado elevado, el contador 544 cambia hacia su cuenta forzada, tal y como se ha descrito en lo que antecede, el invertidor 1018 desconecta los transistores 1020 y 1022, proporcionando un voltaje de cero entre la fuente y la compuerta del transistor 1024, cambiando el canal del transistor 1024, hacia su condición de baja

414795

- 155 -



impedancia. Por lo tanto, la salida del comparador 1008 que va hacia el valor necesario para equilibrar sus entradas, se conecta eficazmente para cargar el capacitor 1028. El capacitor 1028 conectado con el electrodo de compuerta del transistor 1026, ocasiona que el transistor 1026 conduzca de conformidad con la magnitud de la carga en el capacitor 1028 y aplique un voltaje de calibración hacia la entrada de inversión del amplificador de funcionamiento 968. Cuando la salida del amplificador de funcionamiento 968 es igual al voltaje de referencia en la entrada de inversión del comparador 1008, la carga del capacitor 1028 se estabiliza, así como el voltaje de calibración aplicado a la entrada de inversión del amplificador de funcionamiento 968.

Cuando la señal ACC va hacia el estado bajo cuando se solicita la desaceleración, el invertidor 1018 aplica un voltaje positivo a la resistencia 1020 ocasionando que la misma conduzca y proporcione una impulsión de base para el transistor 1022. El transistor 1022 conduce y conecta el electrodo de compuerta del transistor 1024 con la fuente 1033 del potencial unidireccional negativo, cambiando el transistor 1024, hacia su condición de impedancia elevada y desconectando eficazmente la salida del comparador 1008 desde el capacitor 1028. El multivibrador monostable 922, retiene el contador 544 a su cuenta forzada durante un período de tiempo suficiente para capacitar al capacitor 1028 a aislarse desde la salida del comparador 1008.



El capacitor 1028 permanece cargado durante la desaceleración con muy poco escape debido a la alta impedancia de entrada del transistor 1026 mientras que polariza al transistor 1026 para proporcionar el voltaje de calibración necesario para hacer coincidir la salida del amplificador de funcionamiento 968 con la salida del transductor a la distancia desde el piso en donde el patrón de velocidad cambia desde el circuito de desaceleración de distancia hasta el circuito transductor.

Esta calibración del circuito de desaceleración de distancia, antes de cada desaceleración del carro elevador, capacita un dispositivo de raíz cuadrada de bajo costo 964 para usarse, ya que, la calibración intermitente es la que se ocupa de la desviación prolongada, asociada con los dispositivos de raíz cuadrada de menor costo. Estos dispositivos de raíz cuadrada de menor costo, son muy estables durante períodos de tiempo cortos, tal como el tiempo requerido para desacelerar un carro elevador de alta velocidad desde su velocidad máxima hacia la posición de descanso. Además, la calibración del circuito de desaceleración de distancia se efectúa en la escala baja del voltaje de salida, que es la región menos exacta para un dispositivo que calcula la raíz cuadrada.

La calibración del circuito de desaceleración de distancia antes de cada fase de desaceleración de una carrera de un carro elevador, aún cuando principalmente reduce el costo del dispositivo de raíz cuadrada, tiene otras ventajas, ya que



permite que no sea tan estricta la precisión del convertidor de sistema analógico a numérico. A valores de señal mayores, el error del convertidor del sistema numérico a analógico 960, más o menos se divide a la mitad, tomando la raíz cuadrada de su salida, y a valores de señal más bajos, la calibración compensa por la desviación en el convertidor de sistema numérico a analógico. Se elimina la recalibración del circuito de desaceleración de distancia 546 después de la calibración inicial en la fábrica, puesto que la recalibración ocurre automáticamente durante cada carrera del carro elevador.

FIGURA 18

Los códigos de seguridad de los elevadores requieren que se proporcione un elemento redundante e independiente para la desaceleración del carro en la proximidad de los pisos terminales. Este elemento de desaceleración en el terminal proporciona las funciones de supervisar cualquier pérdida de control posible y en caso de que se detecte una pérdida de control proporciona un patrón de velocidad auxiliar para el dispositivo de control del motor y detiene el carro. Los dispositivos de desaceleración en el terminal del ramo anterior utilizan comúnmente dos series de interruptores accionados con levas, una serie colocada en el carro selector y la otra serie en el carro elevador. A medida que el carro elevador se mueve hacia un piso terminal,



una leva colocada en el pozo abre los interruptores en el carro, en secuencia. Si el carro selector se está moviendo apropiadamente, tal como se requiere para la desaceleración normal del carro, hay un contacto correspondiente que se cierra en el selector. En caso de que el selector deje de moverse, un circuito de comprobación inicia la desaceleración en el terminal. Se genera un patrón de desaceleración auxiliar, mediante el detector de distancia impulsado por levas, colocado en la parte superior del carro. Aún cuando es efectiva esta disposición del ramo anterior, requiere un ajuste delicado de la leva inclinada que impulsa los interruptores y los detectores de distancia en el carro. La desviación del brazo de los detectores es pequeña en comparación con las grandes distancias requeridas para desacelerar el carro, haciendo necesario usar dos levas y dos detectores en algunos de los sistemas de elevadores de alta velocidad.

La Figura 18 es un diagrama esquemático de un circuito de desaceleración en el terminal que puede usarse para el circuito de desaceleración en el terminal 558 mostrado en forma de bloque en la Figura 12, cuyo circuito elimina la serie de interruptores accionados por levas y el detector de distancia usados en el ramo anterior. Por lo general, el circuito de desaceleración en el terminal 558 mostrado en la Figura 18 utiliza placas enmascadas colocadas en la escotilla, una cerca de cada terminal, tal como la placa enmascada 62 que se muestra en la Figura 1 y la placa enmascada 1040 que se muestra en la Figura



19. La placa 1040 tiene una serie de agujeros o aberturas 1042 separadas de manera tal que un detector fotoeléctrico o magnético colocado en el carro puede detectar su presencia e iniciar los impulsos para el circuito de desaceleración en el terminal 558. Los agujeros o aberturas 1042 están separados de manera tal que si el carro se está desacelerando con un régimen de desaceleración constante, el tiempo transcurrido a medida que el carro marcha desde una abertura a la siguiente, permanece constante. Si el carro no se está desacelerando, o el régimen de desaceleración del carro no queda dentro de límites aceptables, el tiempo entre las aberturas separadas será más corto que lo normal, y un circuito de comprobación en el circuito de aceleración en el terminal 158 detectará esta condición de sobrevelocidad y ocasionará que el carro inicie la desaceleración en el terminal.

La misma cuchilla 1040 usada para detectar la sobrevelocidad se usa para generar el patrón de velocidad auxiliar, cuando se detecta una condición de sobrevelocidad. La diferencia entre el régimen al cual se proporcionan los impulsos en respuesta a un detector que pasa a través de la cuchilla 1040 y un régimen predeterminado que corresponde al régimen de desaceleración máximo permisible, proporciona el error de velocidad. La separación de las aberturas en la cuchilla, ajusta el régimen de desaceleración predeterminado con cualquier desviación desde el régimen de desaceleración proporcionando automáticamente un



desequilibrio que se convierte en una señal de error de velocidad unidireccional. Esta señal de error de velocidad puede usarse para alimentar directamente el dispositivo de control del motor. Alternativamente, la señal de error de velocidad puede añadirse a la velocidad real del carro, medida por ejemplo, mediante un tacómetro convencional, a fin de obtener un patrón de velocidad, que puede substituirse directamente por el patrón de velocidad normal.

Más específicamente, el circuito de desaceleración en el terminal 558 mostrado en la Figura 18, incluye una cuchilla de desaceleración 1040 que tiene muescas o aberturas separadas 1042 en el mismo, con la separación entre las aberturas sucesivas seleccionándose para proporcionar un perfil de velocidad predeterminado que coincide prácticamente con el regimen de desaceleración normal del carro elevador. La Figura 19 ilustra una curva del perfil de velocidad típico 1043.

Aún cuando se prefiere que la cuchilla de desaceleración 1040 se monte en la escotilla cerca del terminal que va a comprobar la sobrevelocidad, con el dispositivo captador en el carro, sería también apropiado montar la cuchilla en el carro, con un dispositivo de captación colocado adyacente al terminal que va a comprobarse.

Se proporciona el captador 1044 para detectar la presencia de las muescas o agujeros 1042. El captador 1044 puede ser de cualquier tipo apropiado, tal como un dispositivo foto-

414795

- 161 -



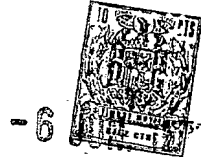
eléctrico que se ha ilustrado en la Figura 18, que incl. fuente 1046 de radiación electromagnética dirigida hacia y separada de un detector 1048, de manera tal que las discontinuidades de la cuchilla 1040 pasan entre los mismos cuando el carro está marchando en la escotilla. La fuente 1046, por ejemplo, puede ser un diodo emisor de luz, una lámpara de destellos, una lámpara de neón o cualquier dispositivo semejante, y el detector 1048 puede ser un fototransistor, un fotodiodo, una fotoresistencia o un dispositivo semejante. El captador 1044 puede también ser del tipo magnético usando los principios del detector de proximidad, requiriendo una sola bobina, o los principios del transformador usando dos bobinas.

El detector 1048 incluye elementos para generar impulsos a medida que las discontinuidades de la cuchilla 1040 y del detector 1048 se mueven una con relación a la otra, cuyos impulsos se aplican al terminal de entrada PLSDP del circuito de desaceleración en el terminal 558. Los impulsos PLSDP se amplifican en el amplificador 1050 y se aplican a un multivibrador monoestable 1052. La salida del multivibrador monoestable 1052 es una serie de impulsos anchos constantes separados de acuerdo con el régimen en que los impulsos son recibidos desde el amplificador 1050. Los impulsos desde el multivibrador monoestable 1052, se usan para desbloquear un interruptor 1053, que tiene un lado conectado con una fuente positiva 1055 del potencial unidireccional a través de la resistencia 1057, y su otro



lado está conectado con tierra. El interruptor 1053 puede ser un transistor o un dispositivo semejante. Un amplificador de filtro de paso bajo 1054, se conecta con la junta 1051 entre el interruptor 1053 y la resistencia 1057. El amplificador de filtro 1054 puede ser un amplificador de funcionamiento que tiene su entrada de inversión conectada con la junta 1051 a través de la resistencia 1059. Su entrada de no inversión se conecta con una fuente 1061 de potencial unidireccional positivo a través de una resistencia ajustable 1063. El capacitor conectado en paralelo 1065 y la resistencia 1067 se conectan con el circuito de realimentación del amplificador de funcionamiento.

En ausencia de un impulso desde el multivibrador monoestable 1052, se abre el interruptor 1053 y la fuente positiva 1055 se conecta con la entrada de inversión del amplificador de filtro 1054. Cuando es recibido un impulso desde el multivibrador monoestable 1052, el interruptor 1053 se cierra para conectar la entrada de inversión del amplificador de filtro 1054 con tierra. Cuando la desaceleración del carro es normal, el amplificador de filtro de paso bajo proporciona un voltaje de salida unidireccional constante que se ajusta hasta cero puesto que no hay error de velocidad. Si la velocidad del carro excede del perfil de velocidad predeterminado, el régimen del impulso que se aplica al interruptor 1053 aumenta, el cual aumenta el tiempo relativo en que el interruptor 1053 se conecta con tierra, haciendo que el voltaje de entrada efectivo sea me-



nos positivo y que el voltaje de salida del amplificador de filtro 1054 sea más positivo.

La salida del amplificador de filtro de paso bajo 1054, se aplica al comparador 1056, tal como un amplificador de funcionamiento con la salida del filtro de paso bajo 1054 estando conectada con la entrada de no inversión del amplificador de funcionamiento 1056. Un voltaje de referencia  $V_1$  consiste de una fuente 1058 de voltaje unidireccional y un divisor de voltaje 1060, se aplica a la entrada de inversión del amplificador de funcionamiento 1056. La magnitud del voltaje de referencia  $V_1$  es la magnitud que se desarrollaría por el filtro de bajo paso, cuando el carro elevador excede de una velocidad permisible máxima seleccionada, a medida que se aproxima al terminal. Por lo tanto, cuando la salida del filtro de paso bajo 1054 es menor que el voltaje de referencia, la salida del amplificador de funcionamiento 1056 será negativa, o estará al nivel de un CERO lógico. Cuando la salida del filtro de paso bajo llega a la magnitud del voltaje de referencia la salida del amplificador de funcionamiento 1056 se cambiará hacia una polaridad positiva, o el nivel de un UNO lógico que se invierte mediante el invertidor 1049, proporcionando una señal baja o verdadera en el terminal de salida  $\overline{\text{SPSW}}$ , cuyo terminal está conectado con el circuito impulsor 552 mostrado en la Figura 12. La señal verdadera  $\overline{\text{SPSW}}$  indica una condición de sobrevelocidad cerca de un terminal.



El amplificador de filtro de paso bajo 1054 se conecta con un segundo comparador 1062, que puede ser un amplificador de funcionamiento, con la salida del amplificador de filtro 1054, conectada con la entrada de no inversión del amplificador de funcionamiento 1062. La entrada de inversión del amplificador de funcionamiento 1062, se conecta con un voltaje de referencia  $V_2$  que incluye una fuente 1064 de potencial unidireccional y un divisor de voltaje 1066. El voltaje de referencia  $V_2$  aplicado al amplificador de funcionamiento 1062 es más elevado que el voltaje de referencia  $V_1$  aplicado al amplificador de funcionamiento 1056, con su magnitud seleccionándose para representar la velocidad del carro a la cual debe iniciarse el paro de emergencia del carro elevador. En caso de un paro de emergencia, el carro elevador no debe volverse a hacer arrancas hasta que el personal de mantenimiento haya tenido oportunidad de revisar la instalación. Por lo tanto, si el comparador 1062 se cambia hacia una salida positiva mediante la salida del amplificador de filtro 1054 al llegar al nivel de voltaje de referencia del comparador 1062, puede hacerse accionar un circuito de memoria 1068 para retener la señal de paro de emergencia hasta que se reajuste por el personal de mantenimiento. Un circuito de memoria que puede usarse incluye un dispositivo basculador 1070 que tiene circuitos de compuerta NAND 1071, y 1074 acoplados transversalmente, un invertidor y un botón de presión de reajuste normalmente abierto 1082. La salida del comparador 1062



se aplica a una entrada del circuito de compuerta NAND 1072 a través del invertidor 1076, la salida del circuito de compuerta 1072, se conecta con un terminal de salida TOVSP que está conectado con un dispositivo de paro de emergencia (no ilustrado), y una entrada de circuito de compuerta NAND 1074 se conecta con la tierra 1080 a través del botón de presión 1082.

Bajo condiciones de circuito normales, el circuito basculador 1070 se capacita con un UNO lógico en la entrada del circuito de compuerta NAND 1074, debido al botón de presión abierto, y la salida del comparador 1061, siendo baja, aplica un UNO lógico a la entrada del circuito de compuerta NAND 1072 a través del invertidor 1076. El terminal de salida TOVSP por lo tanto está al nivel de un CERO lógico. Si se detecta una condición de sobrevelocidad de emergencia por el comparador 1062, conmutando su salida positiva o elevada, el circuito basculador 1070 se hace accionar para proporcionar una señal elevada o verdadera en el terminal de salida TOVSP. El circuito basculador permanecerá en esta condición hasta que se haga accionar manualmente el botón de presión 1082 para reajustar el circuito basculador 1070.

Las Figuras 20A y 20B son gráficas que trazan el voltaje versus el tiempo para ilustrar el funcionamiento del circuito de desaceleración en el terminal 558 durante una aproximación normal a un terminal, durante una aproximación de sobrevelocidad, respectivamente. En la Figura 20A, la onda cuadrada 1084 repre-



senta la entrada de voltaje hacia el amplificador de filtro 1054 y la línea 1086 representa el voltaje de salida del amplificador de filtro 1054. Tal como se ha ilustrado, los impulsos cuadrados 1084, que son el complemento de la salida de la onda cuadrada del multivibrador monoestable 1052, se están produciendo mediante el multivibrador monoestable a un régimen constante que cuando se hacen pasar a través del filtro 1054, proporcionan una señal unidireccional 1086 que tiene una magnitud de prácticamente cero voltios. Las magnitudes de los voltajes de referencia  $V_1$  y  $V_2$  aplicados a los comparadores 1056 y 1062 se indican en la Figura 20, pero la desaceleración, siendo normal, proporciona un voltaje 1086 que queda por debajo de estos niveles de referencia:

La Figura 20B por otra parte, ilustra una condición de sobrevelocidad cerca del terminal. En vez de que se generen los impulsos PLSDP a un régimen constante predeterminado, el régimen es demasiado rápido o aumenta, lo cual da por resultado en que el voltaje de entrada de la onda cuadrada hacia el amplificador de filtro, representado mediante la curva 1084', sea de cero o esté conectado a tierra, durante períodos de tiempo sucesivamente mayores. Esto da por resultado un voltaje de entrada promedio menor, que aumenta el voltaje de salida del amplificador del filtro a lo largo de la curva 1086'. Cuando la condición de sobrevelocidad en comparación con el perfil de velocidad integrado de la cuchilla de desaceleración 1040 es dema-

414795

- 167 -



siado grande, el voltaje de salida del amplificador de filtro 1054, que es el voltaje de error de velocidad  $V_{SE}$ , alcanza la magnitud del voltaje de referencia  $V_1$ , que genera una señal SPSW verdadera, para el impulsor 552. Si la condición de sobre-velocidad es de manera tal que la señal de error de velocidad  $V_{SE}$  alcanza la magnitud del voltaje de referencia  $V_2$ , la señal de sobrevelocidad del terminal de emergencia TOVSP se convierte en verdadera, la cual se usa para iniciar un paro de emergencia en el carro elevador.

Una particularidad importante del circuito de desaceleración en el terminal 558 es el hecho de que esta misma cuchilla 1040 que se usa para comprobar y detectar una condición de sobrevelocidad cerca del terminal, se usa también para generar el patrón de velocidad auxiliar, cuando se detecta una condición de sobre velocidad. La salida del amplificador de filtro de paso bajo 1054 es el error de velocidad y aún cuando puede aplicarse al dispositivo de control del motor, se prefiere desarrollar independientemente una señal de patrón de velocidad auxiliar TSAN añadiendo el voltaje de error de velocidad  $V_{SE}$  a un voltaje que representa la velocidad real del carro, tal como el voltaje de salida de un tacómetro, que puede denominarse la señal  $V_{TACH}$ . Puesto que el error de velocidad es igual al voltaje de referencia del patrón de velocidad menos el voltaje tach, puede desarrollarse un voltaje de referencia de patrón de velocidad auxiliar, añadiendo el voltaje de error de velocidad  $V_{SE}$  al vol-



taje del tacómetro  $V_{TACH}$ .

Tal como se ha ilustrado en la Figura 18, el desarrollo de una señal de referencia de velocidad auxiliar TSAN se logra sumando el voltaje de error de velocidad  $V_{SE}$  con el voltaje del tacómetro  $V_{TACH}$  en un amplificador de suma 1090. El amplificador de suma 1090 puede ser un amplificador de funcionamiento que tiene su entrada de no inversión conectada con tierra a través de la resistencia 1092, su entrada de inversión conectada con la señal de error de velocidad y la señal del tacómetro a través de las resistencias 1094 y 1094, respectivamente. La salida del tacómetro incluye un elemento rectificador 1098 tal como un rectificador de puente para proporcionar un voltaje unidireccional que puede sumarse con el voltaje de error de velocidad unidireccional  $V_{SE}$ . El voltaje del tacómetro  $V_{TACH}$  es negativo, es decir, está acoplado al lado negativo del puente 1098. El voltaje de error de velocidad,  $V_{SE}$  no excederá el voltaje del tacómetro  $V_{TACH}$ , y por lo tanto, la señal de salida TSAN será positiva.

FIGURA 21

La Figura 21 es un diagrama esquemático de un circuito impulsor que puede usarse para el circuito impulsor 552 mostrado en forma de bloque en la Figura 12. Aún cuando se prefiere que las señales de patrón de velocidad desde las diferentes fuentes



descritas en lo que antecede, se mezclen o se combinen juntas en el punto de transición entre las señales, tal y como se da a conocer en la patente Británica anteriormente mencionada Número 1,293,097, esta transición mezclada o programada entre las señales, no es esencial para la presente invención y el impulsor 552 se describirá sin esa particularidad. El circuito de calibración descrito en lo que antecede, con relación al circuito de desaceleración de distancia 246, asegura que la señal del patrón de velocidad de desaceleración de distancia TSAN coincida con la señal del transductor HTAN en una transferencia, sin mezclado de señales y esta coincidencia de señales ocurre durante la parada en donde las diferencias en las señales que se están conmutando, serían más perceptibles para los pasajeros. Por lo tanto, el mezclado de señales no es esencial, a fin de lograr un funcionamiento cómodo del sistema de elevadores descrito en esta solicitud.

Más específicamente, el circuito impulsor 552 incluye terminales de entrada  $\overline{NL16}$ ,  $\overline{LAZO}$ ,  $\overline{MINA}$ ,  $\overline{START}$ ,  $\overline{TOP}$ ,  $\overline{BOTTOM}$ ,  $\overline{SPSW}$  y  $\overline{DCL}$ , y los terminales de salida  $\overline{DL2}$ ,  $\overline{TRSW}$ ,  $\overline{DSSW}$ ,  $\overline{HIS}$ , y  $\overline{TDS}$ . El terminal de entrada  $\overline{NL16}$  se conecta con el contador reversible 544 y, tal y como se ha descrito con anterioridad, la señal  $\overline{NL16}$  es baja o verdadera, cuando el carro está efectuando su parada y a distancia de 40.64 centímetros del piso, en el cual va a detenerse. El terminal de entrada  $\overline{LAZO}$  se conecta con un interruptor en la escotilla, cuyo interruptor propor-



ciona una señal baja cuando el carro queda a distancia de 25.40 centímetros de un piso. El terminal de entrada  $\overline{MINA}$  se conecta con el generador de rampa de tiempo 542, y la señal  $\overline{MINA}$  va hacia el estado bajo cuando el carro llega a la desaceleración máxima durante la porción de desaceleración de una carrera. El terminal de entrada START se conecta con el circuito lógico 540. La señal START que es igual que ACCX, es una señal elevada o verdadera, cuando se efectúa una solicitud para acelerar el carro y permanece verdadera hasta que se solicita al carro que se detenga en un piso. Los terminales de entrada  $\overline{TOP}$  y  $\overline{BOTTOM}$ , se conectan con los interruptores en la escotilla, que proporcionan señales elevadas, excepto cuando el carro está a distancia de 45.72 centímetros de los terminales superior e inferior, respectivamente. El terminal de entrada  $\overline{SPS}$  se conecta con el circuito de desaceleración en el terminal 558, con la señal  $\overline{SPS}$  siendo elevada excepto cuando se detecta una sobrevelocidad del carro, cerca de un terminal. El terminal de entrada DCL responde a los interruptores de límite en el carro y las puertas con la señal DCL siendo elevada, cuando están cerrados tanto el carro como las puertas de la escotilla.

El terminal de salida  $\overline{DL2}$  proporciona una señal baja cuando está funcionando el carro, y una señal elevada cuando el carro está efectuando su parada y está en la zona de parada o nivel de piso, es decir, a distancia más o menos de 25.40 centímetros desde el piso en donde va a detenerse.



Las señales de salida  $\overline{\text{TRSW}}$ ,  $\overline{\text{DSSW}}$  y  $\overline{\text{NIS}}$  proporcionan bajas o verdaderas, durante los períodos de tiempo apropiados a través de una carrera normal, a fin de conmutar los interruptores analógicos 548, 550 y 556, respectivamente, mostrados en la Figura 12, para proporcionar la señal apropiada del patrón de velocidad para cada porción de un recorrido o carrera del carro. El terminal de salida  $\overline{\text{TSD}}$  proporciona una señal baja cuando se detecta cerca de un terminal, una condición de sobrevelocidad. El terminal de salida  $\overline{\text{TSD}}$  se conecta con el interruptor analógico 560 mostrado en la Figura 12, y también con varios puntos del circuito en el selector de pisos, descrito con anterioridad.

El circuito impulsor 552 incluye los circuitos de compuerta NAND 1102, 1104, 1106, 1108, 1110, 1112, 1114 y 1116, los invertidores 1118, 1120, 1122, 1124, 1126 y 1128 y los circuitos basculadores 1130, 1132 y 1134. Los circuitos basculadores 1130, 1132 y 1134 puede ser cada uno de ellos de un tipo de circuito de compuerta NAND acoplado transversalmente, el circuito basculador 1130 incluyendo los circuitos de compuerta NAND 1136 y 1138, el circuito basculador 1132 incluyendo los circuitos de compuerta NAND 1140 y 1142 y el circuito basculador 1134 incluyendo los circuitos de compuerta NAND 1144 y 1146.

El terminal de entrada  $\overline{\text{NL16}}$  se conecta con una entrada de un circuito de compuerta NAND 1102 a través del invertidor 1118, y la salida del circuito de compuerta 1102 se conecta con una entrada del circuito de compuerta NAND 1136 del circuito



basculador 1130. El terminal de entrada  $\overline{\text{LAZO}}$  se conecta con las entradas de los circuitos de compuerta NAND 1102 y 1106 a través de los invertidores 1120 y 1122, respectivamente. La salida del circuito de compuerta NAND 1106 se conecta con una entrada de circuito de compuerta NAND 1140 del circuito basculador 1132. El terminal de entrada  $\overline{\text{MINA}}$  se conecta con una entrada de circuito de compuerta NAND 1144 del circuito basculador 1134. El terminal de entrada START se conecta con las entradas de los circuitos de compuerta NAND 1108 y 1110, con las salidas de los circuitos de compuerta 1108 y 1110 estando conectadas con las entradas de los circuitos de compuerta NAND 1138 y 1146 de los circuitos basculadores 1130 y 1134, respectivamente. Los terminales de entrada  $\overline{\text{TOP}}$  Y  $\overline{\text{BOTTOM}}$  se conectan con las entradas del circuito de compuerta NAND 1104, y la salida del circuito de compuerta 1104 se conecta con una entrada del circuito de compuerta NAND 1106. La salida del circuito de compuerta NAND 1106 se conecta con una entrada del circuito de compuerta NAND 1136 del circuito basculador 1130 y con una entrada del circuito de compuerta NAND 1140 del circuito basculador 1132. El terminal de entrada  $\overline{\text{SPSW}}$  se conecta con una entrada de un circuito de compuerta NAND 1142 del circuito basculador 1132. El terminal de entrada DCL se conecta con una entrada de circuito de compuerta NAND 110. La salida del circuito de compuerta NAND 1140 del circuito basculador 1132 se conecta con las entradas de los circuitos de compuerta NAND 1108, 1102, 1112, 1114, y 1116 y tam-



bién con el terminal de salida  $\overline{TDS}$ . La salida del circuito de compuerta NAND 1138 del circuito basculador 1130 se conecta con una entrada del circuito de compuerta NAND 1144 del circuito basculador 1134, con el terminal de salida  $\overline{DL2}$  y con una entrada del circuito de compuerta NAND 1116 a través del invertidor 1124 y con las entradas de los circuitos de compuerta NAND 1112 y 1114 a través de los invertidores 1124 y 1126. La salida del circuito de compuerta NAND 1146 del circuito basculador 1134 se conecta con una entrada de circuito de compuerta NAND 1112, y a través del invertidor 1128 con una entrada del circuito de compuerta NAND 1114. Las salidas de los circuitos de compuerta NAND 1112, 1114 y 1116, están conectadas con los terminales de salida  $\overline{TRSW}$ ,  $\overline{DSSW}$  y  $\overline{HIS}$ , respectivamente.

Durante el funcionamiento del circuito impulsor 552, se supondrá que el carro elevador está en el terminal inferior, con las puertas cerradas y sin solicitud para que efectúe su corrida. Las señales  $\overline{NL16}$ ,  $\overline{LAZO}$ ,  $\overline{START}$  y  $\overline{BOTTOM}$  serán bajas y las señales  $\overline{MINA}$ ,  $\overline{TOP}$ ,  $\overline{SPSW}$  y  $\overline{DCL}$  serán elevadas. El circuito de compuerta NAND 1138 del circuito basculador 1130 tiene una salida baja, que se invierte hasta un  $\overline{UNO}$  lógico, mediante el invertidor 1124 para proporcionar una señal  $\overline{DL2}$  elevada. El circuito de compuerta NAND 1146 del circuito basculador 1134, tiene una salida baja, y el circuito de compuerta NAND 1140 del circuito basculador 1132, tiene una salida elevada para proporcionar una señal  $\overline{TDS}$  elevada. Combinando estas salidas de los circuitos basculadores 1130, 1132 y 1134 en los circuitos de compuerta NAND



1112, 1114 y 1116 resulta solamente un circuito de compuerta NAND 1116 que tiene dos entradas elevadas. Por lo tanto, las señales  $\overline{\text{TRSW}}$  y  $\overline{\text{DSSW}}$  serán elevadas y la señal  $\overline{\text{HIS}}$  será baja o verdadera. De esta manera, el patrón de velocidad, quedará bajo el control del transductor, tal y como se requiere cuando el carro está en un piso. Cuando se efectúa una solicitud para acelerar el carro, la señal  $\overline{\text{ACCX}}$  del selector de pisos 34 va hacia el estado bajo y el circuito lógico 540 del generador de patrón de velocidad 48 genera una señal START elevada. Cuando la señal START va hacia el estado elevado, el circuito de compuerta NAND 1108 cambia hacia una salida baja, conmutando la salida del circuito de compuerta NAND 1138 del circuito basculador 11130 hacia el estado elevado y proporcionando una señal  $\overline{\text{DL2}}$  que corresponde a  $\overline{\text{RPN}}$ . Una señal STAR elevada también cambia el circuito de compuerta NAND 1110 hacia una salida baja, haciendo accionar el circuito basculador 1134 para proporcionar una salida elevada desde el circuito de compuerta NAND 1146. El circuito de compuerta NAND 1112 ahora tiene todas sus entradas en estado elevado, proporcionando una señal  $\overline{\text{TRSW}}$  baja, mientras que el circuito de compuerta NAND 1116 tiene ahora una entrada baja, proporcionando una señal  $\overline{\text{HIS}}$  elevada. La conmutación de las señales  $\overline{\text{TRSW}}$  y  $\overline{\text{HIS}}$  hacia sus estados bajo y elevado, respectivamente, cambia los circuitos de compuerta analógicos 548 y 556, hacia sus condiciones cerrada y abierta, respectivamente, transfiriendo el patrón de velocidad desde el circuito transductor 554 hasta el circuito generador de rampa de tiempo 542.



El carro de esta manera se mueve alejándose del piso inferior, bajo la influencia del patrón de velocidad desde el tiempo en que el generador de rampa de tiempo y las señales NL16, LAZO y BOTTOM cambian hacia un estado elevado.

Cuando se efectúa una solicitud por el selector de pisos para detener el carro en un piso, la señal ACCX va hacia el estado elevado y la señal START va hacia el estado bajo. Los circuitos de compuerta NAND 1108 y 1110 se cambian hacia el estado elevado, capacitando los circuitos basculadores 1130 y 1134, respectivamente. La señal TRSW permanece baja a medida que la desaceleración inicial del carro desde la velocidad máxima hasta la desaceleración máxima permanece bajo el control del generador de rampa de tiempo. Cuando se alcanza una desaceleración máxima, la señal MINA producida por el generador de rampa de tiempo va hacia el estado bajo, haciendo accionar el circuito basculador 1134 para proporcionar una salida baja desde el circuito de compuerta NAND 1146, impulsando el circuito de compuerta NAND 1112, hacia el estado elevado y el circuito de compuerta NAND 1114 hacia el estado bajo. Esto hace funcionar los interruptores analógicos 548 y 550 que se muestran en la Figura 12, para transferir el patrón de velocidad desde el generador de rampa de tiempo 542 hasta el circuito de desaceleración de distancia 546.

Cuando el carro llega a un punto que queda a distancia de 40.64 centímetros desde el piso en donde se va a detener, la señal NL11 va hacia el estado bajo, y cuando el carro llega a distancia de 25.40 centímetros desde el piso, la señal LAZO va



hacia el estado bajo, conmutando el circuito de compuerta NAND 1102 hacia una salida baja, haciendo disparar el circuito basculador 1130 para proporcionar una salida baja desde su circuito de compuerta NAND 1138. Esto cambia la señal  $\overline{DL2}$  hacia el estado elevado que corresponde a la parada y cambia los circuitos de compuerta NAND 1114 y 1116 hacia las salidas elevada y baja, respectivamente. La señal de salida  $\overline{DSSW}$  y  $\overline{HLS}$  va hacia el estado elevado y bajo respectivamente, conmutando los interruptores analógicos 550 y 556, para conectar la señal del transductor HTAN con el circuito de suma 562 que coloca el carro en la parada.

En caso de que se detecte una condición de sobrevelocidad cerca de un terminal, el circuito de desaceleración en el terminal 558 proporciona una señal  $\overline{SPSW}$  tal y como se ha descrito en lo que antecede, y hace accionar el circuito basculador 1132 para proporcionar una salida baja desde el circuito de compuerta NAND 1140. Esto proporciona una señal  $\overline{TSD}$  baja para el interruptor analógico 560 e impulsa los circuitos de compuerta NAND 112, 1114 y 1116 hacia el estado elevado, transfiriendo el patrón de velocidad desde el control convencional hasta una señal de patrón de velocidad auxiliar TSAN que se proporciona mediante el circuito de desaceleración en el terminal 558.

Resumiendo, se ha dado a conocer un control de desaceleración en el terminal nuevo y mejorado para sistemas de elevadores, que comprueba la velocidad de un carro elevador a

414795-6

JUN 1973



medida que se aproxima a una parada en el terminal y proporciona una señal de sobrevelocidad cuando la velocidad del carro excede de un perfil de desaceleración predeterminado. Esta señal de sobrevelocidad es una señal de error de velocidad que puede sumarse con una señal que responde a la velocidad real del carro, para proporcionar una señal de patrón de referencia de velocidad auxiliar para detener el carro elevador de acuerdo con un programa de desaceleración predeterminado. El control de desaceleración en el terminal nuevo y mejorado facilita la instalación del mismo y requiere poco mantenimiento y no depende de la cooperación de leva e interruptores en la escotilla para su funcionamiento.

La presente solicitud, que corresponde a la presentada en los Estados Unidos de América, el 17 de Mayo de 1.972, bajo el Número 254.006, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

414795

- 3 JUN



5

REIVINDICACIONES

10 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

15 1ª.- Un dispositivo generador de patrón de velocidad en o para un sistema de control de motor de elevadores, cuyo generador está destinado a proporcionar una señal de patrón de velocidad que depende del tiempo, controlada en sobreaceleración, caracterizado  
20 porque comprende: una primera fuente de potencial que proporciona una señal escalonada conmutable entre primera y segunda magnitudes representativas del régimen máximo del cambio de la aceleración del elevador, representando de esta manera la sobreaceleración máxima, un  
25 segundo elemento conectable para integrar la señal esca-

31-5-73

- 178 -

*ME*

414795 - 6



lonada a fin de proporcionar una señal de aceleración, un tercer elemento conectado para integrar la señal de aceleración a fin de proporcionar una señal de patrón de velocidad, y elementos de realimentación conectados desde el segundo y tercer elementos de integración para controlar la conmutación de la señal escalonada en respuesta a la señal de aceleración y la señal del patrón de velocidad.

2ª.- Un dispositivo de conformidad con lo reivindicado en la reivindicación 1ª, en donde el elemento de realimentación incluye un elemento para conmutar la señal escalonada hasta una magnitud predeterminada de primera y segunda magnitudes durante transiciones predeterminadas entre porciones de velocidad constante y aceleración constante de la señal de patrón de velocidad, y que cambia hacia atrás y hacia adelante entre la primera y segunda magnitudes durante porciones del patrón de velocidad que proporcionan parámetros de velocidad constante y de aceleración constante.

3ª.- Un dispositivo de conformidad con lo reivindicado en la reivindicación 1ª o 2ª, en donde la primera y segunda magnitudes de la señal escalonada proporcionan primera y segunda corrientes de polaridad opuesta.

4ª.- Un dispositivo de conformidad con lo

ME



reivindicado en la reivindicación 3ª, en donde el elemento de realimentación controla la conmutación de la señal escalonada para promediar la primera y segunda corrientes hasta cero durante las porciones del patrón de velocidad que representan parámetros constantes.

5 5ª.- Un dispositivo de conformidad con lo reivindicado en cualesquiera de las reivindicaciones 1ª a 4ª, en donde el elemento de realimentación incluye circuitos de realimentación de aceleración y velocidad conectados para responder a las señales del segundo y tercer elementos, respectivamente.

10 6ª.- Un dispositivo de conformidad con lo reivindicado en la reivindicación 5ª, que incluye un elemento que interconecta los circuitos de realimentación de aceleración y de velocidad de manera que la señal en el circuito de realimentación de aceleración modifique la señal en el circuito de realimentación de velocidad para restringir la sobreaceleración.

15 7ª.- Un dispositivo de conformidad con lo reivindicado en la reivindicación 6ª, en donde los circuitos de realimentación de aceleración y de velocidad respectivamente incluyen elementos que proporcionan una señal de referencia, y un elemento comparador que compara cada señal de realimentación con la señal de referencia, y el elemento de interconexión ocasiona que la se-

MCE

414795



ñal de realimentación de aceleración modifique la señal de realimentación de velocidad para reducir el tiempo requerido para que la señal de realimentación de velocidad llegue al nivel de su señal de referencia.

5                   8ª.- Un dispositivo de conformidad con lo reivindicado en la reivindicación 5ª, en donde el circuito de realimentación de velocidad incluye un elemento de referencia de velocidad conmutable entre magnitudes determinadas, y un elemento comparador de velocidad conectado para comparar la señal de realimentación de velocidad y cualquier señal de referencia de velocidad para  
10 proporcionar una salida indicativa de su relación, el circuito de realimentación de aceleración incluye un elemento de referencia de aceleración, y un primer elemento  
15 comparador de aceleración conectado para comparar la señal de realimentación de aceleración y la señal de referencia de aceleración para proporcionar una salida indicativa de su relación, un circuito lógico que proporciona señales de salida que responden a las salidas de los  
20 comparadores de velocidad y de aceleración, y un elemento de conmutación conectado con el circuito lógico y la primera fuente de potencial que cambia las señales escalonada hacia una magnitud seleccionada en respuesta a la señal de salida del circuito lógico durante las transi-  
25 ciones entre la velocidad constante y la aceleración

mfe



5 constante para limitar la sobreaceleración durante dichas transiciones, que cambia la señal escalonada entre sus magnitudes a un régimen que excede el tiempo de respuesta del carro elevador, a fin de mantener parámetros constantes predeterminados durante las porciones del patrón de velocidad cuando dichos parámetros deben mantenerse constantes.

10 9ª.- Un dispositivo de conformidad con lo reivindicado en la reivindicación 8ª, que incluye un elemento que modifica la señal de realimentación de velocidad con la señal de realimentación de aceleración para reducir el tiempo requerido para que la señal de realimentación de velocidad llegue a la magnitud seleccionada de la referencia de velocidad y para que proporcione una  
15 transición limitada de sobreaceleración desde una fase de aceleración constante del patrón de velocidad hasta una fase de velocidad constante sin rebasamiento.

20 10ª.- Un dispositivo de conformidad con lo reivindicado en la reivindicación 8ª o 9ª, en donde la señal de patrón de velocidad incluye fases de aceleración y de desaceleración, la señal de aceleración es de una polaridad durante la fase de aceleración y de polaridad opuesta durante la fase de desaceleración e incluyendo un segundo elemento comparador de aceleración en el  
25 circuito de realimentación de aceleración conectado para com

MGE

414795

16



parar la señal de desaceleración con la señal de referen-  
cia de aceleración y para proporcionar una salida indica-  
tiva de su relación, y un elemento que conecta la salida  
del segundo elemento comparador de aceleración con el  
5 circuito lógico.

11ª.- Un dispositivo de conformidad con lo  
reivindicado en cualesquiera de las reivindicaciones 7ª  
a 10ª, en donde el patrón de velocidad se inicia median-  
te un cambio en la magnitud de la señal de referencia de  
10 velocidad desde una primera hasta una segunda magnitud.

12ª.- Un dispositivo de conformidad con lo  
reivindicado en la reivindicación 11ª, en donde el pa-  
trón de velocidad incluye una fase de reducción de velo-  
cidad con la fase de reducción de velocidad del patrón  
15 de velocidad iniciándose mediante un cambio en la mag-  
nitud de la señal de referencia de velocidad desde su  
segunda hasta su primera magnitud.

13ª.- Un dispositivo de conformidad con lo  
reivindicado en cualesquiera de las reivindicaciones 7ª  
20 a 12ª, en donde la señal de patrón de velocidad incluye  
una fase de velocidad de cero, una primera fase de tran-  
sición controlada en sacudidas y una fase de acelera-  
ción constante, con la primera fase de transición ini-  
ciándose mediante un cambio en la magnitud de la señal  
25 de referencia de velocidad y dándose por terminada median

MCE



te el elemento comparador de aceleración cuando la señal de aceleración llega al nivel de la referencia de aceleración.

5 14ª.- Un dispositivo de conformidad con lo reivindicado en la reivindicación 13ª, en donde la señal del patrón de velocidad incluye una segunda fase de transición controlada en sobreaceleración y una fase de velocidad constante y al modificar la señal del patrón de velocidad con la señal de aceleración se ocasiona que la  
10 señal de velocidad modificada llegue al nivel de la señal de referencia de velocidad más pronto que la señal de velocidad no modificada para permitir que la segunda fase de transición interconecte las fases de aceleración constante y de velocidad constante sin rebasamiento.

15 15ª.- Un dispositivo de conformidad con lo reivindicado en la reivindicación 14ª, en donde la señal de patrón de velocidad incluye una tercera fase de transición controlada en sobreaceleración y una fase de desaceleración constante, con la tercera fase de transición siendo iniciada mediante un cambio en la magnitud  
20 de la señal de referencia de velocidad y dándose por terminada cuando la señal de aceleración llega al nivel de la referencia de aceleración.

25 16ª.- Un dispositivo de conformidad con lo reivindicado en la reivindicación 15ª, en donde la señal

MCE

414795

- 6 JUN



de patrón de velocidad incluye una cuarta fase de transi-  
ción controlada en sobreaceleración y una fase de veloci-  
dad de cero, al modificar la señal del patrón de veloci-  
dad con la señal de aceleración se ocasiona que la señal  
5 de velocidad modificada llegue al nivel de la señal de  
referencia de velocidad antes que la señal de velocidad  
no modificada para permitir que la cuarta fase de transi-  
ción interconecte niveladamente las fases de desacelera-  
ción constante y de velocidad de cero.

10 17ª.- Un dispositivo generador de patrón  
de velocidad en o para un sistema de control de motor de  
elevadores.

Tal y como se ha descrito en la Memoria  
que antecede, representado en los dibujos que se acompa-  
ñan y con los fines que se han especificado.  
15

Esta memoria consta de ciento ochenta y  
cinco hojas escritas a máquina por una sola cara.

20

Madrid, - 6 JUN. 1973

P.A.

Fernando de Eizaburu  
For Peder.

25

?/R.M.M.  
31-5-73

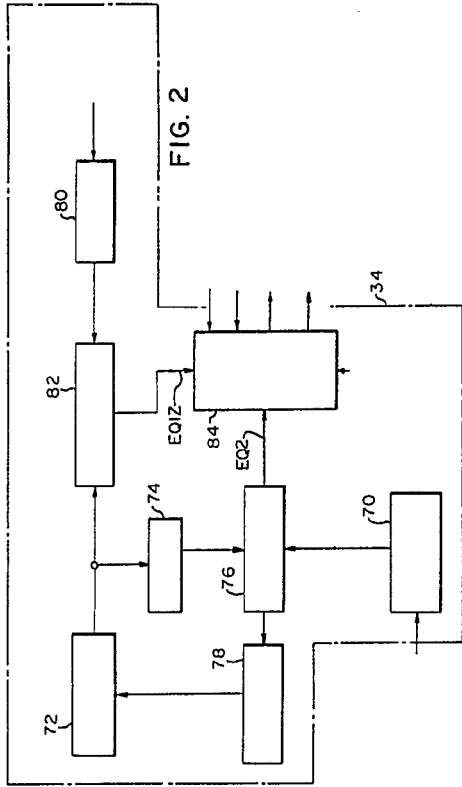


FIG. 2

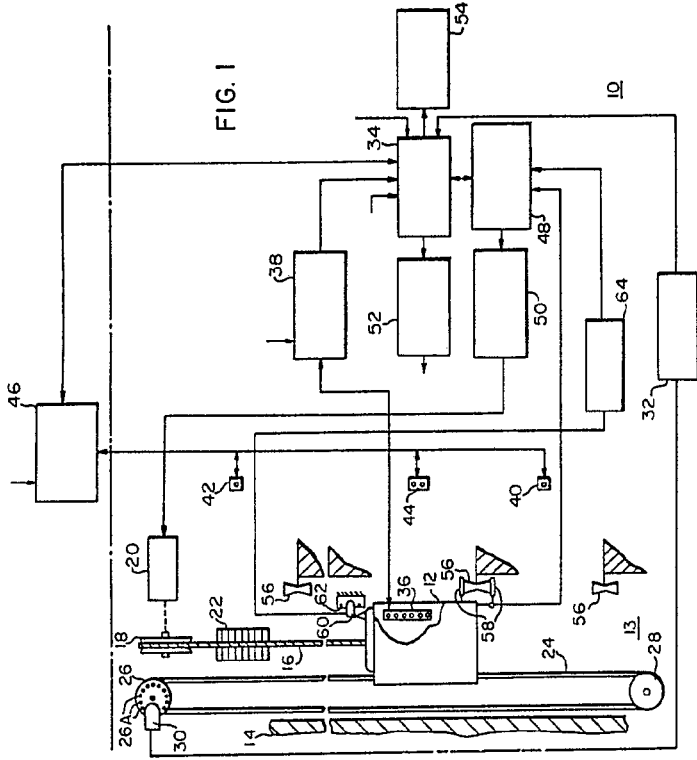


FIG. 1

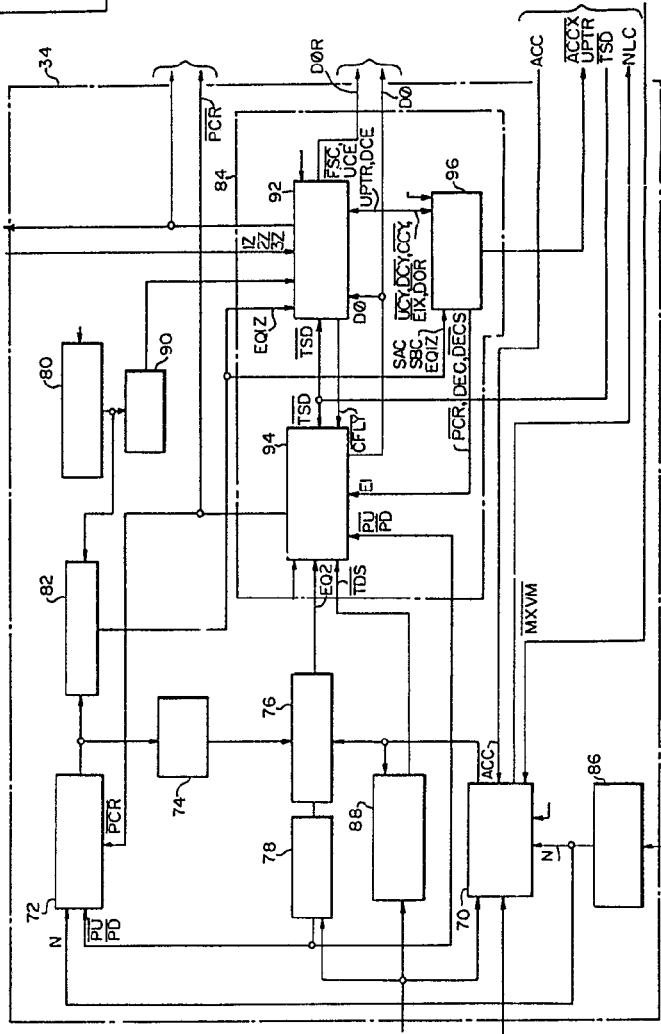
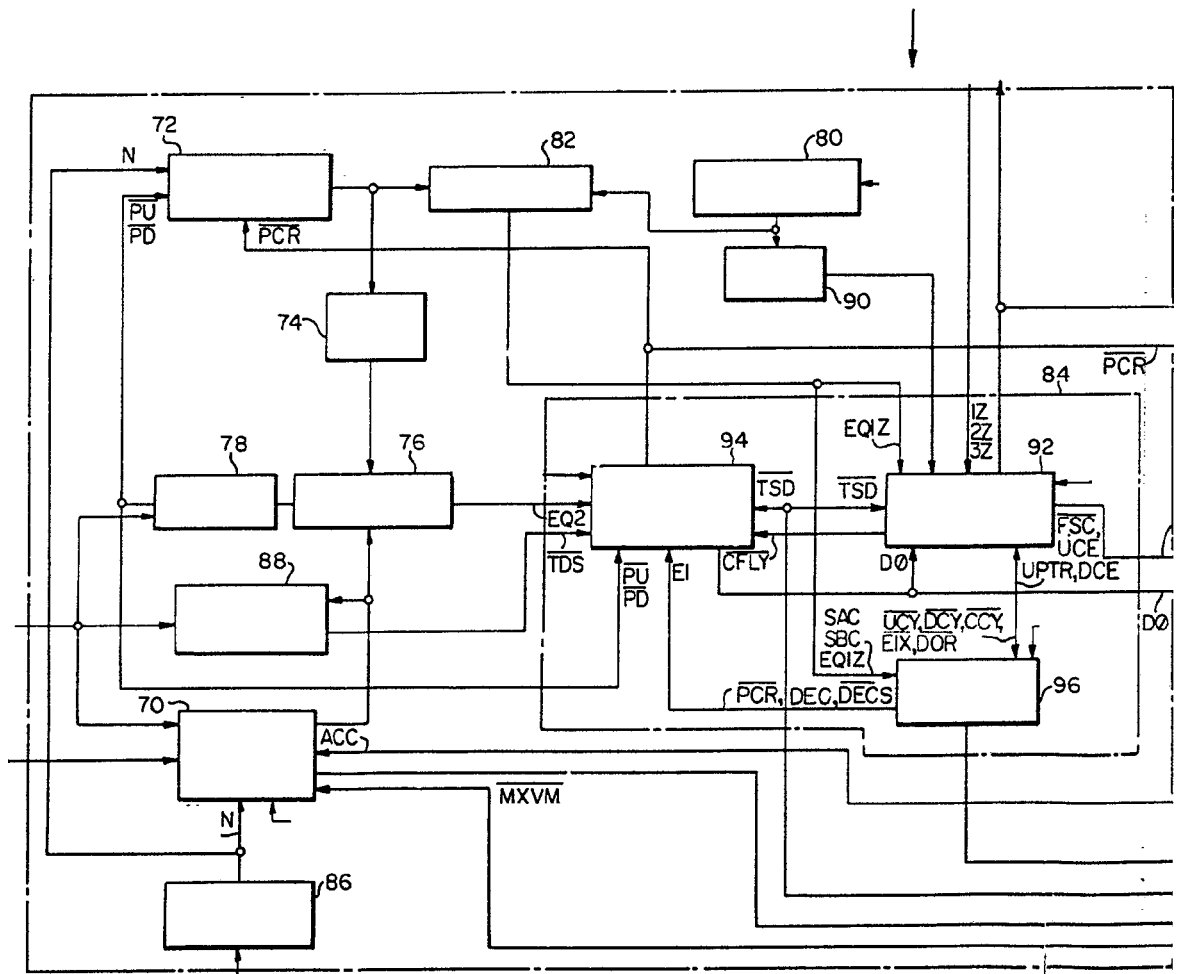
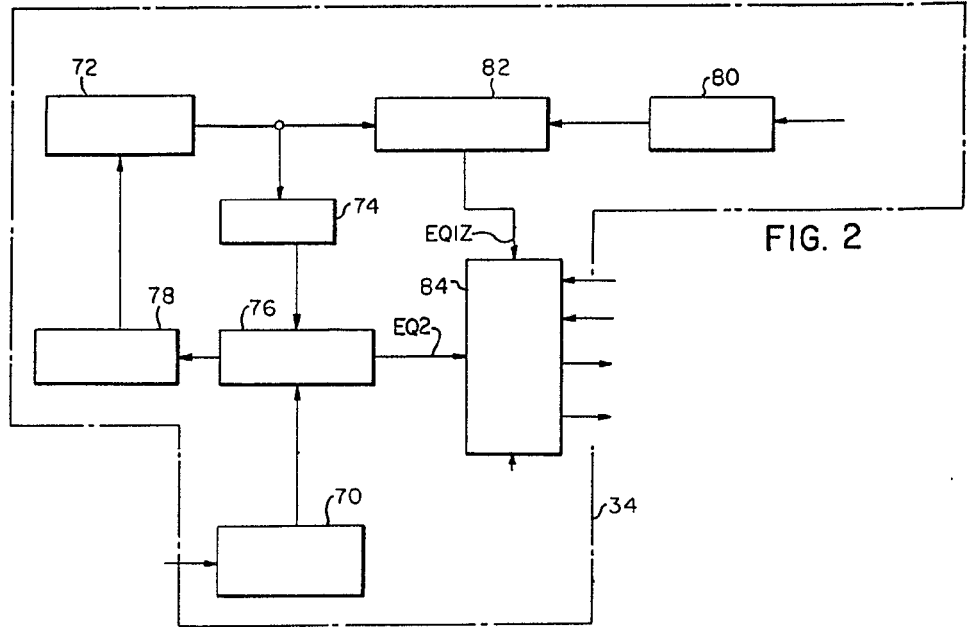


FIG. 3

Formal Drawing  
*W. A. G.*

414795



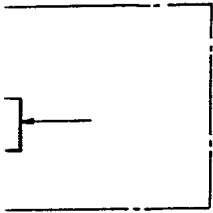


FIG. 2

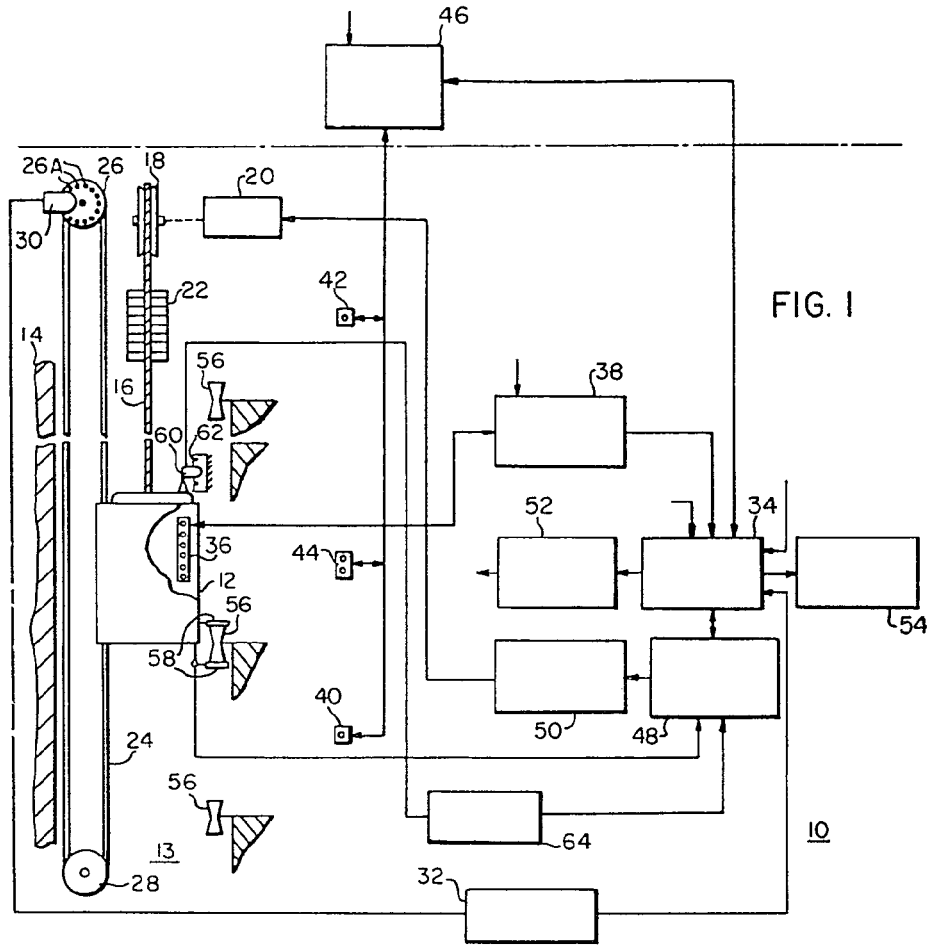


FIG. 1

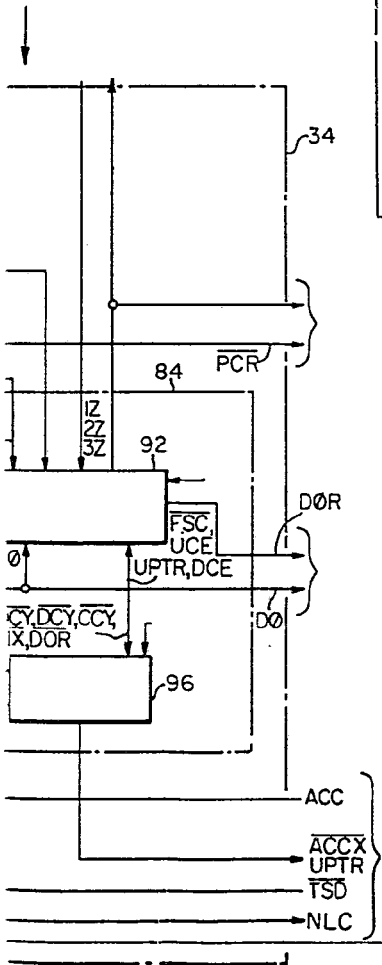


FIG. 3

Forney & Glazburu  
Patent Attorneys



16 JUN 1955

414795

414795

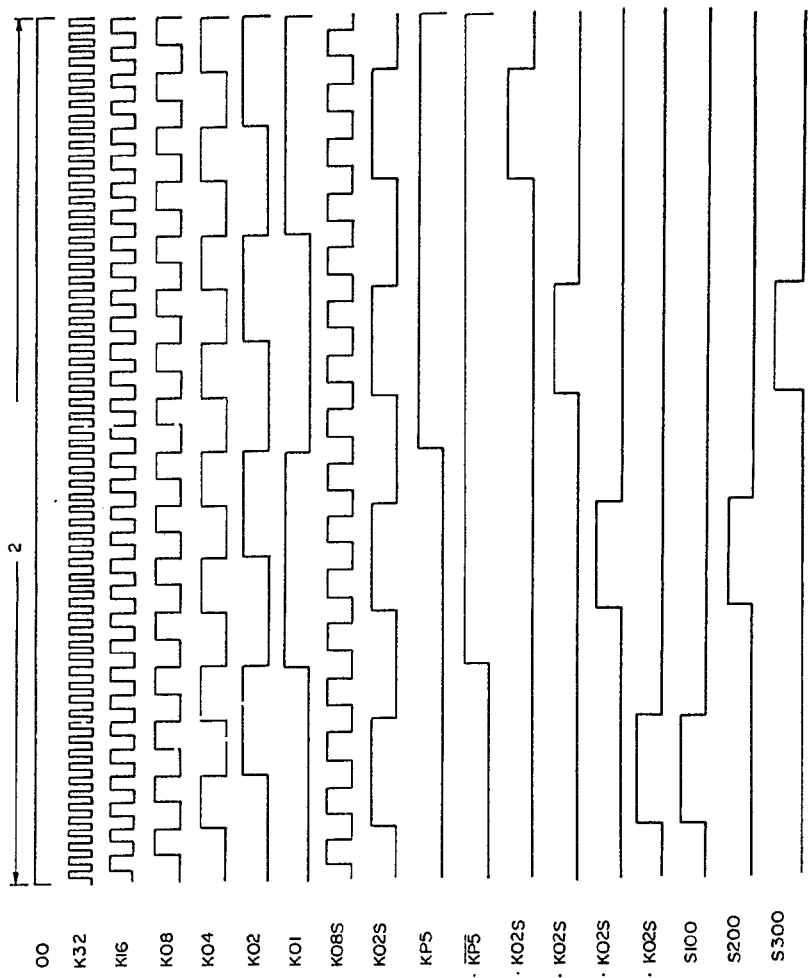
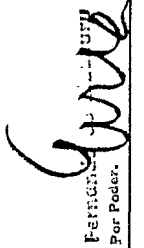


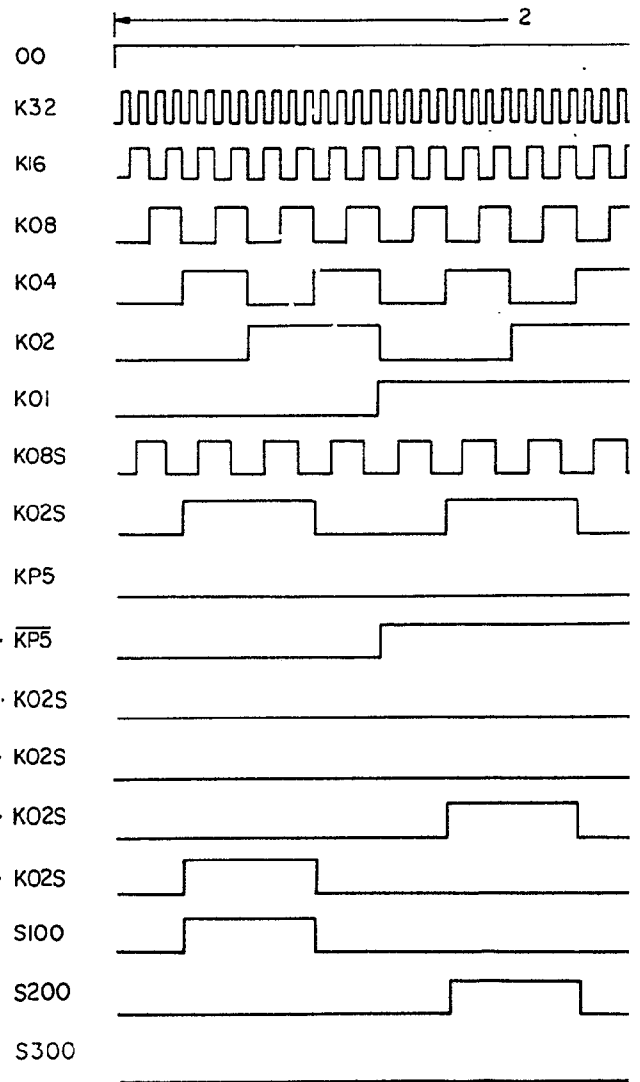
FIG. 4

$STC = \overline{K01} \cdot \overline{KP5}$   
 $S4 = K01 \cdot KP5 \cdot K02S$   
 $S3 = \overline{K01} \cdot \overline{KP5} \cdot K02S$   
 $S2 = K01 \cdot \overline{KP5} \cdot K02S$   
 $S1 = \overline{K01} \cdot \overline{KP5} \cdot K02S$   
 $S100$   
 $S200$   
 $S300$

Permitta  
 Por Poder  


414795

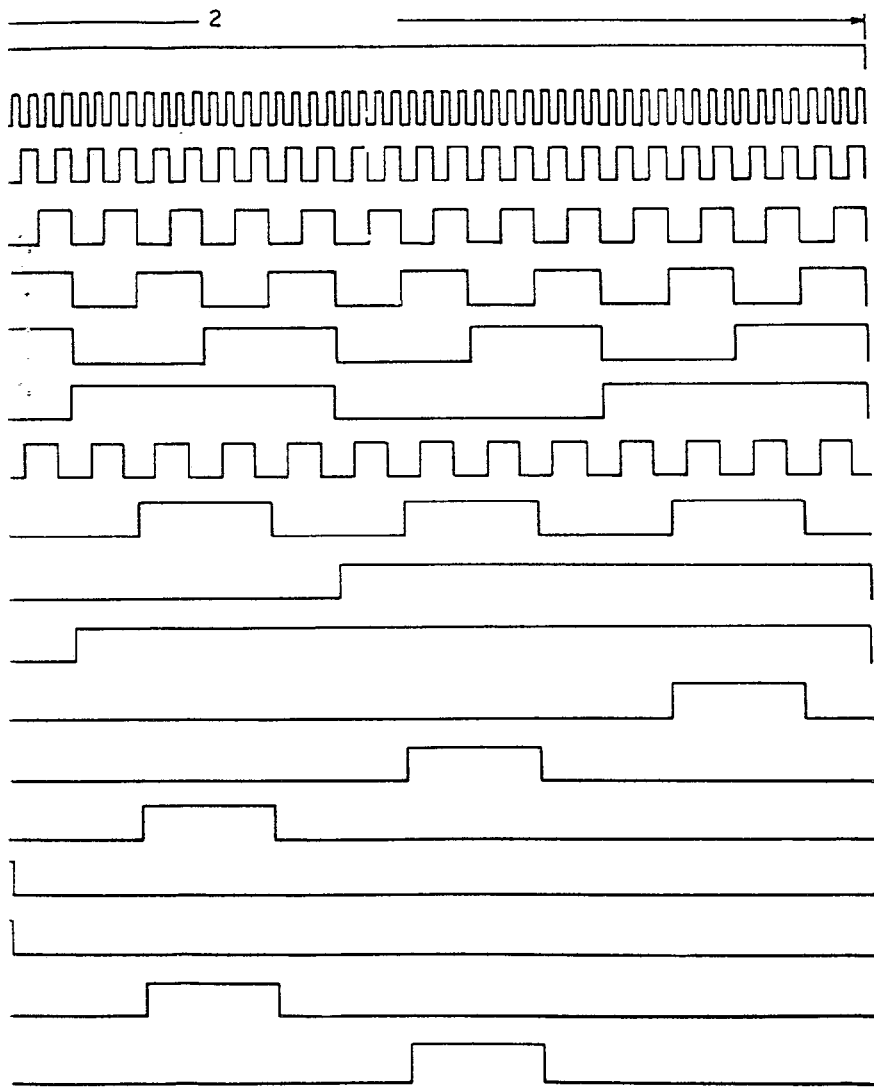
FIG. 4





-6 JUN.

414795



Fernando de Azavedo  
Por Poder. *[Signature]*

414795

414795

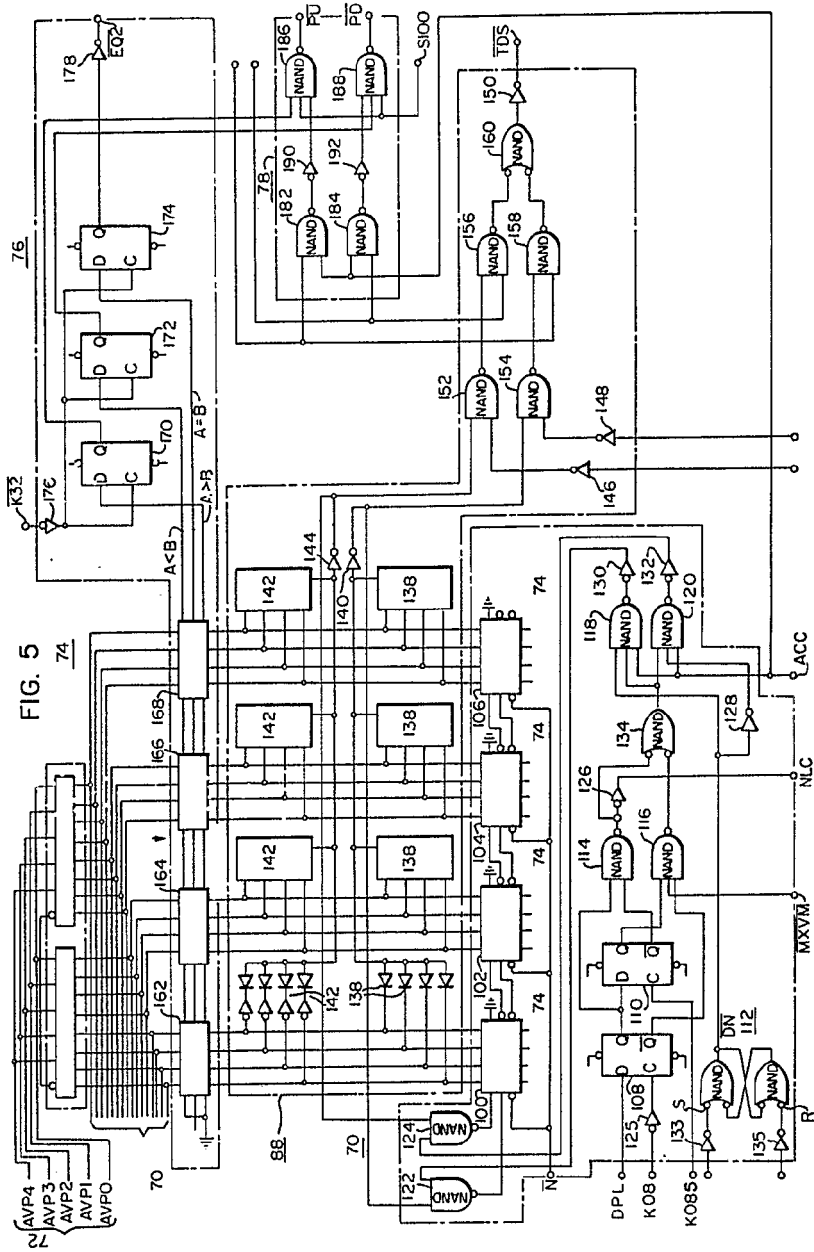
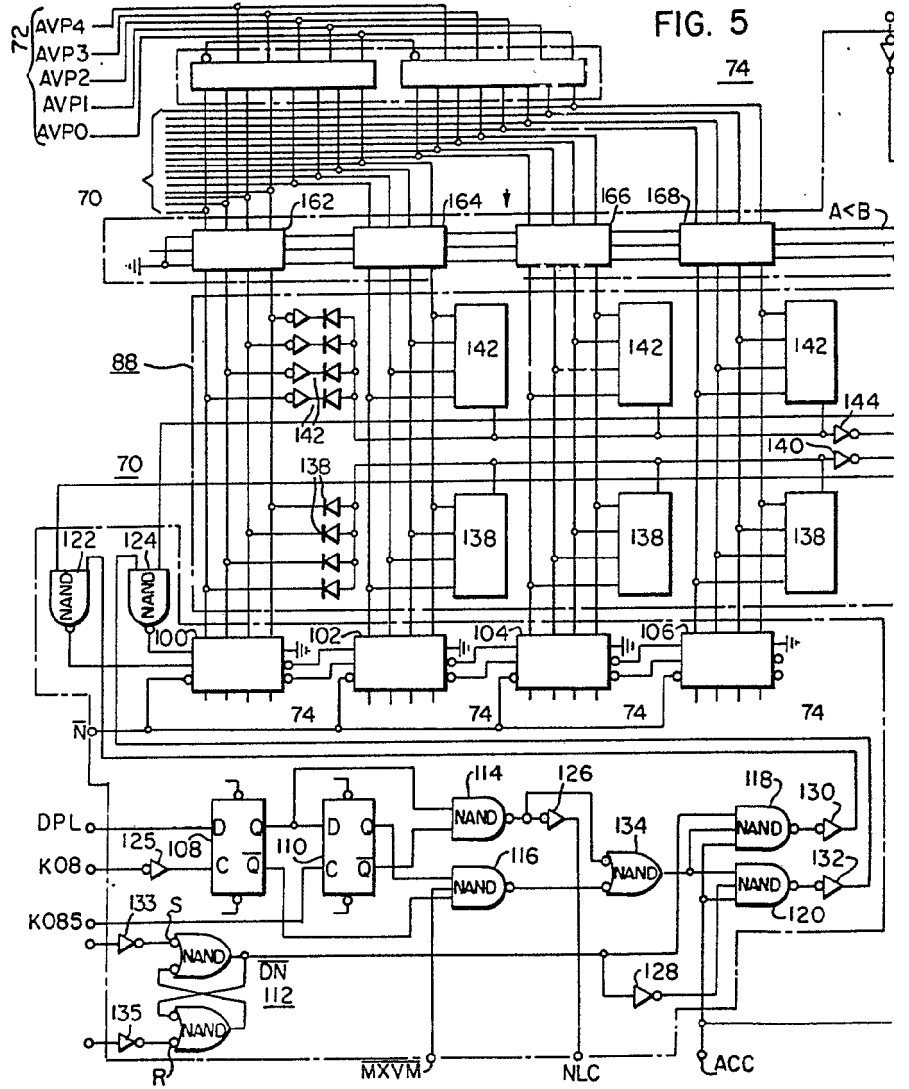


FIG. 5

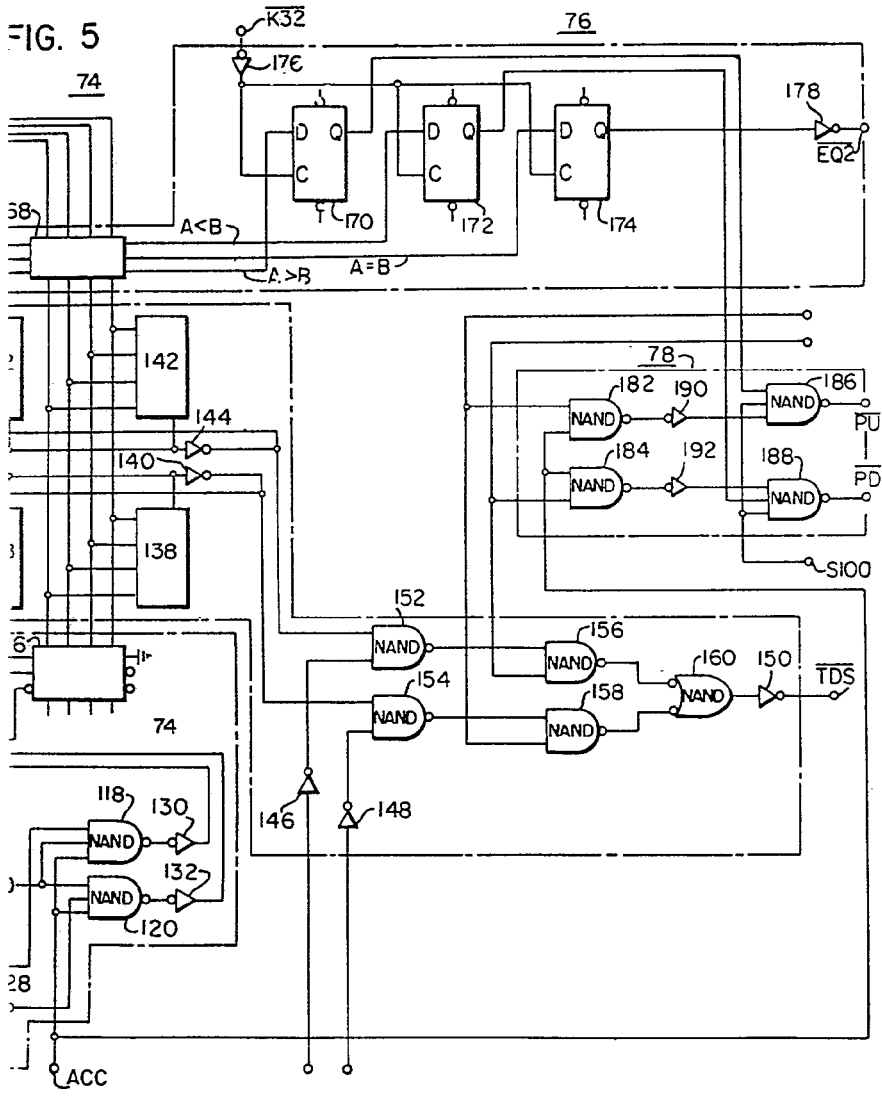
Foundational  
Perfusion  
*Ante*



414795



414795



Fernando de Escobedo  
Por Copier.



414795

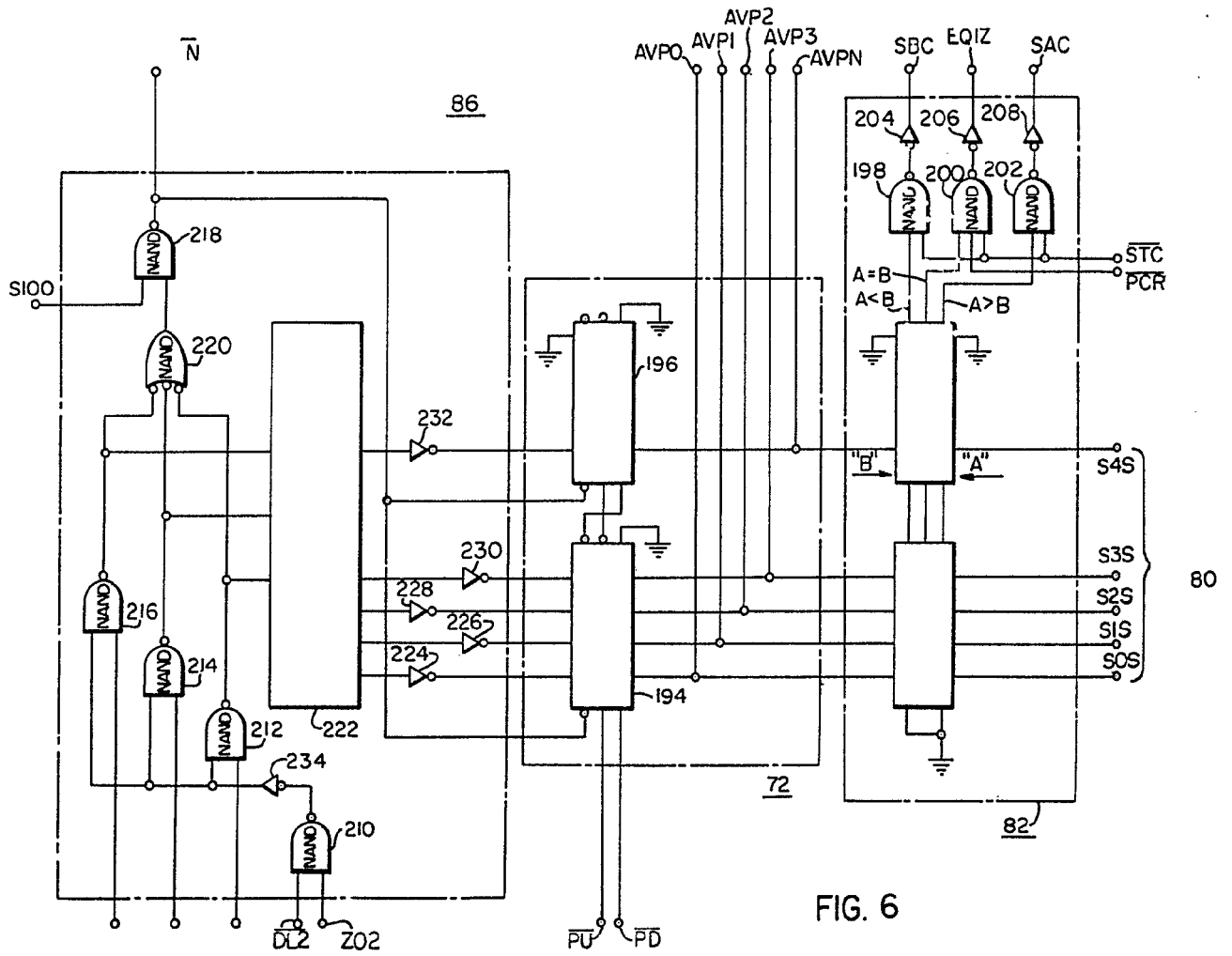


FIG. 6

414795

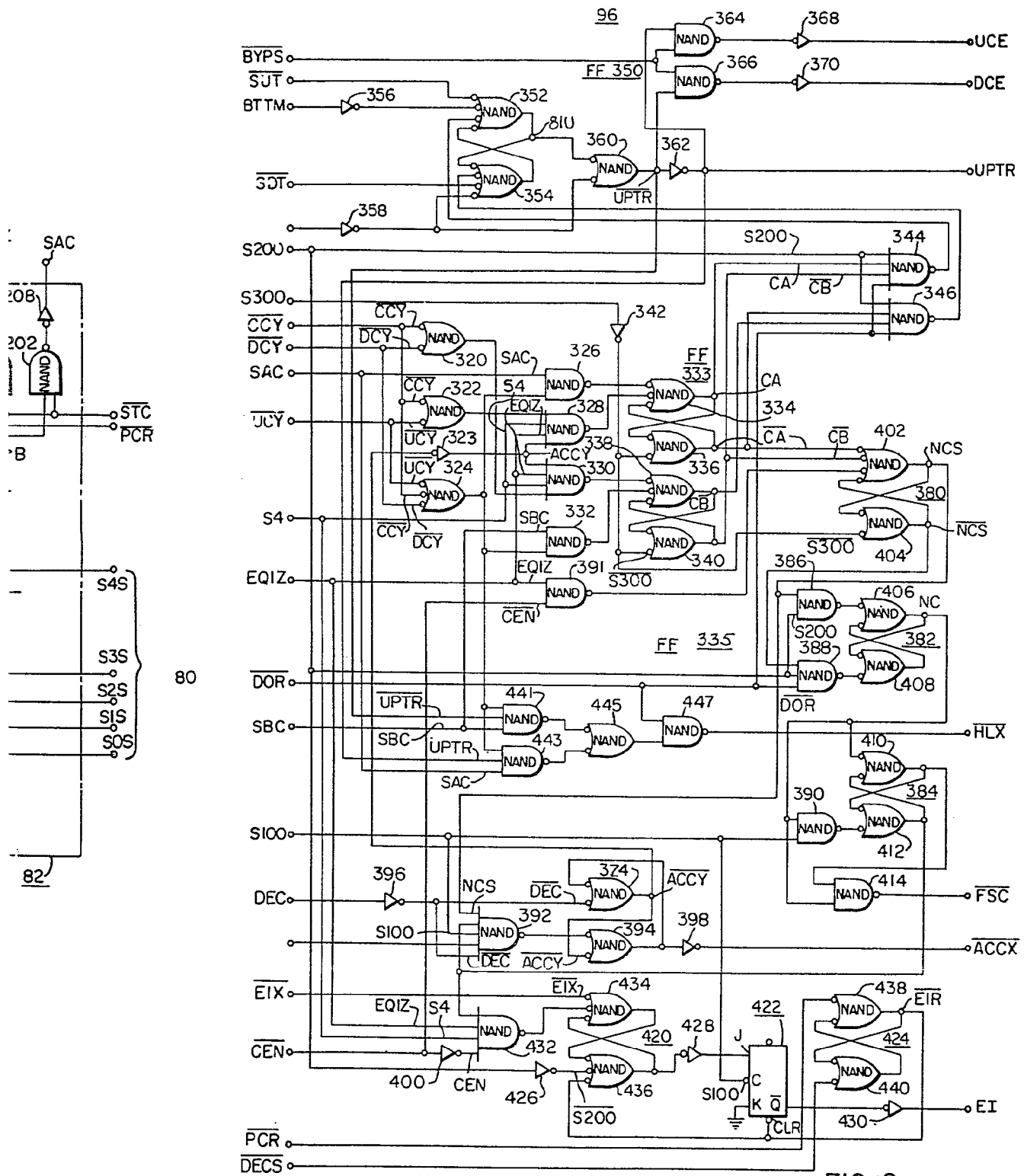
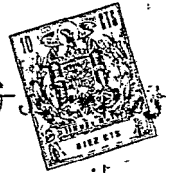


FIG. 9

Formed by Elcom  
P...

414795

414795

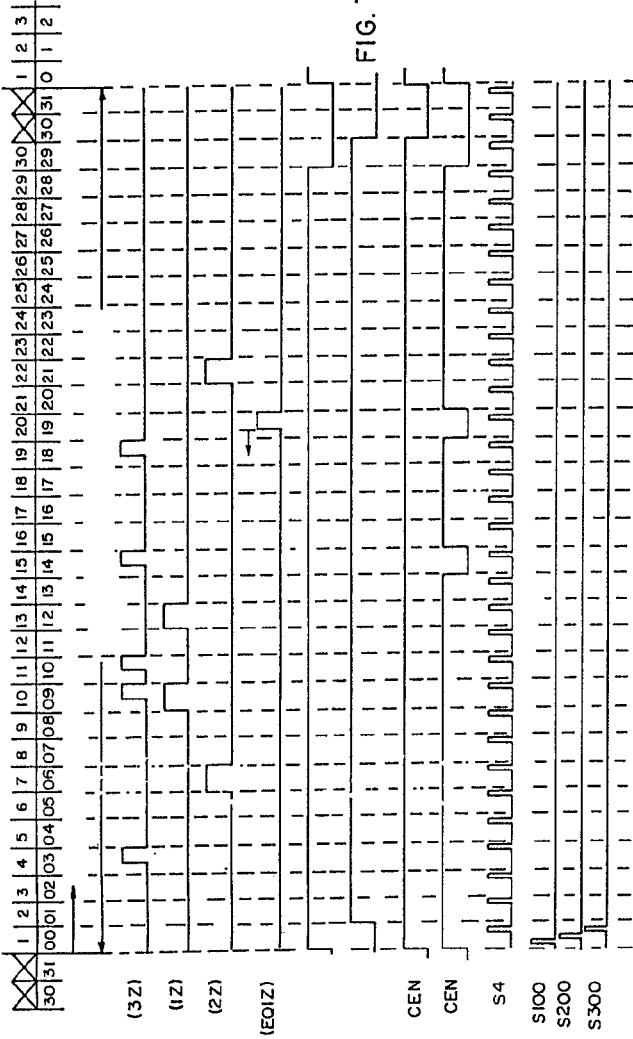


FIG. 7

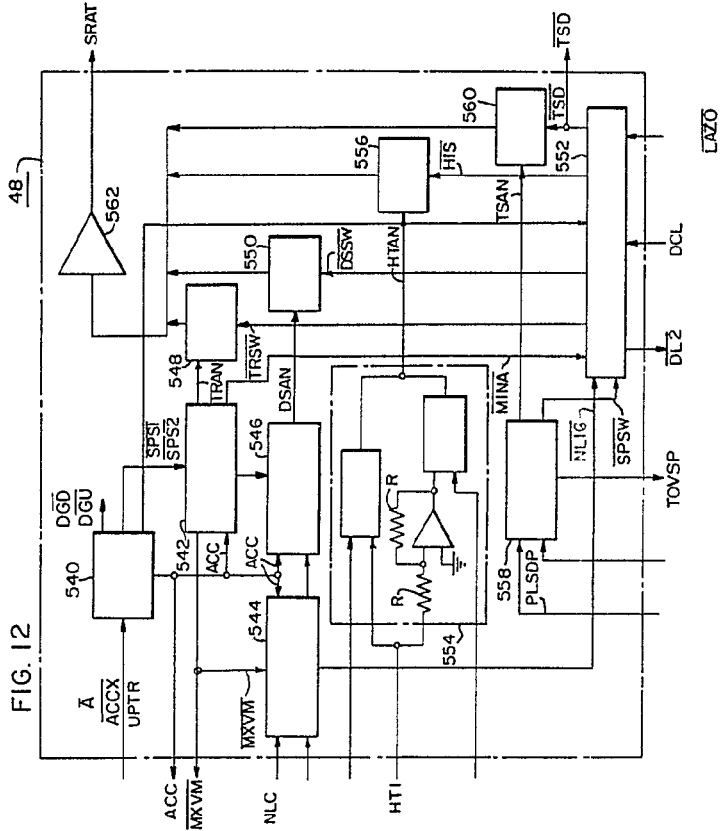


FIG. 12

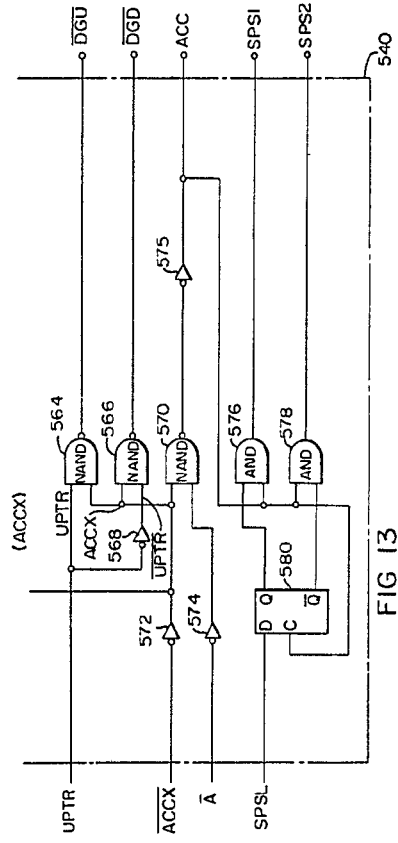


FIG. 13

*[Handwritten Signature]*  
Per. Prod.

414795

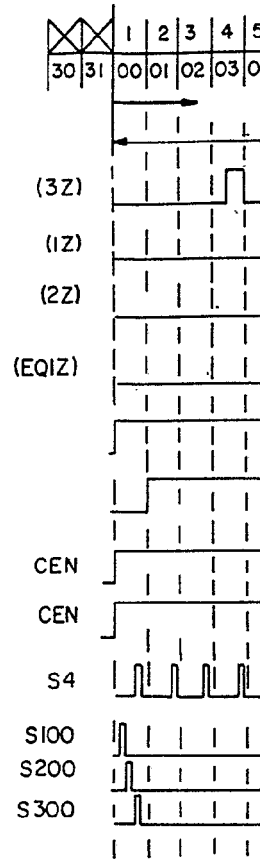
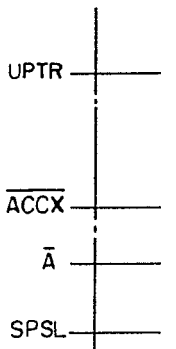
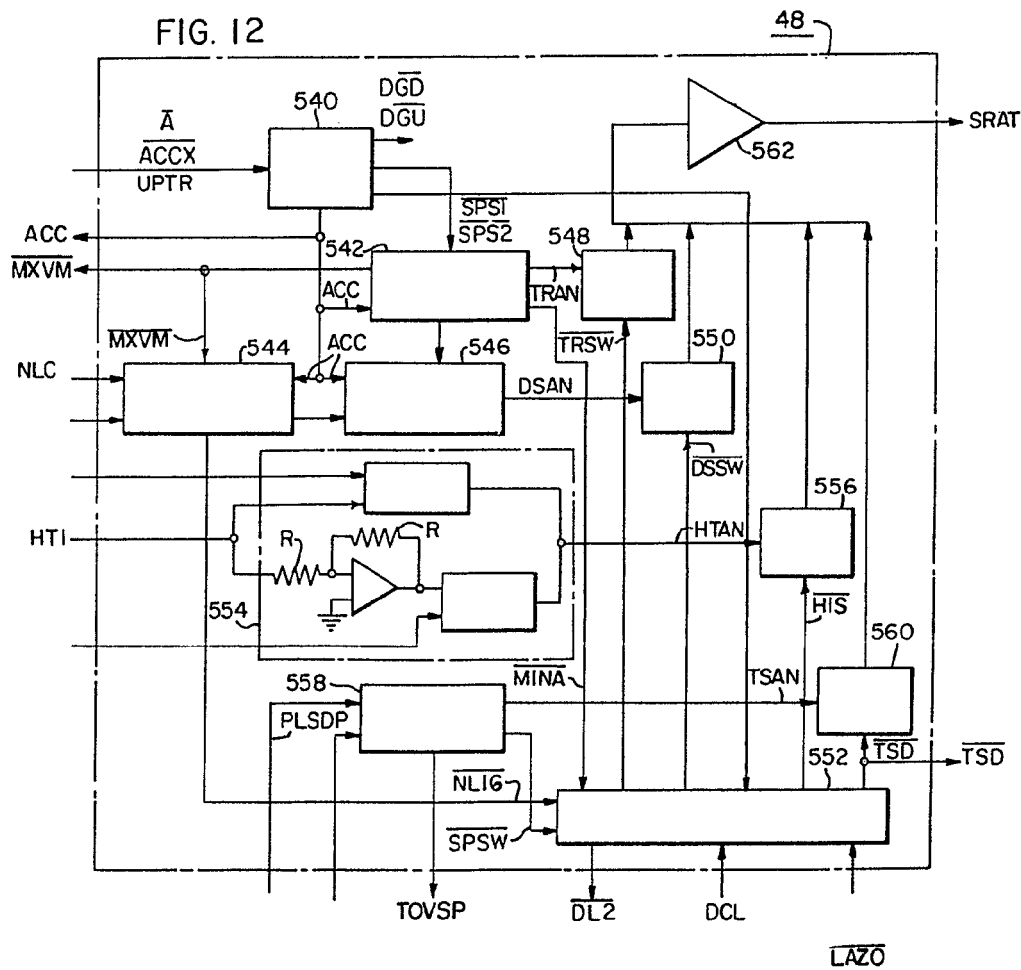


FIG. 12



414795

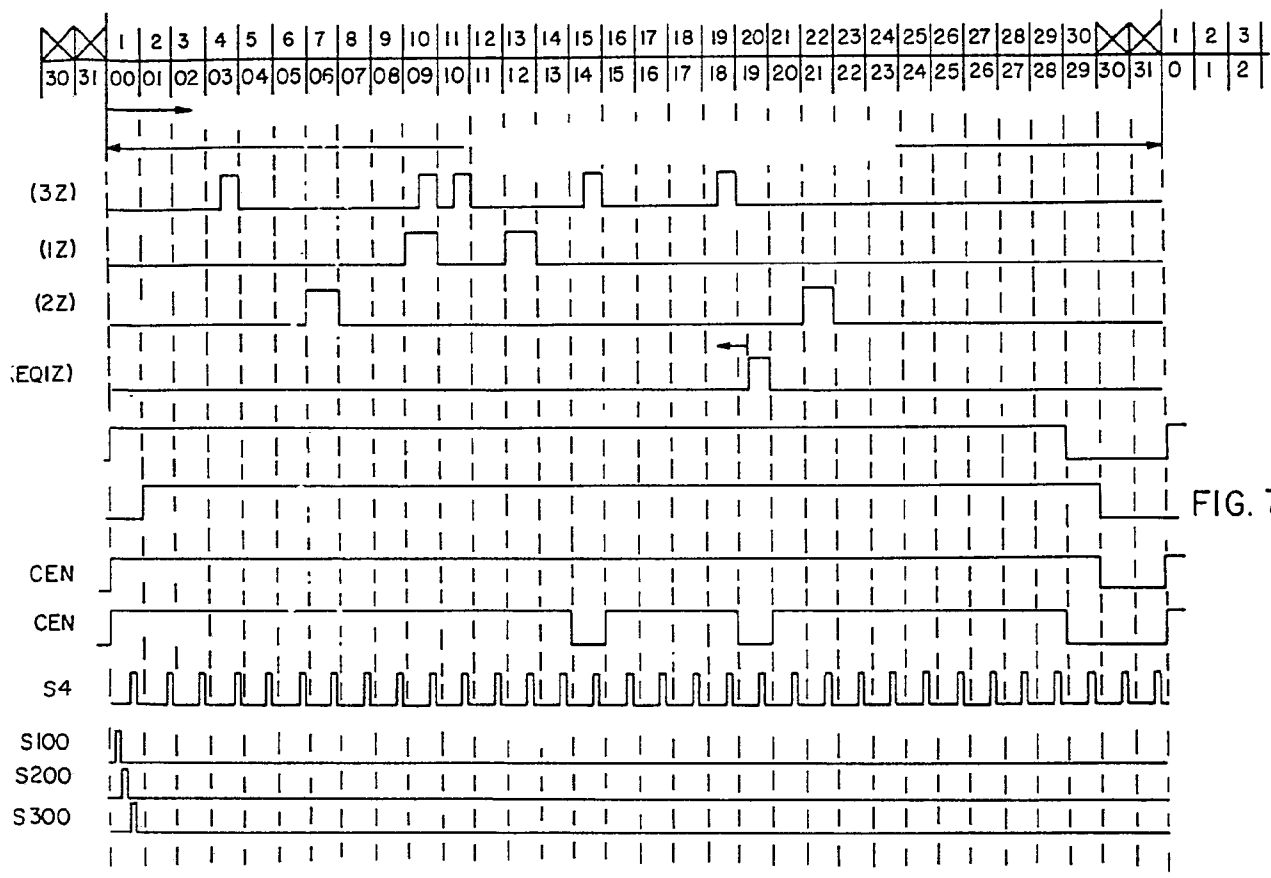


FIG. 7

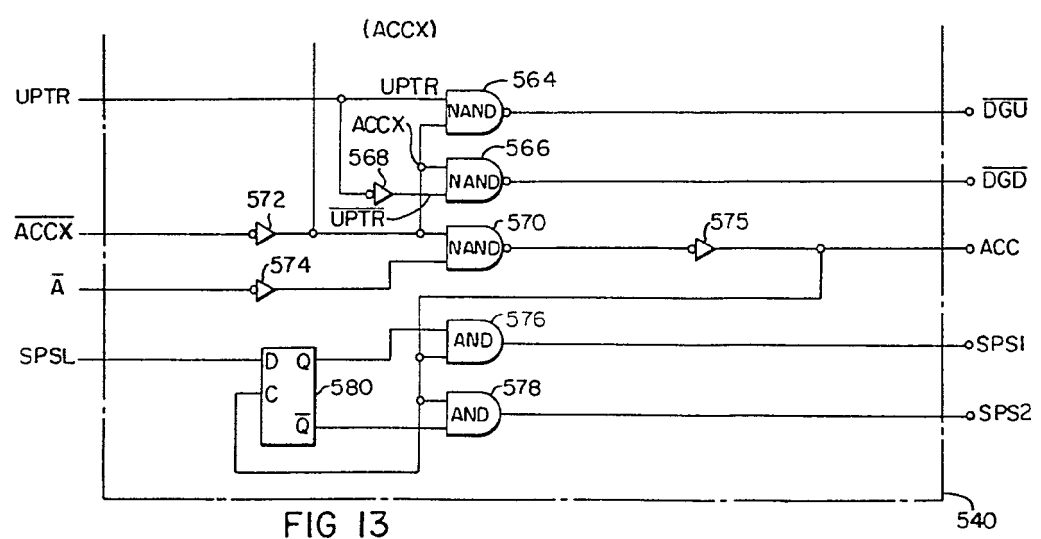


FIG 13

Fernando de Izaburu  
 Por Poder

414795

414795

-6 J

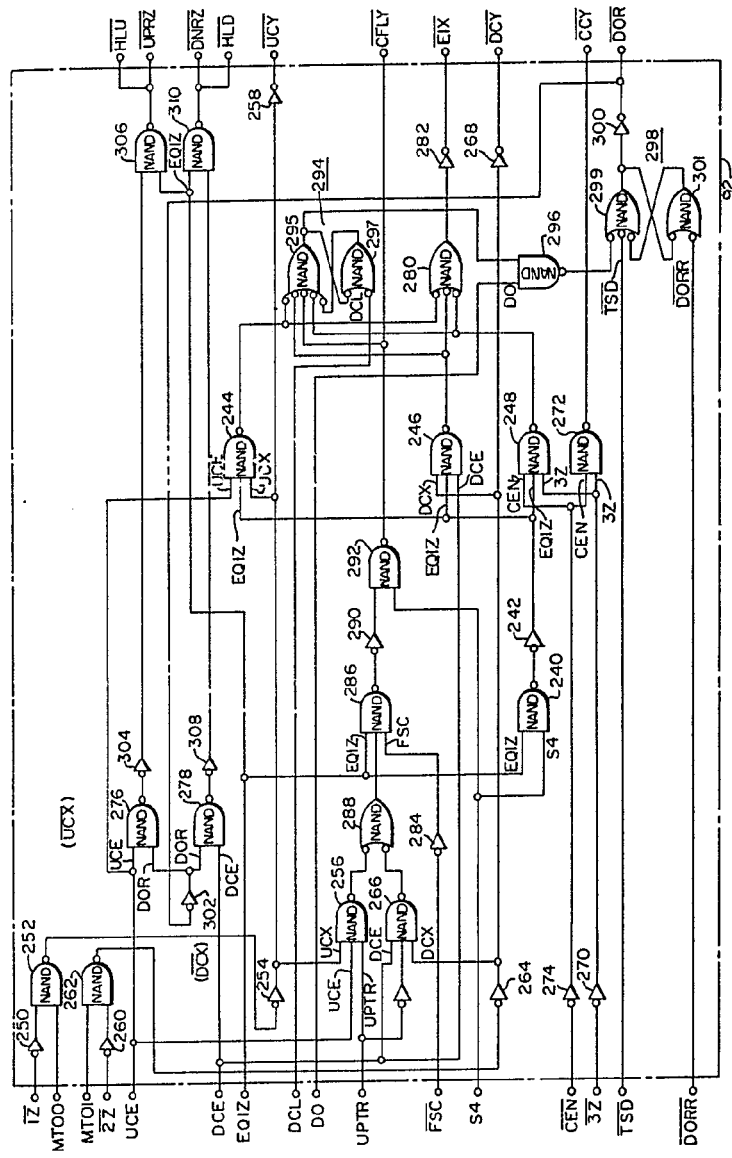


FIG. 8

For and Co. Filiberto  
E. G. Call

414795

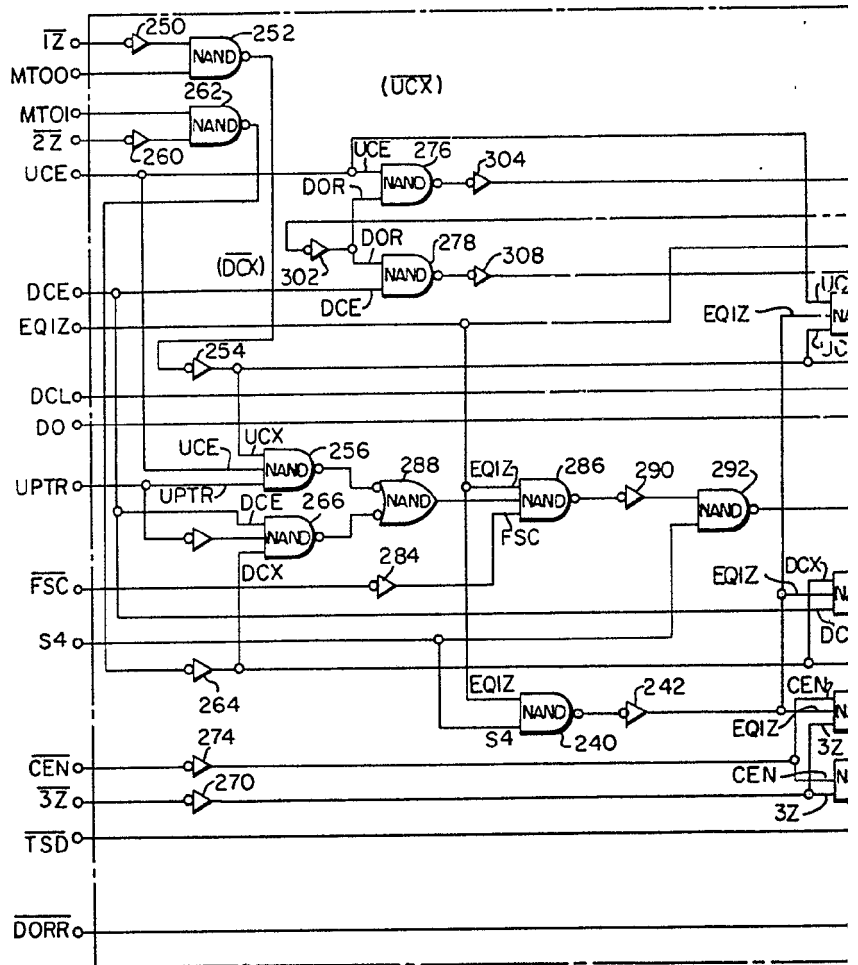
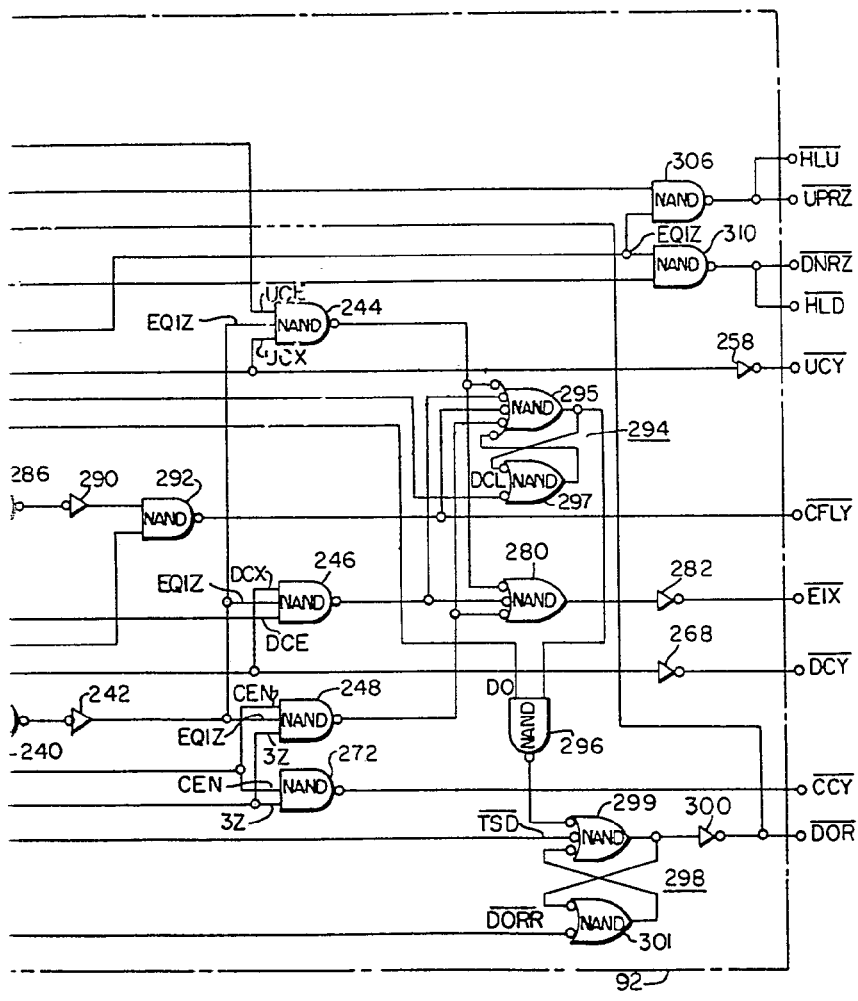


FIG. 8

414795



Fernando de Elizburu  
Per [unclear]

414795

414795

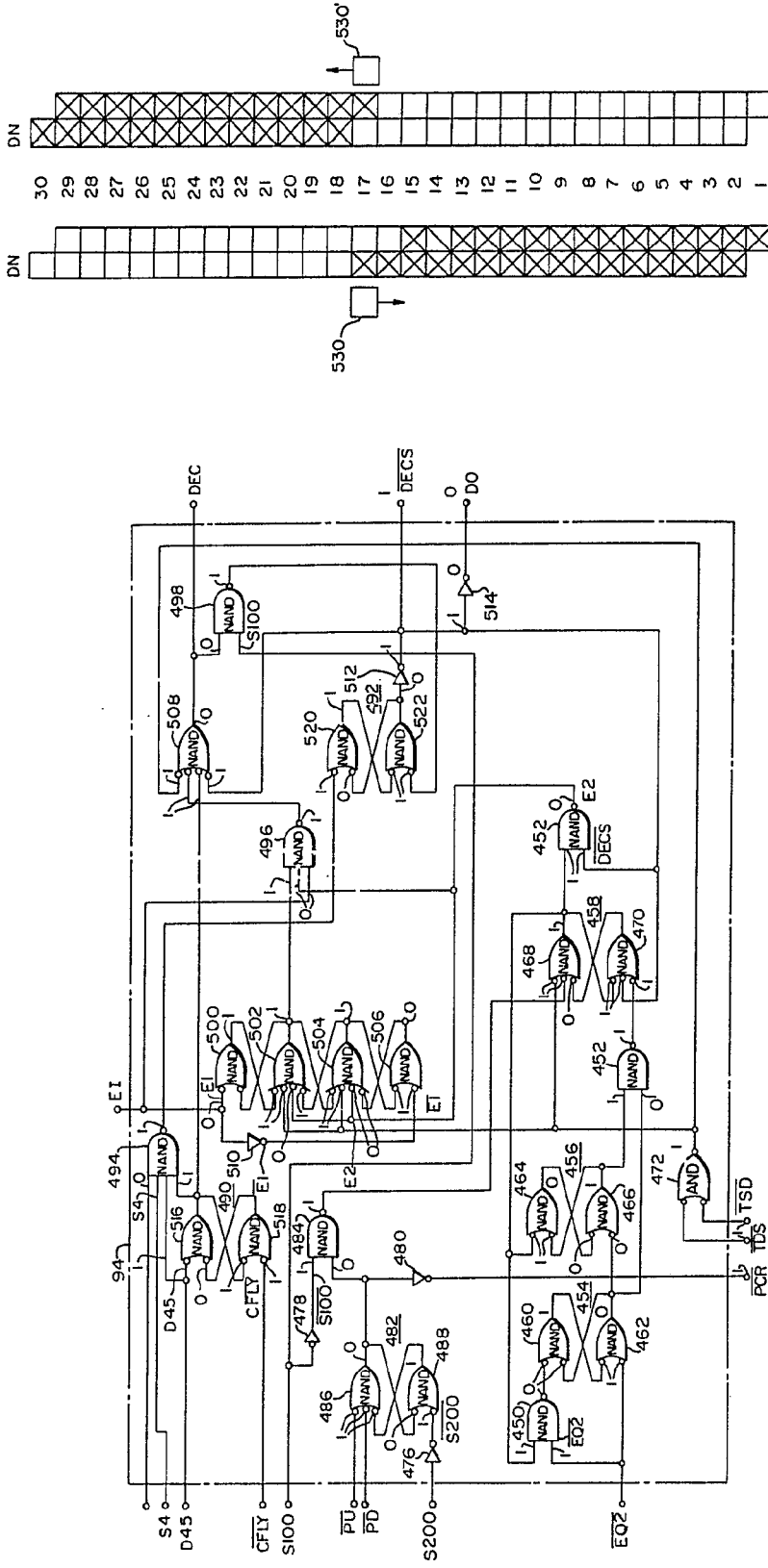


FIG. 10

FIG. 11

Per Foster  
*Foster*

414795

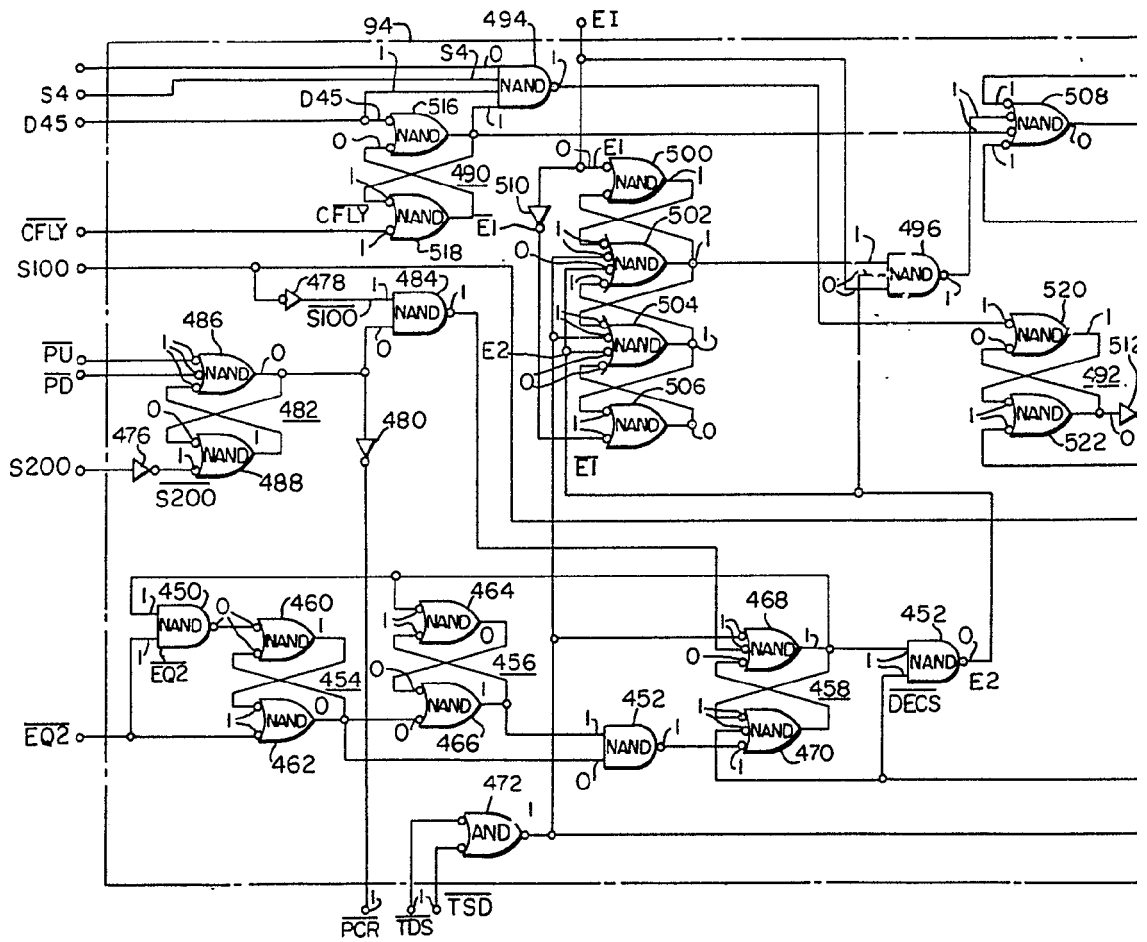


FIG. 10

414795

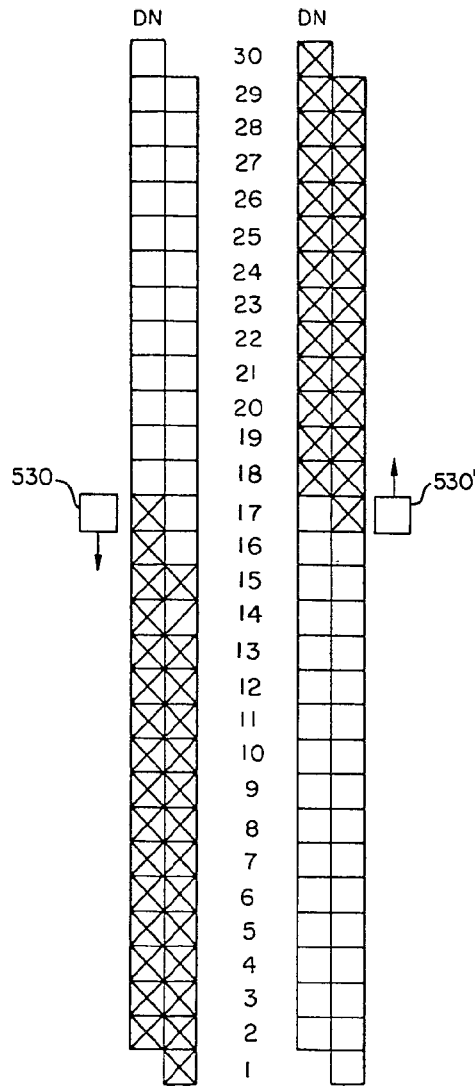
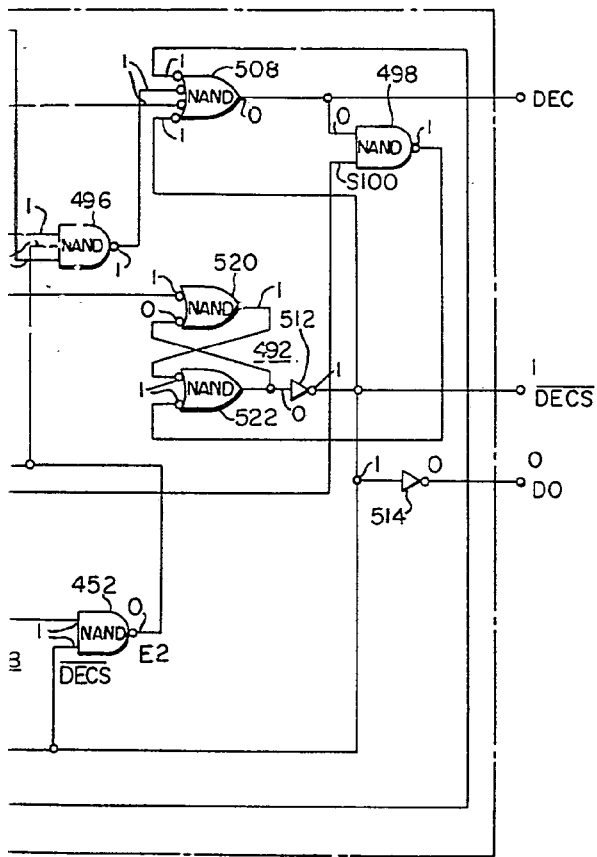


FIG. 11

Fernando C. Elizaburu  
 Por Poder. *[Signature]*

414795

414795

FIG. 14

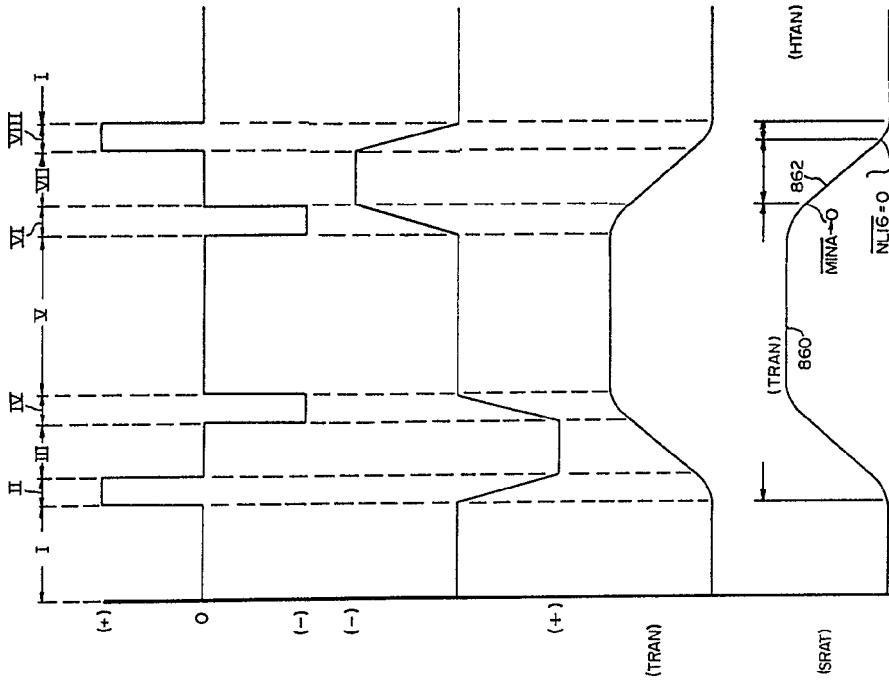
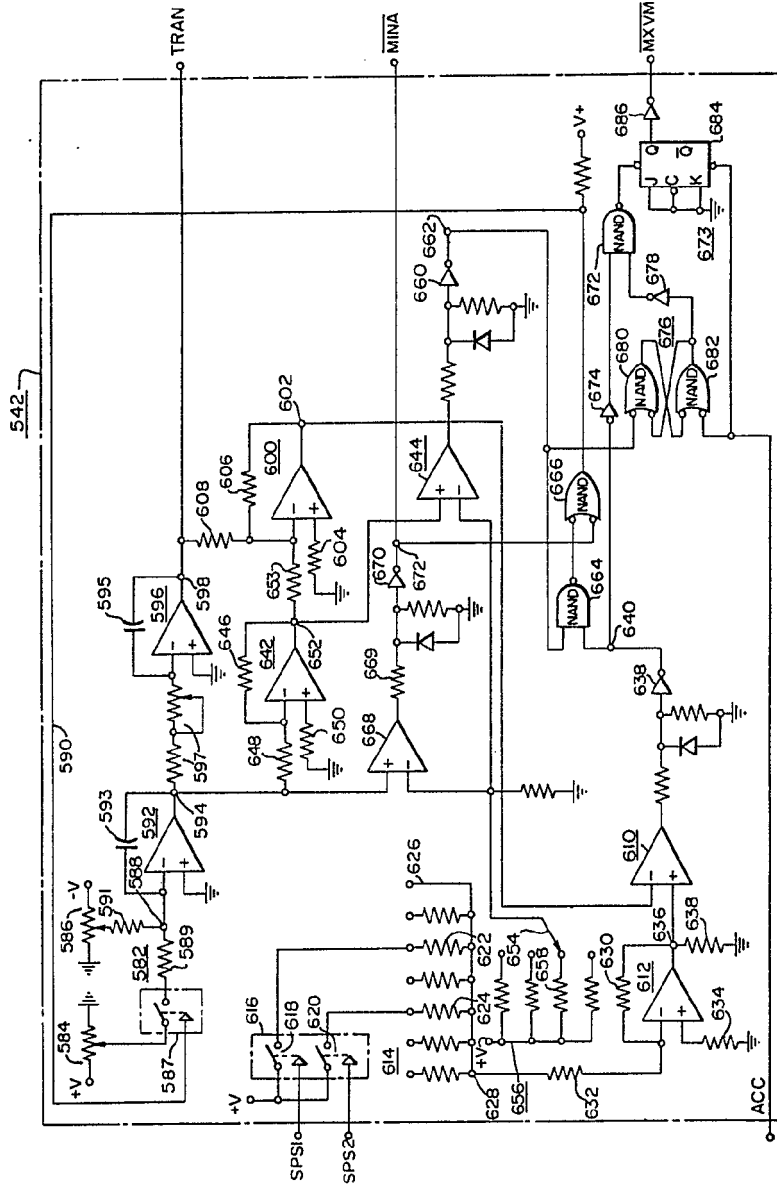
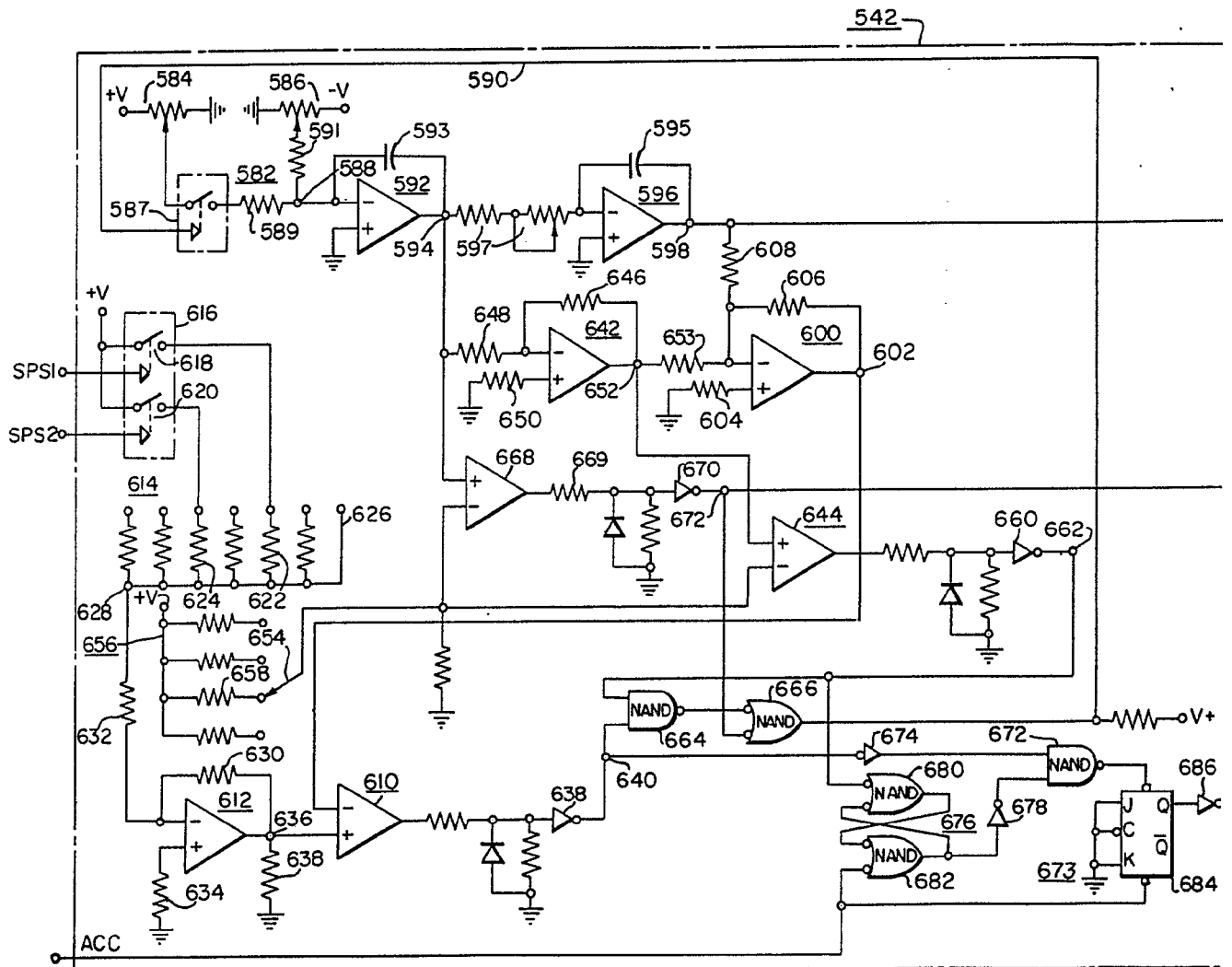


FIG. 16

Westinghouse  
FOR U.S. Patents

414795

FIG. 14





414795

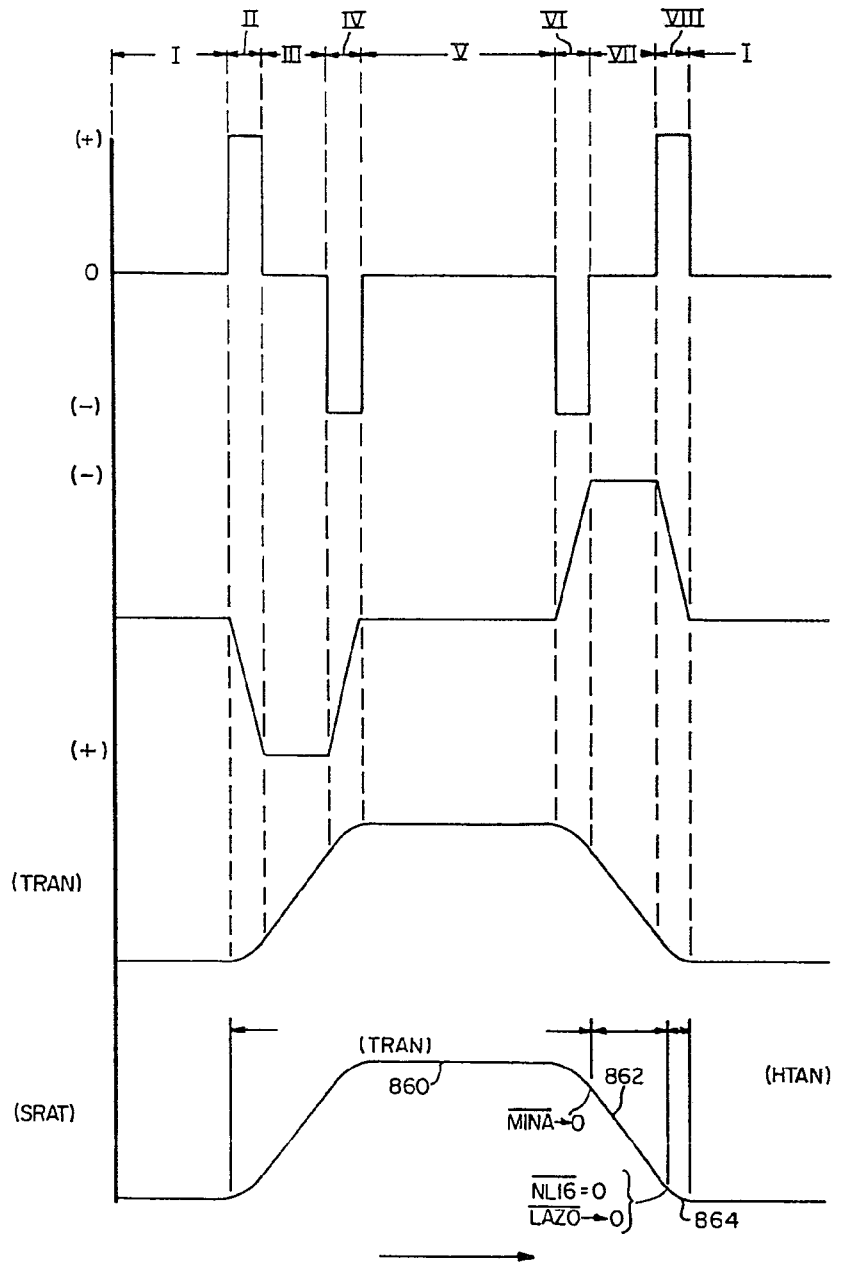
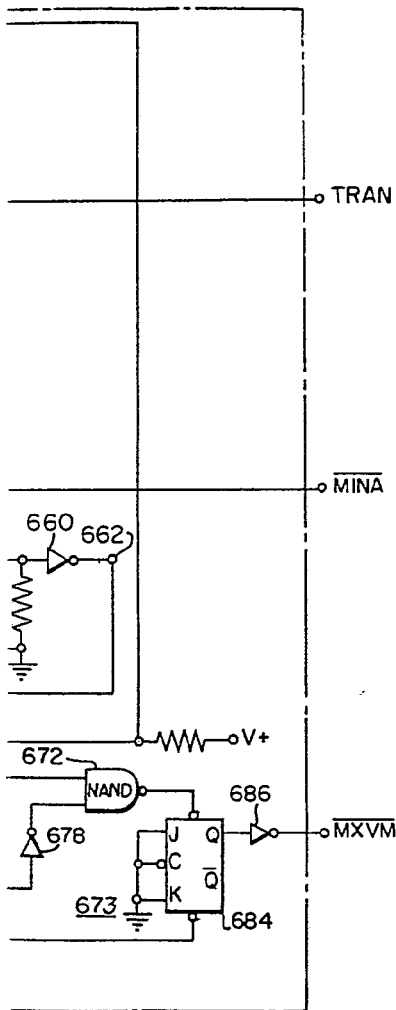


FIG. 16

Fernando de Eizaburu  
Por Fides



414795

A  
SF

587

5

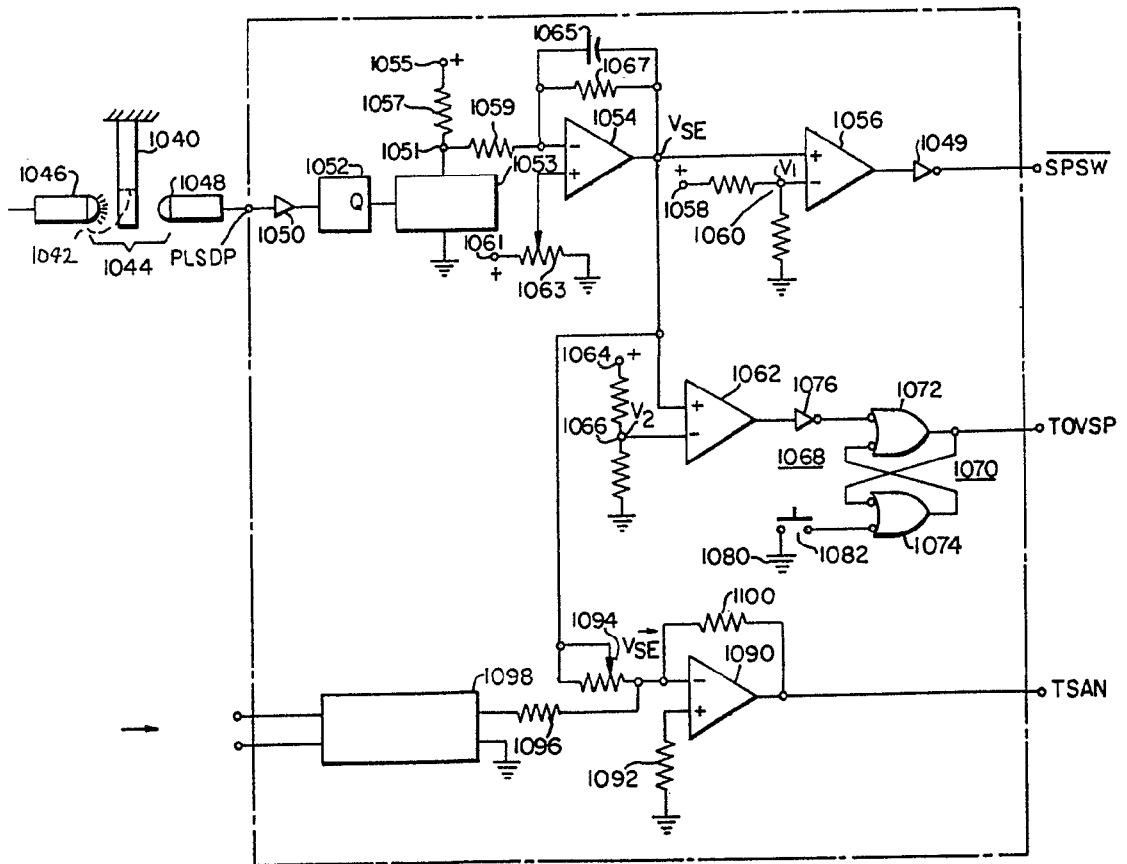


FIG. 18

- 6 JUN



# 414795

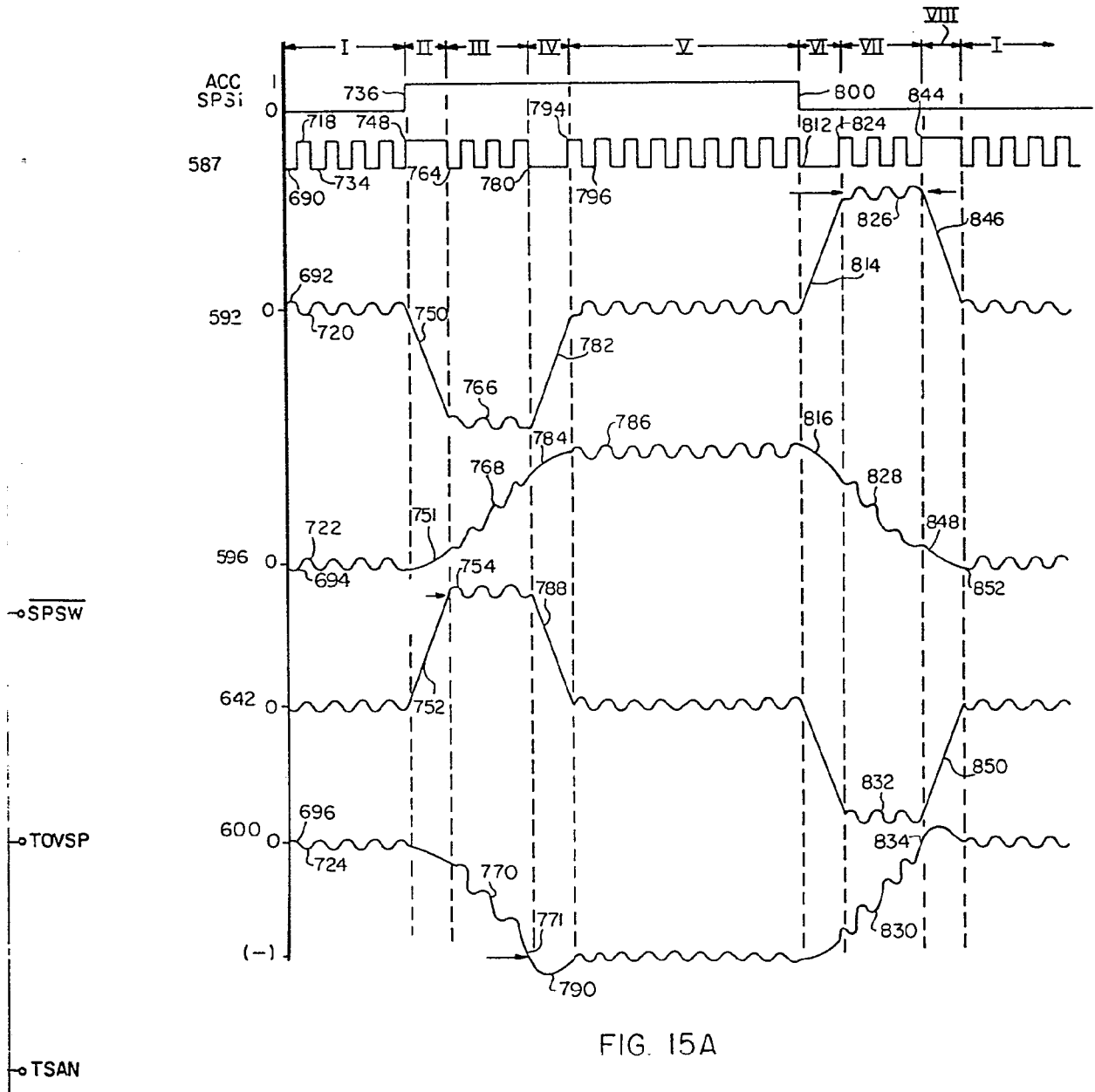


FIG. 15A

558

Fernando de Elizaburu  
 For [unclear]

414795

FIG. 20A 414795

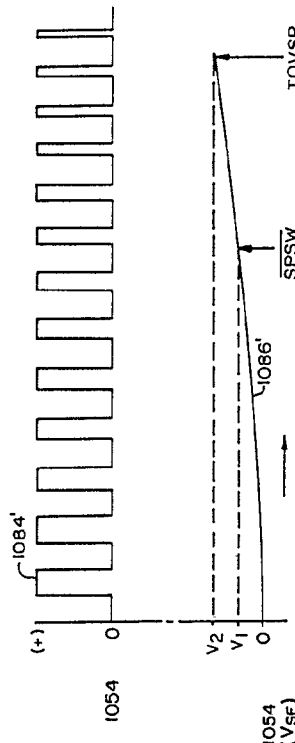
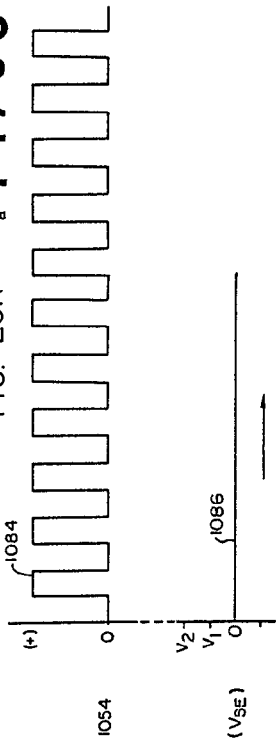


FIG. 20B

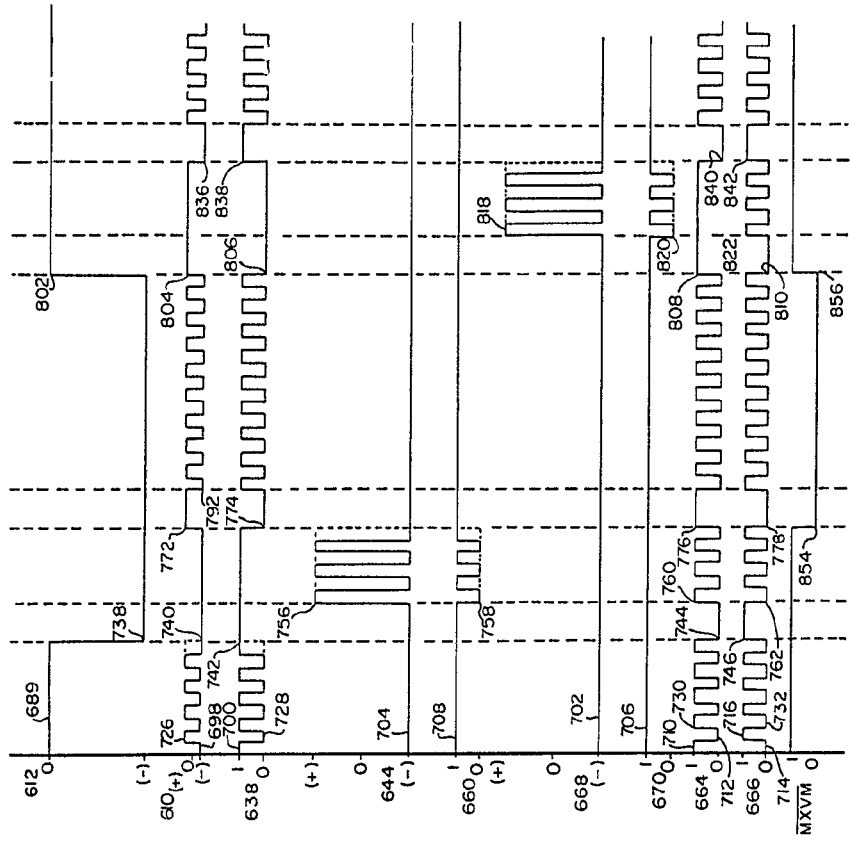


FIG. 15B

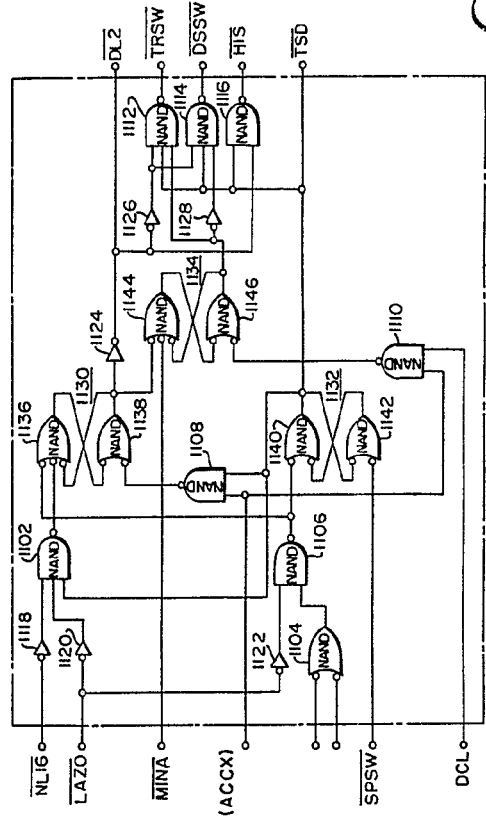


FIG. 21

552

Approved for Release  
by NSA

414795

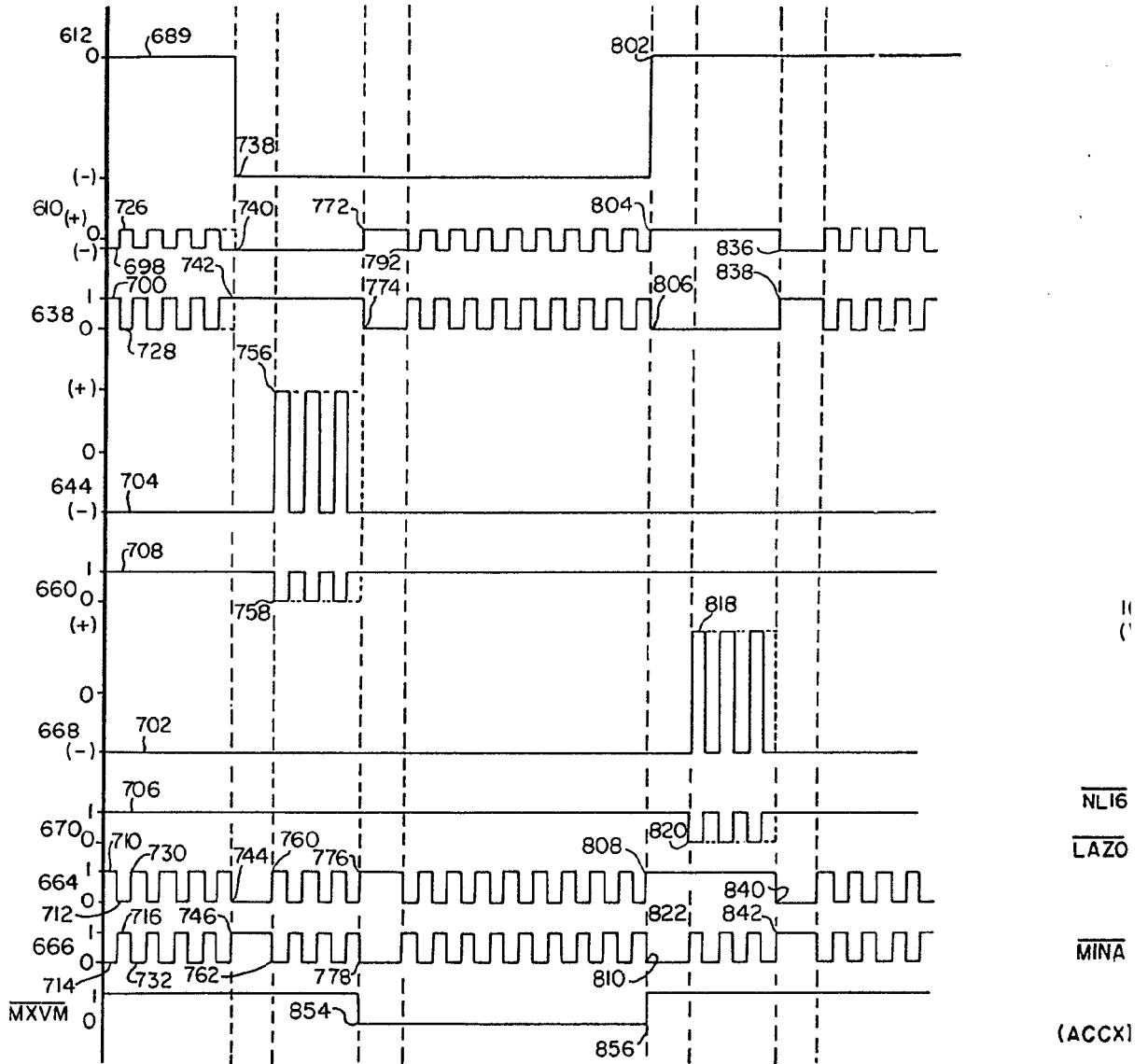


FIG. 15B

$\overline{\text{NL16}}$   
 $\overline{\text{LAZO}}$   
 $\overline{\text{MINA}}$   
 $(\text{ACCX})$   
 $\overline{\text{SPSW}}$   
 $\text{DCL}$



FIG. 20A 414795

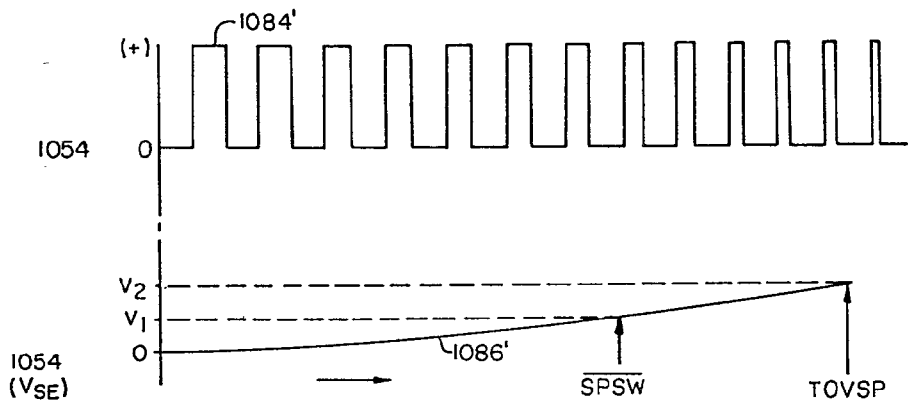
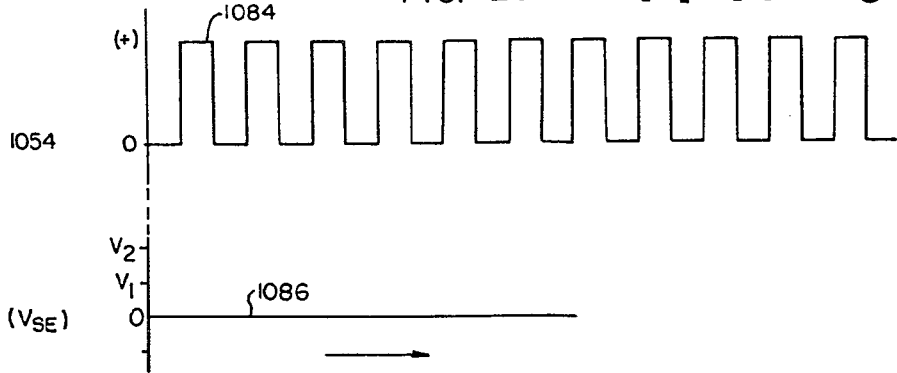


FIG. 20B

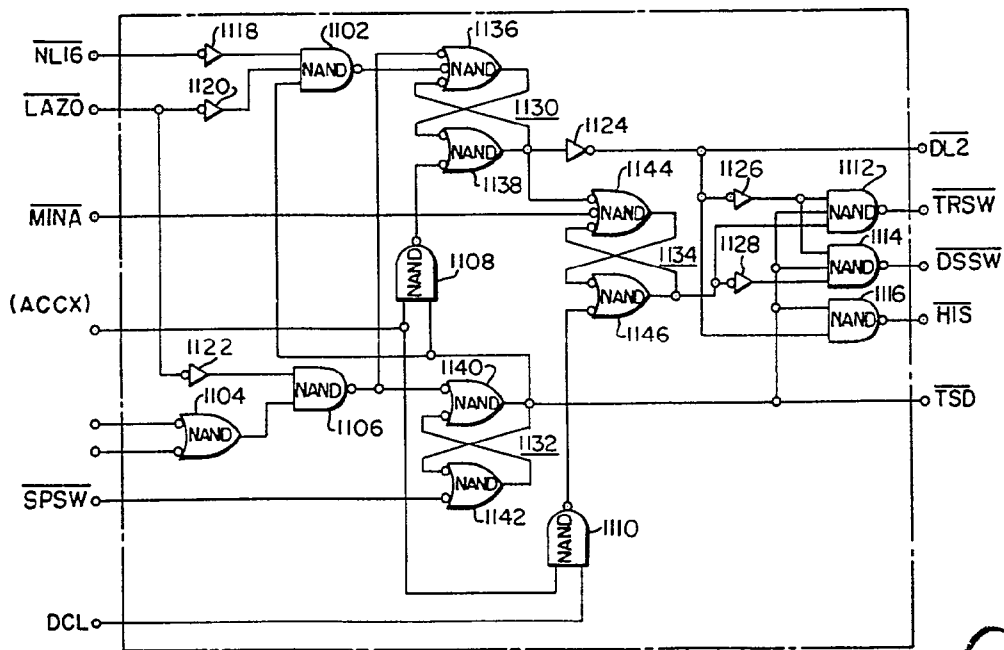


FIG. 21

552

Fernando de Elzebrun  
Per Poder.

414795

414795

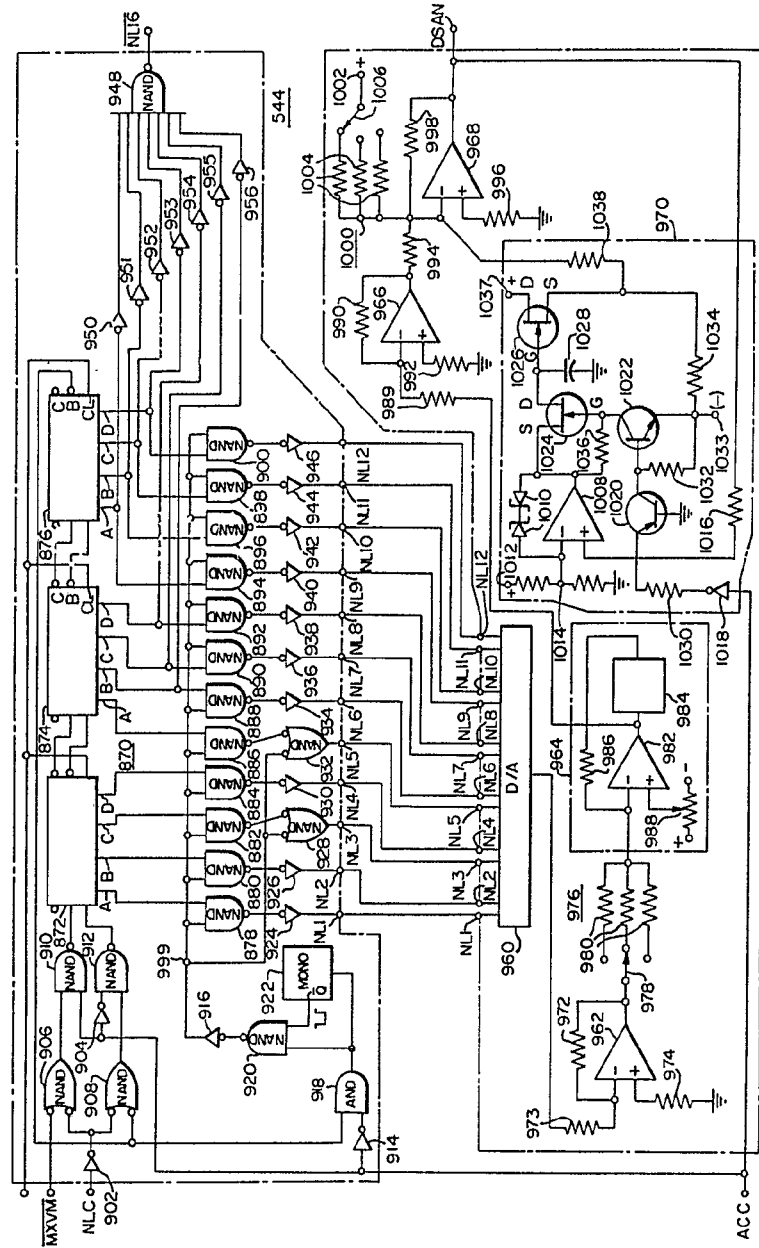


FIG. 17

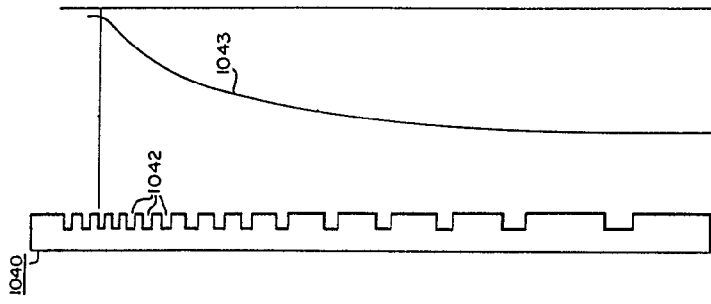
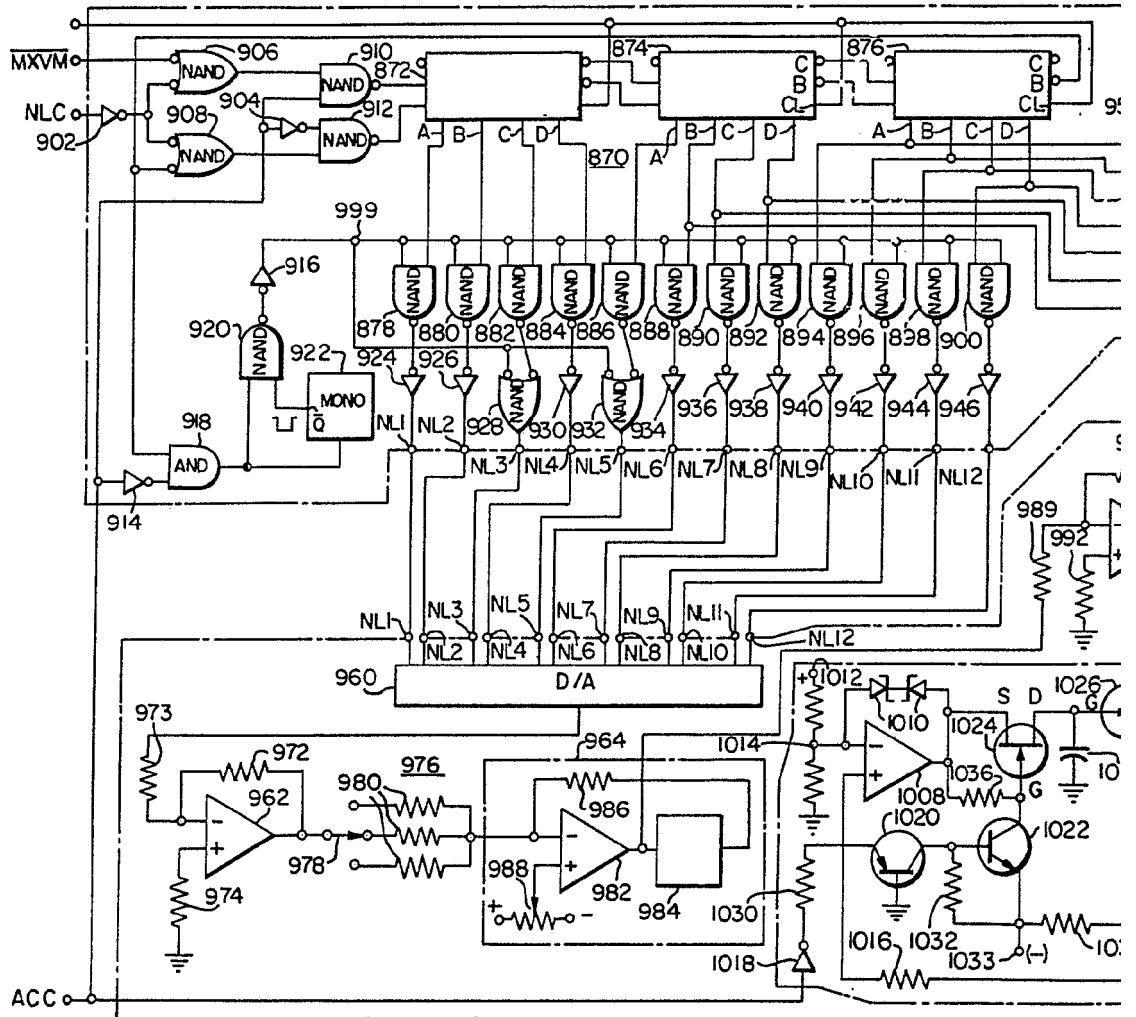


FIG. 19

Fernando de Elencu  
 Per Poca

414795





414795

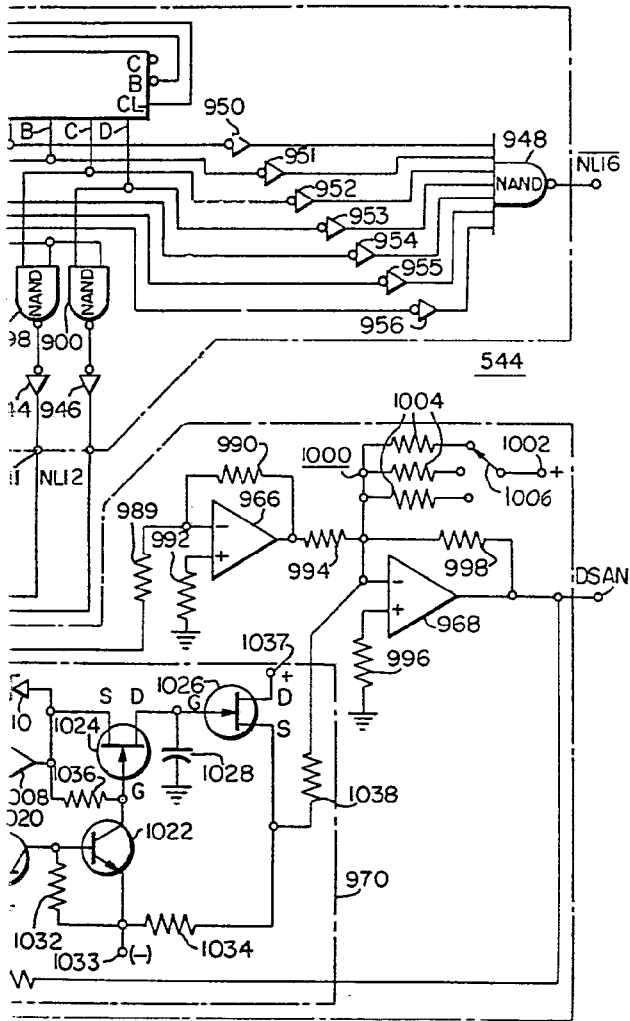


FIG. 17

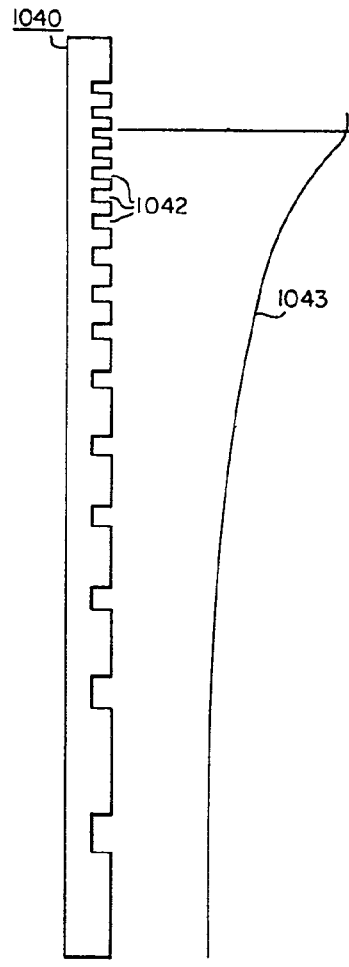


FIG. 19

Fernando de Elzaburu  
Por Poder