

414617



P.- 54.351

File F 21528-A

G06K

MEMORIA DESCRIPTIVA

F.C. 28-11-75

para solicitar PATENTE DE INVENCION por VEINTE años

A nombre de GENERAL PUBLIC UTILITIES CORPORATION

entidad norteamericana

establecida en 80 Pine Street, Nueva York, Nueva York
10005, Estados Unidos de América

por: "UN SISTEMA PARA INTERROGAR A UNA PLURALIDAD DE APARA-
TOS DE MEDIDA CONECTADOS A UN ENLACE DE COMUNICACIO-
NES DE MULTIPLES CAMINOS"

(Clase Internacional G06k)

414617



Principios Básicos del Invento

El presente invento se refiere en general a un sistema de control que incluye una unidad central de control acoplada a una pluralidad de unidades transmisoras de respuesta (transpondedoras) sobre un enlace de comunicación para interrogar secuencialmente a estas unidades transmisoras emisoras de respuesta. El sistema está destinado preferiblemente para conexión a una red de distribución de corriente o de potencia para interrogar secuencialmente a una pluralidad de vatímetros y almacenar lecturas respectivas de estos vatímetros. Más específicamente, el invento se refiere a un sistema de interrogación de vatímetros que incluye medios lógicos perceptores "estroboscópicos" variables que responden al máximo retardo del sistema de una red de distribución de potencia de caminos múltiples para permitir que sea seleccionado un bitio subsiguiente de un grupo de bitios pero solamente después de la terminación del bitio anterior transmitido por el camino de longitud máxima.

En la técnica anterior, la lectura de vatímetros domésticos y comerciales era realizada teniendo una persona, empleada por la compañía de potencia, para leer visualmente cada uno de los vatímetros individuales. Este procedimiento suponía una pérdida de tiempo considerable y era relativamente costoso, y no evitaba fácilmente la

414617



lectura errónea de un aparato de medida. También, esta
técnica de lectura visual no detectaba rápidamente un es-
tado de aparato de medida averiado. En un esfuerzo para
remediar algunos de estos problemas, fueron desarrolladas
5 técnicas automáticas de lectura de aparato de medida uti-
lizando bien las propias líneas de las redes de potencia
o bien líneas telefónicas, por ejemplo, como medio de
comunicación. La utilización de líneas telefónicas no era
deseable desde un punto de vista práctico porque tales
10 medios de comunicación no estaban siempre disponibles
convenientemente. Estaba, por supuesto, disponible en ca-
da vatímetro un sistema de comunicación que incluye las
líneas de potencia pero la multiplicidad de caminos de
longitud variable inherente a una red convencional de dis-
15 tribución de potencia proporcionaba retardos de sistema
variables que no eran tenidos en cuenta cuando se trans-
mitía la información sobre la red. Estos retardos de sis-
tema variables incluían siempre un camino de retardo de
valor máximo para la vía de transmisión de retardo más
20 largo. Sin embargo, este camino de retardo máximo varia-
ría dependiendo, al menos en parte, de fluctuaciones de
temperatura y de modo más importante de la conexión y
desconexión de transformadores de red preseleccionados
a medida que variasen los requerimientos de consumo de
25 potencia.



414617

Consiguientemente, un objeto importante del presente invento es crear un sistema mejorado para conexión a una red polifásica de distribución de potencia para interrogar a una pluralidad de vatímetros independientes y almacenar lecturas respectivas de estos vatímetros.

Otro objeto importante del presente invento es crear un sistema de acuerdo con el objeto precedente que incluye una unidad central de control conectada a la red de potencia para almacenar una pluralidad de grupos de bitios codificados en código binario definiendo cada grupo un código de identificación de aparato de medida, y medios para transmitir en serie los bitios que incluyen medios para modular una señal sobre la red de potencia.

Un objeto adicional del presente invento es crear un sistema de acuerdo con los objetos precedentes que incluye adicionalmente una pluralidad de unidades transmisoras emisoras de respuesta de aparato de medida cada una de las cuales está acoplada a un vatímetro para demodular la señal aplicada sobre la red de potencia e identificar el grupo transmitido de bitios codificados en código binario como su propio código de identidad predeterminado.

Aún un objeto adicional del presente invento es crear un sistema de acuerdo con los objetos precedentes en donde la unidad emisora transmisora de respuesta in-



414617

cluye un registro de almacenamiento para almacenar el código de identificación de aparato de medida y un registro de almacenamiento para almacenar continuamente la lectura de aparato de medida.

5 Otro objeto del presente invento es crear un sistema de acuerdo con los objetos precedentes en donde cada una de las unidades emisoras transmisoras de respuesta de aparato de medida incluye una unidad lógica perceptora variable para ingresar cada uno de los bitios recibidos en su registro de almacenamiento de código de identificación de aparato de medida en un tiempo dependiente del camino de retardo máximo de la red de potencia.

10 Un objeto adicional del presente invento es crear un sistema de acuerdo con los objetos precedentes en donde la unidad central de control incluye medios de memoria para almacenar un código de lectura de aparato de medida transmitido, y una unidad lógica perceptora variable para ingresar cada uno de los bitios recibidos de dicha lectura de aparato de medida en dichos medios de memoria en un tiempo dependiente del camino de retardo máximo de la red de potencia.

Resumen del Invento

De acuerdo con el invento, se crea un sistema para interrogar secuencialmente a una pluralidad de unidades emisoras transmisoras de respuesta para determinar



4146172

las lecturas almacenadas en las mismas. El sistema comprende una unidad central de control que está destinada a almacenar una pluralidad de códigos de identificación de aparatos de medida independientes, cada uno de los
5 cuales incluye un grupo de bitios codificados en código binario, y una pluralidad de unidades alejadas emisoras transmisoras de respuesta de aparato de medida destinadas a recibir un código de identificación de aparato de medida transmitido, identificar su propio código predeter-
10 minado y enviar su lectura de aparato de medida en retorno a la unidad central de control.

En una realización del invento, el código de identidad de aparato de medida es transmitido en serie sobre la red de potencia modulando una señal de alta frecuencia
15 de duración fija, indicativa de un tiempo fijo de bitio, sobre la línea convencional de 60 ciclos. En un ejemplo ilustrativo fue utilizada una señal de 900 ciclos para indicar un CERO binario y una señal de 1.100 ciclos para indicar un UNO binario. Esta técnica de modulación
20 fue utilizada para transmitir tanto códigos de identificación de aparatos de medida como códigos de lectura de aparatos de medida sobre la red de distribución de potencia.

De acuerdo con uno de los aspectos del presente
25 invento, está dispuesto un registro de almacenamiento



414617

para contener el código de identidad de aparato de medida transmitido. Está también dispuesta en cada unidad transmisora emisora de respuesta una unidad lógica de percepción variable para ingresar cada uno de los bitios
5 recibidos en el registro de almacenamiento en un tiempo dependiente del retardo máximo de una red particular de distribución de potencia. Esta unidad lógica selectora puede incluir medios para determinar la diferencia de tiempo entre la recepción del comienzo del bitio sobre
10 el camino más corto, y la terminación del mismo bitio transmitido sobre el camino máximo. La unidad lógica perceptora variable puede incluir también medios para percibir los bitios de cada uno de los códigos de identificación aproximadamente en la mitad de la diferencia de
15 tiempo determinada y medios para evitar que el bitio subsiguiente sea seleccionado hasta después de la diferencia de tiempo determinada.

De acuerdo con otro aspecto del presente invento pueden también estar dispuestos medios lógicos perceptores variables en la unidad central de control para compensar los cambios en el retardo máximo de sistema. En
20 este caso la unidad central de control incluiría medios de almacenamiento para recibir secuencialmente el código transmitido de lectura de aparato de medida, y los medios
25 lógicos perceptores variables funcionarían como se ha

414617



comentado antes con respecto a cada una de las unidades emisoras transmisoras de respuesta.

Se pondrán de manifiesto otros numerosos objetos y características del presente invento al leer la siguiente descripción detallada en combinación con los dibujos que se acompañan en los cuales:

Breve Descripción de los Dibujos

La Figura 1 es un diagrama de bloques de una red de distribución de potencia, que presenta la unidad central de control y unidades emisoras transmisoras de respuesta.

La Figura 2 ilustra parcialmente en forma de bloques el problema de caminos múltiples asociado con una red típica de distribución de potencia.

La Figura 3 es un diagrama de bloques que representa las partes generales que componen una unidad central de control y una unidad emisora transmisoras de respuesta.

La Figura 4 representa diagramas de tiempo que indican la transferencia de datos a lo largo de la red de potencia y formas de onda de diversos circuitos indistintamente en la unidad central o en la unidad emisora transmisoras de respuesta, que representan porciones de cada intervalo de bitio.

La Figura 5 representa con algo más detalle una

414617



parte de la unidad central de control que incluye el computador, medios de almacenamiento de memoria, medios de puerta y medios definidores de intervalo.

La Figura 6 representa con algo más de detalle el
5 resto de la unidad central de control incluyendo los medios lógicos perceptores variables, medios moduladores desmoduladores, y unidad de control de reacción.

La Figura 7 es un diagrama de bloques en detalle de una unidad típica emisora transmisora de respuesta de
10 acuerdo con el invento.

La Figura 8 es un diagrama lógico del registro de paralelo a serie representado en la Figura 6.

Descripción Detallada

Con referencia ahora a la Figura 1, está representada una parte de una red típica de distribución de potencia que incluye un alternador 10 que es usualmente de diseño convencional y está destinado a generar una tensión trifásica de 13.800 voltios, por ejemplo, sobre una línea 14 de tres hilos. Está representado un transformador 16 elevador conectado entre la línea 14 y una
20 línea 18 de transmisión de alta tensión de tres hilos. El transformador 18 está destinado a elevar la tensión trifásica de 13.800 voltios sobre la línea 14 a 138.000 voltios, por ejemplo, sobre la línea 18. En una realización,
25 ción, la unidad 20 central de control está conectada a

414617



la línea 14 trifásica y está destinada a incluir un computador u otra unidad de almacenamiento de datos para almacenar códigos de identidad de aparatos de medida y códigos de lectura de aparato de medida, preferiblemente en forma binaria. Una red completa de distribución de potencia puede incluir varios alternadores 10 y transformadores 16.

Con el fin de distribuir la potencia trifásica de la línea 18 de transmisión, están acoplados a la línea 18 varios transformadores 22 reductores, de los cuales está representado solamente uno en la Figura 1. Se hace algunas veces referencia a estos transformadores 22 como subestaciones en el sistema. El transformador 22 reductor reduce la tensión de 138.000 voltios sobre la línea 18 a 13.800 voltios sobre la línea 24 de tres hilos. La salida de cada transformador 22 está conectada, a su vez, por intermedio de la línea 24 trifásica, a varios transformadores 26 de distribución, de los cuales están representados dos en la Figura 1. Todos los transformadores 16, 22 y 26 pueden ser de diseño convencional.

El transformador 26 de distribución está dispuesto para rebajar la tensión presente sobre la línea 24 a un valor que es típico para uso de consumidor, tal como 120 voltios o 220 voltios indistintamente. La línea trifásica 27 de salida de tres o cuatro hilos de cada trans-

414617



formador 26 está conectada a varios vatímetros 28 domésticos o comerciales. Cada uno de estos vatímetros 28 está conectado entre la línea 27 y la carga 29 eléctrica y están destinados a indicar continuamente el consumo
5 en kilovatios. Está también conectada a la línea 27 una unidad 30 emisora transmisora de respuesta y a cada vatímetro 28, y está destinada a recibir códigos de identidad de aparato de medida sobre la línea 27, identificar su propio código de identidad de aparato de medida
10 predeterminado, almacenar un código de lectura de aparato de medida, y enviar tal código de lectura de aparato de medida a la unidad 20 central de control cuando se solicita. El vatímetro 28 es preferiblemente de diseño convencional e incluye típicamente un disco giratorio
15 del cual puede ser generado un impulso de revolución. En las Figuras 5 y 6 está representada una realización preferida para la unidad 20 central de control, mientras que en la Figura 7 está representada una realización preferida para la unidad 30 emisora transmisora de res-
20 puesta.

Como se ha mencionado anteriormente, uno de los problemas encontrados en la recepción y transmisión de datos desde la unidad 20 central de control es que existe una multiplicidad de caminos de red de distribución
25 de potencia entre la unidad 20 y cualquiera de las uni-

414617



dades 30 receptoras transmisoras de respuesta. La Figura 2 representa esquemáticamente una porción de la red de distribución de potencia que incluye barras 32 de distribución de potencia. Las líneas de distribución de potencia están representadas esquemáticamente como una línea única con el fin de simplificar el diagrama. Para la realización de la Figura 2 la unidad 20 central de control está conectada directamente a la línea 18 en vez de a la línea 14 como se indica en la Figura 1. El transformador 22 reductor está conectado entre la línea 18 de transmisión de alta tensión y la línea 24 de distribución que alimenta una pluralidad de transformadores 26 de distribución. En la Figura 2, están representados conectados a la línea 18 de transmisión un transformador 22' independiente y un transformador 26' de distribución. El transformador 26' puede estar conectado también a otros sistemas de barras de distribución de red. Se realiza directamente el camino de retardo máximo mediante la conexión o desconexión de los transformadores 26 ó 26'.

La Figura 2 representa precisamente dos de los muchos caminos que conectan la unidad 20 central de control a una de las unidades 30 receptoras transmisoras de respuesta. Solamente están representadas dos de las muchas unidades 30 receptoras transmisoras de respuesta.



414617

El más corto de los dos caminos está designado como camino x, mientras que el más largo está designado como camino y. Sin embargo, debido a las diferentes longitudes de todas las rutas posibles, el tiempo de retardo
5 variará de una ruta a otra. Para cualquier sistema controlado por una única unidad 20 central de control, existe un camino máximo en cualquier instante, cuyo camino está sometido a cambio cuando son conectados o desconectados de la red diferentes transformadores.

10 En la Figura 2 los transformadores 22 y 22' pueden ser transformadores convencionales y- Δ . Los transformadores 26 y 26' pueden ser también de diseño convencional, tales como transformadores y- Δ destinados a suministrar tensiones trifásicas típicas de 220 o 120 vol-
15 tios sobre una línea de transmisión a cuatro hilos. Los aparatos 28 de medida pueden ser también vatímetros convencionales domésticos o comerciales.

La Figura 4 representa un diagrama de tiempos que indica el bitio transmitido inicialmente de un código completo y los bitios recibidos en una unidad receptora
20 transmisora de respuesta desde diferentes caminos. La Figura 4a representa un bitio de datos, transmitido desde la unidad 20 central de control modulando una señal de alta frecuencia sobre la línea de transmisión. Este bitio
25 de datos comienza en el instante T_0 y tiene una duración

414617



de T. Este dato modulado es transmitido sobre la línea de potencia y recibido en primer lugar en el instante T_A en la unidad 30 receptora transmisora de respuesta interrogada. Este bitio de datos tendría también una
5 duración T de tiempo, y está representado en la Figura 4b. El bitio de datos transmitido sobre el camino máximo es recibido en el instante T_M y está representado en la Figura 4c. Obsérvese en la Figura 4a que no es enviado el siguiente bitio de datos hasta después del flanco posterior del bitio de datos de camino máximo de la
10 transmisión anterior. En las Figuras 4a, 4b y 4c está representada una onda rectangular para ilustrar cada uno de los tiempos de bitio. La señal modulada real sería variable en el tiempo durante el tiempo T de bitio.

15 Con referencia ahora a la Figura 3, está representado un diagrama de bloques de una unidad típica central de control y una unidad receptora transmisora de respuesta construidas de acuerdo con los principios del presente invento. Tanto la unidad 20 central de control como la unidad 30 receptora transmisora de respuesta están acopladas a una línea convencional trifásica de transmisión de potencia indicada por los tres hilos 32a, 32b, 32c. La línea de transmisión puede incluir físicamente
20 cuatro hilos, en donde el cuarto hilo es un hilo de retorno de tierra.
25



414617

La unidad 20 central de control incluye en su organización general un computador o unidad 40 de tratamiento de datos, una unidad 60 de temporización y control de puerta, una unidad 50 de almacenamiento, una unidad
5 70 lógica perceptora variable, una unidad 80 de control de reacción y una unidad 90 moduladora desmoduladora. El computador 40 es preferiblemente un computador convencional para uso general que está destinado a almacenar tanto códigos de identificación de aparatos de medida
10 como códigos de lectura de aparato de medida asociados, e incluye medios de salida para conexión a ciertas unidades periféricas. Estas unidades periféricas están representadas en la Figura 3 incluyendo una unidad 36 de transmisión/recepción que puede ser una máquina convencional de teletipo, y una impresora 38 que es preferiblemente
15 una impresora de alta velocidad. La impresora 38 puede ser una impresora típica de impacto o una impresora electrostática sin impacto, por ejemplo. La memoria 42 auxiliar puede ser una unidad convencional de cinta
20 magnética o, alternativamente, podría ser una unidad de almacenamiento de discos magnéticos o unidad de almacenamiento óptico. Estas unidades periféricas están destinadas a enviar, recibir, imprimir o almacenar lecturas de aparato de medida y/o códigos de identificación de
25 aparatos de medida. Pueden estar programadas ciertas



414617

prioridades en el computador 40 para determinar cuándo es utilizada cada una de las unidades y también cuándo han de ser enviados a la unidad 50 de almacenamiento códigos de identificación de aparatos de medida.

5 La unidad 60 de temporización y puerta incluye una pluralidad de puertas lógicas independientes y circuitos de temporización para controlar la transferencia de datos. El circuito de temporización de la unidad 60 define tres intervalos básicos de tiempo: (1) cuando han
10 de ser enviados a la unidad 50 de almacenamiento una pluralidad de códigos de identificación de aparatos de medida; (2) cuando está siendo transmitido cada código de identificación y cuando está siendo recibido y almacenado su correspondiente código de lectura; y (3) cuando son
15 transmitidos en retorno al computador 40 la pluralidad de códigos de lectura de aparato de medida. La unidad 50 de almacenamiento puede ser una memoria convencional de núcleos magnéticos o memoria de línea de retardo sónica. Pueden estar incluidos como parte de la unidad 50 circuitos
20 adecuados de lectura/escritura, como podrían estarlo un registro de direcciones y un registro de salida de datos. La Figura 5 representa una realización para la unidad 50 de almacenamiento.

La unidad 20 central de control representada en
25 la Figura 3 incluye también una unidad 80 de control de



414617

reacción que está destinada a permitir la transmisión de un código de identificación, bitio a bitio, a la unidad 90 moduladora desmoduladora. La unidad 80 incluye también una tercera línea (de entrada) procedente de la
5 unidad 90 moduladora desmoduladora que controla la velocidad a la cual es enviado cada uno de los bitios de datos, que depende del camino máximo encontrado por los datos recibidos por intermedio de la unidad 90 moduladora desmoduladora. Está representada y se comenta con mayor
10 detalle con referencia a la Figura 6 una realización de la unidad 80 de control de reacción.

La unidad 90 moduladora desmoduladora puede comprender un modulador del tipo FSK (clave de activación por frecuencia), un filtro de paso alto y un circuito
15 convertidor a onda rectangular. En una realización preferida, el modulador está destinado a convertir una señal binaria UNO/CERO en una señal de alta frecuencia modulada sobre la línea de transmisión de potencia. Para representar un bitio UNO de un código de identificación, por
20 ejemplo, sería modulada sobre la línea de potencia una señal de 1.100 ciclos de duración de tiempo predeterminada (tiempo de bitio). Alternativamente, para representar un CERO de un código de identificación, sería modulada de un modo similar sobre la línea de potencia una
25 señal de 900 ciclos. Estaría previsto un tiempo de reposo



414617

entre cada uno de los tiempos de bitio. El filtro de pa-
so alto de la unidad 90 moduladora desmoduladora dejaría
pasar solamente señales de alta frecuencia, y tendría
una ganancia relativamente constante en la gama de fre-
5 cuencias de 800-1.200 ciclos, por ejemplo. El circuito
convertidor a onda rectangular podría ser un circuito
rectificador convencional de media onda que generaría una
señal de salida de media onda rectangular. En la Figura
6 está representada una realización de la unidad 90 mo-
10 duladora desmoduladora.

El convertidor 64 de frecuencia a código binario
está acoplado desde una salida de la unidad 90 modulado-
ra desmoduladora a una entrada del registro 62 de lectu-
ra. El convertidor 64 puede incluir, por ejemplo, medios
15 contadores y medios de almacenamiento binario, y está
destinado a convertir la señal detectada de 900 o 1.100
ciclos procedente de la unidad 90 moduladora desmodula-
dora en un nivel binario. Las Figuras 4d, 4e y 4f repre-
sentan las señales de alta frecuencia procedentes del fil-
20 tro de paso alto, las señales convertidas a onda rectan-
gular y la correspondiente señal de nivel binario, res-
pectivamente, para una pauta de bitios 0101. El código
de identificación de aparato de medida recibido es alma-
cenado secuencialmente en el registro 62 de lectura, y
25 está dispuesta la unidad 70 lógica perceptora variable



24 1973
414617

para ingresar cada uno de los bitios recibidos en el registro 62 en un instante dependiente del retardo máximo de una red particular de distribución de potencia. La unidad 70 lógica perceptora variable incluye medios para determinar la diferencia de tiempo entre la recepción del comienzo del bitio (comienzo de la señal de alta frecuencia) sobre el camino más corto, y la terminación del mismo bitio transmitido sobre el camino máximo. En una realización preferida, la unidad 70 lógica perceptora variable incluye también medios para seleccionar el bitio de datos convertido a nivel binario aproximadamente en el centro de la diferencia de tiempos determinada y medios para evitar que el bitio de datos subsiguiente convertido a nivel binario sea percibido hasta después que haya transcurrido la diferencia de tiempos determinada, evitando así la percepción de un bitio erróneo debido a variaciones del retardo del sistema.

Refiriéndonos ahora a la unidad 30 receptora transmisora de respuesta, está representada una unidad 110 moduladora desmoduladora, un vatímetro 28, una unidad 120 lógica perceptora variable, un registro 130 de código de identificación, un registro 112 de lectura, una unidad 140 de comparación y una memoria 142 de código de aparato de medida. La unidad 110 moduladora desmoduladora es similar en diseño a la unidad 90 moduladora desmo-

414617



duladora e incluye un modulador para interpretar un bitio binario indistintamente como un UNO o un CERO y modular la señal adecuada de 900 ó 1.100 ciclos sobre la línea de transmisión. La unidad 110 moduladora desmoduladora incluye también un filtro de paso alto y un circuito convertidor a onda rectangular para interpretar el código recibido de identificación de aparato de medida. El vatímetro 28 puede ser un aparato de medida convencional doméstico o comercial que está conectado a una carga 29 y a la línea de transmisión de potencia. El vatímetro 28 está destinado a generar un impulso de revolución sobre la línea de salida que conecta al registro 112 de lectura. La frecuencia de repetición según la cual son transmitidos los impulsos sobre esta línea de salida está en relación directa con el consumo de kilowatios de la correspondiente carga 29.

La unidad 120 lógica perceptora variable de la unidad 30 puede ser sustancialmente idéntica a la unidad 70 lógica de la unidad 20. El código de identidad transmitido es almacenado secuencialmente en el registro 130 de código de identificación y la unidad 120 lógica perceptora variable incluye una salida perceptora para ingresar cada uno de los bitios recibidos en el registro 130 en un tiempo dependiente del retardo máximo de una red particular de distribución de potencia. La unidad 120



414617

lógica perceptora variable puede incluir los mismos medios que la unidad 70 lógica perceptora variable.

El convertidor 132 de frecuencia a código binario cambia la salida en forma de impulsos de la unidad 110
5 moduladora desmoduladora a un código de nivel binario. Este es el nivel binario representativo de cada bitio que es percibido por la salida de la unidad 120 lógica para ingresar el bitio de datos en el instante adecuado en el registro 130.

10 La memoria 142 de código de aparato de medida contiene un código binario fijo. Cada memoria 142 situada en cada una de las unidades 30 receptoras transmisoras de respuesta contiene un código diferente que identifica su unidad 30 y vatímetro asociado. La salida de la memo-
15 ria 142 y el registro 130 están conectadas a la unidad 140 de comparación. Cuando los códigos almacenados en la memoria 142 y el registro 130 son idénticos, la unidad 140 de comparación genera una salida, indicando así que ha sido interrogada esa unidad receptora transmisora de
20 respuesta. La salida de la unidad 140 está acoplada al registro 112 de lectura que contiene un código binario representativo del consumo de kilowatios y correspondiente a dicho consumo. De este modo, la salida de la unidad 140 de comparación desplaza el contenido del registro
25 112 a la unidad 110 moduladora desmoduladora. Este despla-



2
414617

zamiento puede tener lugar a una velocidad predeterminada o a una velocidad determinada al menos en parte por el camino máximo de los datos recibidos por la unidad 30 receptora transmisora de respuesta. La unidad 110 moduladora desmoduladora incluye medios para percibir el estado binario de cada bitio y enviar la señal adecuada modulada en alta frecuencia sobre la línea de transmisión de potencia. La unidad 30 receptora transmisora de respuesta está representada con más detalle en la Figura 7.

Con referencia ahora a la Figura 5, está representada una porción de la unidad 20 central de control que incluye medios 50 de almacenamiento, el computador 40 y medios lógicos de temporización y puerta. Los medios 50 de almacenamiento están representados incluyendo una memoria 52 principal, excitadores 54 de escritura, amplificadores 56 de lectura, un decodificador 58 de dirección y un registro 59 de salida de memoria. Los medios 50 de almacenamiento pueden ser de diseño convencional en donde la memoria 52 principal es un conjunto de núcleos magnéticos y el decodificador 58 de dirección es bien un decodificador de matriz de diodos o bien un descodificador de puertas lógicas. Un ciclo de lectura-escritura es típico en la mayoría de los sistemas de almacenamiento de memoria para leer información de la memoria y



414617

escribir información en ella. Los excitadores 54 de escritura están destinados a escribir datos en la memoria 52 principal bajo el control de la salida W del circuito 61 biestable de lectura escritura (R/W). Similarmente, 5 los amplificadores 56 de lectura están destinados a leer datos de la memoria 52 principal bajo el control de la salida R del circuito 61 biestable. El registro 59 de salida de memoria contiene indistintamente códigos de identificación o de lectura que son leídos de la memoria 10 52 principal o bien escritos en la misma.

En la Figura 5 el computador 40 incluye ilustrativamente una sección de entrada salida que está destinada a enviar y recibir órdenes de control y datos. El computador 40 tiene tres órdenes de salida; (1) una orden de 15 sincronismo (SYNC); (2) una orden (SI) de CODIGO DE IDENTIFICACION DE ENVIO; y (3) una orden (SR) de CODIGO DE LECTURA DE ENVIO. El computador 40 recibe también dos órdenes de entrada procedentes del circuito lógico de temporización de la unidad 20 central de control. Estas órdenes son: (1) CODIGOS DE IDENTIFICACION DE SOLICITUD 20 (RI); y (2) CODIGOS DE LECTURA DE SOLICITUD (RR). Están también acopladas desde el computador 40 a puertas 63 y 65 de transferencia una pluralidad de líneas 41 de transferencia de datos.

25 La Figura 5 representa, adicionalmente al compu-



414617

tador 40 y unidad 50 de almacenamiento, circuitos lógicos de temporización para definir los intervalos de temporización individual asociados con la unidad 20 central de control. Estos circuitos lógicos de temporización incluyen un contador 71 de direcciones, un contador 73 de intervalo, el circuito 61 biestable y puertas 63, 65, 67 y 69 de datos. En la realización expuesta el contador 73 de intervalo puede ser un contador de dos pasos que cuenta típicamente de cero a tres en sistema decimal codificado en binario (BCD). Podrían ser utilizados dos circuitos biestables convencionales y estarían conectados de modo conocido para formar un contador que aumentaría su cómputo cada vez que es recibido un impulso sobre la línea 73C de cómputo de entrada. El descodificador 74 de intervalo está conectado desde la salida del contador 73 de intervalo y está destinado a descodificar cada uno de los cuatro estados diferentes del contador 73. Las cuatro líneas de salida que están conectadas entre el contador 73 y el descodificador 74 pueden estar conectadas a las dos salidas biestables de los dos circuitos biestables del contador 73 respectivamente. Los cuatro estados del contador 73 son descodificados por el descodificador 74 como intervalos A, B, C y D. Durante el intervalo A son transmitidos códigos de identificación de aparato de medida a la memoria 52 principal. Durante el



414617

intervalo B son enviados los códigos de identificación, uno por uno, a una unidad receptora transmisora de respuesta y es almacenada una lectura de los mismos en la memoria 52 principal. Durante el intervalo C es transmitido un grupo almacenado de códigos de lectura de aparato de medida desde la memoria 52 principal al computador 40. El descodificador del intervalo D actúa sólo transitoriamente y es utilizado para generar una señal de reposición por intermedio de la línea 74A que hace retornar el contador 73 a su estado A. El descodificador 74 de intervalo puede ser un descodificador de puerta "Y" convencional, o similar.

El contador 71 de dirección está destinado a contar desde 0 a 4.095 (4.096 cómputos en total) en la realización ilustrada, y puede ser de diseño convencional incluyendo doce circuitos biestables (2^{12} igual 4.096) para proporcionar los cómputos necesarios. Una de las salidas del contador 71, que comprende realmente una pluralidad de líneas de salida cada una de las cuales está conectada desde uno de los circuitos biestables del contador 71, está conectada al descodificador 58 de dirección. El descodificador 58 de dirección interpreta el cómputo en el contador 71 y selecciona una de las direcciones (situaciones) en la memoria 52 principal en la cual son escritos datos o bien son leídos de la misma.



25
414617

La segunda salida del contador 71 también comprende una pluralidad de líneas de salida cada una de las cuales está conectada desde uno de los circuitos biestables del contador 71 y está conectada al descodificador 72 que
5 está destinado a descodificar (percibir) la posición 0 del contador 71. El descodificador 72 puede también ser un descodificador de puerta "Y" convencional. Cada vez que el contador 71 ha contado desde 0 a 4.095 y el descodificador 72 percibe el cómputo 0, es generado un impulso
10 de cómputo sobre la línea 73C que conecta al contador 73 de intervalo.

El avance secuencial del contador 71 es realizado por impulsos de cómputo generados sobre la línea 71C de cómputo de entrada desde el circuito lógico de cómputo.
15 Este circuito lógico de cómputo incluye puertas "Y" 45, 46 y 47, la puerta "O" 48 y un circuito 49 de retardo. La puerta "Y" 45 es habilitada cuando se recibe un impulso SYNC del computador, cuando el computador 40 genera también una orden SI, y cuando el contador 73 de intervalo
20 está en el estado A. De este modo, cuando el sistema está en el estado A, el computador 40 está transmitiendo códigos de identificación sobre las líneas 41 de datos y la puerta 45 deja pasar un impulso cuando están presentes concurrentemente las órdenes SI y SYNC. Este
25 impulso de salida de la puerta "Y" 45 habilita la puer-



414617

ta "O" 48, es retardado por el circuito 49 de retardo y es acoplado por la línea 71C de cómputo al contador 71. Está dispuesto el circuito 49 de retardo para asegurar que el contador 71 de dirección cambia solamente su estado de cómputo después que el código de identificación ha tenido suficiente tiempo para ingresar en la memoria 52 principal. Las otras puertas "Y" 46 y 47 están dispuestas para avanzar el contador 71 durante los intervalos B y C, respectivamente. La señal N BIT es generada por el registro 96 de lectura, representado en la figura 6, durante el intervalo B después que el código de identificación ha sido transmitido sobre la línea de potencia y ha sido recibido el último bitio (N BIT) del código de lectura. La salida de la puerta "Y" habilita también la puerta "O" 48 y avanza el contador 71 a su estado de cómputo siguiente. Durante el intervalo C los códigos de lectura almacenados en la memoria 52 principal son transmitidos al computador 40 cuando el computador 40 genera una orden SYNC y SR. Esto también habilita la puerta "O" 48 y avanza el contador 71.

Los multivibradores 75 y 76 monoestables están destinados a generar las señales RI y RR de solicitud, respectivamente, que son acopladas al computador 40. Cuando el descodificador 74 percibe el comienzo del intervalo A, el multivibrador 75 monoestable vuelve a su estado



414617

de nivel alto durante un intervalo predeterminado y la
orden RI toma nivel alto. El computador 40 "sabe" enton-
ces que la unidad 20 central de control ha terminado de
transmitir códigos de lectura de aparato de medida y es-
5 tá lista para recibir códigos de identificación. Subs-
iguientemente, cuando el descodificador 74 percibe el co-
mienzo del intervalo C, el multivibrador 76 monoestable
vuelve a su estado de nivel alto durante un intervalo
predeterminado y la orden RR toma nivel alto. El computador
10 40 "sabe" entonces que la unidad 20 central de control
ha transmitido todos sus códigos de identificación a
las unidades 30 receptoras transmisoras de respuesta, ha
recibido códigos de lectura correspondientes de las mis-
mas, y está lista para enviar estos códigos de lectura
15 al computador 40.

En la Figura 5 el circuito 61 biestable R/W con-
trola la lectura de la memoria 52 principal y la escri-
tura en la misma, y controla también el flujo de datos
por intermedio de las puertas 67 y 69 de datos. El cir-
20 cuito 61 biestable puede ser un circuito biestable con-
vencional en donde una señal de entrada sobre la línea
61A hace que la salida R tome nivel alto, y una señal de
entrada sobre la línea 61B hace que la salida W tome ni-
vel alto. Las puertas "O" 77 y 78 tienen sus salidas aco-
25 pladas, respectivamente, a las líneas 61A y 61B de entra-



414617

da. Durante el intervalo A la puerta "0" 78 está habilitada, la línea 61B está a nivel alto y el circuito 61 biestable está en su estado W (escritura) activando así los excitadores 54 de escritura y permitiendo que los códigos de identificación ingresen en la memoria 52 principal. El camino de datos está establecido desde las líneas 41 de datos del computador 40, por medio de la puerta 65 de datos que está habilitada solamente durante el intervalo A, sobre la línea 66 general de datos, y finalmente al registro 59 de memoria. Los datos contenidos en el registro 59 son escritos en cualquier momento en la dirección seleccionada o bien son leídos de la misma por el descodificador 58 de dirección. Durante el intervalo A cuando W está a nivel alto, los excitadores 54 de escritura están activados y son escritos en la memoria 52 principal los códigos de identificación. Estos códigos son transmitidos desde el computador 40 a la frecuencia de repetición de impulsos SYNC y el contador 71 de dirección incrementa a la siguiente dirección (véase la puerta 45) solamente después de que han sido escritos los datos.

Durante el intervalo B es transmitido en serie un código de identificación, es recibido en serie un código de lectura y es transmitido el siguiente código de identificación. Esta secuencia continúa hasta que han sido



414617

5 enviados todos los códigos de identificación y han sido recibidas las lecturas correspondientes. Es durante este intervalo cuando son activadas las unidades lógicas perceptoras variables para controlar el tiempo de recepción de cada bitio de un código, cuyo tiempo depende del camino de retardo máximo de una red en cualquier instante determinado.

10 La puerta "O" 77 tiene una entrada de intervalo B que habilita la puerta 77, conmuta la línea 61A a nivel alto y pone el circuito 61 biestable en su estado R (leer). Esta acción activa los amplificadores 56 de lectura y la puerta "Y" 43 y permite que fluya un código de identificación en paralelo a través del registro 59, sobre la línea 66 general de datos, y por medio de la
15 puerta 67 de datos habilitada al registro 94 paralelo a serie, representado en la figura 6 y comentado posteriormente. Cuando el registro 96 de lectura recibe el último bitio del código de lectura correspondiente, la señal N BIT toma nivel alto, la puerta 78 es habilitada y el
20 circuito 61 biestable conmuta a su salida W. Esta acción activa los excitadores 54 de escritura y la puerta "Y" 44 y permite que pase el código de lectura desde el registro 96 de lectura, por medio de la puerta 69 de datos y la línea 66 general de datos, a la memoria 50. El código
25 de lectura es ingresado en la misma situación de



414617

dirección que lo fue el código de identificación. El contador 71 es incrementado solamente después que ha ingresado la lectura.

El circuito 79 de retardo está acoplado entre la

5 entrada N BIT de la Figura 5 y una de las entradas de la puerta "O" 77. El tiempo de retardo del circuito 79 de retardo es suficientemente largo para permitir que ingrese el código de lectura de aparato de medida en la memoria 50 antes de que el circuito 61 biestable vuelva a su

10 estado R, de modo que puede ser leído de la memoria 50 el siguiente código de identificación. De este modo, la señal N BIT retardada habilita la puerta 77, conmuta el circuito 61 biestable a su estado R y activa los amplificadores 56 de lectura y la puerta 67 de datos, por in-

15 termedio de la puerta "Y" 43. Esta secuencia de lectura escritura del circuito 61 biestable continúa hasta que el contador 71 de dirección vuelve a su cómputo cero y el contador 73 de intervalo cambia al intervalo C. En ese tiempo todos los códigos de identificación deberán

20 haber sido enviados y deberán haber sido recibidos todos los correspondientes códigos de lectura de las unidades 30 receptoras transmisoras de respuesta.

Durante el intervalo C los códigos de lectura almacenados son transmitidos al computador 40 a una frecuencia de repetición de impulsos SYNC. La señal C habi-

25

414617



lita la puerta "0" 77 que conmuta el circuito 61 biesta-
ble a su estado R. Esta acción activa los amplificadores
56 de lectura durante el intervalo C completo, y también
habilita la puerta 63 de datos. El flujo de datos pasa
5 desde la memoria 50, sobre la línea 66 general de datos,
a través de la puerta 63 de datos, y al computador 40
sobre las líneas 41 de datos. Al final del intervalo C,
el descodificador 74 de intervalo conmuta transitoria-
mente al estado D. Esta acción genera una señal sobre
10 la línea 74A que hace volver inmediatamente al contador
73 a su estado A.

Con referencia ahora a la Figura 6, está represen-
tado el resto de la unidad 20 central de control, que
incluye la unidad 70 lógica perceptora variable, la uni-
15 dad 90 moduladora desmoduladora, y la unidad 80 de con-
trol de reacción. El código de identificación en forma
binaria es acoplado al registro 94 de paralelo a serie
desde la puerta 67 de datos de la figura 5 durante el
intervalo B. El registro 94 puede ser de diseño conven-
20 cional y está destinado a recibir datos de identificación
de la puerta 67 sobre la línea 94A, almacenar estos da-
tos, y desplazar los datos en salida sobre la línea 94C
bajo el control del registro 93 de desplazamiento de im-
pulsos. En la Figura 8 está representada una realización
25 del registro 94.



414617

En una realización ilustrativa del invento cada código de identificación comprende 16 bitios y cada código de lectura comprende 16 bitios. La salida N BIT, por consiguiente, del registro 96 de lectura tendría lugar cuando se detectase el decimosexto bitio del código de lectura. Cuando se transmite un código de identificación, el registro 94 habría de tener una capacidad de almacenar 16 bitios de datos y estos 16 bitios serían transmitidos secuencialmente por intermedio de la línea 94c al modulador 95 FSK. El modulador 95 puede incluir dos osciladores para generar frecuencias de 900 y 1.100 ciclos, medios de puerta que responden al estado (UNO o CERO) de cada bitio para dejar paso a la señal del oscilador de 900 ciclos cuando está indicado un CERO y dejar pasar la señal del oscilador de 1.100 ciclos cuando está indicado un UNO, y medios de modulación para modular secuencialmente bien la señal de 900 ciclos o bien la señal de 1.100 ciclos de salida controlada en su peso durante un tiempo predeterminado sobre la línea 27 trifásica de transmisión.

Una de las unidades 30 receptoras transmisoras de respuesta reconocerá su propio código de identificación y transmitirá su código de lectura en serie según un principio de un bitio a la vez, a la unidad 20 central de control. Este código de lectura transmitido es acoplado,



414617

por medio de la línea 27 de transmisión, al filtro 97
de paso alto que deja pasar las señales de alta fre-
cuencia (900 ó 1.100 ciclos) y bloquea la señal de 60
ciclos. En la Figura 4d está representada una salida tí-
5 pica del filtro 97. La salida del filtro 97 está acopla-
da al circuito 98 convertidor a onda rectangular que pue-
de incluir un rectificador de media onda y un circuito
limitador. La salida del circuito 98 convertidor a onda
rectangular está representada en la figura 4b como un
10 tren de impulsos de frecuencia igual indistintamente a
900 ó 1.100 ciclos. Esta salida está acoplada a la uni-
dad 70 lógica selectora variable, la unidad 80 de control
de reacción y el convertidor 64 de frecuencia a código
binario. El convertidor 64 puede incluir típicamente dos
15 comparadores con una señal de impulsos de tiempo de 900
y 1.100 ciclos acoplada a cada comparador. Será detecta-
do un UNO binario cuando uno de los comparadores está
activado y un CERO binario cuando el otro está activado.
En la Figura 4f está representada la salida del conver-
20 tidor 64 para una pauta de bitios ilustrativa de 0101.
En la figura 4f está dispuesto un intervalo de reposo en-
tre los bitios de datos durante cuyo tiempo puede consi-
derarse que la señal está a un nivel de referencia si es-
tá representado ilustrativamente un UNO como un nivel po-
25 sitivo y un CERO como un nivel negativo. Obviamente, pue-



414617

den ser utilizados otros sistemas para indicar UNOS y CEROS. La salida del convertidor 64 está conectada al registro 96 de lectura y cada bitio de datos es seleccionado en el instante correcto por un impulso acoplado sobre la línea 86 A procedente del comparador 86 de la unidad 70 lógica perceptora variable.

La unidad 70 lógica comprende el diferenciador 81 de tiempo de subida, el circuito 82 monoestable, el contador 83, el registro 85, el circuito 87 de estado inicial, y el comparador 86. Supongamos que el filtro 97 de paso alto está a punto de recibir una señal de alta frecuencia transmitida desde una unidad receptora transmisora de respuesta sobre la línea 27 de potencia a través del camino más corto entre la unidad receptora transmisora de respuesta interrogada y la unidad 20 central de control. El diferenciador 81, que puede ser un circuito convencional que incluye un circuito R-C, detecta el flanco de subida de cada uno de los impulsos (véase la figura 4e) procedentes del circuito 98 convertidor a onda rectangular y genera un impulso estrecho y agudo de cómputo sobre la línea 81A de salida. Esta salida está acoplada a la entrada de cómputo del contador 83 y al multivibrador 82 monoestable.

El contador 83 recibe un impulso de cómputo a través de la línea 81 A procedente del diferenciador 81



414617

mientras el filtro 97 está detectando una señal de alta frecuencia. Después de finalizar el bitio de datos que ha pasado por el camino máximo, el diferenciador 81 no detecta más impulsos y, de este modo, el contador 83 ha
5 alcanzado su cómputo máximo. El multivibrador 82 monoestable recibe también impulsos de cómputo a través de la línea 81 A, y está destinado a cambiar su estado de nivel alto cuando es recibido un impulso y permanecer en ese estado mientras continúan recibiendo impulsos con
10 el ritmo de repetición de alta frecuencia. De este modo, el circuito 82 monoestable mide realmente la diferencia de tiempo entre la recepción del primer impulso del diferenciador 81 y la recepción del último impulso sobre el camino máximo procedente del diferenciador 81.

15 Cuando el circuito 82 monoestable vuelve a su estado de bajo nivel, es generada una señal sobre la línea 82 A de salida que está acoplada al circuito 84 de retardo y al registro 85. El registro 85 puede ser de diseño convencional y está destinado a tener almacenada la
20 mitad del cómputo en el contador 83 transferida al mismo cuando es generada una salida sobre la línea 82 A de salida. El circuito 84 de retardo está dispuesto entre la línea 82 A de salida y el contador 83 para retardar el impulso presente sobre la línea 82 A de modo que la trans-
25 ferencia desde el contador 83 al registro 85 puede tener



414617

lugar antes de que el contador 83 sea repuesto. En la figura 6 están conectadas seis líneas de salida indicadas en 83 A desde el contador 83 al registro 85 y el comparador 86. El comparador 86 tiene también seis líneas de entrada indicadas en 85 A acopladas desde el registro 85. De este modo, cada vez que es recibido un bitio de datos por la unidad 20 central de control, es transferida la mitad del cómputo contenido en el contador 83 al registro 85 al final del intervalo de bitio determinado por el circuito 82 monoestable. Si la red de potencia está estabilizada y el cómputo máximo para el contador 83 permanece constante, el comparador 86 generará una salida sobre la línea 86 A de salida aproximadamente en el centro del intervalo de bitio. Por ejemplo, si el contador 83 contó inicialmente hasta veinte y es transferido un cómputo de diez al registro 85, es percibido el bitio de datos subsiguiente cuando el contador 83 alcanza un cómputo de diez. Los datos binarios presentes sobre las líneas 83A y 85 A serían entonces idénticos y el comparador 86 generaría un impulso perceptor de salida sobre la línea 86 A. Este impulso percibe la salida de datos del convertidor 64 en el registro 96 de lectura en el instante correcto.

El circuito 87 de estado inicial está dispuesto para establecer un cómputo inicial para el registro 85.



414617

El circuito 87 puede ser de diseño convencional y puede incluir un conjunto de conmutadores que son accionados manualmente para insertar un cómputo predeterminado en el registro 85. Por ejemplo, el registro 85 puede tener
5 un cómputo en código BCD (decimal codificado en binario) de diez insertado en el mismo. De este modo, cuando el contador 83 alcanzara un cómputo de diez, el comparador 86 generaría una salida sobre la línea 86 A para ingresar el bitio particular de datos en el registro 96 de
10 lectura. Si el contador 83 prosiguió entonces a un cómputo de treinta, sería transferido un cómputo de quince al registro 85 al final del intervalo de bitio. Entonces, sería percibido el siguiente bitio de datos en el centro del intervalo de bitio o en un cómputo de quince. Es así
15 siempre el intervalo de bitio anterior el que determina el tiempo de percepción para el siguiente intervalo de bitio.

Quando ha sido ingresado el último bitio de un código de lectura en el registro 96, es generada una se-
20 ñal N BIT. Esta señal activa el circuito 61 biestable de la figura 5 y la puerta 69 de datos para permitir que el código de lectura del registro 96 pase sobre la línea 66 general de datos a la memoria 50 para almacenamiento en ella.

25 La Figura 6 representa una realización ilustrati-

21
414617



va de la unidad 70 lógica perceptora variable. En otras realizaciones, por ejemplo, pueden ser transferidas al registro 85 fracciones diferentes del cómputo contenido en el contador 83. La unidad 70 incluye un bucle sensi-
5 ble de reacción que funciona incluso cuando la fase de la señal de alta frecuencia varía para originar impulsos adicionales que serán enviados al contador 83. Sin embargo, después de la primera aparición de estos impulsos adicionales, el contador 83 y el registro 85 compensan
10 inmediatamente variando el tiempo en el cual el comparador 86 genera una salida perceptora sobre la línea 86 A.

La Figura 6 representa también el circuito 80 de control de reacción. El circuito 80 está destinado principalmente a controlar la transmisión de códigos de identificación en un tiempo que depende de la velocidad a
15 que son recibidos los datos de la red de potencia por intermedio del circuito 98 convertidor a onda rectangular. Como se ha mencionado anteriormente, los datos a ser transmitidos son transferidos por medio de la puerta 67
20 de datos al registro 94 de paralelo a serie. Son generados una serie de impulsos sobre la línea 94 B procedente del registro 93 de desplazamiento de impulsos. El registro 93 de desplazamiento de impulsos puede ser de diseño convencional y está destinado a tener una pluralidad de salidas que generan secuencialmente una serie de
25

414617



impulsos espaciados en intervalos de tiempo predeterminados. Cuando tiene lugar el último impulso de la serie de impulsos, el registro 93 genera una señal M BIT. El registro 93 es de basculamiento libre y su funcionamiento es iniciado por una señal de entrada acoplada desde la
5 puerta "Y" 92 sobre la línea 93 A.

La puerta "Y" 92 es habilitada cuando es generada una señal SEND (emisión) por el circuito 89 biestable SEND. El circuito 89 biestable controla el envío de datos
10 por medio del modulador 95 FSK, y es repuesto cuando las señales R y B (véase la figura 3) son acopladas a la puerta "Y" 91 por intermedio del circuito 99 de retardo a la entrada de activación del circuito 89 biestable. El circuito 89 biestable es repuesto por la señal M BIT. El circuito 99 de retardo está dispuesto de modo que la señal
15 SEND no se presenta hasta que los datos han sido transferidos al registro 94. En ese instante en que la señal SEND toma nivel alto y cuando es generado un impulso procedente de la salida del oscilador 88 controlado por tensión, es habilitada la puerta "Y" 92 en la duración del
20 impulso del oscilador 88.

El circuito 101 promediador de carga está acoplado desde la salida del circuito 98 convertidor a onda rectangular y está destinado a tener una salida de tensión
25 que es una función directa del número de impulsos recibidos.



24
414617

dos desde el circuito 98 convertidor a onaa rectangular en un intervalo de tiempo predeterminado, tal como el intervalo entre bitios de datos de una palabra de código. El circuito 101 promediador de carga puede ser de diseño
5 convencional e incluiría un circuito de carga de condensador. La salida del circuito 101 está conectada al oscilador 88 controlado por tensión para controlar la frecuencia de repetición de impulsos del oscilador 88. El oscilador 88 controlado por tensión puede ser también convencional y está diseñado para tener una frecuencia de
10 repetición de impulsos de salida que aumenta al disminuir la entrada de tensión. Cuando es recibido un número aumentado de impulsos desde el circuito 98 porque aumentó el camino de retardo máximo, por ejemplo, el circuito 101
15 tiene una salida de tensión más alta. De este modo, la frecuencia de repetición de impulsos de salida del oscilador 88 es menor y cada bitio del código de identificación es transmitido con una frecuencia más baja. Alternativamente, cuando la frecuencia del circuito 98 convertidor
20 a onda rectangular disminuye, la salida del circuito 101 disminuye y el ritmo de repetición del oscilador 88 se hace más rápido.

La señal SEND del circuito 89 biestable, además de habilitar la puerta "Y" 92 permitiendo un desplazamiento de impulsos fuera del registro 94, inhibe también
25



414617

el filtro 97 de paso alto durante el tiempo en que la salida SEND tiene nivel alto. Esto es necesario para evitar que el filtro 97 detecte el código de identificación cuando debería estar detectando solamente el código de lectura.

5

Con referencia ahora a la figura 8, está representada una realización del registro 94 representado en la Figura 6. El registro 94 comprende 16 puertas "Y" indicadas en 107 y una puerta "O" 108. Cada una de las puertas

10 "Y" tiene una entrada de conexión procedente del registro 93 de desplazamiento de impulsos y una entrada de datos de conexión procedente de la puerta 67 de datos. Estas entradas están designadas respectivamente como entradas T1-T16 de intervalo de tiempo y entradas G1-G16 de datos

15 o de puerta. De este modo, cuando el registro 93 de desplazamiento de impulsos tiene su salida T1 a nivel alto, los bits de datos (UNO o CERO) sobre la línea G1 son habilitados y pasan por medio de la puerta "O" 108 y la línea 94 C al modulador 95 representado en la Figura 6.

20 Esta secuencia T1-T16 continúa hasta que es recibido el último bitio. En la Figura 8, la propia salida T16 sería la señal M BIT utilizada en la figura 6.

Con referencia ahora a la figura 7, está representada una realización ilustrativa de la unidad 30 receptora transmisora de respuesta de acuerdo con el inven-

25



414617

to. La organización general de la unidad 30 receptora transmisora de respuesta representada en la Figura 7 es bastante similar a la parte de la unidad 20 central de control representada en la Figura 6. La unidad 30 receptora transmisora de respuesta incluye en general una unidad 110 moduladora desmoduladora, un vatímetro 28, un registro 112 de lectura, un convertidor 132 de frecuencia a código binario, una unidad 120 lógica perceptora variable y una unidad 140 de comparación.

10 La unidad 110 moduladora desmoduladora incluye un filtro 104 de paso alto, un modulador 105 y un circuito 103 convertidor a onda rectangular, todos los cuales pueden ser de diseño convencional y sustancialmente idénticos al filtro 97, modulador 95, y circuito 98 convertidor a onda rectangular, representados en la Figura 6. El código de identificación de aparato de medida transmitido desde la unidad 20 central de control es recibido sobre una red de transmisión trifásica convencional acoplada al filtro 104 de paso alto. La salida del filtro 104, 15 el circuito 103, convertidor a onda rectangular y el convertidor 132 de frecuencia a código binario puede ser similar a la representada en las Figuras 4d, 4e y 4f, respectivamente.

25 La salida binaria del convertidor 132 está acoplada al registro 130 de código de interrogación. La salida



414617

de la unidad 120 lógica perceptora variable está también
acoplada al registro 130 y genera un impulso perceptor
en el instante correcto para ingresar cada bitio de da-
tos del convertidor 132 en el registro 130. La unidad 120
5 puede ser idéntica a la unidad 70 perceptora variable de
la unidad 20 central de control. La unidad 120 incluye un
diferenciador 121 de tiempo de subida para diferenciar
el flanco anterior de cada impulso procedente del circui-
to 103 convertidor a onda rectangular. El circuito 122
10 monoestable está acoplado en conexión procedente de la
salida del diferenciador 121 y está destinado a estar en
su estado de nivel alto o estado seleccionado durante el
tiempo en que está siendo detectada una señal de alta
frecuencia por el filtro 104. La unidad 120 lógica inclu-
15 ye también un contador 124, un registro 125 y un circuito
126 de estado inicial. La salida del circuito 122 monoes-
table que se presenta al final del estado seleccionado
transfiere la mitad del cómputo desde el contador 124 al
registro 125, y, por medio del circuito 123 de retardo,
20 repone el contador 124. El comparador 127 está destinado
a percibir la salida variable del contador 124 y la sali-
da del registro 125. El comparador 127 puede ser idéntico
al comparador 86 de la unidad 70 y está destinado a gene-
rar un impulso selector de salida sobre la línea 127 A
25 que está acoplada a la puerta "Y" 134 y al registro 130



414617

de código de interrogación. El comparador 127, el contador 124 y el registro 125 proporcionan el mismo tipo de compensación de retardo de sistema para la unidad 30 receptora transmisora de respuesta que sus bloques similares en la unidad 70 de la unidad 20 de control.

En una realización el código de interrogación comprende dieciseis bitios que son ingresados secuencialmente en el registro 130 que puede ser de diseño convencional. La unidad 30 receptora transmisora de respuesta incluye también una memoria 142 de código de identificación de aparato de medida que puede incluir un conjunto de conmutadores accionados manualmente a una posición de código predeterminada que identifica una unidad particular receptora transmisora de respuesta. La unidad 140 de comparación tiene dos entradas, una acoplada en conexión procedente de la memoria 142 y la otra acoplada en conexión procedente del registro 130. Cada una de estas entradas a la unidad 140 comprende una pluralidad de líneas de datos independientes. Cuando la salida de la memoria 142 y el registro 130 coinciden en comparación bitio a bitio, el comparador 140 genera una señal de salida sobre la línea 140 A que está acoplada a la puerta "Y" 134. La puerta "Y" 134 tiene también dos entradas diferentes, una procedente del comparador 127 de la unidad 120 lógica perceptora variable y otra procedente del registro 130.



414617

Puede hacerse referencia a la entrada acoplada en conexión procedente del registro 130 como la señal recibida N BIT, que significa que ha sido ingresado en el registro 130 el código completo de identificación de aparato
5 de medida. Cuando todas las entradas a la puerta "Y" 130 están a nivel alto, la unidad particular receptora transmisora de respuesta ha reconocido su propio código de identificación. La salida de la puerta "Y" 134 está conectada al circuito 136 monoestable. Puede hacerse referencia al circuito 136 monoestable como circuito monoestable GO que está destinado a tener su estado seleccionado a nivel alto durante un intervalo de tiempo que es suficiente para enviar todos los bits del código de lectura en serie desde el registro 112 de lectura de aparato
10 de medida. La salida GO del circuito 136 monoestable está también conectada al filtro 104 de paso alto para inhibir su funcionamiento mientras son enviados sobre la red de potencia códigos de lectura de aparato de medida.
15

La unidad 30 receptora transmisora de respuesta
20 incluye también el oscilador 137 convencional que está conectado, junto con la salida del circuito 136 monoestable, a la puerta "Y" 138. El oscilador 137 genera impulsos con una frecuencia de repetición predeterminada que depende de la organización general de una red particular
25 de potencia. Cuando existen muchos caminos largos, la sa-



414617

lida del oscilador 137 funcionará a una frecuencia de repetición más baja que cuando existen caminos más pequeños o más cortos. La salida de la puerta "Y" 138 es, de este modo, una serie de dieciseis impulsos generados sobre la
5 línea 112 A que dan salida a la lectura contenida en el registro 112 por medio del modulador 105 de sistema FSK, a la línea de transmisión. La salida del circuito 136 monoestable puede también activar el modulador 105 para permitir que sea así enviada la lectura. El modulador 105
10 puede ser de diseño convencional y puede ser idéntico al modulador 95 representado en la Figura 6.

Habiendo descrito una realización ilustrativa del invento, resultarán claras para los expertos en la técnica otras modificaciones y cambios. Por ejemplo, han
15 sido expuestos medios únicos de memoria para almacenar códigos de identificación y lectura. En otra realización podrían utilizarse medios de memoria independientes para códigos de identificación y lectura, respectivamente. También, ha sido expuesta una estructura de puerta algo
20 simplificada. En otras realizaciones, una estructura de puerta podría incluir medios de almacenamiento de registro de modo que podrían ingresar en una dirección de memoria por ejemplo, dos o más códigos de lectura de aparato de medida. Adicionalmente, se tiene la idea de que mu-
25 chas variantes de la unidad lógica selectora variable



414617

5 lidad de aparatos de medida conectados a un enlace de comunicaciones de múltiples caminos, estando sometidos caminos diferentes del enlace de comunicaciones a retardos de transmisión diferentes, que comprende una unidad de control central conectada al enlace de comunicaciones y que almacena una pluralidad de códigos digitales diferentes que designan, respectivamente, aparatos de medida diferentes, transmitiendo la unidad de control central estos códigos secuencialmente por el enlace de comunicaciones a todos los
10 aparatos de medida, y una pluralidad de transpondedores conectados, respectivamente, a cada aparato de medida y al enlace de comunicaciones, transmitiendo cada transpondedor a la unidad de control central, solamente al recibir un código que designa el aparato de medida al que está conectado
15 dicho transpondedor, una señal digital que indica la lectura del aparato de medida, caracterizado porque la unidad de control central o los transpondedores o ambos incluyen una unidad lógica estroboscópica variable que fija cada bitio recibido de una señal digital en una memoria en un
20 tiempo que depende del camino de retardo máximo del enlace de comunicaciones.

25 2ª.- Un sistema según la reivindicación 1ª, caracterizado porque tanto la unidad de control central como los transpondedores incluyen un modulador/desmodulador para codificar las señales digitales como trenes de impul-

me



414617

sos de tono que tienen frecuencias que permiten que las señales pasen a través de transformadores de distribución en el enlace de comunicaciones.

5 3ª.- Un sistema según las reivindicaciones 1ª o 2ª, caracterizado porque la unidad de control central o los transpondedores o ambos incluyen circuitos para determinar la diferencia de tiempo entre el comienzo de la recepción de un bitio dado transmitido por el camino más corto del enlace de comunicaciones y el final de la recepción de dicho bitio dado transmitido por el camino de retardo máximo.

15 4ª.- Un sistema según la reivindicación 3ª, caracterizado porque la unidad de control central o los transpondedores o ambos incluyen circuitos para fijar el bitio recibido siguiente en un tiempo que sigue al comienzo de la recepción de dicho bitio recibido siguiente transmitido por el camino más corto del enlace de comunicaciones, que es igual a aproximadamente la mitad de dicha diferencia de tiempo determinada.

20 5ª.- Un sistema para interrogar a una pluralidad de aparatos de medida conectados a un enlace de comunicaciones de múltiples caminos.

25 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

MGE

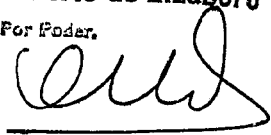
16 AGO 1975



414617

Esta Memoria consta de cincuenta y una hojas escritas a máquina por una sola cara.

MADRID, 16 AGO 1975

P.A. Alberio de Elizaguru
For Foder.


mge

414617

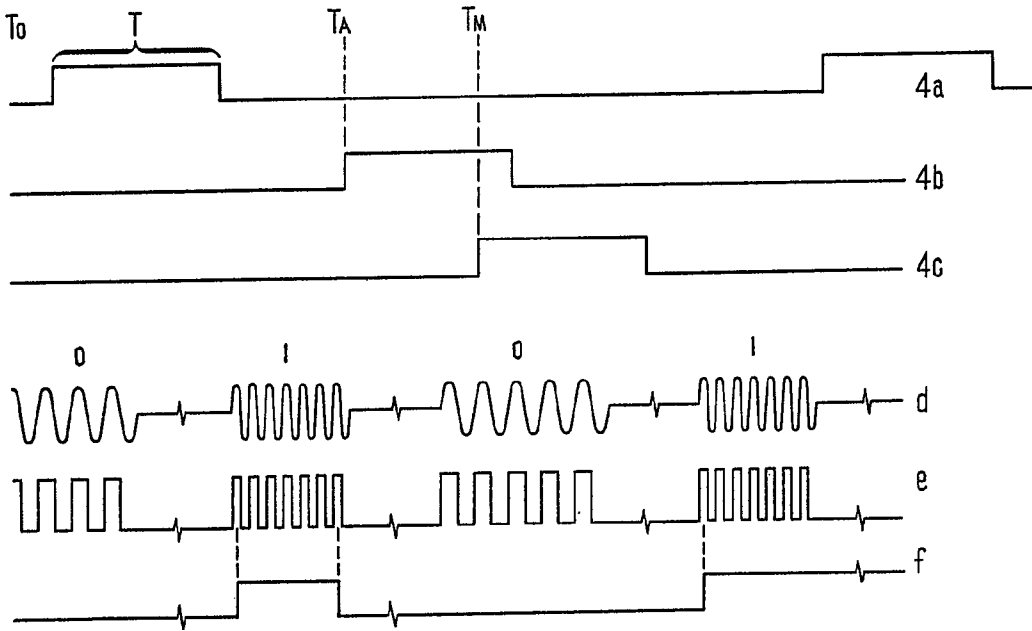


FIG. 4

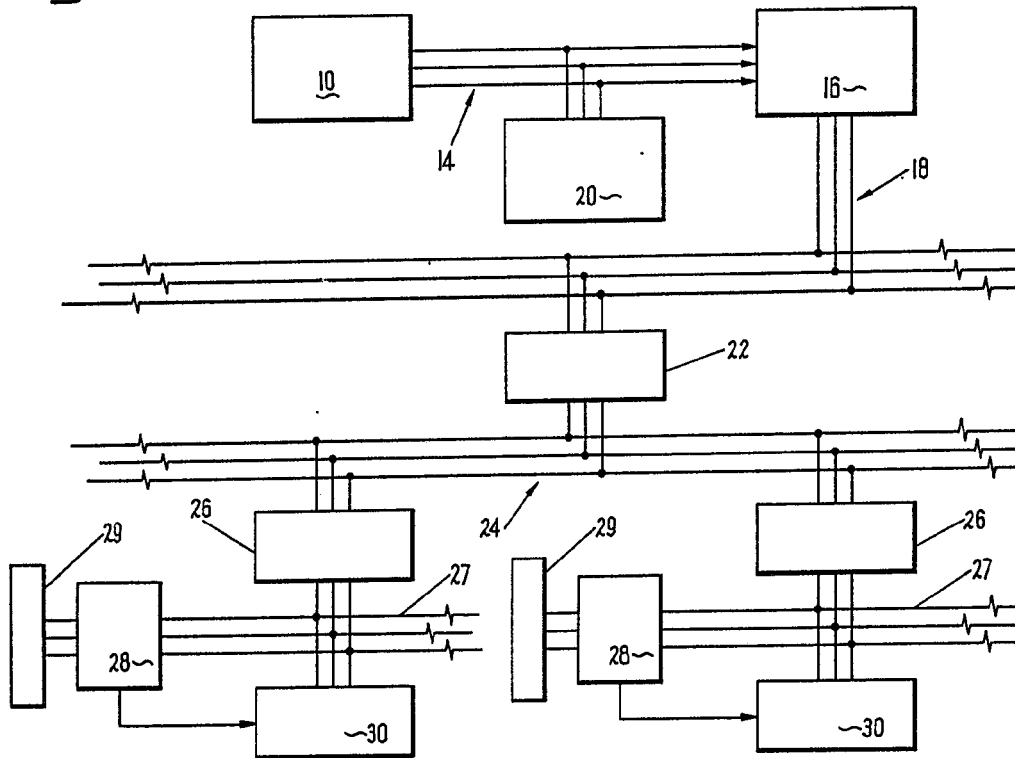


FIG. 1

Alden E. ...
for Patent

[Handwritten signature]

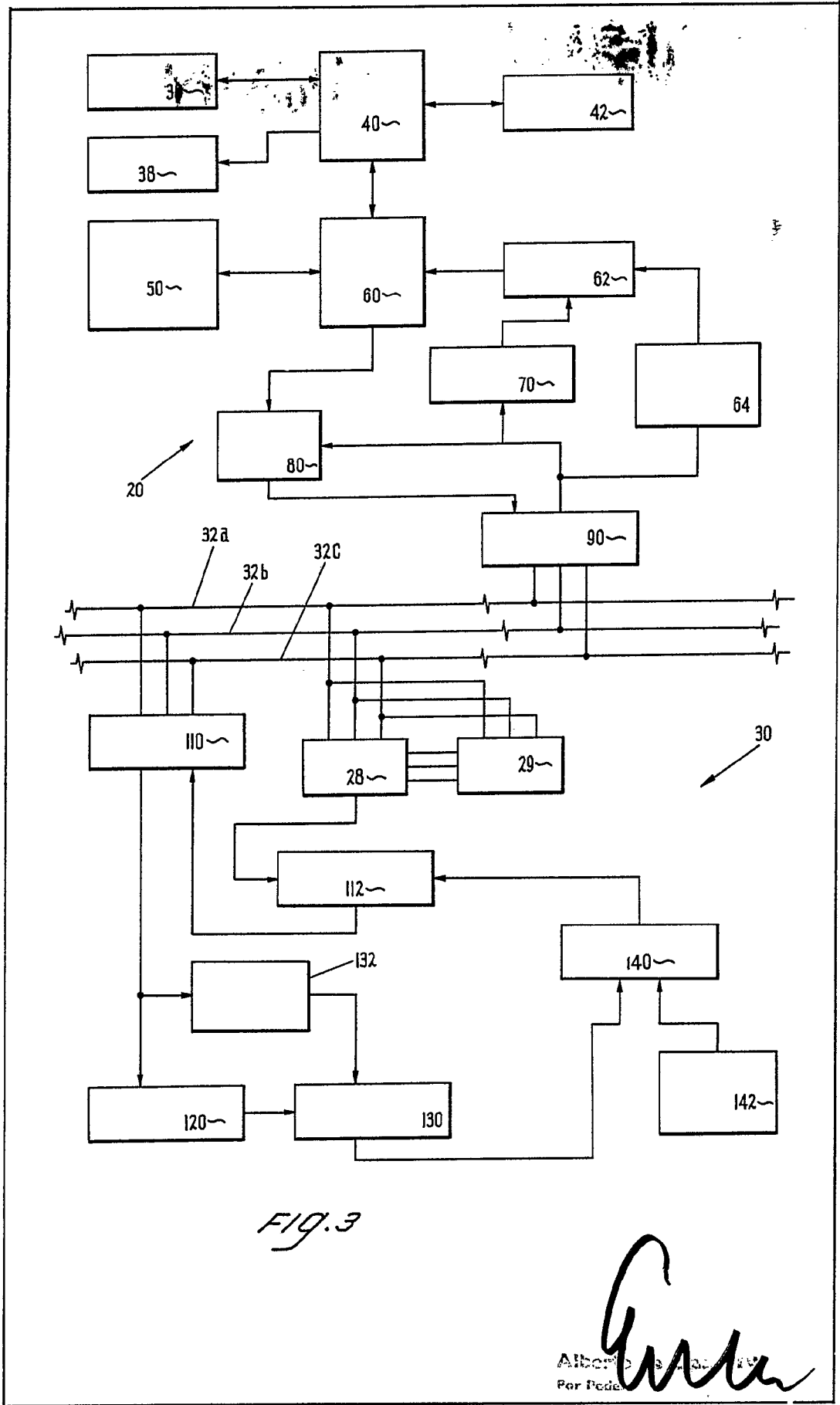


FIG. 3

Alberto S. ...
Per Pedes...

414617

414617

54351

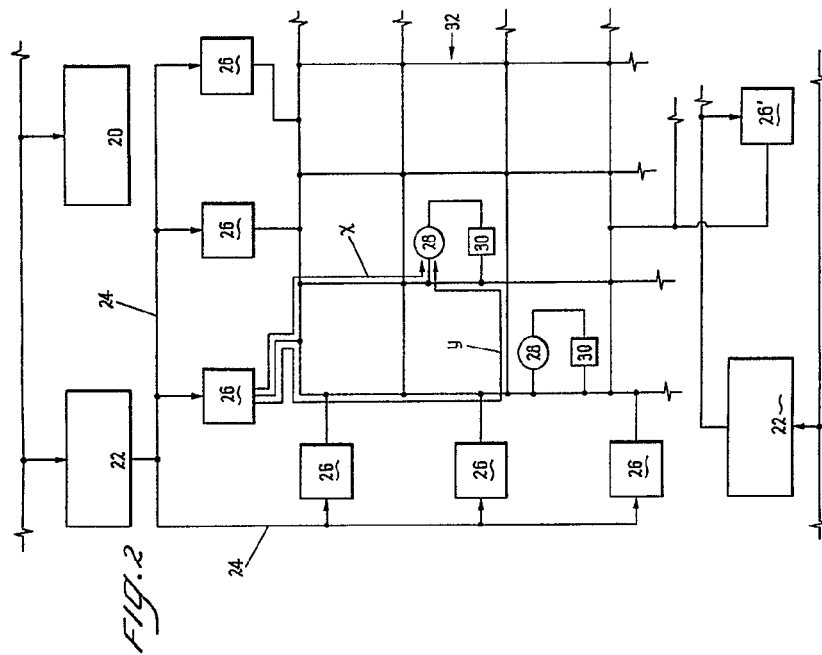


FIG. 2

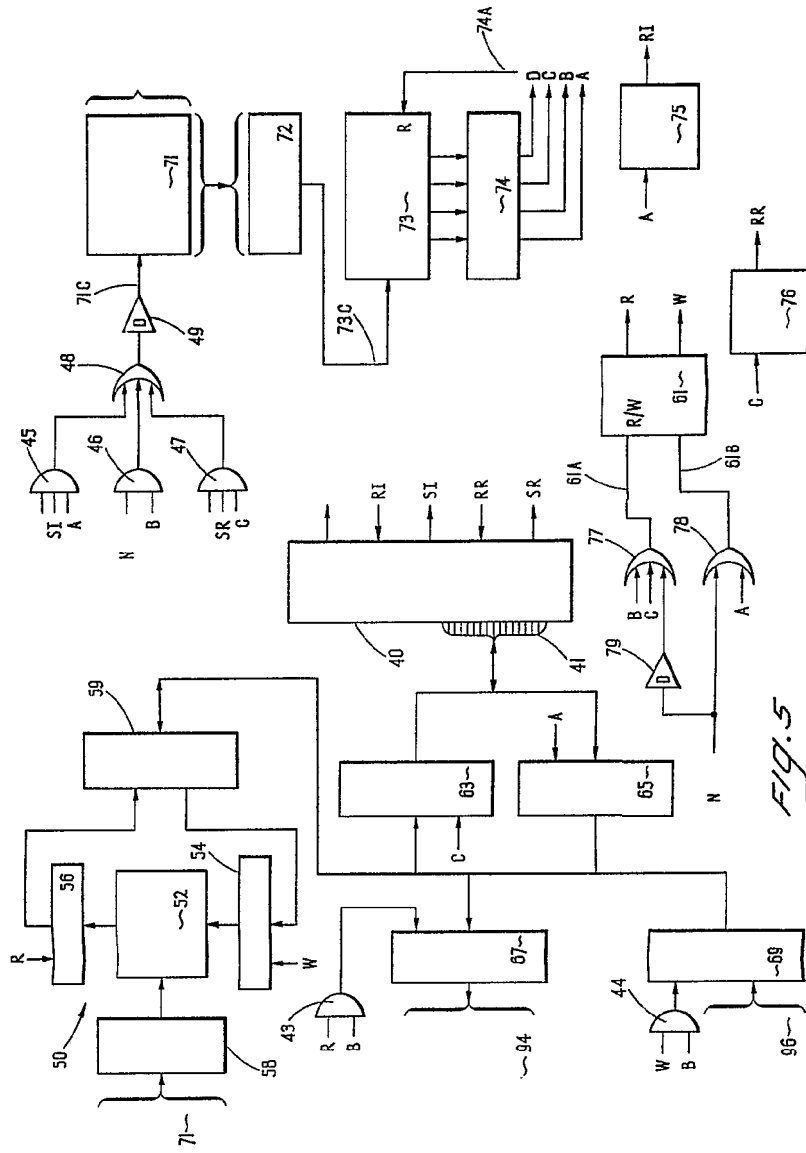


FIG. 5

Am

414617

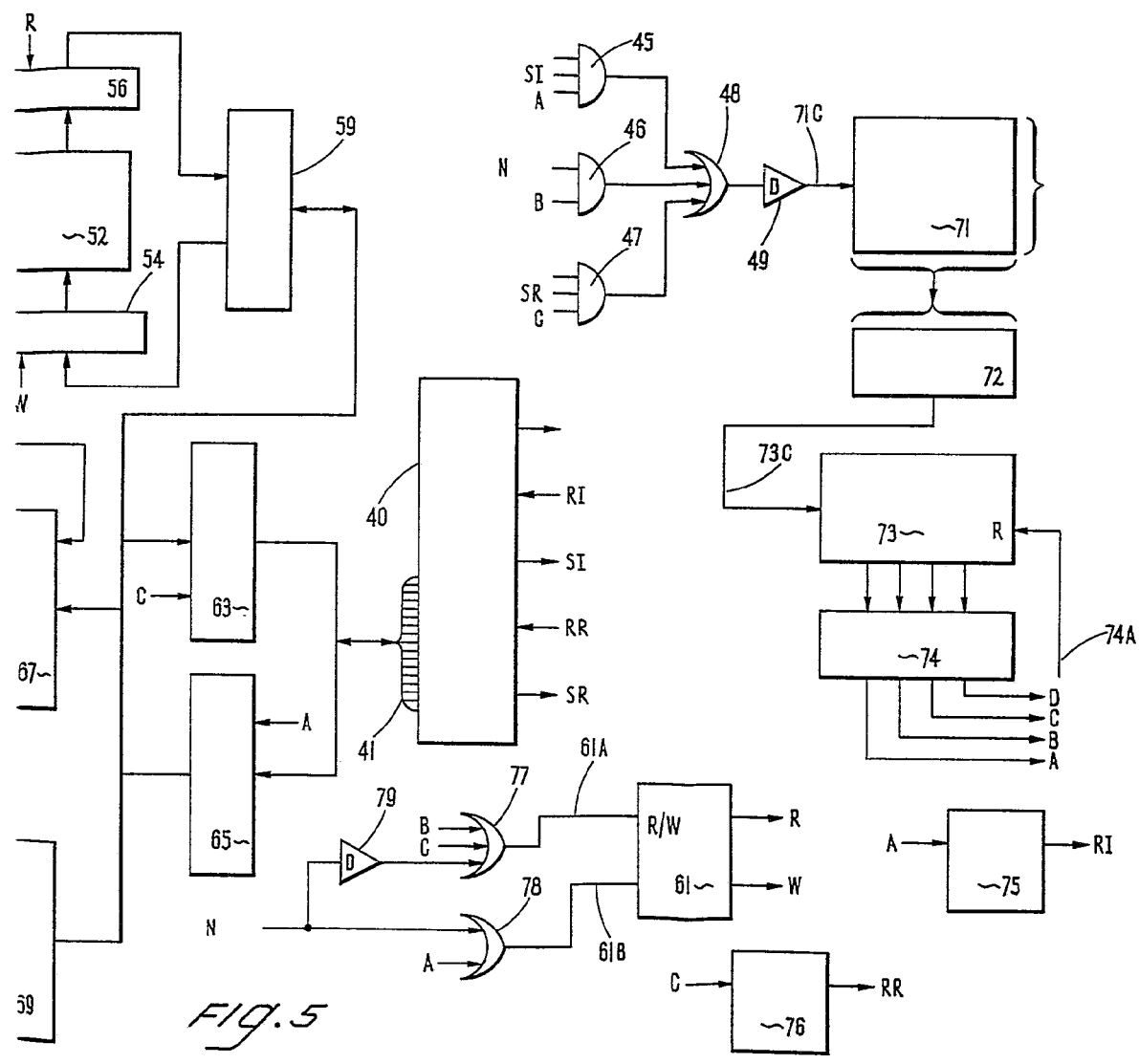


FIG. 5

Orin

414617

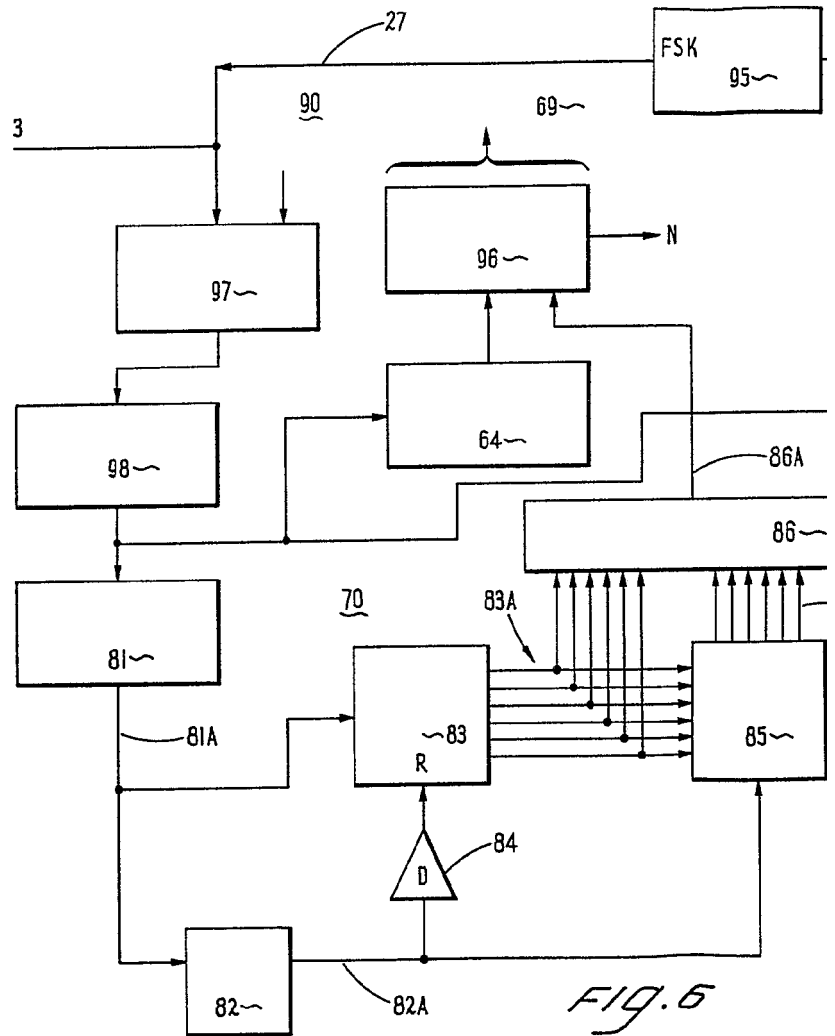
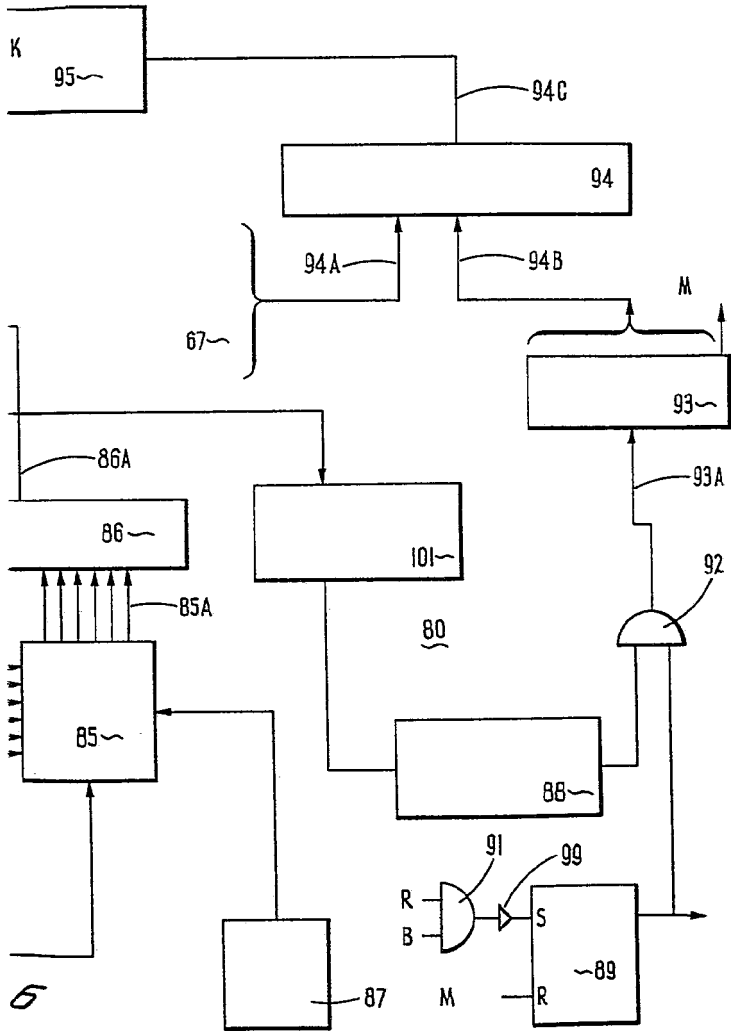


FIG. 6

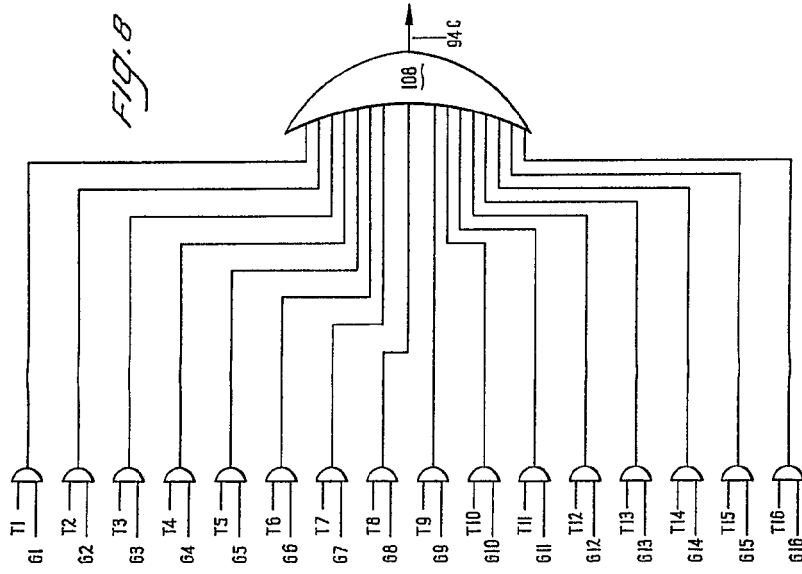
414617



Quinn

414617

FIG. 8



414617

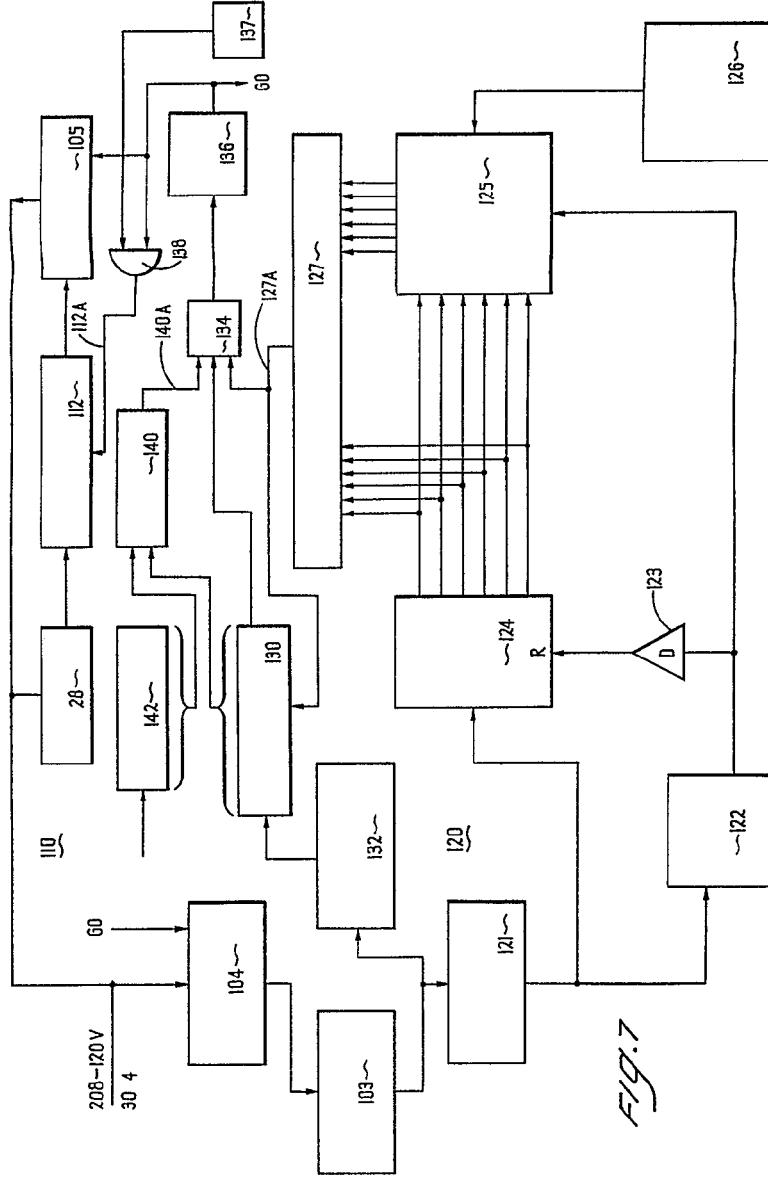


FIG. 7

Arma

414617

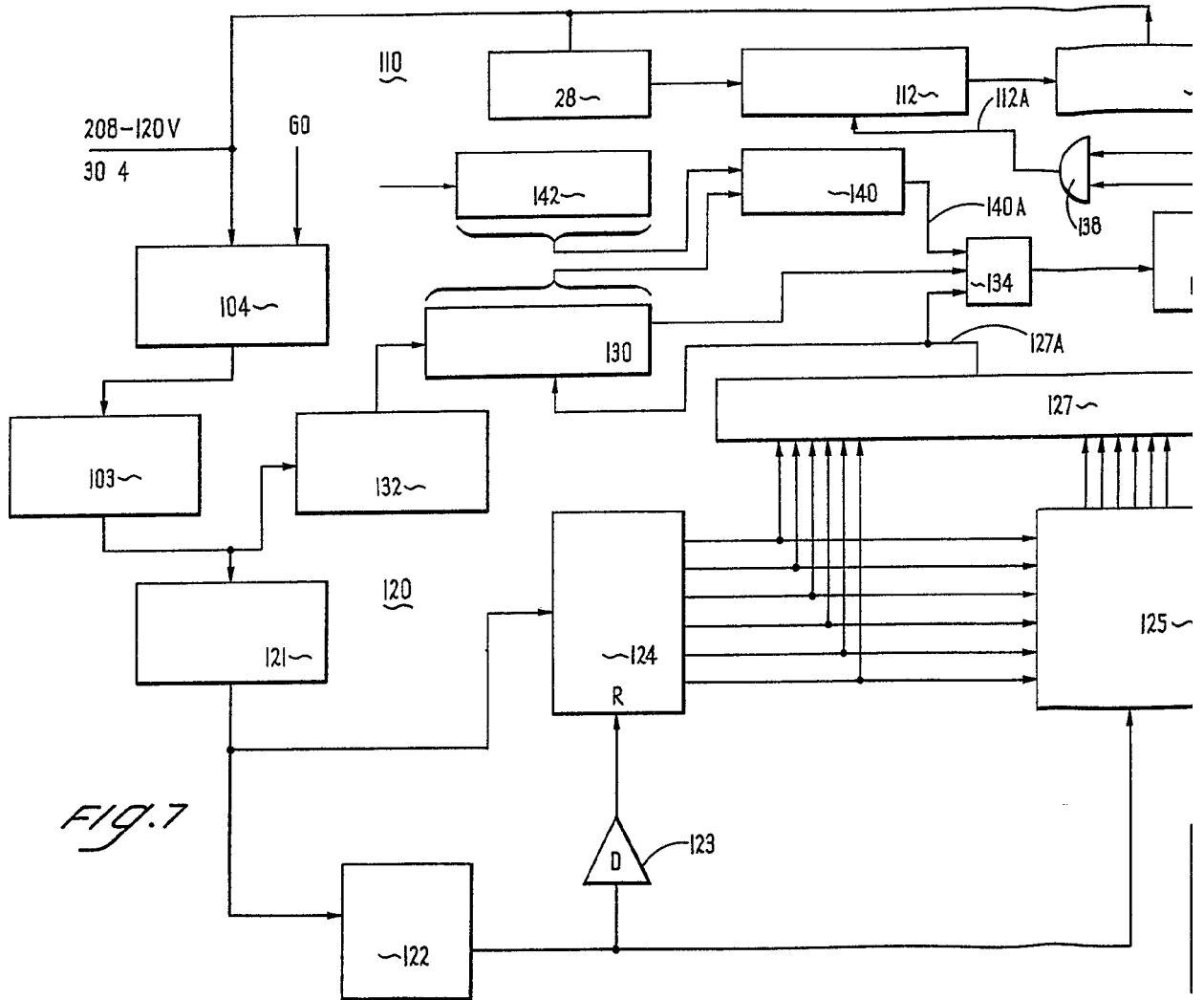
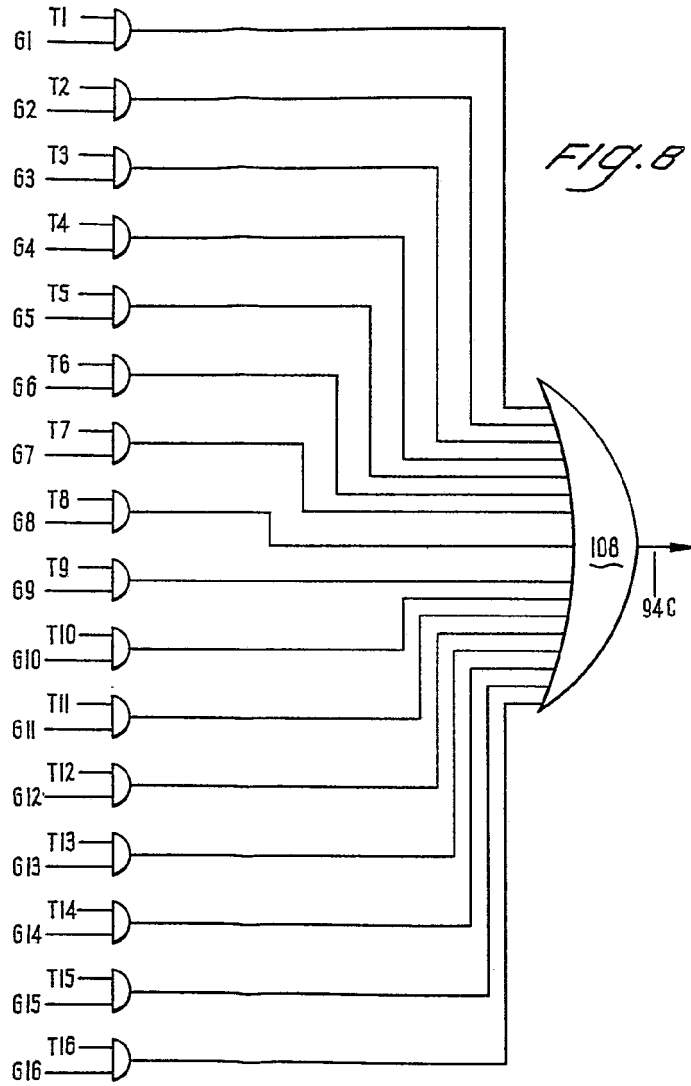
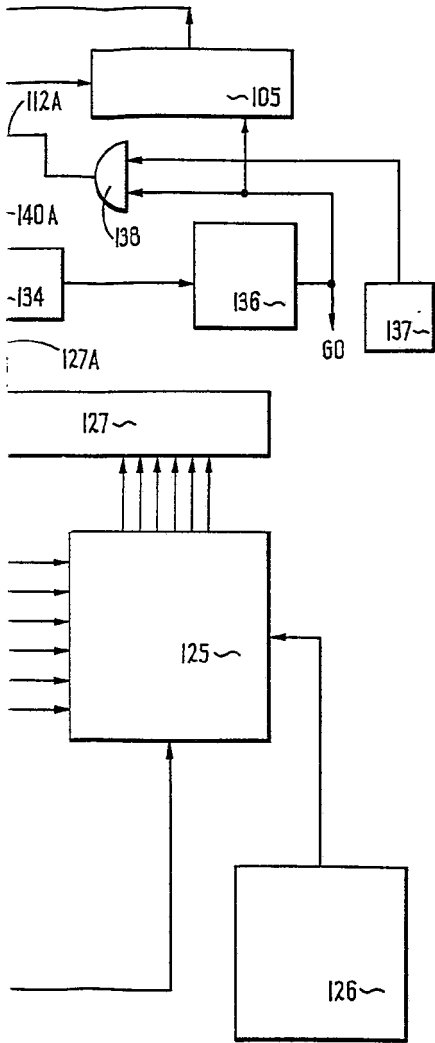


FIG. 7

414617



Curran