



F.C. 5 - VI - 7T

414591

4591

Int. Cl. ² : H04j

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION
EN ESPAÑA POR: "UN SISTEMA DE SINCRONIZACION DE CUADRO"
A NOMBRE DE STANDARD ELECTRICA, S.A., DOMICILIADA EN MA
DRID, CALLE DE RAMIREZ DE PRADO N° 5.

El presente invento se refiere a un sistema de sincronización de cuadro para una señal de datos binaria que incluye un supercuadro con M cuadros medios. Cada uno de los M cuadros medios incluye m subcuadros, y se realiza incluyendo dentro de la señal de datos, una primera señal de sincronización que tiene una primera distribución determinada dispuesta en cada uno de los M cuadros medios, y una segunda señal de sincronización que tiene una segunda distribución predeterminada, diferente de la primera, y compuesta de M bits, cada uno de ellos dispuesto en uno diferente de los M cuadros medios. Donde M y m son números enteros mayores que la unidad, tal como $M=64$ y $m=15$. Se extrae de la señal la cadencia de reloj de bit de datos, y se aplica a una conexión en cascada de divisores digitales para proporcionar una temporización

414591



local, incluyendo señales de tiempo de supercuadro, de cuadro medio y de subcuadro, además de una primera señal de sincronización generada localmente. Una configuración típica de un registrador de conversión (donde M es típicamente igual a 64) y realimentación lógica, general localmente la segunda señal de sincronización. Un primer comparador digital compara la primera señal de sincronización generada localmente con la primera señal de sincronización contenida en la señal de datos y el resultado de coincidencia o no coincidencia se integra en un integrador digital, que puede ser un contador arriba-abajo. Cuando la cuenta del integrador digital está por debajo de un umbral predeterminado y está presente una no coincidencia en un momento que define cuándo la primera señal de sincronización contenida en la señal de datos ocurriría relativa a la temporización local, se produce una señal de ALTO que inhibe el flujo de impulsos de reloj de cadencia de bit al primer contador de los contadores conectados en cascada (divisores) así como al control de fase de las señales de temporización, con respecto a la señal de datos, para establecer y mantener la sincronización de la temporización local de los cuadros medios de la señal de datos. La segunda señal de sincronización recibida y la generada localmente se comparan en un comparador digital, que produce como resultado de errores de bit en la segunda señal de sincronización recibida o como resultado de fase incorrecta de la segunda señal de sincronización generada localmente, coincidencias y no coincidencias que también se aplican al contador de integración digital arriba-abajo. Cuando la cuenta del integrador digital es menor que un



414591

y a una primera señal de temporización local predeter-
minada, para proporcionar una primera señal de control
que indica la relación de fase entre estas dos señales
y el otro detector de sincronización responde a la se-
5 gunda señal de sincronización y a una segunda señal de
temporización local predeterminada para proporcionar una
segunda señal de control que indica la relación de fase
entre estas dos señales. Las dos señales de control se
muestran por dos circuitos de muestreo diferentes. Las
10 salidas de los circuitos de muestreo se aplican a dos
circuitos de decisión diferentes, o integradores, cuyas
salidas controlan la temporización de dos diferentes
contadores digitales conectados en cascada y los genera-
dores de señales de tiempo para generar las señales de
15 tiempo que incluyen las dos señales de tiempo locales
predeterminadas. El primer contador y generador digital
se gobierna por una cadencia de bit de reloj, y está
inhibido cuando el circuito de decisión asociado indica
una situación fuera-de-sincronismo. Los segundos contador
20 y generador digitales se gobiernan por un reloj de caden-
cia de cuadro desde los primeros contador y generador, y
está inhibido cuando el circuito de decisión asociado
indica una situación fuera-de-sincronismo. En una configura-
ción ya publicada, los circuitos de decisión son integra-
25 dores duales, cada uno de los cuales genera dos señales
para controlar separadamente la inhibición requerida. En
otra configuración publicada, los circuitos de decisión
son integradores únicos, cada uno de los cuales produce
una señal para controlar la inhibición, cuando ésta se
30 requiera, la señal del circuito de decisión asociado con



414591

la segunda señal de sincronización está conectado de una manera cooperativa, con la señal del circuito de decisión asociado con la primera señal de sincronización para controlar la inhibición del primer reloj de cadencia de bit.

En la solicitud de Patente española nº 409.302, presentada el 5 de diciembre de 1971, cuya descripción se incorpora como referencia, se describe, todavía, otro sistema de sincronización de cuadro que funciona sobre señales binarias de datos y que tiene dos señales diferentes de sincronización. En esta configuración se describe un sistema de transmisión de datos binario que utiliza una estación emisora y otra receptora con estaciones intermedias en tandem. La señal de datos binaria transmitida por tal sistema incluye M grupos de periodo de cuadro en un múltiplex por división de tiempo predeterminado de señales de datos de canal en multiplex por división de tiempo, cada uno de los grupos de señales de canal tiene una señal de sincronización normal.

Cada una de las estaciones intermedias y la estación receptora controlan las señales de datos de canal de los M grupos transmitidos y recibidos, sobre una base de tiempo secuencial. Un sistema de sincronización de cuadro detecta la falta de sincronismo en cualquiera de los grupos aplicados sobre una base de tiempo secuencial y sustituye el grupo de señales de canal detectado erróneo y las señales de datos falsas, que incluyen señales de sincronismo falsas. Para impedir que las estaciones siguientes a las que sustituye las señales de datos falsas por señales de datos erróneos normales, proporcione una indi-

414591

6.



cación de error errónea, y una sustitución errónea de
datos falsos por señal de datos normal libre de error,
el sistema de sincronización de cuadro detecta, estable-
ce y mantiene el sincronismo de cada grupo controlado de
5 señales de canal en respuesta a la señal de sincronismo
normal o la señal de sincronismo falsa. El sistema de
sincronización de cuadro proporciona un tiempo de búsque-
da variable para establecer la sincronización deseada a
las señales de sincronismo normal o falsa por cada grupo
10 de señales de tiempo de canal acoplado al mismo.

Un objeto del presente invento es descri-
bir otro sistema de sincronización de cuadro capaz de fun-
cionar sobre dos señales de sincronización diferentes.

Otro objetivo del presente invento es
15 describir un sistema de sincronización de cuadro para seña-
les de datos binarias que incluye un supercuadro con M
cuadros medios, incluyendo, cada uno de estos, m subcua-
dros. La señal de datos, que incluye una primera señal de
sincronismo, tiene una primera distribución predetermina-
20 da dispuesta en cada uno de los M cuadros medios, y una
segunda señal de sincronismo con una distribución prede-
terminada, distinta de la primera, compuesta de M bits
cada uno de los cuales está dispuesto en uno de los M
cuadros medios. M y m son números enteros mayores que la
25 unidad.

Otro objeto del presente invento está en
describir un sistema de sincronización de cuadro en el
que la señal de datos está sincronizada, primeramente,
sincronizando los cuadros medio en respuesta a una primera
30 señal de sincronismo y, después, sincronizando el super-



414591

ñal de sincronismo, contenida en los datos, y la primera señal de sincronismo generada por los primeros elementos; elementos terceros acoplados al primer comparador, al circuito integrador y a los elementos primeros, que responde a, por lo menos, la no coincidencia y a la primera señal de control por debajo de uno de los niveles de umbral, para controlar la fase de las señales de tiempo con respecto a la señal de datos, para establecer y mantener la sincronización de los M cuadros medios; un segundo comparador digital acoplado a la fuente, a los elementos segundos y al circuito integrador, que responde a la segunda señal de sincronismo generada por los elementos segundos, para producir una segunda señal de salida que indica la coincidencia y no coincidencia entre los M bits de la segunda señal de sincronismo contenida en la señal de datos, y los M bits de la segunda señal de sincronismo generada por los segundos elementos. La segunda señal de salida está acoplada al circuito integrador para producir una segunda señal de control; y elementos cuartos acoplados a la fuente, a los elementos segundos y al integrador, que responden a la segunda señal de control por debajo de un segundo nivel de umbral, diferente del primero, para sustituir la segunda señal de sincronismo generada por los elementos segundos para proporcionar, en los elementos segundos, la segunda señal de sincronismo idéntica a la segunda señal de sincronismo contenida en los datos; los terceros y cuartos elementos cooperan en el establecimiento y mantenimiento de la sincronización del supercuadro.



414591

características y objetivos del presente invento aparecerán más claramente de la siguiente descripción y de los dibujos que se acompañan, en los cuales:

5 Las figs. 1, 2 y 3 ilustran la estructura de cuadro de la señal de datos sobre la que funciona el sistema de sincronización de cuadro del presente invento;

La fig. 4 es un diagrama esquemático bloque de una configuración del sistema de sincronización de acuerdo con los principios del presente invento;

La fig. 5 muestra los umbrales de cuenta en el circuito de decisión de la fig. 4 que hace posible ciertas operaciones en el sistema de sincronización de cuadro de la fig. 4.

15 La fig. 6 es una ilustración esquemática en forma de bloque de una configuración del conmutador lógico de la fig. 4 asociado con el generador del código de sincronismo largo contenido en el contador de supercuadro; y

20 La fig. 7 es un diagrama esquemático en forma de bloque de una configuración del lógico de realimentación contenido en el contador de supercuadro de la fig. 4, para generar el código de sincronismo largo (segundo código de sincronismo).

25 Ya se conoce, en la técnica anterior, que existen tres tipos básicos de formatos de señal de sincronismo. Con el formato de cuadro largo, con el que funciona el presente sistema de sincronización de cuadro objeto del invento, cada uno de estos tipos básicos de
30 señal de sincronismo tiene una desventaja. El primer tipo de formato de sincronismo es un formato de sincronismo

414501



concentrado que utiliza una palabra código de sincronismo de N bits adyacentes. La detección de este tipo de señal de sincronismo requiere un registrador de conversión de N-bit que permite alcanzar los datos para encontrar el código de sincronismo completo en la cadena de bit. Una desventaja de esto es que, como la longitud del código disminuye, la probabilidad de aceptar una muestra aleatoria de N bits de datos como señal de sincronismo válida, aumenta. El formato de sincronismo concentrado no se ajusta bien a los sistemas de transmisión de datos, ya que los bits de sincronismo deben ajustarse a la señal de sincronismo más bien larga, que provoca una interrupción de la corriente de datos cuando se transmite el código de sincronismo. En un multiplexor asíncrono que utiliza almacenamiento elásticos para ajustar las cadencias de bits asíncronos que llegan desde fuentes diferentes, estos almacenamientos elásticos en la parte del receptor y en la del transmisor deben ser relativamente grandes para absorber la reserva momentánea de datos cuando se transmite la señal de código de sincronismo falsa.

El segundo tipo de formato de código de sincronismo se define como un tipo distribuido que emplea un código de sincronismo disperso en el formato de datos estando los bits de sincronismo de este tipo distribuido de señal de sincronismo, igualmente espaciados con muchos bits de datos entre dos bits de sincronismo consecutivos. Debido a este tipo distribuido del formato del código de sincronismo, no es posible alcanzar el código completo en la cadencia de bit sin



emplear una gran cantidad de almacenaje.

El tercer tipo de formato de código de sincronismo es un formato parcialmente concentrado y parcialmente distribuido. Típicamente, cada formato
5 utiliza un número de códigos concentrados de igual longitud distribuidos con igual espaciamento en el cuadro de datos. Para una cadencia de bit de sincronismo fija, este formato produce mejor tiempo de búsqueda que cualquiera de los tipos concentrado o distribuido de formatos de señal de códigos de sincronismo. Sin embargo, al
10 igual que el formato de sincronismo concentrado, añade una cantidad considerable de necesidades de almacenamiento elástico.

Para la sincronización de supercuadro
15 de la señal de datos, con la que se emplea el presente sistema de sincronización de cuadro, puede resumirse que no es satisfactorio un único formato de sincronización de los tres tipos mencionados anteriormente. Para evitar la ampliación de almacenamiento elástico de un
20 multiplexor asíncrono, puede emplearse un código distribuido, pero con un supercuadro de 8191 bits y usando un 1 por ciento de la cadencia de bit de supergrupo para bits de sincronismo, el tiempo de búsqueda medio es de 0,26 segundos. Aún con circuitos especiales para
25 aumentar la velocidad de búsqueda, la sincronización no llenará los requerimientos de un mínimo de tiempo de búsqueda.

De acuerdo con los principios del presente invento, se emplean dos señales de código de sincronismo y dos circuitos de sincronización. Los dos có-
30



414591

digos se denominan señal de código de sincronismo "corto" (o primero) y señal de código de sincronismo "largo" (o segundo). El supercuadro se divide en partes iguales (cuadros medios), como conviene a otros requerimientos del formato. Una señal de código de sincronismo distribuido corto permite una rápida sincronización de los cuadros medios, dado que los cuadros medios son mucho más cortos (128 bits) que el supercuadro. La segunda señal de código de sincronismo y el circuito de sincronismo se utilizan para completar la sincronización de cuadro, sincronizando el supercuadro y aprovechando la anterior sincronización de cuadro medio. La ventaja está en que la sincronización de cuadro medio establece las fases de cuadro de los canales primeros, tal como el canal de órdenes de voz digital, el canal de órdenes de teletipo/datos digital, el canal de señalización y control, el bit "0" binario de sincronismo corto, el canal de sincronismo largo y el bit "1" binario de sincronismo corto. Así, el segundo circuito de sincronismo, llamado aquí circuito de sincronismo largo, no tiene que examinar todos los datos recibidos cuando se llega al código de sincronismo largo.

La señal de código de sincronismo largo puede ser un código concentrado en uno de los subcanales principales donde la interrupción para el código de sincronismo no perturbará las operaciones con los otros datos del subcanal. El canal principal de señalización y control cumple este requerimiento.

Una segunda aproximación a la señal de código de sincronismo largo es emplear un canal principal completo para transmitir continuamente el código de sin-



cronismo largo, y éste es el método empleado en el presente invento. Existen códigos pseudoaleatorios continuos que permiten el reconocimiento de fase después de recibir solamente parte del código completo; esto es, la fase se indica por cualquier M bits consecutivos del código de sincronismo, donde son 2^M o menos bits de sincronismo por código. El lógico de sincronismo requerido para este tipo de código es comparable en coste al lógico de sincronismo para un código de sincronismo concentrado de M-bit. Otra sincronización puede conseguirse con el mismo coste de circuito, pero se requiere mayor cadencia de bit de sincronismo. El que se requiera una mayor cadencia de bit de sincronismo no es una desventaja, sin embargo, en la presente configuración del formato de código de supercuadro, ya que está disponible una generosa cantidad de cadencia de bit principal.

Por estas razones, se ha elegido el código de sincronismo largo tipo pseudoaleatorio. Ya que la fase del canal de sincronismo largo está indicada por la sincronización de cuadro medio, el circuito de sincronismo largo examina solamente la señal de sincronismo largo demultiplexada que se recibe, que no puede estar distribuída aleatoriamente por ningún dato, simulando el código de sincronismo.

El multicircuito de sincronismo corto se simplifica empleado el código más corto posible. También, empleando un porcentaje dado del canal principal, para la señal de sincronismo corto, unos elementos de código más cortos un cuadro más corto, es posible un tiempo de sincronización más corto. El circuito de cuadro, para la



señal corta, no respondería a ningún fallo del sistema que haga los datos del supergrupo todos unos o ceros binarios. Así, el código más corto es el 0,1.

5 El código de sincronismo largo es un código pseudo-aleatorio cuya generación describiremos seguidamente.

10 Para formatos de señal de código de sincronismo concentrada, puede emplearse un registrador de conversión igual en longitud al código de sincronismo, para detectar el código de sincronismo y componer las decisiones "código recibido" o "código no recibido" en la cadencia de bit. Para conseguir esto con un código distribuido como el empleado para la señal de sincronismo corto o primera, la longitud del registrador de conversión debe exceder la distancia entre el primero y el último bit del código, en bits. Para el ejemplo del formato del código de sincronismo corto, ilustrado y descrito aquí, es de 60 bits. La longitud requerida del registrador de conversión es, generalmente, demasiado cara. En lugar de
15 otro, un bit del código se detecta a la vez. Esto se realiza generando un código de sincronismo local y una temporización de sincronismo local desde los contadores de tiempo que han de ser sincronizados empleando la técnica ilustrada y descrita en la Patente española nº 374.158, cuya descripción se incorpora aquí como referencia. Los
20 datos recibidos se comparan con el código de sincronismo generado localmente para detectar el código contenido en los datos que se reciben. Si es necesario, puede emplearse un pequeño registrador de conversión de N bits para aumentar la cadencia de búsqueda por la relación \sqrt{N} . Esta téc-
25
30

414591



nica se describe e ilustra completamente en la Patente
 española nº 374.194 , cuya referencia se incorpora aquí.
 Este registrador de conversión almacena las comparacio-
 nes de las N fases siguientes. Cuando la búsqueda pro-
 5 cede a una nueva fase, la comparación almacenada por es-
 ta fase se combina con la comparación más reciente.

Para un código de sincronismo contínuo,
 indicado como la señal de código segunda o larga, en un
 canal ya sincronizado, no es necesario detectar el có-
 10 digo, pero es deseable detectar si la fase de las señales
 de tiempo locales coinciden con la fase del código de
 sincronismo largo que se recibe. Esto puede determinarse
 empleando el lógico generador de código para predecir
 el siguiente bit de sincronismo a partir de los bits de
 15 sincronismo anteriores, como se describirá después con
 más detalle refiriéndonos a la fig. 7. Si el bit si-
 guiente no coincide con los bits predichos, la fase de
 las señales de tiempo locales es mala, así como los bits
 de sincronismo predichos. Si existe coincidencia, es
 20 muy probable que los bits de sincronismo recibidos re-
 cientemente sean correctos, pero existe una muy pequeña
 probabilidad de que existieran dos o más errores de bit.

El procedimiento sensato es averiguar
 el promedio de la salida del detector de sincronismo
 25 continuamente, para proporcionar una decisión razonable
 de si la fase de cuadro es correcta o no, y tomar la
 decisión rápidamente, especialmente cuando se ha perdi-
 do la sincronización. Es necesario el promedio o inte-
 gración para obtener la confiabilidad requerida a pesar
 30 de los errores de bit. Los requerimientos de velocidad

414591



y confiabilidad están en conflicto; cuando uno aumenta, el otro disminuye. Se ha estudiado el comportamiento de diferentes métodos de promedio o integración. Estos métodos incluyen filtros resistencia-condensador, esquemas de cuenta, promedios de movimiento-interno, e integración. Se ha encontrado que el mejor compromiso entre velocidad y confiabilidad se obtiene por un tipo de integrador de fijación. Se le denomina circuito de decisión o betting. Se emplea el nombre de "circuito betting" porque su funcionamiento es matemáticamente análogo a una situación betting. El circuito de decisión o betting integra la entrada digital menos una polarización, excepto que la salida de la integración esté limitada, y la integración se detiene cuando se exceda el límite superior o inferior. Se toma una decisión si la salida de integración está por encima o por debajo de un umbral dado. La decisión depende básicamente de si la probabilidad de la entrada digital excede un umbral de probabilidad determinado por la polarización de entrada.

El circuito de decisión puede ser incorporado para circuitos analógicos o digitales. La forma analógica ha sido construída con un integrador tipo Miller, circuito de fijación y circuito comparador. La forma digital ha sido construída con un contador arriba-abajo, donde la polarización está representada por la relación de incrementos hacia arriba y hacia abajo. La forma digital tiene estabilidad inherente, pero sus parámetros no son continuamente variables. Sin embargo, empleando análisis y simulación por computador se puede predecir exactamente el comportamiento, antes de su construcción física.



El funcionamiento del circuito de decisión es un proceso Markov.

5 ; Se han escrito y empleado los programas del computador para computar la respuesta de este circuito y la distribución del tiempo de búsqueda, empleando la teoría de cadenas de Markov.

10 Cada circuito de sincronismo requiere un procedimiento sensato. Cada circuito de sincronismo puede incluir un circuito de decisión, o, empleando el circuito en forma digital, un circuito de decisión puede servir a ambos circuitos de sincronismo, ya que el sincronismo corto puede ser sincronizado antes de que la señal de sincronismo largo pueda efectivamente empezar a buscar, y porque el sincronismo largo no será sincronizado si la señal de
15 sincronismo corto no está sincronizada.

El procedimiento de búsqueda está posibilitado y no posibilitado por el procedimiento sensato. Esto es, no se permite cambiar la fase de los contadores de tiempo si no se ha determinado realmente que la fase de
20 cuadro es incorrecta. Las decisiones hechas por el procedimiento de búsqueda están diseñadas para tomarse lo más rápidamente posible, no confiables, porque la confiabilidad se obtiene por el procedimiento sensato.

25 Para el código de sincronización corto distribuido, las fases de cuadro se comprueban una a la vez, de tal manera que cada fase será probada si antes se ha encontrado la fase correcta. La fase de los contadores de tiempo se cambia a la fase siguiente inhibiendo un impulso de reloj. La fase se cambia cuando el detector
30 de sincronismo indica una coincidencia, o, si se utiliza un



registrador de conversión de alta velocidad, cuando la información en dicho registrador indica que fué detectada previamente una coincidencia. Cuando el detector de sincronismo indica que el bit recibido en ese momento coincide
5 con el bit de sincronismo local, y el registrador de conversión no indica no coincidencia anterior, no se cambia la fase hasta que se genera el siguiente bit de sincronismo local. Mientras tanto, el registrador de conversión acumula la información para las siguientes N fases.

10 Cuando se genera el siguiente bit de sincronismo local, se toman nuevamente decisiones en la cadencia de bit. Cuando se alcanza la fase correcta, es muy probable que se obtengan suficientes coincidencias para descalificar el procedimiento de búsqueda antes de que ocurra una
15 coincidencia. En unos pocos casos ocurre una primera coincidencia, y se cambia la fase, haciendo ésta incorrecta. Es necesario entonces, para el procedimiento de búsqueda, examinar todas las fases antes de obtener nuevamente la fase correcta. Esta situación hace que un pequeño porcentaje de
20 tiempos de sincronización sea significativamente más grande que el promedio.

Para un código de sincronización largo pseudo-aleatorio, se emplea un registrador de conversión y lógico de realimentación para generar un código de sincronización local, como describiremos después con relación a
25 la fig. 7. Ya que el registrador de conversión generador repite una secuencia fija de estados, también sirve como contador. La realimentación de este registrador de conversión predice los siguientes bits de sincronismo recibidos,
30 lo mismo cuando la entrada al registrador de conversión es



ajuste del formato de datos recibido y el otro debido al
ajuste del formato local. Sin embargo, puede inhibirse el
ajuste del formato local cuando el circuito de sentido in-
dica que la fase del sincronismo largo es incorrecta. Si
5 tiene lugar el ajuste del formato recibido cuando la fase de
sincronismo corto es incorrecta, no existe inconveniente,
ya que la fase cambiará a otra fase incorrecta, excepto
para un caso especial en que la fase se cambie a la fase
correcta. Si, sin embargo, el ajuste del formato recibido
10 tiene lugar cuando la fase de sincronismo corto es correc-
ta, y la fase de sincronismo largo es todavía incorrecta,
la fase de sincronismo corto pasará a ser incorrecta, y se
prolongará la búsqueda de sincronismo corto, en lugar de
terminarlo. Si el ajuste del formato recibido tiene lugar
15 después de que la fase de sincronismo largo sea correcta,
no existe inconveniente, porque ahora, los ajustes del
formato local y el recibido estarán en fase. Así, el tiempo
de búsqueda se prolonga solamente si ocurren los ajustes
del formato que se recibe entre la adquisición del sincro-
20 nismo corto y del sincronismo largo. Empleando un código
de sincronismo largo pseudo-aleatorio, el tiempo de adqui-
sición de sincronismo del código de sincronismo largo es
mucho más corto que el período de supercuadro, haciendo
proporcionalmente pequeña la probabilidad de una prolongada
25 búsqueda de sincronismo corto.

El formato de la señal de datos se ilustra
en las figs. 1, 2 y 3. Para multiplexar los canales de gru-
po y el canal principal, se construye un cuadro medio, como
el que se ilustra en la curva B de la fig. 1, compuesto
30 de 15 subcuadros, como el que se ilustra en la curva C

414591

22.



asignan 3 bits por cuadro medio, pero solamente se emplean la mitad de estos bits para el modo de canal 96 como se ilustra en las curvas A y B de la fig. 2, obteniendo siempre 57,6 kilobits por segundo (Kb/s). El canal de sincronismo largo se emplea para transmitir el código de sincronismo largo: el código pseudo-aleatorio de 64-bit que define un supercuadro de 64 cuadros medios. Esto proporciona una base para la multiplexión del canal de control como se ilustra en la fig. 3. En un supercuadro, se transmiten ocho palabras de 8 bits cada una por el canal de control C. Los 7 primeros bits de cada palabra es un código empleado para la comunicación entre los circuitos de control del transmisor y receptor de un grupo de canales. El octavo bit de estas palabras se emplea para la señalización asociada con los canales de órdenes de datos y voz.

Se suprime el último bit (S1) de sincronismo corto de cada supercuadro, haciendo el supercuadro de una longitud de 8191 bits en lugar de 8192 bits.

Refiriéndonos a la fig. 4, en la misma se ilustra un diagrama esquemático en forma de bloque de una configuración del sistema de sincronización, según los principios del presente invento. Los datos del supergrupo se aplican a la entrada 1 y se acoplan al circuito de recuperación de reloj de bit 2, para recuperar, de los datos de supergrupo, la cadencia de bit de los datos de supergrupo que está, por ejemplo, en el margen de 4,915,2 KHz. El circuito 2 puede tener la forma descrita en la Patente española nº 390.439. El divisor de reloj que divide por dos o contador 3 es habilitado o inhabilitado por la señal selectora de modo aplicada al conductor 4 para obtener un cuadro de

414591



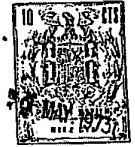
supergrupo con la frecuencia de 2.457,6 KHz para un modo de canal 48 y una frecuencia de 4.915,2 KHz para un modo de canal -96. El contador de subcuadro 5 incluye un contador binario divide-por-8, 6, y un lógico de pausa 7. El lógico de pausa 7 detiene el contador 6 durante un período de reloj, creando así una novena cuenta cuando está habilitado por los contadores de cuadro medio y supercuadro. Esto hace que el subcuadro tenga una longitud de 8 ó 9 bits, según el formato de datos. La temporización de pausa también proporciona temporización para el canal principal.

El contador de cuadro medio 8 es un contador divide-por-15 formado por un contador binario divide-por-16 en la forma de los contadores 9 y 10 con un lógico de salto que hace saltar al contador a la cuenta décimo sexta. La salida del contador 9 se emplea para habilitar el lógico de pausa 7. La temporización de cuadro medio se decodifica para seleccionar los diferentes subcanales principales, según los formatos de datos. La salida del contador 10, que está formada por tres contadores divide-por-dos, proporciona la temporización de cuadro medio y el código de sincronismo corto generado localmente.

El contador de supercuadro está compuesto, es realidad, por dos contadores divide-por-64 actuados por el mismo reloj. Un contador divide-por-64 es una sarta de seis circuitos divide-por-dos, que se ha ilustrado, por conveniencia, por dos contadores divide-por-8, 13 y 14. El otro contador divide-por-64, es un registrador de conversión de 6-bit, 15, con lógico de realimentación 16, diseñado para producir una secuencia pseudo-aleatoria de 64 bits que es la señal de código de sincronismo largo generada

414591

24.



localmente. Un impulso por ciclo desde el generador de código de sincronismo largo, acoplado en el conductor 17, se emplea para reponer los contadores 13 y 14, manteniendo así ambos contadores sincronizados uno con otro. El contador
5 13 define la temporización de cada palabra de 8 bit del canal de control (una palabra de control de 7 bit y un bit de señalización) y el contador 14 define la multiplexión de ocho de tales palabras en cada supercuadro.

Los datos de supergrupo, en el conductor 1,
10 se comparan continuamente con la señal de código de sincronismo corto generada a la salida del contador 10 en el comparador digital 18. La salida de coincidencia y no coincidencia del comparador 18 (no coincidencia igual al binario "1" y coincidencia igual a binario "0") se acopla al flip-flop
15 de muestreo 19 del lógico de búsqueda de sincronismo corto 20. Cuando ésta presenta una no coincidencia a la salida del comparador 18 existe una salida "1" a la salida "1" del flip-flop 19, que hace que el circuito de decisión 21, en forma de un contador arriba-abajo, cuente una cuenta hacia abajo.
20 Cuando tiene lugar una señal de coincidencia a la salida del comparador 18, el binario resultante "0" se invierte en la puerta NOT 22, y se aplica a la entrada "0" del flip-flop 19, resultando un binario "1" en la salida "0" del flip-flop 19 que hace que el circuito de decisión 21 cuente una cuenta
25 hacia arriba. El resto del circuito del lógico de búsqueda 20, que incluye el flip-flop 23, la puerta-AND 24 y el lógico de generación de señal de temporización 35, se describe más extensamente en la patente española nº 374.158. El multicircuito del lógico de búsqueda 20 podría tomar la forma
30 ilustrada en la anteriormente mencionada Patente española nº



374.194. En cada configuración se requiere el lógico de generación de señal de temporización 35 que produce diferentes señales de temporización, tales como MT, SHC y HT representadas en la fig. 4 y otras señales de temporización ST
5 necesarias para producir ambas señales de temporización MT y SHC. Estas señales de temporización se producen por el lógico 35, combinando lógicamente el reloj de supergrupo, la temporización de subcuadro y la temporización de cuadro medio junto con la salida de ALTO de AND 24. Estas señales de temporización tendrán ciertas duración y anchura relativa, como
10 se describe en las patentes 374.158 y 374.194, siendo dictadas las anchuras y duraciones relativas de estas señales por el formato de las señales de datos que se consideran.

El lógico de búsqueda 20, cuando está habilitado por la señal ENABLE del circuito de decisión 21,
15 genera un impulso de ALTO cuando el lógico de temporización 35 indica una no coincidencia entre el código de sincronismo corto generado y recibido en este momento. Una no coincidencia en este momento también hace que se envíe
20 un impulso "abajo" al circuito de decisión 21. Una coincidencia, en este momento, genera, en su lugar, un impulso "arriba". La señal de Alto se utiliza para inhibir la cuenta de uno o ambos contadores de subcuadro 5 y 8 a través de las puertas de INHIBICION 26 y 27. Una sucesión
25 de no coincidencias provocará una continua condición de ALTO hasta que se detecte una coincidencia, pero no son generados más impulsos "arriba" o "abajo" hasta que llega el siguiente bit de sincronismo corto. Cuando el lógico de búsqueda 20 es inhabilitado, se generan impulsos de arriba
30 o abajo, dependiendo de la comparación obtenida cuando se

414591

26.



supone que llega un impulso de sincronismo, pero no se permiten impulsos de ALTO.

El circuito de decisión 21 es un contador binario arriba-abajo empleado conjuntamente por las porciones de sincronismo corto y largo del lógico de cuadro. Su funcionamiento depende de si la cuenta de ciertos umbrales de cuenta es arriba o abajo, como se ilustra en la fig. 5. Los impulsos "arriba" son inhabilitados en una región cerca de la cuenta más alta, tal como entre al umbral de cuenta 28 y la cuenta más elevada 29. Esto impide que el contador invierta el ciclo a una cuenta inferior. Del mismo modo, se inhabilitan en la región más próxima a la cuenta más baja, tal como entre el umbral de cuenta 30 y la cuenta más baja 31. Existe un umbral de cuenta 32 cerca del centro del diagrama de la fig. 5 que separa la acción de control de los circuitos de sincronismo corto y largo. El anterior umbral 32, el circuito de decisión 21 responde a impulsos de arriba y abajo desde el circuito de sincronismo largo y por debajo del umbral 32, el circuito de decisión 21 cuenta arriba o abajo controlado solamente por el circuito de sincronismo corto. En una porción más baja de cada una de estas dos regiones, se permite cambiar la fase de cuadro al circuito asociado. En el caso del sincronismo corto, se generan los impulsos de ALTO para cambiar la fase de cuadro por debajo del umbral de cuenta 33. En el caso de sincronismo largo, se utiliza un "modo cargado". Esto ocurre por debajo del umbral de cuenta 34. Por debajo del umbral de cuenta 35, se habilita la alarma de cuadro. Los diferentes umbrales de cuenta y la acción asociada con los mismos dependerá de la condi-



ción binaria en la salida "1" de las etapas contadoras arriba al umbral de cuenta que se considera. Por ejemplo, una puerta OR acoplada a la salida "1" de las etapas del contador entre la cuenta más baja 31 y el umbral de cuenta 5 30 proporcionará un "1" por cada etapa que supone un estado "1", para proporcionar la deseada "alarma de cuadro" o "alarma-fuera-de-sincronismo".

Cuando se pierde la sincronización, las no coincidencias provocan impulsos abajo, después o mientras la situación del circuito de decisión 21 está en o 10 cerca de la cuenta más baja (entre el umbral 30 y la cuenta más baja 31). Aquí, se permite generar al circuito de sincronismo corto impulsos de alto que, eventualmente, corrigen la fase de cuadro medio. Para la situación de 15 fases de cuadro medio correctas, existen más coincidencias de sincronismo corto que no coincidencias y, así, más impulsos hacia arriba que hacia abajo. El circuito de decisión 21 cuenta hasta el umbral de cuenta 32, donde se controla por el circuito de sincronismo largo. En el 20 funcionamiento del circuito de sincronismo largo, la consecución de la fase de sincronismo largo correcta, hace que la cuenta del circuito de decisión 21 continúe hacia arriba, inhabilitando más cambios de la fase de cuadro e inhabilitando la alarma de cuadro.

25 Los errores de bit pueden hacer que el lógico de búsqueda tome decisiones incorrectas y desplazar la cuenta en la dirección incorrecta, aunque cada error de bit pueda cambiar la cuenta sólo ligeramente. Así los circuitos de cuadro pueden continuar después de un 30 error desde casi la misma situación que tenían antes del error, o casi lo mismo que si el error no hubiera ocurri-



414591

do. De un modo similar, el circuito de decisión 21 protege contra errores de bit cuando está sincronizado, impidiendo una falsa sensación de la situación de fuera-de-sincronismo.

El circuito de cuadro de sincronización lar-
5 ga incluye un registrador de conversión 15 y un lógico de realimentación 16 además de un circuito de realimentación a través del lógico conmutador 36, que genera el código de sincronismo largo local para utilizar en el comparador digital de sincronismo largo 37 que, en unión del flip-flop
10 de muestreo 38, produce las salidas "arriba" y "abajo", como se ha descrito con respecto al flip-flop 19 del lógico de búsqueda de sincronismo corto 20. El código de sincronismo largo recibido es demultiplexado del canal principal del formato de supercuadro. Esta demultiplexión se describe
15 completamente en la solicitud de patente española nº 413.756 cuya descripción se incorpora aquí como referencia. Esta demultiplexión es correcta en el tiempo cuando el código de sincronismo corto está sincronizado, esto es, cuando la temporización de cuadro medio es correcta. Cuando esta tem-
20 porización de supercuadro es también correcta, los códigos de sincronismo largo recibido y generado, coincidirán (excepto, por supuesto, en lo que se refiere a los errores de bit). El comparador de sincronismo largo compara los códigos de sincronismo largo recibido y generado, en el comparador
25 37 y genera, a través del flip-flop 38, impulsos arriba si existe una coincidencia (binario "0" a la salida del comparador 37), o un impulso abajo si existe una no coincidencia (binario "1" a la salida del comparador 37). Así, las no coincidencias, hacen disminuir la cuenta hasta que el lógico
30 conmutador 36 genera una señal ENABLE. El lógico conmutador



36 se representa en la fig. 4 como un conmutador mecánico, pero puede tener la forma que se ilustra en la fig. 6, que incluye una puerta AND 39 para dar paso a la señal de código de sincronismo largo recibida al registrador de conversión 15 cuando está presente la señal de sincronismo largo ENABLE, y una puerta INHIBIDORA 40 que inhibe el acoplamiento del código de sincronismo largo generado a la entrada de los registradores de conversión 15.

Cuando el lógico conmutador 36 está en posición inhabilitada, como se ilustra en la fig. 4, el ENABLE para el circuito de sincronismo largo, conmuta el conmutador del lógico 36 de tal modo que la señal de sincronismo largo recibida se acopla a la entrada del registrador de conversión 15. Esta situación es la que antes hemos denominado "modo cargado", porque los bits de sincronismo largo recibidos se cargan en el registrador de conversión, desplazando los bits de sincronismo largo generados, almacenados previamente. Tan pronto como se llena el registrador de conversión 15 con bits de sincronismo largo libres de error, la señal de código de sincronismo largo generado coincidirá con la señal de código de sincronismo largo recibida sin errores. Las coincidencias detectadas por el comparador 37 provocan la generación de impulsos "arriba", que aumenta la cuenta del circuito de decisión 21 e inhabilita la señal ENABLE de sincronismo largo. Esto hace que el lógico conmutador 36 conmute inversamente a la posición ilustrada de tal modo que el código de sincronismo largo generado por el registrador de conversión 15 y el lógico de realimentación 16, se acoplen a la entrada del registrador de conversión 15. En este "modo de realimentación", la vía de realimentación está cerrada y el registra-



dor de conversión continua generando el código de sincronismo largo sin depender del código de sincronismo largo recibido y, de esta manera, sin ser afectado por los errores de bit. Este modo persiste si el registrador de conversión está sincronizado a los códigos de sincronismo largos recibidos. Como se ha mencionado previamente, los contadores 13 y 14, del contador de supercuadro 12, están sincronizados por los impulsos generados desde el registrador de conversión 15 y acoplados al mismo por el conductor 17.

10 Describiremos seguidamente la generación del código de sincronismo largo con referencia a la fig. 7, que ilustra un registrador de conversión de seis etapas 15 y una configuración de un lógico de realimentación 16 que funciona como sigue: desde cualesquiera 6-bits contenidos en el registrador de conversión 15 (una secuencia de seis bits, ordenados de izquierda a derecha), se genera un nuevo bit como sigue: si el código de seis bit es todo ceros (binario "0") como se detecta por la puerta AND 41, o (siendo realizada la función lógica por la puerta OR 42), si, por lo menos, uno de los cinco bits de más a la derecha es un binario "1" (como se determina por la puerta OR 43) y (la función lógica se realiza por la puerta AND 47) los dos bits de más a la izquierda son diferentes (como se detecta por las puertas AND 44 y 45 y la puerta OR 46), el nuevo bit es un binario "1". Si no se cumple este estado lógico, el nuevo bit es un binario "0". Generar un nuevo código bit-6 añadiendo el nuevo bit a la derecha y quitando el bit de más a la izquierda. A partir del nuevo código, generar un nuevo bit. De este nuevo bit generar otro código como anteriormente, y así sucesivamente. Este procedi-

15

20

25

30



miento repetido 58 veces genera una secuencia de bits que se repite una vez cada 64 bits.

Después de recibir solamente seis bits del código de bit-64, y empleando el procedimiento anterior, es posible conseguir la sincronización en menos de un período de código o supercuadro.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no ha de considerarse como limitación de su alcance.

Este invento corresponde a una solicitud de patente formulada en Estados Unidos el día 10 de mayo de 1972, señalada con el número 251.895, y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

NOTA

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

1. Un sistema de sincronización de cuadro para una señal de datos binaria en multiplex por división de tiempo que tiene un supercuadro con M cuadros medios, cada uno de los cuales incluye m subcuadros. Dicha señal de datos, incluye una primera señal de sincronismo, que tiene una primera distribución predeterminada dispuesta en cada uno de los M cuadros medios, y una segunda señal de sincronismo con una segunda distribución predeterminada, diferente de la primera, compuesta de M bits, cada uno de los cuales dispuesto en uno de los M cuadros medios, donde M y m son enteros mayores que la unidad, comprendiendo:

30

414591

32.



una fuente de dicha señal de datos;

un primer elemento acoplado a dicha fuente para producir señales de tiempo que incluyen dicha primera señal de sincronismo;

5 un segundo elemento para generar localmente dicha segunda señal de sincronismo;

un primer comparador digital acoplado a la fuente y al primer elemento, que responde a la señal de datos y a la primera señal de sincronismo para producir una

10 primera señal de salida indicativa de la coincidencia y no coincidencia entre la señal de datos y la primera señal de sincronismo;

un circuito integrador que tiene diferentes niveles de umbral acoplado al primer comparador, que respon-

15 de a la coincidencia o no coincidencia para producir una primera señal de control indicativa de la relación de fase entre la primera señal de sincronismo, contenida en los datos, y la primera señal de sincronismo generada por el elemento primero;

20 un elemento tercero acoplado al primer comparador, al circuito integrador y al primer elemento, que responde a, por lo menos, dichas no coincidencias y dicha primera señal de control por debajo de un primero de los umbrales, para controlar la fase de las señales de temporización

25 con respecto a la señal de datos, para establecer y, mantener la sincronización de los M cuadros medios.

un segundo comparador digital acoplado a la fuente, al elemento segundo y al circuito integrador, que responde a la segunda señal de sincronismo contenida en la

30 señal de datos y a la segunda señal de sincronismo generada por el segundo elemento para producir una segunda salida



que indica la coincidencia y no coincidencia entre los M bits de la segunda señal de sincronismo contenida en la señal de datos y los M bits de la segunda señal de sincronismo generada por el elemento segundo. Dicha segunda señal de salida está acoplada al circuito integrador para producir una segunda señal de control; y

un cuarto elemento acoplado a dicha fuente, al elemento segundo y al integrador, que responde a la segunda señal de control por debajo de un segundo de los niveles de umbral, diferente del primero, para sustituir la segunda señal de sincronismo contenida en la señal de datos por la segunda señal de sincronismo generada por el elemento segundo, para proporcionar, en dicho segundo elemento, la segunda señal de sincronismo idéntica a la segunda señal de sincronismo contenida en los datos;

los elementos tercero y cuarto cooperan en el establecimiento y mantenimiento de la sincronización de supercuadro.

2. Un sistema, según el punto 1, en el que la primera señal de sincronismo incluye un bit "0" binario y un bit "1" binario separados uno de otro por un número dado de bits.

3. Un sistema, según el punto 1, en el que, la segunda señal de sincronismo es un código de M-bit pseudo-aleatorio.

4. Un sistema según el punto 1, en el que, la primera señal de sincronismo incluye un bit "0" binario y un bit "1" binario separados, uno del otro, por un número dado de bits; y dicha segunda señal de sincronismo es un código pseudo-aleatorio de M-bit.

30

41459 1³⁴.



5. Un sistema, según el punto 1, en el que cada uno de los comparadores primero y segundo incluye una puerta EXCLUSIVA-OR.

5 6. Un sistema, según el punto 1, en el que, el circuito integrador incluye un integrador digital.

7. Un sistema, según el punto 6, en el que, el primer elemento incluye un elemento quinto acoplado a la fuente para recuperar el reloj de bit de la señal de datos, varios contadores binarios acoplados en cascada uno con respecto a otro y al elemento quinto, para generar señales de tiempo para los m subcuadros, señales de tiempo para supercuadro y la señal de sincronismo primera, y un multicircuito lógico acoplado en, por lo menos, un punto seleccionado de la cascada de contadores binarios, que responde a la primera señal de control por debajo del primero de los umbrales, para inhibir el flujo de impulsos en dicho punto seleccionado, para controlar la fase de las señales de temporización con respecto a la señal de datos, para establecer la sincronización de los M cuadros medios.

20 9. Un sistema, según el punto 1, en el que, el elemento segundo incluye:

un registrador de conversión de seis etapas que contiene una distribución dada de unos y ceros binarios, ordenados de izquierda a derecha, y

25 un lógico de realimentación acoplado a las etapas del registrador de conversión, para producir la segunda señal de sincronismo compuesta de M bits, examinando secuencialmente la condición binaria de las etapas del registrador de conversión (M-6) veces e insertando, después de cada una de dichas exploraciones, y antes de la siguien-

30



te, un binario "1" en la etapa de más a la izquierda del registrador de conversión, cuando un estado lógico dado es verdad, y un binario "0" cuando dicho estado lógico es falso. El estado lógico viene establecido por
5 si cada etapa contiene un binario "0", o si, por lo menos una de las cinco etapas de más a la derecha contiene un binario "1" y las dos etapas de más a la izquierda contienen condiciones binarias diferentes.

10 10. Un sistema, según el punto 1, en el que la señal de sincronismo primera incluye:

un bit "0" binario y un bit "1" binario separados, uno de otro, por un número dado de bits;

15 la señal de sincronismo segunda es un código pseudo-aleatorio de M-bit; cada uno de los comparadores primero y segundo incluye

una puerta EXCLUSIVA-OR;

el circuito integrador incluye

un contador binario arriba-abajo;

el elemento primario incluye

20 un elemento quinto acoplado a la fuente para recuperar el reloj de bit de la señal de datos,

25 varios contadores binarios acoplados en cascada uno con respecto a otro y al elemento quinto para generar señales de tiempo para los m subcuadros, señales de tiempo para los M cuadros medios, señales de tiempo para supercuadro y la primera señal de sincronismo, y

30 un multicircuito lógico acoplado en, por lo menos, un punto seleccionado de la cascada de contadores binarios, que responde a la primera señal de control por debajo del primero de los niveles de umbral, para



414591

inhibir el flujo de impulsos en dicho punto y controlar la fase de las señales de tiempo con respecto a la señal de datos, para establecer la sincronización de los M cuadros medios; y

5

el segundo elemento incluye,

un registrador de conversión de seis etapas que contiene una distribución dada de unos y ceros binarios ordenados de izquierda a derecha, y

10

un lógico de realimentación acoplado a las etapas del registrador de conversión para producir la segunda señal de sincronismo compuesta de M bits, examinando secuencialmente la condición binaria de dichas etapas (m-6) veces e insertando, después de cada exploración, y antes de la siguiente, un binario "1" en la etapa de más a la izquierda del registrador cuando es verdad un estado lógico dado, y un binario "0" cuando dicho estado es falso. El estado lógico consiste en si cada etapa contiene un binario "0", o si, por lo menos, una de las cinco etapas de más a la derecha, contiene un binario "1" y las dos etapas de más a la izquierda contienen condiciones binarias diferentes.

15

20

11. Un sistema de sincronización de cuadro.

25

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan,

414591 37.



y a los fines especificados.

Esta memoria consta de treinta y siete
hojas escritas por una sola cara.

Madrid, 9 MAYO 1973



M. G. Santamaria

M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

SS



414591

Fig. 1

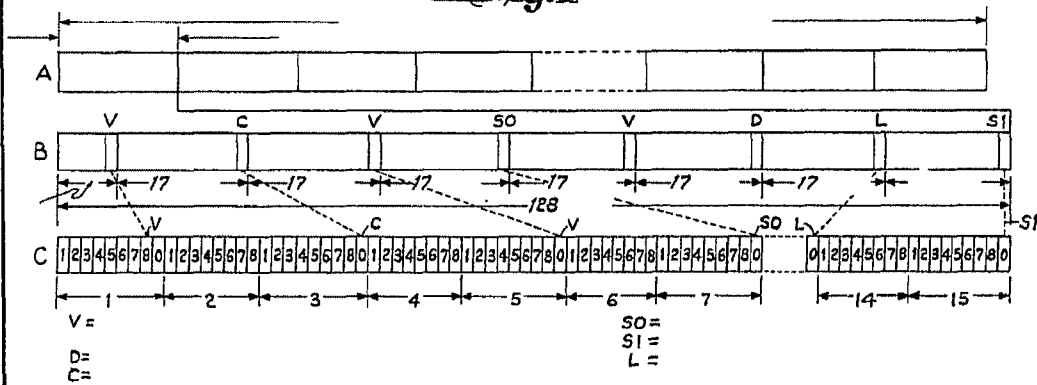
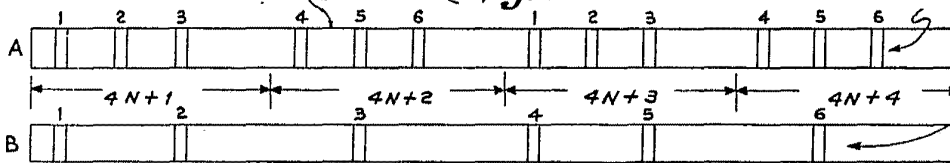
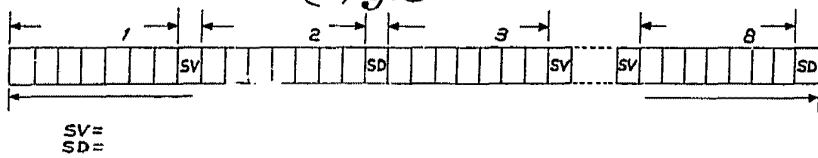


Fig. 2



$N = 0, 1, 2, \dots, 15$

Fig. 3



9 MAYO 1973



M. G. Santamaria
M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

3/2

STANDARD ELECTRICA, S. A.



414591

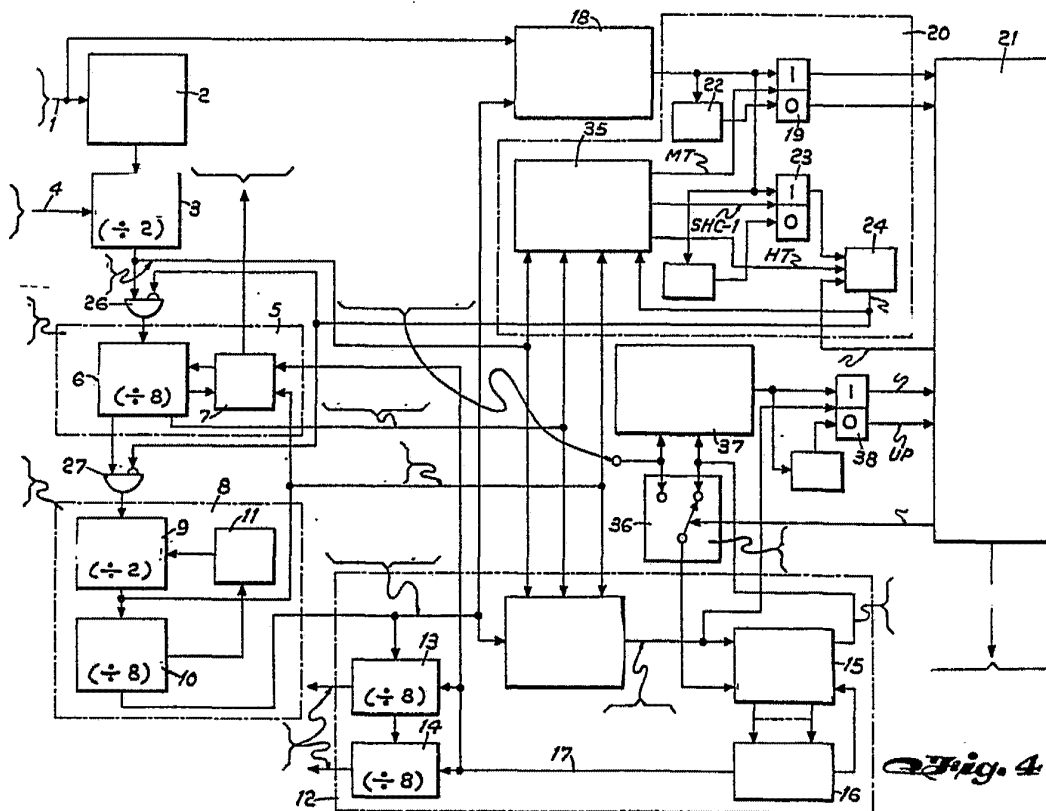


Fig. 4

9 MAYO 1973



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL



414591

Fig. 5

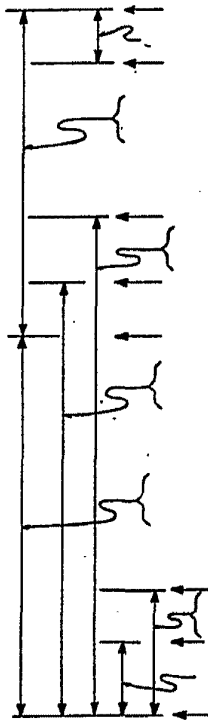


Fig. 6

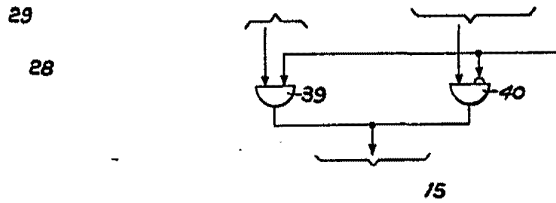
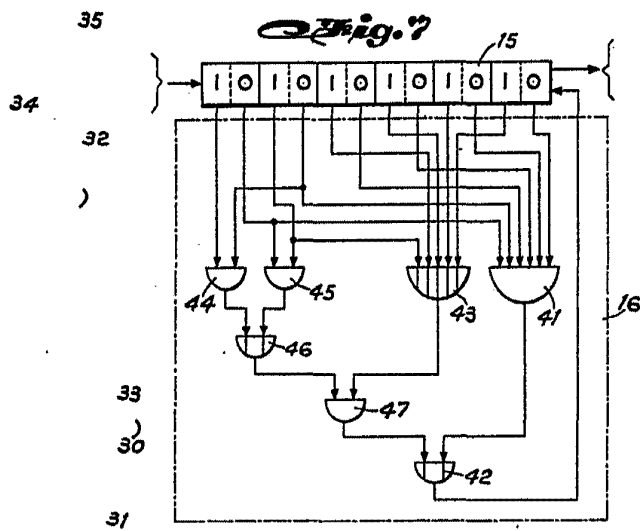


Fig. 7



9 MAYO 1973



M. G. Santamaria

M. G. SANTAMARIA
VICE-SECRETARIO GENERAL