



20  
BREVET DE INVENTION

414009

Int. Cl. <sup>2</sup> : G06F

F. P. 19-5-75

## Memoria Descriptiva

sobre:

PERFECCIONAMIENTOS EN SISTEMAS DE TRATAMIENTO DE  
DATOS.-

-----

*Solicitante:* COMPAGNIE INTERNATIONALE POUR L'INFORMATIQUE, entidad  
francesa, residente en 68 Route de Versailles, 78  
Louveciennes, Francia.

-----

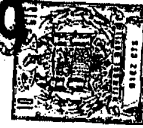
La presente invención se refiere a los sistemas de tratamientos de datos por procesadores de multi-acoplamiento de periféricas y otros órganos externos tales como memoria general, pupitre, consola y otros, consistiendo todo procesador en una "micro-máquina", a

414009



- saber la combinación de una memoria de control que contiene unas micro-instrucciones cuya misión es, de forma general, descomponer la ejecución de una instrucción procedente de la memoria externa, de una memoria de trabajo para la ejecución de estas micro-instrucciones, y de un operador tal como un adicionador-sustractor equipado de órganos de ensayo diversificados, estando organizada esta micro-máquina con conexiones de control y de cambios con los órganos externos a partir en especial del registro de escritura-lectura de la memoria de trabajo. Un ejemplo de organización de dicho procedimiento puede encontrarse en la solicitud de patente española nº 402.499 del 6 de mayo de 1.972 de la Entidad solicitante por "Perfeccionamientos en procesadores de multi-acoplamiento de periféricas para sistemas de tratamiento de información" (invención Alice María RECOQUE).
- 5.
  - 10.
  - 15.

- Un problema importante para dichos sistemas es el de la detección precoz de las averías y errores que pueden sobrevenir durante la ejecución de un trabajo. La protección asegurada contra averías y errores por el empleo en algunos casos de estructuras en lógica mayoritaria o redundante es, como se sabe, insuficiente en sí. La ejecución del mismo trabajo por dos procesadores distintos y la comparación de los resultados de este trabajo no han conducido hasta ahora a una detección precoz de los errores y averías en razón de la espera necesaria para que los procesadores alcancen un mismo estado de avance de su tarea común y, además, era preciso aguardar los resultados al final de un trabajo: - en la práctica, no era posible obtener muy rápidamente, en menos de 100 ó 200 microsegundos por ejemplo, la indicación de un desacuerdo entre los dos procesadores. Las posibilidades de comparación se limitaban a las
- 20.
  - 25.
  - 30.

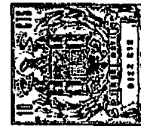


conexiones programadas, reagrupadas en una sola interrupción.

La finalidad de la presente invención es prever por el contrario un sistema de tratamiento de datos que asocia dos procesadores del tipo definido al principio de la exposición para asegurar la detección precoz de las averías y errores y la identificación rápida de aquél de los dos procesadores que se extingue y, si ello es posible, la prosecución de la tarea por un procesador que no se extingue del sistema.

- 5.
- 10.
- 15.
- 20.
- 25.
- 30.
- Un sistema de tratamiento de datos según la presente invención comprende la combinación de dos procesadoras distintos aunque de organizaciones y microprogramaciones idénticas, en multi-acoplamiento con un mismo conjunto de órganos externos y que trabajan normalmente en sincronismo para la ejecución de una misma tarea, de un juego de puertas en cada uno de los procesadores para la transmisión de datos a los órganos externos, de una organización de autorización selectiva de esta transmisión por uno u otro de los juegos de puertas, de al menos un comparador de datos simultáneamente existentes en dos emplazamientos idénticos de los procesadores durante la ejecución de cada microinstrucción, y de medios que controlan, a la activación de la salida de no-concordancia de este comparador, la inhibición de los juegos de puertas y del comparador y la inhibición de un proceso de identificación del procesador sujeto a una avería o error, proceso que comienza por el desarrollo de un microprograma de ensayo en cada uno de los procesadores.

En la práctica, y según otra característica de la invención, dicho comparador se asocia a cada uno de los procesadores y estos medios no son disparados más que en condiciones simultáneas de activación de las salidas de no-concordancia



de estos dos comparadores.

Estas características, así como otras incluso que vienen a reforzar los efectos, van a ser expuestas con detalle con referencia a la figura única anexa que representa, a simple título ilustrativo, un ejemplo de ejecución del que pueden deducirse todas las variantes que entran dentro del marco de la invención.

- 5.
- 10.
- 15.
- 20.
- 25.
- 30.
- En esta figura, los procesadores están representados en 1 y 51. Tienen igual organización e igual programación en microinstrucciones para las necesidades del sistema y sus cambios se efectúan con los mismos órganos externos 24, 25 y 26<sup>1</sup> a 26<sup>n</sup>. El procesador 1 comprende una alimentación 2, una memoria 3 que comprende de hecho las memorias de control y de trabajo a los sentidos definidos por la solicitud de patente evocada más arriba, un operador 4 y sus registros y circuitos anexos, una base de tiempos 5 que contiene un reloj, una conexión 6 directa entre la barra colectora de salida 19 de los acopladores 21, 22 y 23<sup>1</sup> a 23<sup>n</sup> de los órganos externos y una entrada del operador 4, una conexión 7 que pasa a través de un juego de puertas 9 entre una salida de este operador 4 y la barra colectora de entrada 20 de los acopladores de los órganos externos, y un comparador 8 que recibe de una salida 47 del operador 4 todos los datos de trabajo de ejecución de las micro-instrucciones, que corresponden a unas direcciones, de las instrucciones o de los operandos que, en una estructura micro-programada son accesibles en un mismo punto tal como una barra colectora asociada al registro de escritura-lectura de la memoria de trabajo de la micro-máquina. El procesador 51 comprende los mismos elementos de base, designados por las mismas referencias numéricas aumentadas del número 50. La otra entrada



5. del comparador 8 recibe los datos procedentes en 97 del operador 54 del procesador 51, datos igualmente aplicados sobre una entrada del comparador 58 del procesador 51, comparador que recibe sobre su otra entrada los datos procedentes de 47 en el procesador 1. En condiciones normales de trabajo del sistema, los dos relojes de las bases de tiempos 5 y 55 están sincronizados, lo que indica las conexiones bilaterales 33 y, por consiguiente, los datos aplicados sobre las entradas de los comparadores 8 y 58 son teóricamente idénticos y sin decajaje temporal entre sí.

10.

La gestión de los cambios de datos hacia los órganos externos es atribuida a uno u otro de los procesadores 1 y 51, en condiciones normales de trabajo, según el estado de una memoria unitaria de dos estados 30. En uno de estos estados el juego de puertas 9 es pasante y el juego de puertas 59 es bloqueado, luego es por tanto el procesador 1 el que asegura estos cambios, en el otro de estos estados, el juego de puertas 9 es bloqueado y el juego de puertas 59 es pasante, luego es el procesador 51 el que asegura estos cambios. La memoria 30 está representada bajo la forma de una báscula biestable, que puede asumir en la práctica, dos entradas de control 41 y 91. En el ejemplo representado, se supone que la activación de la entrada 41 da la gestión al procesador 1 y la que la activación de la entrada 91 da por el contrario la gestión al procesador 51.

15.

20.

25.

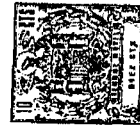
En este ejemplo, una salida 36 del operador 4 del procesador 1 solicita la gestión de los cambios para este procesador cuando es activada, conectándose a la entrada 41 de la báscula 30. Otra salida 35 de este operador 4 rechaza por el contrario, cuando es activada, la gestión de los cam-

30.



- bios para el procesador 1 debido al hecho de que se conecta a la entrada 91 de la báscula 30. Recíprocamente, una salida 86 del operador 54 del procesador 51 solicita, cuando es activada, la gestión de los cambios para este procesador, ya que se conecta a la entrada 91 de la báscula 30 y otra salida 85 de este operador 54 rechaza la gestión de los cambios cuando es activada ya que se conecta a la entrada 41 de la báscula. En condiciones normales de trabajo, el estado de la báscula debe ser definido lo que puede ser dejado al azar al comienzo del trabajo pero que, preferentemente, es determinado ya sea por una polarización de estado preferencial aplicado sobre la báscula 30, en 31 por ejemplo, o bien por el desarrollo de un micro-programa de selección de estado por los procesadores, si se desea. Es ventajoso que el estado de la báscula sea señalado en el pupitre de operador: - a título ilustrativo, se ha indicado en 39 dicha marcha de señalización, tomada sobre una salida de la báscula. Se puede también desear conocer en el pupitre de operador, un "rechazo" de un procesador de encargarse de la gestión de los cambios hacia los órganos externos y, a título indicativo igualmente, se han mostrado dichas marchas de señalización de rechazo, en 49 para la línea de marcado de rechazo 35 del procesador 1 y en 99 para la línea de marcado de rechazo 85 del procesador 51.

- Cada procesador está, normalmente, equipado de una organización de detección de sus averías y errores internos. Esto se indica para el procesador 1 por los circuitos 11 y 12 respectivamente asociados a las partes 3 y 4, y, para el procesador 51 por los circuitos similares 61 y 62, respectivamente asociados a las partes 53 y 54. A estos circuitos convencionales se añaden aquí un circuito de detección de avería de la ba-



- se de tiempos, 14 para la base de tiempos 5 y 64 para la base de tiempos 55, así como unos circuitos de detección de averías de las alimentaciones, 10 para la alimentación 2 y 60 para la alimentación 52, ya que, como se ha dicho, las alimentaciones de los procesadores 1 y 51 se establecen independientes, mas precisamente autónomas, como lo son las bases de tiempos 5 y 55. Las salidas de los circuitos 10, 11, 12 y 14 se reúnen, en 17 sobre una entrada de desviación 28 del procesador 1. Las salidas de los circuitos 60, 61, 62 y 64 son asimismo reunidas en 67 sobre la entrada de desviación 78 del procesador 51.

- Cada uno de los procesadores del sistema puede estar igualmente equipado de otros circuitos para la detección de errores de programación y (o) de fallos de los acopladores y órganos externos. La activación de dichos circuitos provocará simultáneamente la misma desviación en uno y otro de los procesadores y no habrá ninguna ruptura de sincronización en su funcionamiento. No ha lugar tomar aquí en consideración la existencia, clásica en sí, de estos circuitos, que queda fuera del campo propio de la invención.

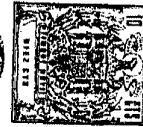
- Por el contrario, la ocurrencia de un fallo o de un error propio a uno solamente de los procesadores reacciona sobre la organización de un sistema conforme a la invención. La activación de una entrada de desviación de uno de los dos procesadores debe interrumpir allí el trabajo en curso en beneficio de la ejecución de un programa, a lo menos de un micro-programa, especializado. El otro procesador debe entonces imperativamente proseguir el trabajo en curso y, en particular, asegurar la gestión de los cambios hacia los órganos externos. Cuando la entrada de desviación 28 del procesador 1 es activada, aplica sobre la entrada 91 de la báscula 30 una señal de

414009



5. tiende a transferir la gestión al procesador 51 y que la transfiera efectivamente, si este último no la tenía ya. Recíprocamente, cuando la entrada de desviación 78 del procesador 51 es activada, aplica sobre la entrada 41 de la báscula 30 una señal que tiende a transferir el control al procesador 1 y que le transfiera efectivamente si este último no le tenía ya. Se ha indicado que la activación de una entrada de desviación propia a uno de los procesadores cortaba la sincronización de los relojes en las bases de tiempos 5 y 55, siendo reunidas las salidas 28 y 78 de las reuniones 17 y 67 de los circuitos descritos sobre una entrada de control de sincronización 32 de las bases de tiempo. Al no ejecutar ya los dos procesadores el mismo trabajo, es también necesario ocultar las salidas de los comparadores 8 y 58, lo que se indica de forma simple porque cada una de las entradas de desviación 28 y 78 se muestra conectada a una entrada de inhibición de cada uno de los comparadores.

10. La salida de no-concordancia de los datos aplicados al comparador 8 pasa por una puerta 27 antes de alcanzar una entrada especializada 34 del procesador 1. La salida de no-concordancia de los datos aplicados al comparador 58 pasa similarmente por una puerta 77 antes de alcanzar una entrada especializada 84 del procesador 51. Estas mismas salidas, de hecho, son aplicadas sobre las entradas de un circuito 48 que forma una señal de tipo "O disyuntiva" entre sus señales de entrada, y la salida de este circuito 48 es aplicada a unas entradas de inhibición de las puertas 27 y 77. Conviene en efecto que una avería de uno de los comparadores no pueda ocasionar falsas interpretaciones en el funcionamiento propio del sistema y el circuito 48 constituye en efecto un detector de averías de los comparadores: si los comparadores no activan al
- 15.
- 20.
- 25.
- 30.



- mismo tiempo sus salidas de no-concordancia de los datos que les son aplicados, sino que un solo comparador lo hace, es que está sujeto a una avería interna. En tal caso, las puertas 27 y 77 se encuentran bloqueadas, lo que pone a la organización
5. de los comparadores fuera de circuito en el sistema sin provocar allí perturbaciones. La activación de la salida de 48 está ventajosamente señalada en el pupitre de operador, lo que indica a título ilustrativo, el arranque 100 hacia este pupitre. Si se establece cada uno de los comparadores en lógica mayoritaria interna, es posible suprimir el circuito 48 y las puertas
10. 27 y 77. En dicha realización tecnológica de estructura mayoritaria sobre todo, no se puede establecer mas que un solo comparador en lugar de dos, teniendo sobre todo como finalidad el establecimiento de los dos comparadores paliar unas averías internas que podrían producirse en un comparador único y no serían
15. descubiertas más que por unos ruptores intempestivos y repetidos en el trabajo del sistema.
- Como ya se ha dicho, los datos disponibles a la salida 47 del procesador 1 y a la salida 97 del procesador
20. 51 comprenden no solo los resultados de ejecución de las micro-instrucciones, sino también todas las direcciones, operádos y códigos de instrucciones y micro-instrucciones. La organización de los comparadores asegura por tanto una vigilancia del trabajo de los procesadores a una escala temporal mucho más fina
25. que la asegurada por las organizaciones de vigilancia clásicas anteriormente descritas. Además toda avería o error que escape a estas organizaciones de vigilancia se traducirá por una activación de no-concordancia de los datos aplicados sobre los comparadores y será entonces inmediatamente detectada como es
30. importante que lo sea.



- Cuando los dos comparadores 8 y 58 proporcionen, a través de las puertas 27 y 77 entonces pasantes, unas señales de no-concordancia de datos aplicados, procedentes de 47 y de 97, las entradas 34 del procesador 1 y 84 del procesador 51 son todas ellas activadas y provocan en sus procesadores, una suspensión del desarrollo del micro-programa en curso. Al mismo tiempo las puertas 9 y 59 son bloqueadas y los comparadores son ocultados como ya se ha dicho. Al entrar los dos procesadores en un procedimiento que comienza por un micro-programa de ensayo y como este programa es el mismo para los dos, no es necesario romper su sincronización. Se puede considerar que la suspensión del desarrollo de todo micro-programa provoca automáticamente un almacenamiento o apartado del contexto del micro-programa suspendido y que es automáticamente restituído al cumplimiento de la suspensión. El micro-programa de ensayo verifica los órganos funcionales, los registros rápidos y la intercarra memoria interna de cada uno de los procesadores. A cada operación corresponde ventajosamente un resultado conocido de antemano y toda divergencia con dicho resultado, tan pronto descubierto, provoca la activación de la salida de rechazo de gestión, 35 para el procesador 1, 85 para el procesador 51, lo que sitúa a la báscula 30 en el estado en que el otro procesador debe asumir la gestión de los cambios hacia los órganos externos. Este rechazo o negativa de gestión está acompañado de una ocultación de los comparadores y de una desincronización de las bases de tiempos de los procesadores.

- Cuando uno de los procesadores ha activado su salida de rechazo de gestión, el otro procesador debe, normalmente, activar su salida de solicitud de gestión al final de la ejecución del citado micro-programa de ensayo y el trabajo se con-

414009



tinúa entonces en este solo procesador cuyas puertas de cambios hacia los órganos externos son entonces desbloqueadas.

- En el caso, ya improbable pero sin embargo posible, en que los dos procesadores desarrollen hasta el final su micro-programa de ensayo y activen ambos sus líneas de control de gestión de cambios hacia los órganos externos, el micro-programa de ensayo, que no hace mas que verificar el estado de los órganos funcionales de los procesadores, debe ser completado por la ejecución de un programa de ensayo. El hecho de que las dos líneas 36 y 86 sean simultaneamente activadas es verificado por un órgano 50, circuito Y por ejemplo, que se debe sin embargo comprender hecho activo solamente cuando un micro-programa de ensayo ha sido solicitado en el sistema (por ejemplo, este circuito es desbloqueado por la salida de una báscula accionada por la activación simultánea de las líneas 34 y 84, o incluso mas simplemente, 36 y 86, y puesta en posición de reposo cuando una sola de estas últimas líneas es activada). La salida de este órgano provoca en cada uno de los dos procesadores, cuando es activada, la solicitud de un programa en memoria externa. Se debe comprender en efecto que si las puertas 9 y 59 permanecen bloqueadas, cada uno de los procesadores puede recibir unos datos por su línea de entrada, 6 para el procesador 1 y 56 para el procesador 51. El bloqueo de las puertas puede, si es necesario, ser mantenido a partir de la activación de la salida del circuito 50. Se puede observar que el bloqueo de las puertas 9 y 59 no es imperativo si se admite que los procesadores pueden emitir mensajes erróneos durante la ejecución de dicho programa de ensayo. El programa de ensayo verifica que las instrucciones son correctamente ejecutadas en los dos procesadores. Después de su ejecución la
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.



- probabilidad de una doble solicitud de gestión de los cambios hacia los órganos externos es prácticamente nula. Sin embargo, si esto aún fuera así, el trabajo sería tomado de nuevo con atribución de la gestión de los cambios hacia los órganos
5. externos, a uno de los procesadores, ya sea arbitrariamente bien, como se ha dicho, por una polarización aplicada en 31 a la báscula 30, o bien incluso, si se desea, por la llamada de un programa de elección de condición de gestión de estos cambios, basado por ejemplo en el "pasado" del procesador.
10. En todos los casos, después de una suspensión en un trabajo, los comparadores permanecen ocultados para la prosecución de este trabajo.
- Una vez que ha sido detectada una avería, después de reparada, en uno de los procesadores, el sistema podrá
15. ser puesto de nuevo en condición normal de trabajo por re-inicialización del procesador reparado por el otro, por ejemplo por micro-programas que copian de nuevo los datos del segundo en el primero en unos intervalos de trabajo del segundo, y que aseguran después una re-sincronización de las bases de tiempos de los dos procesadores, terminándose estos micro-programas
20. por el desocultamiento de los comparadores.
- N O T A
- Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe
25. hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una solicitud de Patente presentada en Francia con fecha y número siguientes: 24 de abril de 1972, nº 72 14 418; acogiéndose por lo tanto a los beneficios que
- 30.



conceden los Convenios Internacionales en vigor. Siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España sobre: Perfeccionamientos en sistemas de tratamiento de datos; caracterizándose por lo siguiente:

5.

1.- Perfeccionamientos en sistemas de tratamiento de datos, por procesadores de micro-programación y multi-acoplamiento de órganos externos, caracterizados porque dichos sistemas comprenden la combinación de dos procesadores distintos aunque de organizaciones y microprogramaciones idénticas en multi-acoplamiento con un mismo conjunto de órganos externos, que trabajan en sincronismo para la ejecución de una misma tarea, de un juego de puertas en cada procesador, que reciben los datos a transmitir a los citados órganos externos, de una organización de autorización selectiva de esta transmisión por uno u otro de estos juegos de puertas, de medios comparadores de los datos simultáneamente disponibles en dos emplazamientos idénticos de los procesadores en curso de la ejecución de cada una de las micro-instrucciones, y de medios que controlan, a la activación de la salida de no-concordancia de estos medios comparadores, la inhibición de los dos juegos de puertas y de los medios comparadores mismos y la iniciación de cada procesador de un procedimiento de identificación del procesador sujeto a una avería o error, procedimiento que comienza por el desarrollo en cada procesador de un microprograma de ensayo de sus órganos funcionales.

10.

15.

20.

25.

2.- Perfeccionamientos según la reivindicación 1, caracterizados porque estos medios comparadores comprenden un comparador por procesador que tiene su salida de no-concordancia dirigida sobre una entrada de activación del

30.



414009



- citado procedimiento en este procesador, y una organización de comparación de las condiciones de las salidas de no-concordancia de los comparadores y de inhibición de los accesos de activación de procedimiento de los comparadores en condición de desacuerdo de las condiciones de estas salidas.
- 5.
- 3.- Perfeccionamientos según la reivindicación 1, caracterizados porque la citada organización de autorización selectiva de transmisión de datos hacia los órganos externos incorpora una memoria de dos estados cuyas salidas controlan respectivamente las condiciones de los dos juegos de puertas y cada procesador tiene una salida de solicitud de gestión de esta transmisión y una salida de rechazo o negativa de gestión de esta transmisión respectivamente conectada a las entradas de control de estado de la citada memoria, siendo invertidas estas conexiones de un procesador al otro.
- 10.
- 15.
- 4.- Perfeccionamientos según la reivindicación 3, caracterizados porque cada procesador está equipado de órganos de detección de averías internas y de una organización disparable por la activación de uno cualquiera de estos órganos para bloquear los citados medios comparadores y el juego de puertas asociado a este procesador, iniciar un programa de desviación en este procesador, suprimir la sincronización de los procesadores y aplicar sobre la citada memoria una señal de control de transferencia de gestión de transmisión de los datos hacia los órganos externos al otro procesador.
- 20.
- 25.
- 30.
- 5.- Perfeccionamientos según la reivindicación 4, caracterizados porque cada procesador está equipado de una alimentación distinta y de una base de tiempos de reloj distinta de las del otro procesador y los citados órganos de detección de averías comprenden entre otros unos órganos afec-





tados a estas alimentaciones y a estas bases de tiempos.

5. 6.- Perfeccionamientos según la reivindicación 3, caracterizados porque la activación de una salida de rechazo o negativa de gestión por uno de los procesadores controla simultáneamente la desincronización de los procesadores y la inhibición de los citados medios comparadores.

10. 7.- Perfeccionamientos según las reivindicaciones 1 y 3, caracterizados porque al resultar el citado procedimiento de identificación normalmente en la activación por uno de los procesadores de su salida de rechazo o negativa de gestión, el sistema incorpora una organización complementaria, activada por una condición de activación de las salidas de solicitud de gestión por los procesadores después de la ejecución del citado microprograma de ensayo, para solicitar entonces un programa de verificación de ejecución correcta de las instrucciones por la microprogramación de los citados procesadores.
- 15.

20. 8.- Perfeccionamientos según la reivindicación 3, caracterizados porque al ser normalmente activadas las salidas de solicitud de gestión de transmisión de datos hacia los órganos externos al comienzo de una tarea y que pueden eventualmente serlo al final del procedimiento de identificación de un procesador en avería o en error, se prevén unos medios para atribuir la citada gestión a uno de los procesadores y negarla al otro.

25. 9.- Perfeccionamientos en sistemas de tratamiento de datos; tal y como queda descrito sustancialmente en la presente Memoria e ilustrado en los dibujos adjuntos.



- 16 - 414009



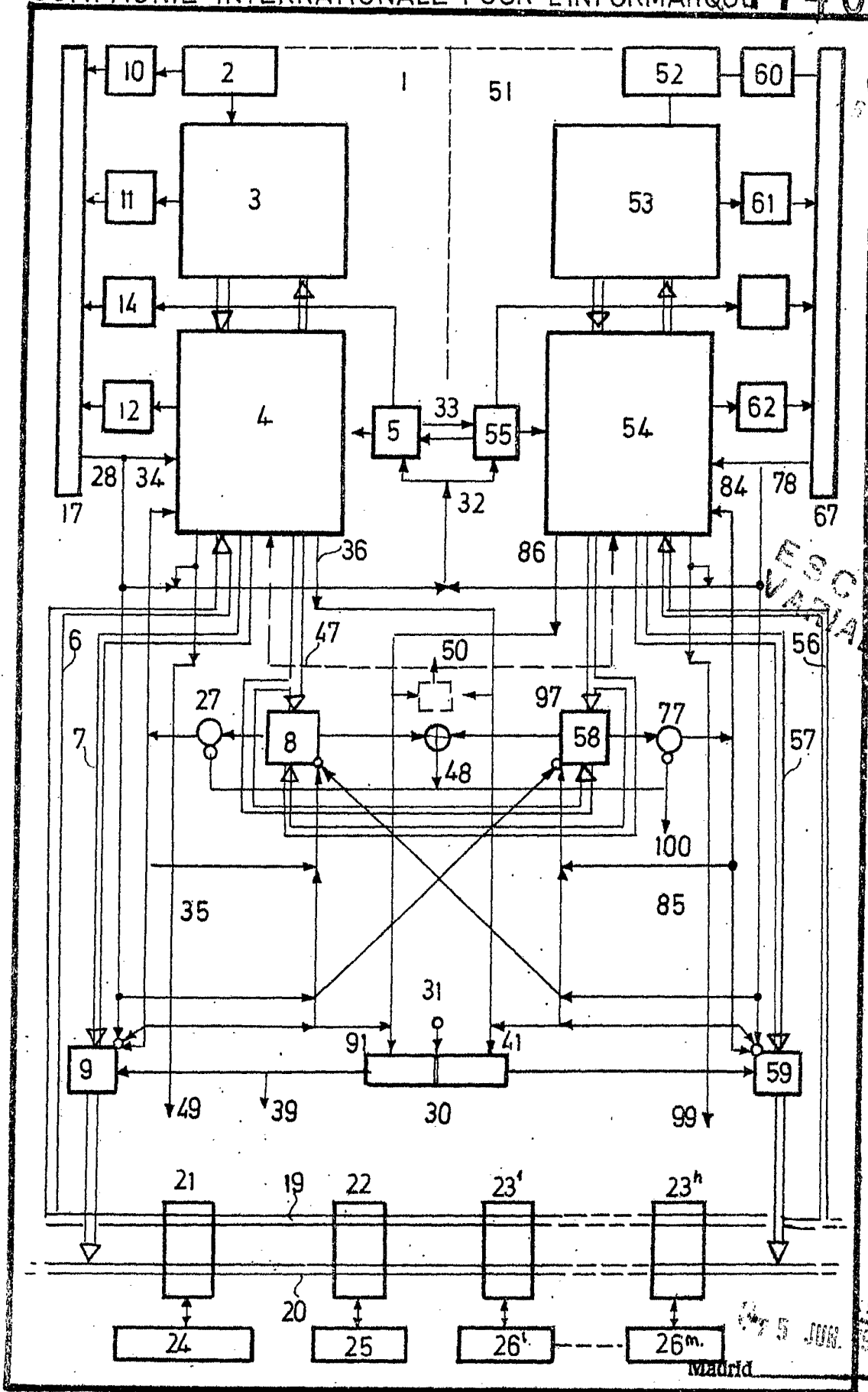
Esta Memoria consta de 16 hojas escritas a  
máquina por una sola cara.

Madrid, 25 JUN. 1973

COMPAGNIE INTERNATIONALE POUR L'INFORMATIQUE

J. GOMEZ ACEBO Y MODEX

Por Firmado: L. García Forgas



VENTAS  
 DISPONIBLE  
 A LA

JUN. 1973

Madrid

I. GOMEZ ACEBO Y MUÑOZ  
 p. Firmado: L. Galia Fernández  
*[Signature]*