

413805



PATENTE DE INVENCION

=====
Fº 6743.

Fe 28-4-75

Int. Cl.: G06F

Memoria Descriptiva

sobre:

PERFECCIONAMIENTOS EN SISTEMAS DE MEMORIZACION Y DE
TRATAMIENTO DE INFORMACION.

Solicitante: COMPAGNIE INDUSTRIELLE DES TELECOMMUNICATIONS
CIT-ALCATEL, entidad francesa, residente en
12, rue de la Baume, 75008, Paris, Francia.

La presente invención tiene por objeto unos perfeccionamientos en sistemas de memorización y de tratamiento de informaciones tales como tasas, utilizables en todo campo que necesite la explotación de tasas impulsionales distribuidas por unidades periféricas.

413805

- 2 -



5. La presente invención puede ser aplicada a la gestión de las tasas que proceden de los conjuntos mas diversos, tales como por ejemplo los puestos de usuarios conectados a una central automática y los aparatos distribuidores automáticos (caso de los conta-clientes de los grandes hoteles por ejemplo).

10. El sistema según la presente invención encuentra una aplicación particularmente ventajosa en la industria hotelera para administrar de una forma racional las cuentas imputables a las comunicaciones telefónicas de los clientes y (o) para la utilización por estos últimos de distribuidores automáticos de productos de cualquier tipo como, por ejemplo los bares automáticos, los aparatos distribuidores de pequeños almuerzos, sellos, periódicos, o incluso los aparatos audio-visuales como
15. los selectores de discos, los televisores.

20. Hasta ahora, el costo de las tasas telefónicas de cada cliente del hotel debía ser tenido al día después de cada nueva comunicación proporcionada. Además, la clientela hotelera utilizadora de los aparatos distribuidores automáticos debía pagar con moneda los servicios introduciendo monedas en dichos aparatos, lo que ocasionaba para la Dirección del hotel, la obligación de coleccionar periódicamente el dinero de las cajas. Estos métodos de gestión eran lentos, molestos, y sujetos a errores.

25. La invención tiene por objeto la realización de un sistema que permite liberarse ventajosamente de estas limitaciones ofreciendo una solución económica, rápida y segura al problema de la confrontación de las tasas procedentes de los aparatos automáticos puestos a la disposición del usuario.

30. La invención tiene además por objeto un sistema que



- comprende un conjunto centralizado de puesta en memoria asociado a al menos un terminal de control, contabilizando y almacenando el conjunto centralizado las tasas procedentes de la utilización de aparatos automáticos distribuidores y tasadores periféricos, y permitiendo el terminal de control interrogar al citado conjunto centralizado, al respecto de un aparato cualquiera periférico de tasación, para fijar inmediatamente el número que corresponde al citado aparato y el costo de las tasas correspondientes.
- 5.
10. La invención puede además comprender preferentemente al menos una de las características siguientes:
- El conjunto centralizado comprende una memoria asociada a una matriz de circuitos de intercara, siendo relevados los impulsos de tasa procedentes de los aparatos periféricos por los circuitos de intercara, siendo almacenados los números de los citados impulsos, transmitidos por dichos aparatos, en código en la memoria y puestos al día por medio de un adionador.
- 15.
20. La estructura de la memoria compuesta de cajas semiconductoras MOS de n palabras de un bitio, está constituida por la agrupación en paralelo de las citadas cajas, estando dividida dicha agrupación en dos subgrupos, estando compuesto el primer subgrupo que permite la validación de los impulsos de tasa de un número determinado (3) de cajas y estando compuesto el segundo subgrupo, que permite el almacenamiento del número de los citados impulsos en binario, código decimal, de un número extensible de cajas por múltiplos de cuatro.
- 25.
30. Unos contadores de direcciones designan cíclicamente y sucesivamente cada circuito de intercara, designando en sincronismo los citados contadores una "palabra" de la memoria

413805 - 4 -



5. correspondiente al citado circuito, de modo que la designación de un circuito de intercara selecciona una sola palabra de la memoria, permitiendo la primera parte de la palabra formada sobre el primer subgrupo de cajas el análisis de un eventual impulso de tasa transmitido por dicho circuito y dando la segunda parte de dicha palabra el número de los impulsos de tasa transmitidos anteriormente por el citado circuito.

10. Las salidas de los circuitos de intercara atacan las entradas de un bloque multiplexador cuya salida se conecta a la entrada de un analizador, estando dicho analizador en conexión con el primer subgrupo de las cajas de la memoria con una parte del registro de salida y con un adicionador, siendo los estados de los circuitos de intercara inscritos cíclicamente en lógica binaria en el citado subgrupo, siendo el estado de cada circuito registrado en el ciclo anterior analizado por los 15. circuitos de puertas del analizador, de modo que este último no confirme un impulso de tasa mas que cuando la exploración cíclica del nivel de éste engendre al menos dos estados 1 consecutivos (vértices de la cresta) seguidos de dos estados 20. 0 consecutivos (huecos de la cresta), siendo entonces dicho impulso así validado tomado en cuenta por el adicionador para ser contabilizado en el segundo subgrupo de la memoria.

25. Los contadores de direcciones están en conexión con un traductor y comunican a este último el número binario de cada circuito de intercara explorado, convirtiendo dicho traductor los citados números en números geográficos que designan las periféricas de tasación (número de puesto telefónico, de habitación de hotel), correspondientes a los citados circuitos de intercara explorados.

30. Los terminales de control son multiplicados sobre



- el conjunto centralizado, comprendiendo cada uno de los citados terminales por una parte, un puesto distante del conjunto centralizado y por otra parte unos órganos de lógica anexados al citado conjunto, de manera que cada puesto pueda interrogar independientemente al citado conjunto sobre las tasas procedentes de una periférica cualquiera de tasación y así fije la respuesta, haciendo los órganos de lógica asimilables los cambios de informaciones entre el puesto y el conjunto centralizado.
- 5.
10. El puesto comprende en especial una tecla "marcha-parada", un teclado de numeración, una tecla de lectura y un dispositivo de visualización, poseyendo dicho teclado un codificador incorporado que permite el marcado en código binario del número de la periférica de tasación compuesto en el teclado y comprendiendo dicha visualización dos filas de fijadores (por ejemplo a diodos electro-luminescentes), una para la fijación del número de la periférica de tasación efectuado en el teclado y la otra para la fijación de las tasas procedentes de la citada periférica, siendo la fijación de las citadas informaciones efectiva después de la numeración en el teclado e introducción de la tecla de lectura.
- 15.
- 20.
25. Los órganos de lógica del terminal de control comprenden, entre otros, un registro de numeración y un comparador puesto en práctica a partir del teclado, almacenando dicho registro el número de la periférica de fijación golpeado en el teclado y proporcionando dicho comparador un control de extracción a la memoria cuando hay identidad entre el número contenido en dicho registro y uno de los números traducidos por el traductor al ritmo de la exploración de los contadores de direcciones.
- 30.

413805

- 6 -



Los órganos de lógica del terminal de control comprenden, además, un registro de las tasas puesto en práctica a partir de la memoria, siendo conectado dicho registro al comparador y al registro de salida, a fin de recibir el número de tasas, extraído de la línea de memoria designada por los contadores de direcciones, efectuándose la citada extracción en el instante de la comparación entre la dirección fija de la periférica de tasación contenida en el registro de numeración y la dirección cíclica de la línea de memoria correspondiente traducida.

El registro de numeración y el registro de tasas tienen su salida conectada a la entrada de un desviador multiplexador cuya salida está conectada al dispositivo de visualización, estando igualmente en conexión el registro de tasas con la tecla de lectura de modo que, actuando sobre la citada tecla, el contenido de los dos registros es enviado en multiplex sobre unos elementos a diodos electro-luminiscentes que poseen su descodificador propio y una memoria incorporada.

El puesto posee una tecla de eclipsado en conexión con la entrada de la memoria, permitiendo dicha tecla el eclipsado de la línea de memoria cuya información (número de tasas) ha sido explotada después de la visualización, efectuándose la puesta a cero del terminal de control (fijadores, registros, por ejemplo) por la acción "parada" de la tecla "marcha-parada".

Puede añadirse al sistema un super-terminal de control que comprende además de los órganos citados del terminal de control ordinario, una imprimante, una tecla "lectura general" y una tecla "eclipsado general", siendo subordinados los contadores de detecciones a la imprimante y a la acción de la tecla "lectura general" que cambia directamente la salida del



5. traductor, sobre la imprimante, de modo que dicha tecla permite la inscripción automática palabra por palabra de las tasas contenidas en la memoria y la inscripción enfrente de dichas tasas de los números de los tasadores designados por el traductor, permitiendo la acción de la tecla "eclipsado general" el eclipsado de las líneas de memoria después de la inscripción de su contenido por la imprimante.

10. Los circuitos de intercaras, los elementos memoria y los elementos de visualización de las tasas que se refieren a una misma dirección pueden ser multiplicados a fin de permitir la explotación de las tasas procedentes de aparatos de tasación diversos (teléfono, distribuidor de mercancías, por ejemplo) situados en un mismo local.

15. Otras diversas ventajas y características de la invención podrán ponerse de manifiesto con el transcurso de la descripción que sigue de una forma de realización de la invención dada a título de ejemplo no limitativo y con referencia a los dibujos anexos, en los que:

20. La figura 1, representa esquemáticamente un sistema según la invención.

La figura 2, representa de un modo mas detallado una parte del conjunto centralizado del sistema de la figura 1.

25. La figura 3, representa la totalidad del conjunto centralizado agenciado de la forma representada en la figura 2.

30. Los diagramas A y B de la figura 4 representan respectivamente unos impulsos de tasa de periodo diferente así como la exploración de su circuito de intercara a cada ciclo de los contadores de direcciones.

413805



La figura 5, representa los estados sucesivos de exploración de un impulso de tasa registrados en el primer subgrupo de las cajas de la memoria y en el registro de salida correspondiente.

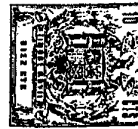
5. El sistema de memorización y de tratamiento de las tasas representado en la figura 1, comprende un conjunto centralizado EC común a varios terminales de control tales como TC1, TC2...TCx.

10. El conjunto centralizado comprende una matriz de circuitos de intercara IF cuyas entradas son conectadas, por hilos de tasa FT, a las periféricas de tasación (no representadas en el dibujo). Las salidas de ^{los} circuitos de intercara atacan las entradas de un multiplexador MX cuya salida es conectada a la entrada de un analizador AN. Unos contadores de direcciones CA están en conexión simétrica con la matriz de circuitos de intercara IF y con una memoria ME cuyas salidas son conectadas a un registro de salida RS. Las salidas del citado registro y la del analizador son conectadas a unos adiccionariores AD cuyas salidas son conectadas a la memoria por mediación de puertas de acceso PA. Los contadores de direcciones son igualmente conectados a la entrada de un traductor TR.

15. Un terminal de control tal como TC1 comprende por una parte unos órganos de lógica anexados al conjunto centralizado EC y que forman bloque con dicho conjunto y, por otra parte, un puesto PP situado a distancia del citado bloque y conectado a este último por unas conexiones cableadas.

20. Los órganos de lógica del terminal de control comprenden un registro de numeración RN y un registro de tasas RT cuyas salidas están conectadas a las entradas de un cambiador-multiplexador AM. Un comparador CR comprende unas entradas

30.



5. conectadas a las salidas de registro de numeración y otras entradas, simétricas de las primeras conectadas a las salidas del traductor TR. La salida del comparador está en conexión con el registro de tasas RT por una parte y con el grupo de las puertas de entradas PA del conjunto centralizado, por otra.

10. El pupitre PP comprende un teclado CL en conexión con el registro de numeración RN, un dispositivo de visualización VS cuya entrada se conecta por vías multiplex a la salida del cambiador-multiplexador AM, una tecla de lectura TL en conexión con una entrada del registro de tasas y, por último, una tecla de eclipsado TE en conexión con una entrada de las puertas de acceso PA.

15. La figura 2 da una representación mas detallada de la disposición de las estructuras de la memoria, de acceso aleatorio, del registro de salida RS y de la matriz de intercara IF en combinación con el multiplexador MX, el analizador AN y el adicionador AD.

20. La memoria de acceso aleatorio se compone a título de ejemplo de cajas de circuitos integrados semiconductores M.O.S. tipo INTEL 1103 de 1024 palabras de un elemento binario (ab) o bitio. Estas cajas de circuitos integrados, tales como BA, BB, BC, B1, B2, B4, B8, son idénticas y pueden ensamblarse fácilmente con vistas a la extensión de la capacidad de la memoria. Estas cajas de descodificador incorporado son montadas en paralelo y dirigidas en código binario por 10 pesos (A0 a A9) representados en salidas de los contadores de direcciones. Los cinco primeros pesos (A0 a A4), de los contadores dirigen 32 líneas de puntos memorias y los cinco últimos pesos (A5 a A9) dirigen 32 columnas.

30. Cada uno de los 1024 puntos-memoria de cada caja tal

413805

- 10 -



como BA tienen una salida S común, de modo que la línea de puntos-memoria (o palabra) seleccionada sobre una posición de los contadores de direcciones comprende un punto memoria por caja.

5. La célula de memorización a transistores M.O.S. al estar constituida por un condensador que tiende a descargarse rápidamente, es necesaria una "regeneración" de esta célula en un tiempo inferior a 2 milisegundos. Esta regeneración se efectúa automáticamente en el momento de la lectura de la memoria, seleccionando los cinco primeros pesos binarios (A0 a A4) 32 líneas y permitiendo así la regeneración completa de los 1024 condensadores-memorias de cada una de las cajas. Esta condición fija la frecuencia mínima de los contadores de direcciones, siendo impuesta la frecuencia máxima por el tiempo de acceso de la caja memoria.
- 10.
- 15.

- Los contadores de direcciones CA son gobernados por un reloj (no representado en el dibujo). El tiempo T de una dirección (tiempo durante el cual el conjunto de los contadores de direcciones es inmóvil) está dividido en cinco partes iguales, o sea t1 a t5. Únicamente dos tiempos son activos, t2 durante el cual se efectúa la lectura memoria y t5 durante el cual se efectúa la escritura en memoria.
- 20.

Los otros tiempos t1, t3, t4 son utilizados para operaciones intermedias de lógica.

25. El tiempo ti (uno de los tiempos t1 a t5) debe ser superior al tiempo de acceso de la memoria que es de 800 nanosegundos aproximadamente y, tomando algunos márgenes, se debe tener $t_i \gg 1$ microsegundo. El tiempo mínimo de dirección será por tanto de:

30. $T = t_i \times 5 \gg 5$ microsegundos.

Al efectuarse la regeneración por los cinco primeros pesos (A0 a A4) se debe tener como tiempo de exploración T de las 32 líneas de regeneración de la memoria:

$$T \times 32 \leq 2 \text{ milisegundos}$$

5. y $t_i \leq 12 \text{ microsegundos}$

El tiempo máximo T de dirección será, después de la exploración de las 32 columnas por los cinco últimos pesos:

$$T \leq 60 \text{ microsegundos}$$

10. Los tiempos de ciclo de exploración de la memoria por los contadores de direcciones estarán por tanto comprendidos entre:

$$5 \mu s \times 1024 : 5120 \mu s \neq 5 \text{ ms (tiempo mínimo)}$$

y

$$60 \mu s \times 1024 = 61440 \mu s \neq 60 \text{ ms (tiempo máximo)}$$

15. Los circuitos de intercara IF permiten hacer los impulsos de tasa compatibles en tensión con los elementos lógicos del sistema. Los impulsos de tasas que proceden de las periféricas de tasación T1, T2, ..., TN (no representadas en el dibujo) son recibidos por los hilos FT1, FT2, ..., FTN, sobre

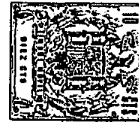
20. unos relés miniaturas tales como R1 y relevados por su contacto, tal como r1 hacia el órgano multiplexador MX. Estos relés son montados en una matriz de capacidad 32 x 32 análoga a la de las cajas de la memoria, y la exploración asíncrona de los circuitos de intercara y de las líneas de memoria por

25. los contadores de direcciones permite a estos últimos seleccionar en el mismo instante una línea de puntos memorias (una palabra) y un circuito de intercara.

30. Los tres primeros bits de cada línea de memoria son utilizados, a razón de un bitio por caja, para el registro de los estados de los circuitos de intercara (tensión o

413805

- 12 -



- ausencia de tensión según la presencia o no de un impulso). El estado de cada impulso de un nuevo circuito de intercarra es así explorado cíclicamente por los contadores de direcciones y el estado analógico 0 ó 1 correspondiente respectivamente a una ausencia o una presencia de tensión, es registrado momentáneamente en unas cajas de registro de datos analógicos DA antes de que dicho impulso sea contabilizado en las cajas de datos numéricos tales como B1, B2, B4, B8 del grupo MU de cajas que permite la memorización de las unidades, del grupo MD para la memorización de las decenas, MC para las centenas y MM para los millares.
5. 10.

- El registro de salida RSE afectado a las cajas de datos analógicos comprende unos elementos de registro RBA, RBB y RBC afectados respectivamente a las cajas BA, BB y BC.
15. 20. 25. 30.
- La entrada E de la primera caja BA se conecta a la salida f de una puerta Y, P1, del analizador AN, estando conectada una primera entrada de dicha puerta a la salida del multiplexador MX y estando conectada una segunda entrada a las salidas de tops $t_4 + t_5$ del reloj. La salida de la caja BA conecta la entrada del elemento de registro RBA. La salida de RBA conecta por una parte la entrada de la caja BB y por otra parte, la entrada J de una puerta O, P2, cuya segunda entrada se conecta a la salida I de la puerta P1. La salida de la caja BB conecta la entrada de RBB. La salida de RBB conecta, por una parte, una entrada K de la puerta NO -Y, P3, y por otra parte, la entrada de la caja BC. La salida de dicha caja conecta la entrada L de la puerta P3. La salida de dicha puerta conecta una entrada de la puerta NO -O, P4, cuya segunda entrada se conecta a la salida de la puerta P2. La salida de la puerta P4 se conecta a una entrada EA de un adicionador de



unidades ADU.

- Las cajas B1, B2, B4, B8 tienen su salida conectada respectivamente a la entrada de los elementos RB1, RB2, RB4, RBB del registro de salida de unidades RSU, estando conectada cada salida de los citados elementos a una entrada correspondiente E1, E2, E4, E8 del adicionador ADU. Las salidas S1 y S4 del adicionador están respectivamente conectadas a la entrada de las cajas B1 y B4. La salida S2 del adicionador se conecta en punto común a una primera entrada de una puerta Y, P5 y a una primera entrada de una puerta O exclusiva P6, estando conectada la salida de dicha puerta a la entrada de la caja B2. La salida S8 del adicionador se conecta en punto común a la segunda entrada de la puerta P5 y a una primera entrada de una puerta O exclusiva P7, conectándose la salida de dicha puerta a la entrada de la caja B8. La salida de la puerta P5 se conecta en punto común a la segunda entrada de las puertas P6 y P7 así como a la entrada EA del adicionador ADD representado en la figura 3. En esta figura, los conjuntos MD-RSD-ADD, MC-RSC-ADC y MM-MSM-ADM tienen una configuración análoga respectivamente a la de los conjuntos MU, RSU, ADU que ha sido detallada en la figura 2.

- Ahora se va a dar el funcionamiento del conjunto centralizado detallado en la figura 2. El primer sub-grupo de cajas DA, asociado al registro de salida RSE permite el registro temporal de los estados 1 que representan el nivel "superior" de los impulsos de tasa y el de los estados 0 que representan el nivel "inferior" de dichos impulsos (diagramas A y B, figura 4).

- El analizador AN permite controlar el paso de una sucesión tipo de los citados estados, a saber dos estados 1

413805

- 14 -



seguidos de dos estados 0, caracterizando dicha sucesión la presencia de un impulso de tasa.

5. Se ha visto que los contadores de direcciones seleccionan en un mismo instante una "palabra" de memoria y un circuito de intercara, consistiendo el problema en introducir en memoria un eventual impulso presente sobre el contacto del relé en el momento de la puesta en dirección.

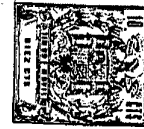
10. Para lograr ésto, tres primeros bitios por palabra son utilizados a fin de analizar un impulso antes de contabilizarle en memoria. Esto permite al conjunto centralizado prevenirse contra los rebotes del contacto del relé o contra los parásitos que puedan producirse sobre la línea de transmisión entre el aparato periférico de tasación y la intercara.

15. Antes de contabilizar realmente un impulso de tasa, se cuentan dos vértices y después dos huecos, siendo los únicos criterios para que el sistema funcione, por una parte, que la longitud de los impulsos sea al menos igual o superior a dos pasos sucesivos de los contadores de direcciones y, por otra parte, que el tiempo entre dos tasas sea igualmente superior a dos pasos sucesivos de los citados contadores.

20. Para evitar errores causados por impulsos o rebotes parásitos que darían una falsa información sobre el nivel 1 ó 0, la longitud de los impulsos de tasa y el intérvalo entre impulsos deberá ser alargado un ciclo de matriz, siendo entonces la longitud de los impulsos al menos igual o superior a tres pasos sucesivos de los contadores de direcciones y siendo el tiempo entre dos tasas igualmente superior a tres pasos sucesivos de los citados contadores.

30. A cada ciclo de exploración de los contadores de direcciones es proporcionada una muestra 0 ó 1, según el esta-

413805



do del circuito de intercara dirigido, por el multiplexador MX sobre la entrada de la puerta P1 del analizador AN. Durante los tiempos $t_4 + t_5$ la puerta P1 se abre y transmite de nuevo la información sobre la entrada E de la caja BA, siendo registrada dicha información en la citada caja sobre el punto memoria de la línea designada a este instante por los contadores de direcciones, correspondiendo dicha línea al circuito de intercara conjuntamente designado por los citados contadores.

5. El dibujo de la figura 5 da las etapas sucesivas del registro de los niveles de un impulso representado sobre el diagrama A de la figura 4. Las etapas a, b, c, d representan los pasos sucesivos, al transcurso del tiempo, de los contadores de direcciones sobre un mismo circuito de intercara. El intervalo t_{cm} entre dos pasos consecutivos representa el tiempo de ciclo mínimo de los citados contadores.

10. Antes de la aparición de un impulso, cada ciclo de exploración de los contadores (ciclo y, figura 4) designa el estado 0 del circuito de intercara explorado. Las cajas BA, BB, BC tienen respectivamente su punto memoria en el estado 0, siendo el citado estado igualmente marcado en los registros RBA, - RBB, RBC (figura 5).

15. Durante el tiempo de puesta en dirección del primer ciclo (a) "que descubre" el estado 1 del circuito, el citado estado es marcado a los tiempos $t_4 + t_5$ (salida I de la puerta P1), sobre la entrada E de la caja BA e inscrito en el instante t_5 de la fase de escritura (ae) en dicha caja donde se sustituye al estado 0 anterior. Antes, en el instante t_2 de la fase de lectura (al) el estado 0 del punto memoria de las cajas BA, BC, BD ha sido conservado sobre los elementos de registro RBA, RBB y RBC.

20. 25. 30.

413805

- 16 -



5. El ciclo b permite comprobar de nuevo el estado 1 (diagrama A, figura 4). En el instante t2 de la fase de lectura (b1) el estado 1 anterior memorizado desde la fase de escritura ae en la caja BA, es marcado en el registro RBA, quedando inalterado el estado 0 consignado en las otras cajas y registros.

10. En el tiempo t4 + t5, el estado 1 comprobado en el ciclo b es marcado a la entrada E de BA donde confirma en el tiempo t5 el estado 1 (ae) anteriormente registrado en BA. Paralelamente, el estado 1 (b1) contenido en RBA se sustituye al estado 0 contenido en la caja BB, quedando inalterados los estados 0 contenidos en RBB, BC y RBC.

15. En el ciclo siguiente de exploración (c), el circuito de intercara está en el estado 0 (diagrama A, figura 4). En el instante T2 de la fase de lectura (c1) el estado 1 anterior memorizado desde ae en BA es confirmado en RBA. El estado 1 memorizado desde be en BB es marcado en RBB donde se sustituye al estado 0.

20. En el tiempo t4 + t5, el estado 0 comprobado en el ciclo c es marcado a la entrada E de BA y se inscribe en el instante t5 de la fase de escritura (ce) en lugar y posición del estado 1 anterior. Paralelamente el estado 1 (c1) contenido en RBA confirma el estado 1 (be) contenido en BB mientras que el estado 1 contenido en RBB es marcada en BC donde se sustituye al estado 0 anterior.

25. En el ciclo siguiente de exploración d, el circuito de intercara está en el estado 0. El proceso de registro es análogo al descrito anteriormente, es decir:

30. - en el tiempo t2 de lectura (fase d1), marcado en RBA del estado 0 memorizado en BA desde la fase de escritura

anterior ca, confirmación en RBB del estado 1 contenido en BB desde la fase be y marcado en RBC del estado 1 contenido en BC desde la fase ce,

- en el tiempo $t_4 + t_5$, presentación del estado 0
5. sobre la entrada E de BA, por ende sobre la entrada I de la puerta P2. En este instante la entrada J de P2 está igualmente en el estado 0 memorizado en RBA y las entradas K y L de la puerta P3 son marcadas en el estado 1 contenido en los registros respectivos RBB y RBC.
10. Por este motivo, las puertas P2, P3 y P4 se abren simultáneamente, proporcionando la puerta P4 una información 1 sobre el adicionador ADU. Eso indica que el impulso comprobado es correcto y no puede confundirse con estados parásitos o rebotes de contacto, y que dicho impulso es definitivamente
15. tomado en cuenta. El adicionador ADU le añade, en código decimal codificado binario, a la suma de los impulsos eventualmente puestos en memoria anteriormente, siendo presentada dicha suma, por mediación del registro RSU, sobre el adicionador desde el tiempo t_2 , siendo el resultado del adicionador reinscri-
20. to en las cajas memorias de unidad MU en ^{el} tiempo t_5 .
- Cada diez informaciones recibidas del analizador, es decir cada diez impulsos de tasa de un mismo circuito de intercara, una puerta P5 afectada se abre y proporciona una información de estado 1 sobre el adicionador siguiente ADD, (figura 3), mientras que el adicionador ADU vuelve de nuevo a
25. cero. El adicionador ADD permite inscribir de forma análoga las decenas de impulsos en las cajas de memoria MD, añadiendo el adicionador ADC las centenas en la memoria MC, y el adicionador ADM añadiendo los millares.
30. Se ha visto que las tasas eran contabilizadas en

413805

- 18 -



- código decimal codificado binario (B.C.D.), o sea 4 bitios por potencia de 10, comprendiendo cada caja 1024 puntos memorias y estando en conexión un punto de memoria de cada caja para formar una línea de memoria o "palabra". Los 1024 puntos memoria de cada caja forman así 1024 palabras, cada una de las cuales está constituida a razón de un bitio por caja. La capacidad de almacenamiento de la memoria no es por tanto función mas que del número de caja puesto en paralelo y no depende mas que de la salida de los contadores de direcciones.
- 5.
10. Prácticamente se puede, sin circuito particular, obtener palabras de 64 bitios, o sea 16 veces cuatro cajas unidas en paralelo que permiten el almacenamiento en decimal codificado binario de un número decimal de impulsos de tasa poco diferente de 10^{16} para una misma periférica de tasación.
15. El analizador AN tiene la particularidad de poder analizar y tomar en cuenta unos impulsos de tasa de una longitud superior cualesquiera, tal como la representada en el diagrama B de la figura 4. En efecto, después del ciclo b de exploración, explorando los contadores de direcciones unos estados 1 (ciclos x), las tres cajas BA, BB y BC son cargadas en el instante 1 así como los registros RBA, RBB y RBC. Los ciclos c y d operan a continuación de forma análoga a sus homólogos del diagrama A, siendo así el impulso de tasa validado después de la exploración consecutiva de dos estados 1 seguida de dos estados 0.
- 20.
25. Se observa que el conjunto centralizado puede así tratar impulsos de tasa que procedan de aparatos periféricos de tasación de diferentes tipos y, proporcionando impulsos de tasa de longitud diferente según el tipo de aparato.
30. Gestión del sistema:

413805



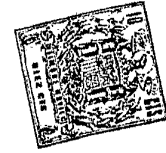
Se puede en todo momento conocer el número de impulsos de tasa proporcionado por una periférica de tasación conectada al conjunto centralizado, siendo almacenado el número de los citados impulsos en la memoria ME. La interrogación de la memoria se efectúa a partir del puesto PP de un terminal de control tal como TC1 (figura 1). Se golpea en el teclado del puesto un número de 4 cifras que designa, por ejemplo el aparato periférico de tasación del que se desea conocer las tasas, o incluso el lugar geográfico donde se encuentra situado dicho aparato (Nº de piso y Nº de habitación del hotel).

El número golpeado en el teclado es registrado en código binario en el registro de numeración RN, siendo igualmente marcado dicho número sobre las entradas del comparador CR y del cambiador-multiplexador AM. El traductor TR del conjunto centralizado EC se realiza a título de ejemplo por cajas de circuitos integrados de memoria semi-conductores M.D.S. programables (tipo INTEL 1601 Memoria muerta programable eléctricamente) de 2048 bits ordenados en 512 palabras de 4 bits, siendo realizado el programa deseado sobre una banda telex. El traductor traduce, al ritmo cíclico de los contadores de direcciones, cada dirección en número que designa la periférica de tasación cuyo circuito de intercara y la línea de memoria correspondiente son dirigidos simultáneamente.

El comparador CR es hecho eficaz desde el momento que hay igualdad entre el número consignado en el registro RN y un número traducido. Dicho comparador CR proporciona un control hacia la memoria por mediación de las puertas PA, permitiendo dicho control extraer el contenido de la palabra memoria que designa el número de tasas y transferirle en el registro de tasas RT del terminal de control cuando ha sido hecha

413805

- 20 -



- una solicitud de lectura (golpe de la tecla de lectura) en el puesto del terminal de control considerado, siendo así proporcionado un control sobre la entrada de la memoria por mediación de puertas de acceso PA. El contenido de los dos registros RN
5. y RT, a saber el número de una periférica de tasación y el número de tasas emitidas por ésta es a continuación enviado hacia el puesto en multiplex (4 hilos para código BCD + 1 hilo de reloj) donde se fija según su procedencia sobre unos elementos a diodos electro-luminescentes que poseen su descodificador propio y una memoria incorporada, siendo agrupados dichos elementos en dos filas de fijadores que forman el dispositivo de visualización VS.
- 10.

El eclipsamiento de la palabra memoria es entonces posible accionando la tecla de eclipsado TE del pupitre.

15. La "puesta acero" de los órganos lógicos del terminal de control (fijadores, registros,) se efectúa a la supresión de la alimentación del sistema por una tecla "marcha-parada" (no representado en el puesto).

20. Quede bien entendido que la invención no se limita a la forma de realización descrita y representada que únicamente lo ha sido a título de ejemplo. Se puede, sin salir del marco de la invención, aportar modificaciones de detalle, cambiar algunas disposiciones o reemplazar algunos medios por otros equivalentes. En particular, los circuitos de intercara
25. pueden estar constituidos por transistores de tipo PNP o NPN según la polaridad de los impulsos de tasa.

- Ademas se puede añadir al sistema un super-terminal de control. Este último, análogo en gran parte a los terminales de control ordinarios, estará dotado de una imprimante
30. que, a voluntad, podrá sacar sobre banda impresa el extracto



"palabra por palabra" de toda la memoria. Igualmente es posible incorporar un "adicionador" capaz de totalizar el conjunto de las tasas inscritas en memoria y de sacar el resultado sobre banda imprimante.

5. Además el sistema según la invención puede igualmente tratar tasas procedentes de aparatos diferentes situados en una misma dirección (por ejemplo, teléfono y distribuidor de pequeños almuerzos, situados en una misma habitación de hotel) y fijar las tasas procedentes de cada aparato. Esto es posible a condición de multiplicar los órganos de memoria y de lógica en función del número de los citados aparatos, conservando a la vez la ordenación del sistema.

N O T A

15. Descrita suficientemente la naturaleza del invento así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una solicitud de patente presentada en
20. Francia con el nº 72 14 047 de 20 de Abril de 1.972, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita una Patente de
25. Invención por 20 años en España, sobre: PERFECCIONAMIENTOS EN SISTEMAS DE MEMORIZACION Y DE TRATAMIENTO DE INFORMACION, caracterizándose por lo siguiente:

30. 1.- Perfeccionamientos en sistemas de memorización y de tratamiento de información, tales como tasas, que permiten la explotación de las informaciones proporcionadas por aparatos periféricos por medio de al menos un terminal de con-

me

413805

- 22 -



trol, particularmente en el campo de la industria hotelera, para administrar de forma racional las cuentas imputables en especial a las comunicaciones telefónicas de los clientes y/o para la utilización de estos últimos de distribuidores automáticos, caracterizados porque dichos sistemas comprenden un conjunto centralizado de puesta en memoria en conexión con unos aparatos periféricos de los que analiza y contabiliza las informaciones, comprendiendo dicho conjunto centralizado una primera parte de órganos asociados a una primera parte de una memoria para el análisis de las informaciones y una segunda parte de órganos asociados a una segunda parte de la memoria, y permitiendo contabilizar dichas informaciones, siendo interconectadas las citadas primera y segunda partes de modo que las citadas informaciones sean primeramente analizadas por la primera parte y después contabilizadas por la segunda parte.

2.- Perfeccionamientos según la reivindicación 1, caracterizados porque la primera parte de órganos para el análisis de las informaciones se conecta a un primer subgrupo de la memoria del conjunto centralizado para el registro de datos analógicos de informaciones impulsionales, siendo además conectada dicha primera parte de órganos al terminal de control por mediación de un traductor, y siendo conectada la segunda parte de órganos que permite contabilizar las informaciones a un segundo subgrupo de la memoria para el registro de datos numéricos de las citadas informaciones.

3.- Perfeccionamientos según la reivindicación 1 ó 2, caracterizados porque la primera parte de órganos asociada a un primer subgrupo de la memoria comprende una matriz de circuitos de intercara conectada a una primera caja del citado primer subgrupo de la memoria por mediación de contadores

me



5. de direcciones, siendo relevados los impulsos procedentes de los aparatos periféricos por los citados circuitos de intercaja y siendo idéntico el número de los citados circuitos al de las líneas de memoria, de modo que los contadores de direcciones designan en cada posicionamiento un circuito de intercaja y una palabra correspondiente de la memoria.

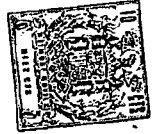
10. 4.- Perfeccionamientos según una de las reivindicaciones 1 a 3, caracterizados porque la citada primera parte de órganos comprende además un multiplexador, un analizador y un registro de salida, atacando las salidas de los circuitos de intercaja a las entradas del multiplexador cuya salida se conecta a la entrada del analizador, estando en conexión dicho analizador con el primer subgrupo de las cajas de la memoria, con el registro de salida afectado al citado subgrupo y con un adicionador afectado al segundo grupo, siendo 15. inscritos los estados de los circuitos de intercaja cíclicamente en lógica binaria en dicho subgrupo, siendo registrado el estado de cada circuito registrado en el ciclo anterior en el registro de salida, siendo analizados los citados estados 20. cíclicos por los circuitos de puertas del analizador de modo que este último no confirme un impulso de tasa mas que cuando la exploración cíclica de ésta engendra al menos dos niveles consecutivos, vértice de la cresta, seguido de dos niveles consecutivos, huecos de la cresta, siendo entonces dicho impulso así validado tomado en cuenta por el adicionador para 25. ser contabilizado en el segundo subgrupo de la memoria.

30. 5.- Perfeccionamientos según una de las reivindicaciones 1 a 4, caracterizados porque cuando la armadura de la memoria está compuesta de cajas semi-conductoras de n palabras de un bitio, siendo dichos bitios comunes a una salida-

ME

413805

- 24 -



- única de la caja, dicha memoria está constituida por la agrupación en paralelo de las citadas cajas, a razón de un bitio por caja, siendo dividida dicha agrupación en dos subgrupos, de modo que el primer subgrupo que permite la validación de los impulsos de tasa está compuesto de un número determinado de cajas, y que el segundo subgrupo que permite el almacenamiento del número de los citados impulsos en binario codificado decimal, está compuesto de un número extensible de cajas por múltiplo de cuatro.
- 5.
10. 6.- Perfeccionamientos según una de las reivindicaciones 1 a 5, caracterizados porque cuando en dicho sistema una segunda parte de órganos se conecta a un segundo subgrupo de cajas de la memoria, estando constituidos dichos órganos por un adicionador formado de una serie de elementos adicionadores tales como adicionador de unidades, de decenas, de centenas y de millares, comprendiendo respectivamente dichos elementos cuatro pesos binarios 1, 2, 4, 8 que les permiten adicionar como máximo 16 bitios que corresponden a 16 impulsos de tasa, las salidas de pesos 2 y 8 de los citados elementos se conectan respectivamente a las entradas correspondientes de una puerta Y y a una primera entrada correspondiente de puertas O exclusivas, conectándose la salida de la puerta y en punto común a la segunda entrada de las puertas O exclusiva y a la entrada de adición del elemento adicionador de rango siguiente, siendo conectadas las salidas de las puertas O exclusivas respectivamente a la entrada de las cajas memorias de registro de los pesos 2 y 8 y conectándose las salidas de pesos 1 y 4 del adicionador respectivamente a la entrada de las cajas memoria de registro de los pesos 1 y 4, de modo que la puerta permite la detección de la posición 10 del elemento
- 15.
- 20.
- 25.
- 30.

ME

413805



5. adiconador, y en consecuencia, la emision de un bitio sobre el elemento adiconador de rango siguiente, mientras que las puertas 0 exclusivas permiten la puesta a cero del elemento adiconador que ha alcanzado la posicion 10, permitiendo asi dichos elementos adiconadores la inscripcion de las tasas en codigo binario codificado decimal en la memoria.

10. 7.- Perfeccionamientos segun una de las reivindicaciones 1 a 6, caracterizados porque los contadores de direcciones estan en conexion con dicho traductor al cual dichos contadores comunican el numero binario de cada circuito de intercara explorado, de modo que dicho traductor convierta dichos numeros binarios en numeros geograficos que designen las perifericas de tasacion, tales como numero de puesto telefonico, de habitacion de hotel, que corresponden a los circuitos de intercara explorados.

15. 8.- Perfeccionamientos en sistemas de memorizacion y de tratamiento de informacion, tal y como queda sustancialmente descrito en la presente Memoria e ilustrado en los dibujos adjuntos.

20. Esta Memoria consta de 25 hojas escritas a maquina por una sola cara.

Madrid,

17 ABR. 1973

COMPAGNIE INDUSTRIELLE DES TELECOMMUNICATIONS
CIT-ALCATEL.

J. GOMEZ ACEBO Y MODES

Por el Firmado L. Garcia Fernandez

ME



413805

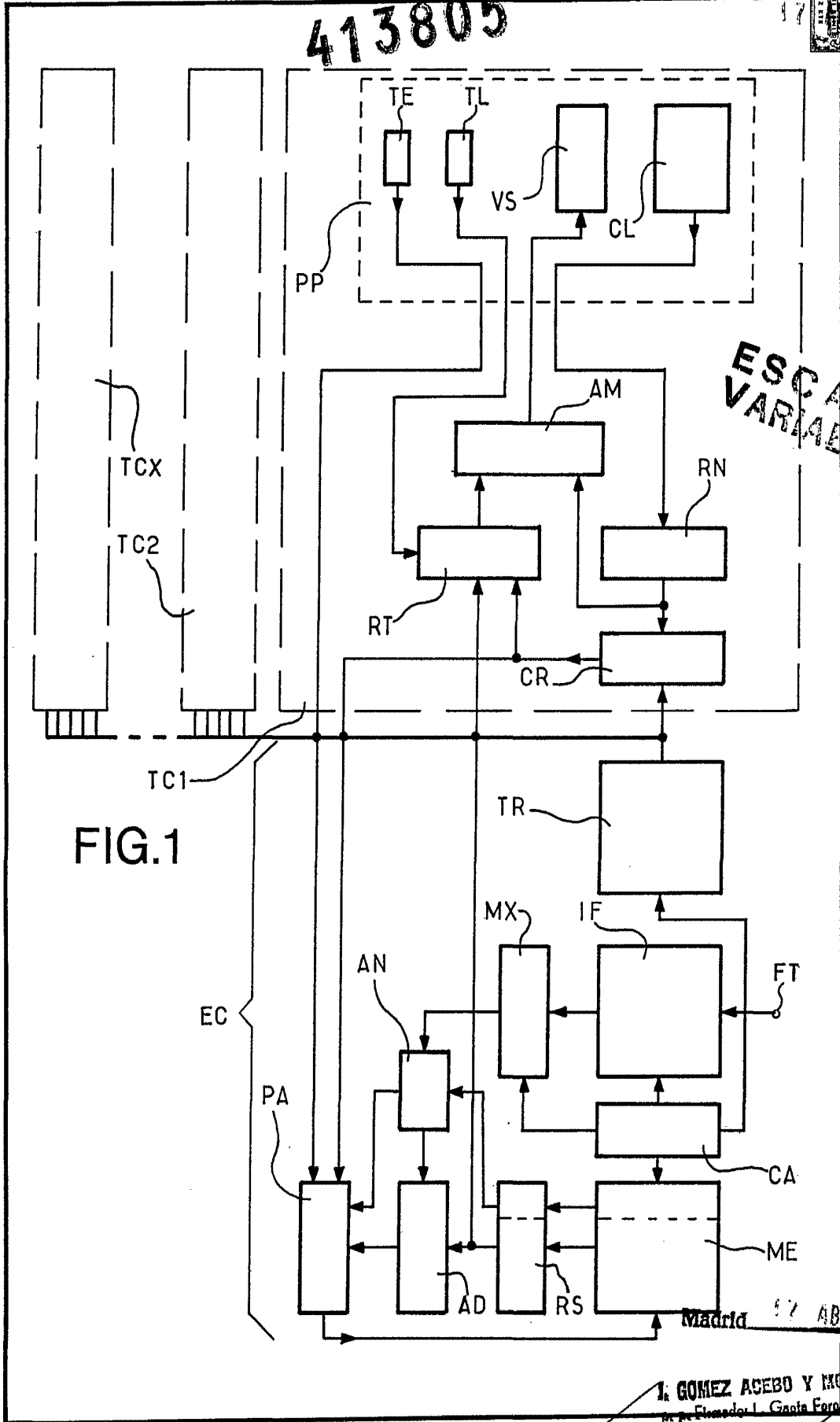


FIG. 1

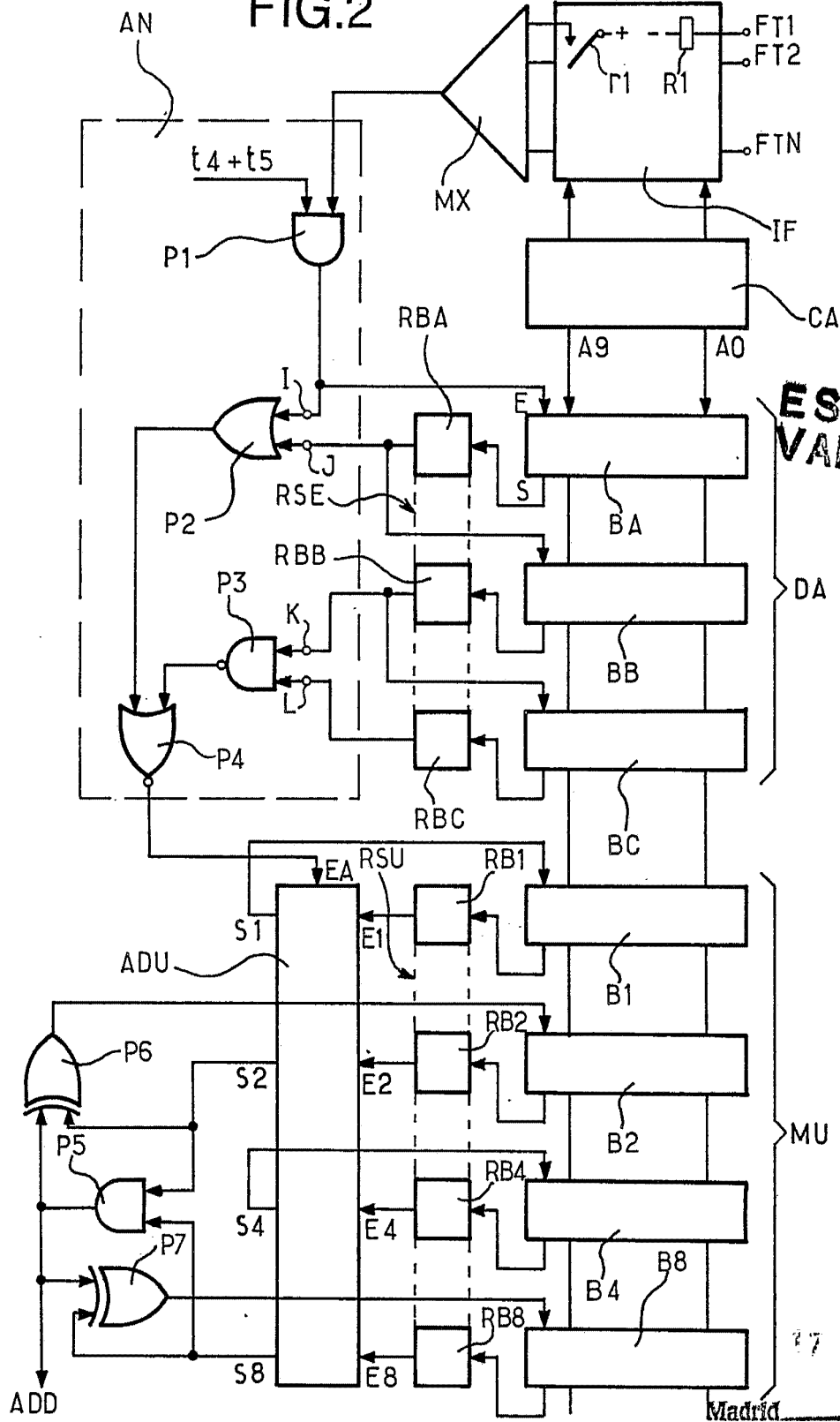
Madrid 57 ABR. 1973

J. GOMEZ ACEBO Y MOJET
por el Encargado L. García Fernández

413805



FIG.2



ESCALA
VARIABLE

27 ABR 1973

Madrid

J. GOMEZ ACEBO Y MORA
Ingenieros de Telecomunicaciones

