



21 EPTO

J.N. PILLOT 2.1

413800

Fe: 28-4-75

Int. Cl.²: H03K

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "UN CIRCUITO DETECTOR DE SEÑALES MODULADAS EN
CODIGO DE IMPULSOS (MIC), A NOMBRE DE STANDARD ELECTRICA,
S.A., CON DOMICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO,
Nº 5.

El presente invento se refiere a un circuito detector de señales moduladas por código de impulsos "MIC" para transmisión a alta velocidad. Los impulsos detectados se transmiten según uno de los métodos, NRZ (no vuelta a cero) o polaridad alternativa (señales bipolares).

En ambos métodos, el nivel medio de la señal transmitida es, aproximadamente, cero, y los dos problemas que deben solucionarse a fin de obtener una detección precisa del valor de bit son:

- 10 - tener suficiente tiempo para tomar la decisión de bit,
- elegir el nivel de umbral que determina la frontera entre los dos posibles valores de un bit.

En una transmisión MIC a alta velocidad (10 Mega-

413800



baudios, por ejemplo) el periodo de bit t (100 ns) es demasiado bajo para tomar una decisión de bit correcta, comparando la amplitud de la señal de entrada con un umbral de tensión.

En el presente invento, las señales de entrada son sub-multiplexadas distribuyéndolas sobre n canales, de tal manera que el tiempo de decisión disponible es de n aberturas de tiempo de bit, esto es, $n.t$. En cada canal, un condensador almacena la energía recibida durante la abertura de tiempo del bit, y se descarga con una corriente constante. Así, puede hacerse la decisión del bit estableciendo un umbral de tiempo en lugar de un umbral de tensión, como es usual.

Este método ofrece diversas ventajas:

- el distribuidor es un circuito tipo ECL (lógico acoplado-emisor) que funciona muy bien a altas velocidades.
- 15 - los condensadores pueden tener muy amplias tolerancias.

El propósito del presente invento es un circuito de detección de impulso para señales MIC transmitidas a elevadas velocidades.

Según una de las características del presente invento, existen elementos para sub-multiplexar las señales de entrada sobre n canales de tal manera que, para señales de periodo t , se dispone de un tiempo de $n.t$ para procesar cada señal. Existen también elementos asociados a cada canal que comprenden, primero, un condensador de almacenamiento C_j que se carga, durante un tiempo t , con una corriente cuya amplitud depende de la amplitud de la señal de entrada, y que se descarga por una corriente absorbida por un generador de corriente constante; segundo, un detector de cero ZD_j que suministra una señal E_j en lo que la tensión a través de los terminales de C_j es positiva; tercero, un comparador lógico

413800

21

3.



que recibe, por una parte, la señal E_j y, por otra, una señal de reloj que ocupa la segunda mitad de la abertura de tiempo de canal $(n-1) \cdot t$, y que define el umbral de tiempo de la decisión de bit, de tal manera que, en la segunda mitad de la

5 abertura de tiempo de canal $n \cdot t$, la señal de salida del comparador muestra un nivel alto (bajo) si el valor del bit recibido es 1 (0).

Otras características del presente invento aparecerán en la siguiente descripción de un ejemplo, en relación con los

10 dibujos que se acompañan, y en los cuales:

- la Fig. 1 representa el diagrama detallado de un detector MIC según el invento,
- las Figs. 2a a 2k representan los diagramas de señales relativos al funcionamiento del detector, adaptado a la recepción de señales NRZ,
- 15 - las Figs. 3a a 3c representan los diagramas de señales NRZ y bipolar,
- la Fig. 4 representa el diagrama de los circuitos asociados con un canal,
- 20 - la Fig. 5 representa el comparador lógico para señales bipolares,
- las Figs. 6a a 6f representan el diagrama de señales relativo al funcionamiento del detector adaptado al funcionamiento de las señales bipolares.

25 La Fig. 1 representa el diagrama detallado del detector MIC según el presente invento. Este detector, diseñado para procesar las señales transmitidas a alta velocidad, incluye una entrada A, a la que se aplican dichas señales, y una salida B, que suministra señales regeneradas y retemporizadas. Estas operaciones de proceso de señal están controladas

30

413800

4.21



por las señales suministradas por el reloj CU, que comprende:

- El circuito de regeneración que recibe las señales A y envía las señales de abertura de tiempo de bit t representadas en la Fig. 2a. Como ejemplo, este circuito está compuesto

5 de un bucle de sincronización de fase que contiene el detector de fase PD y el oscilador de frecuencia variable G,

- un contador de tiempo de canal KA que es, por ejemplo, un contador en anillo de posición-n que suministra, respectivamente, las señales de abertura de tiempo de canal A1, A2...An.

10 Las Figs. 2b a 2e representan estas señales para n=4,

- el circuito lógico LC recibe las señales M y A1 a An, y envían las señales D1, D2,...Dn tal como, por ejemplo D1=M.A1 (el signo "." simboliza la función lógica AND). Las Figs. 2h y 2k representan, la señal D3 y D4, para n=4.

15 Las señales de entrada A, de amplitud instantánea v_s , se suministran también al transistor TO, a través del condensador CO y la resistencia R1. Este transistor está conectado como un generador de corriente, y envía una corriente de colector de amplitud instantánea $I_o + i_s$ (I_o es la

20 corriente constante que pasa a través de la resistencia R2, e $i_s = -\frac{v_s}{R_1}$).

Nótese que, si se efectúa la transmisión con un método de modulación tal que el valor medio de la señal transmitida sea cero, el valor medio de la corriente de colector

25 es igual a I_o .

La Fig. 3a representa un número binario que ha de transmitirse, y las Figs. 3b y 3c representan dos métodos de modulación que ofrecen esta propiedad. Estos métodos son: el método NRZ 2-niveles (niveles + i_s y - i_s , Fig. 3b), y

30 el método de polaridad alternativa 3-niveles (niveles + i_s ,

413800

21 EN

5.



0 y -is, Fig. 3c). Estos niveles se denominan, respectivamente, 1 (+), 0 y 1 (-).

La corriente de colector del transistor T_0 , modulada en amplitud por la señal de entrada, se conmuta hacia uno de los n canales que procesan la señal, bajo el control de las se-
5 ñales $A_1, A_2 \dots A_n$. Resulta que, por cada señal de entrada que ocupa una abertura de tiempo de bit de duración t , el tiempo de bit de duración t , el tiempo de proceso total nt esta disponible. Al final del proceso, las señales que aparecen sobre
10 los n canales son seleccionadas por método estraboscópico por las señales $D_1, D_2 \dots D_n$ y las señales regeneradas y retempORIZADAS aparecen en secuencia de tiempo en la salida B.

En la Fig. 1, $n=4$ y los cuatro canales de proceso de señal, para señales NRZ, comprenden:

- 15 - el distribuidor DB que incluye los transistores T_1-T_4 (abreviación por T_1, T_2, T_3, T_4) que, junto con el transistor T_0 , forma un circuito acoplado-a-emisor. Estos transistores están controlados por las señales A_1-A_4 , y controlan la conmutación de la corriente I_{o+is} por las salidas F_1-F_4 ,
- 20 - el generador de corriente G_u , que contiene los generadores G_1-G_4 , que absorben la corriente constante I_d por los conductores F_1-F_4 ,
- el juego de condensadores de retención C_1-C_4 que están conectados a los conductores F_1-F_4 ,
- 25 - los circuitos de bloqueo de tensión CL_1-CL_4 estan también conectados a los conductores F_1-F_4 ,
- la unidad ZD que contiene los detectores de cero ZD_1-ZD_4 ,
- la unidad FF que contiene los flip-flops tipo JK FS_1-FS_4 . Estos flip-flops estan controlados por las señales aplicadas
30 a sus entradas "S" (activado en estado 1) y "C" (activado en

413800

6.



estado 0). El círculo situado en la entrada S de cada flip-flop simboliza un circuito inversor,

- la puerta de selección PaU que contiene los circuitos-AND, Pal-Pa4,

5 - el circuito de salida OR, Pa0.

Describiremos seguidamente, en relación con la Fig. 5, el funcionamiento de los circuitos asignados a un canal, por ejemplo, el canal 1, que se selecciona por la señal A1.

Como se ha visto anteriormente, las corrientes suministradas por T1 y absorbidas por G1 tienen, respectivamente, los valores I_{o+is} e I_d . De ello resulta que, si no se tiene en cuenta el circuito CL1, la corriente de carga del condensador C1 es:

$$I_c = I_o + i_s - I_d \quad (1)$$

15 Si la corriente i_s fuera constante, el condensador C1 se cargaría linealmente durante el tiempo de aplicación t de la señal A1, como se muestra en la Fig. 2f con la pendiente $-\frac{I_c}{C}$. Pero realmente, las señales recibidas no tienen bordes de paso, de tal manera que la tensión a través de los terminales del condensador, al final del tiempo t , es proporcional, no a la amplitud, sino a la energía de la señal.

Al final de la señal A1, el transistor T1 se bloquea y se descarga el condensador C1 con una corriente constante I_d , de tal manera que la tensión de descarga tiene una pendiente $-\frac{I_d}{C}$.

En el circuito de bloqueo de tensión CL1, el transistor T11 está saturado en lo que la tensión V_{C1} , a través de los terminales del condensador, sea menor que el potencial de tierra, y mantiene esta tensión en un valor u , que es la tensión colector a emisor en la saturación de T11. Cuando

413800



aumenta V_{C1} , debido a la presencia de la corriente I_s , este transistor actúa una conexión inversa y la ecuación (1) se hace válida.

Nótese que, durante el funcionamiento inverso del transistor T_1 , se extrae una corriente I_d del condensador, de tal modo que, en ausencia del circuito CL_1 , la tensión V_{C1} tendería hacia -12 voltios.

La tensión a través de C_1 se comprueba permanentemente por el detector de cero ZD_1 , cuya señal de salida E_1 , mostrada en la Fig. 2g, esta presente durante el intervalo de tiempo que separa los dos cruces de cero de la tensión V_{C1} . Nótese además que, los tiempos de subida y bajada de esta señal estan retrasados en t' y t'' respecto a los puntos de cruce de cero, debido al tiempo de respuesta del detector de cero.

La salida del detector ZD_1 está conectada a la entrada S del flip-flop FF_1 , cuya entrada C recibe la señal D_3 mostrada en la Fig. 2h. A modo de ejemplo, este flip-flop es un circuito integrado TTL cuyo funcionamiento viene dado en la tabla 1, y en el cual:

- los niveles Alto (+ 5 voltios) y Bajo (0 voltios) del lógico TTL se designan, respectivamente, por "H" y "L";
- E_1 y D_3 son las señales mostradas en las Figs. 2g y 2h,
- $\overline{E_1}$ y $\overline{D_3}$ son las señales complementarias aplicadas, respectivamente, a las entradas S y C en el instante t_m ;
- la columna $Q_m + 1$ da el estado de la salida Q del flip-flop en el instante t_{m+1} .

La tabla 1 muestra el nivel de la señal en la salida Q , en función de los niveles de las señales E_1 y D_3 .

413800

21 ENS

8.



Tabla 1: Niveles en la salida Q de FF1

t_m				t_{m+1}
E1	D3	$\overline{E1}$	$\overline{D3}$	Q_{m+1}
H	L	L	H	H
L	H	H	L	L
H	H	L	L	H
L	L	H	H	Q_m

5

10

Según esta tabla y las Figs. 2g y 2h, puede verse que las reglas que dan el nivel en la salida Q de FF1, pueden establecerse como sigue:

15

- si al final de la señal E1 tiene lugar durante la señal D3, la salida Q del flip-flop esta en el nivel L en la siguiente abertura de tiempo de canal (Fig. 2j),
- si el final de la señal E1 tiene lugar después de la señal D3, la salida Q esta en el nivel H en la siguiente abertura de tiempo de canal (Fig. 2i).

20

La asociación del detector ZD1 y el flip-flop FF1 hace posible el establecimiento de un umbral de tiempo, a fin de tomar la decisión del bit, esto es, la discriminación entre los dos valores posibles del bit (0 y 1). El valor de este umbral viene fijado por el valor relativo de las corrientes I_o e I_t y por el valor de la resistencia R_l .

25

Cuando se reciben las señales NRZ con un valor medio $i_s=0$, se elige esta corriente como el umbral entre los valores de bit 0 y 1. Para este valor de corriente, el condensador C_l se carga con una corriente $I_c=I_o-I_d$ durante un tiempo t (rampa positiva a, Fig. 2f). Al final de este tiempo, C_l se descarga con una corriente I_d durante un periodo elegido

30

413800



igual a $(n-2) \cdot t$, si se considera el caso general en el que n es mayor que 2. La Fig. 2f comprueba esta ecuación y muestra que, para $n=4$, la descarga (rampa negativa a, Fig. 2f) es completa en el tiempo t_0 , al final de la última abertura de tiempo de canal.

Por lo tanto, se puede escribir: $-\frac{I_0}{I_d} = 1+n-2$, y cuando $n=4$, $-\frac{I_0}{I_d} = 3$.

Además, el valor de pico de la corriente i_s viene fijado por el valor de la resistencia R_1 . Este valor se elige de tal modo que, para los picos de modulación que corresponden a los valores extremos \pm ism de las señales recibidas, el tiempo de descarga esté comprendido entre los tiempos t_a y t_b (Fig. 2f), que definen un intervalo de tiempo de $\pm 1/2$ de la abertura de tiempo de canal, a cada lado del tiempo t_0 .

Como se muestra anteriormente, la salida Q del flíp-flop FF1 está, después del instante t_b , en el nivel H o L, según si la descarga se ha terminado en el intervalo de tiempo t_a-t_0 (detección de un 0, rampa c) o en el intervalo de tiempo t_0-t_b (detección de un 1, rampa b), (el intervalo t_a-t_0 corresponde a la señal D3, Fig. 2h).

Esta tensión se muestrea por la puerta Pa1 a la que se aplica la señal D4 (Fig. 2k), después se aplica al circuito OR y luego a Pa0.

Por la salida B de este circuito aparecen impulsos de medio-baudío, que corresponden a los bits de valor 1.

Para el proceso de señales de polaridad alternativa (ver Fig. 3c), se emplea el circuito de la Fig. 1, con excepción de los bloques FF y PaU, que se sustituyen por un bloque FG, para el cual, la Fig. 5, muestra los circuitos asignados al proceso del canal 1, seleccionado por la señal A1. Estos

413800

24
10.



5 circuitos contienen los inversores I1 e I3, los flip-flops tipo JK, FF1 y FF'1 y el circuito exclusivo OR, Pbl. Nótese que el flip-flop FF1 está conectado de la misma manera que el flip-flop FF1 de la Fig. 1, mientras que las conexiones de FF'1 están invertidas la señal E1 está conectada a las entradas D y la señal de reloj $\overline{D'3}$ a la entrada S.

La señal D'3 mostrada en la Fig. 6b se obtiene retrasando la señal T3 (Fig. 6a) por un periodo (tc-to).

10 Las Figs. 6c, 6d, 6e muestran el final de la señal E1 para los tres niveles de señal en el método de polaridad alternativa, esto es, nivel 0, nivel 1(-) y nivel 1(+).

15 Nótese que es necesario modificar ligeramente el valor de la relación $-\frac{I_0}{I_d}$, de tal manera que la posición teórica del final de la señal E1, para un dígito 0, caiga en el centro del intervalo de tiempo (tc-to) = ϵ .

El funcionamiento del circuito sigue las mismas reglas de la tabla 1. Sin embargo, debe insistirse en que están invertidas para la interpretación del funcionamiento del flip-flop FF'1.

20 La tabla 2 muestra los niveles de tensión de la señal de salida enviada por el circuito exclusivo OR, Pbl.

Tabla 2: Niveles de tensión en el circuito FG

25

Nivel de señal de entrada	Niveles de tensión		
	En Q1	En Q'1	En la salida Pal
1(-)	L	H	H
1(+)	H	L	H
0	H	H	L

30

413800

21 ENERO
11.



Puede verse que existe un nivel H ó L en la salida B, según que el bit recibido sea 1 ó 0.

Las señales retrasadas D'1 a D'4 pueden obtenerse de varias maneras, pero el valor (tc-to) debe elegirse para que la zona de detección de un bit 0 sea suficientemente
5 ancha a fin de que los parásitos de baja amplitud no aparezcan como bits de valor 1.

En la Fig. 5, este retraso se obtiene por la conexión serie de los inversores I2 e I3. Nótese que dos inversores TTL dan un retraso de 14 ns, lo cual es perfectamente
10 compatible con una abertura de tiempo de canal de t=100 ns. Este retraso puede también obtenerse con una línea de retardo o con señales en cuadratura de fase con las señales de reloj D1 a D4.

15 Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo, y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de Patente formulada en Francia el día 18 de Abril de 1972,
20 señalada con el Nº 72 13590, y se acoge, por tanto a los beneficios que otorgan los convenios internacionales vigentes.

----- NOTA -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente por veinte años
25 son los siguientes:

1.- Un circuito detector de señales moduladas en código de impulso (MIC) en el que las señales de entrada A se aplican a un circuito de reloj que envía, primero, señales de abertura en bit de tiempo regeneradas M de período
30 t, segundo, n señales de abertura de canal de tiempo A1,

mf

413800

12.



A2, Aj An de duración t, apareciendo cada una de dichas señales cada n bits de tiempo ($n \geq 2$) y, tercero, n señales de control D1, D2, Dt ... Dn retrasadas la mitad de un bit de tiempo y obtenidas por la coincidencia entre las señales M y las señales de abertura de canal de tiempo homologadas. El detector de señal MIC esta caracterizado porque:

- existe un distribuidor de señal DB, que comprende n transistores T1, T2 ... Tj ... Tn cuyos emisores estan conectados entre si y alimentados por un transistor T0 conectado como generador de corriente constante y que envia una corriente I0 y controlado por las señales de tiempo de canal A1, A2 ... Aj ... An de tal manera que, por ejemplo, el transistor Tj conduce cuando esta presente la señal Aj.

- la señal de entrada de amplitud A se aplica al emisor del transistor T0 a través de una resistencia R1 y un condensador C0 en serie, de tal modo que dicho transistor alimenta, al distribuidor DB, una corriente I0 modulada por la corriente A.C. que tiene como valor medio cero, con $i_s = \frac{v_s}{R_1}$,

- cada uno de los colectores de los transistores del distribuidor DB esta conectado a un condensador de retención, tal como Cj, que se carga por la suma de una corriente constante -Id enviada por un generador Gj, y de la corriente I0 + is suministrada por el transistor Tj cuando conduce, de tal modo que la tensión a través de los terminales del condensador aumenta durante el tiempo de conducción t de dicho transistor, con una pendiente $\frac{1}{C_j} (I_0 + i_s - I_d)$ si is es constante, y disminuye linealmente con una pendiente $-\frac{1}{C_j} \cdot I_d$,

- a los valores relativos de las corrientes I0 e Id se seleccionan de tal modo que, cuando Is=0, el tiempo de descarga

EJ

413800

13.



a potencial de tierra del condensador C_j es igual a $(n-2) \cdot t + \epsilon$,

esto es, $-\frac{I_o}{I_d} = 1 + \frac{1}{n-2}$ para $\epsilon = 0$,

- un circuito de fijación se conecta al condensador C_j de tal modo que, al final de la descarga, la tensión a través de los terminales no puede hacerse negativa,
- a cada condensador de fijación, tal como C_j , se asocian, primeramente, un detector de cruce cero ZD_j que suministra una señal E_j mientras la tensión sobre dicho condensador sea positiva y, en segundo lugar, un comparador lógico FF_j que recibe, por una parte, la señal E_j , por otra, la señal de control $\overline{D(j+n-2)}$ y que envía, desde el momento de la aparición de esta señal, una señal $Q_j(\overline{Q_j})$ cuando la señal de entrada medida con señal A_j caracteriza un bit de valor 1 (0);
- la salida de cada comparador, tal como FF_j , se aplica a la primera entrada de una puerta de selección Paj , cuya segunda entrada recibe una señal $D(j+n-1)$ de tal modo que, por ejemplo, la señal recibida en la entrada A, en el momento A_1 , aparece, regenerada, en el tiempo de canal A_m ,
- las salidas de las puertas $Pa_1, Pa_2, \dots, Pa_j, \dots, Pa_m$ se aplican a un circuito-OR Pa_0 que envía, en la salida B, señales regeneradas retrasadas medio bit de tiempo.

2.- Un circuito detector de señal MIC, según el punto 1, diseñado para procesar señales NRZ y caracterizado porque:

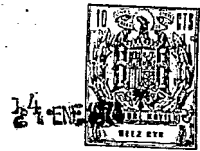
- la relación $-\frac{I_o}{I_d}$ se elige igual a $1 + \frac{1}{n-2}$, con $\epsilon = 0$
- cada comparador lógico, tal como FF_j , se compone de un flip-flop tipo JK al que se aplica, en las entradas S y C las señales E_j y $\overline{D(j+n-2)}$, respectivamente, y el cual suministra, en la salida Q, la señal aplicada a la entrada primera de la puerta Paj .

30

MCE

3.- Un circuito detector de señal MIC, según el punto

413800



1, diseñado para procesar señales de polaridad alternativa, y caracterizado porque:

- a partir de cada señal $D(j+n-2)$ se elabora una señal $D'(j+n-2)$ retrasada el tiempo ϵ ,

5 - cada comparador lógico, tal como el que recibe la señal E_j , contiene dos flip-flops tipo JK, FFJ y FF'j,

- el flip-flop FFj recibe, por sus puertas F y C, respectivamente, las señales $\overline{E_j}$ y $\overline{D(j+n-2)}$,

10 - el flip-flop FF'j recibe, por sus puertas F y C, respectivamente, las señales $\overline{D'(j+n-2)}$ y $\overline{E_j}$,

- las salidas Q de los dos flip-flops se aplican a las entradas de un circuito OR exclusivo Pbj,

- las salidas de los n circuito-OR exclusivos Pb1, Pb2

Pbn se aplican al circuito-OR, Pa0.

15 4.- Un circuito detector de señales moduladas en código de impulsos (MIC).

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

20 Esta memoria consta de catorce hojas escritas por una sola cara.

Madrid, 21 ENE. 1974



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

ME



STANDARD ELECTRICAL

413800

413800

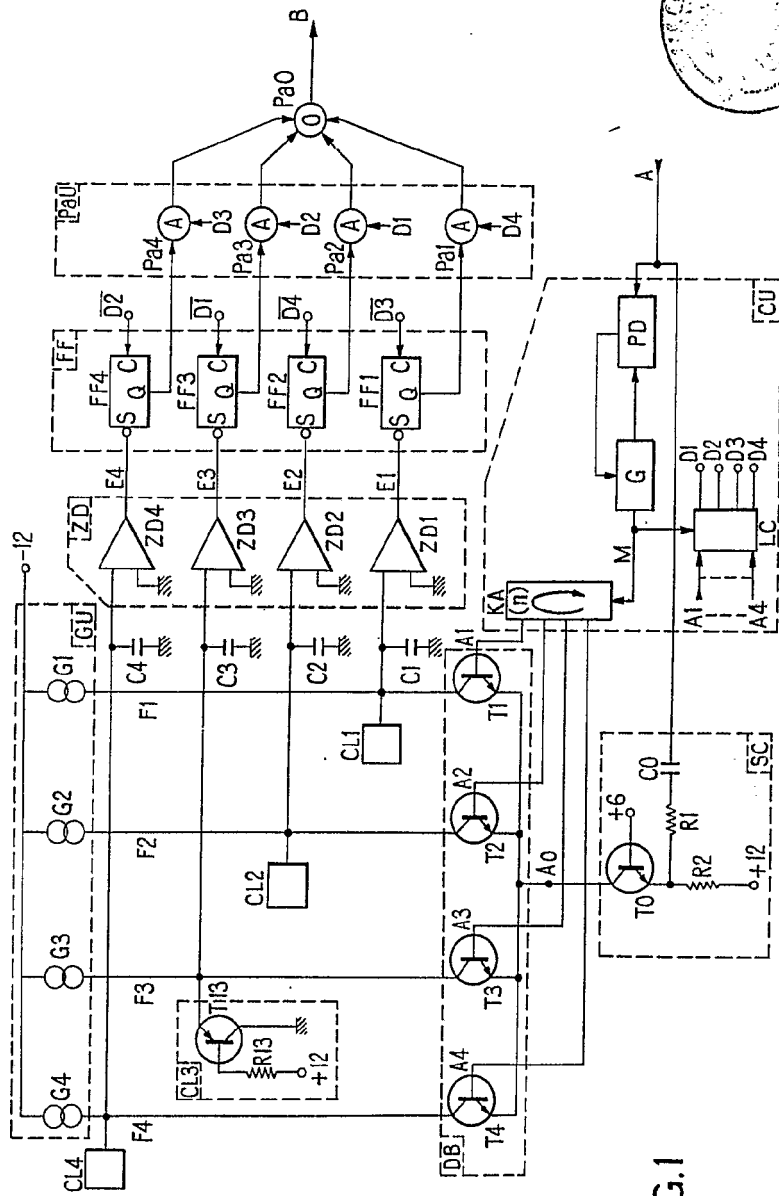


FIG. 1

11 JUN 1971



M. G. Santamaría
 M. G. SANTAMARÍA
 VICESECRETARIO GENERAL

413800

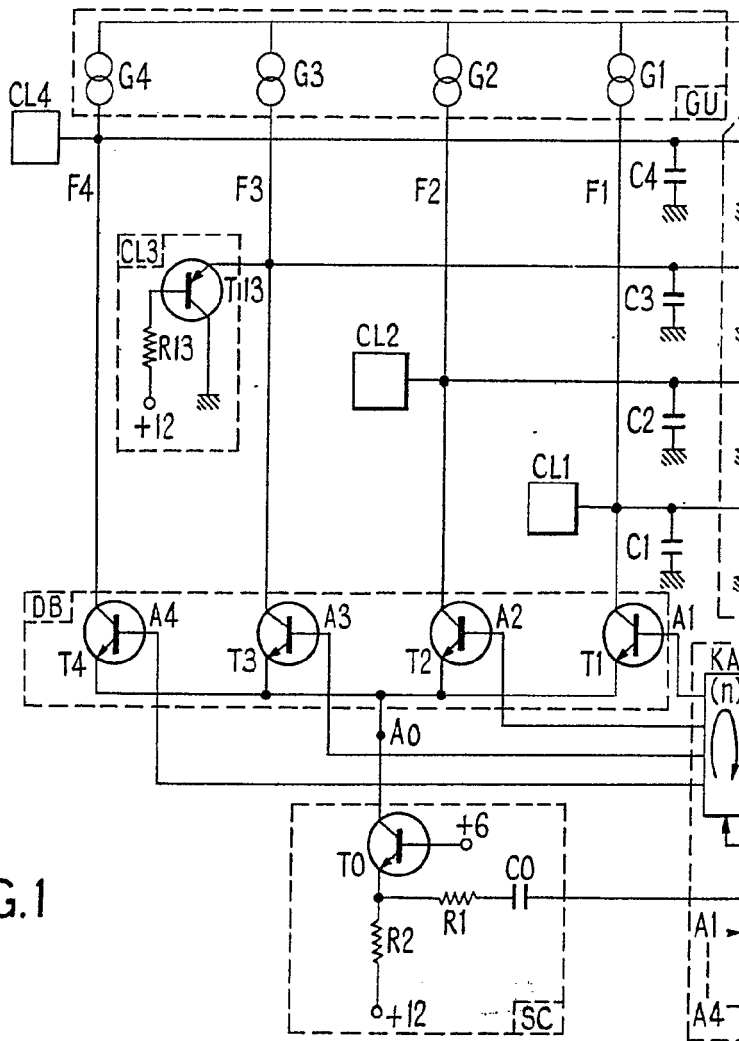
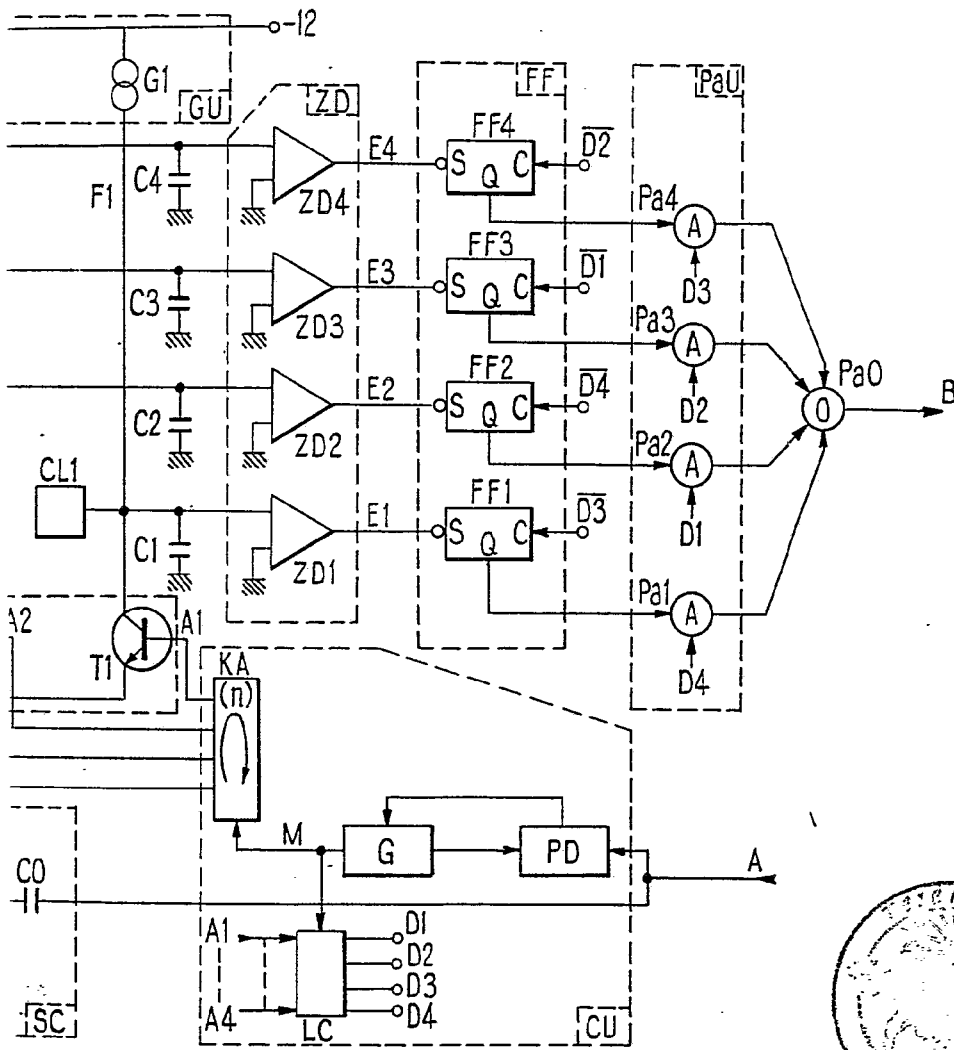


FIG. 1



413800



11 JUL 1971

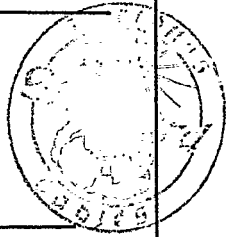
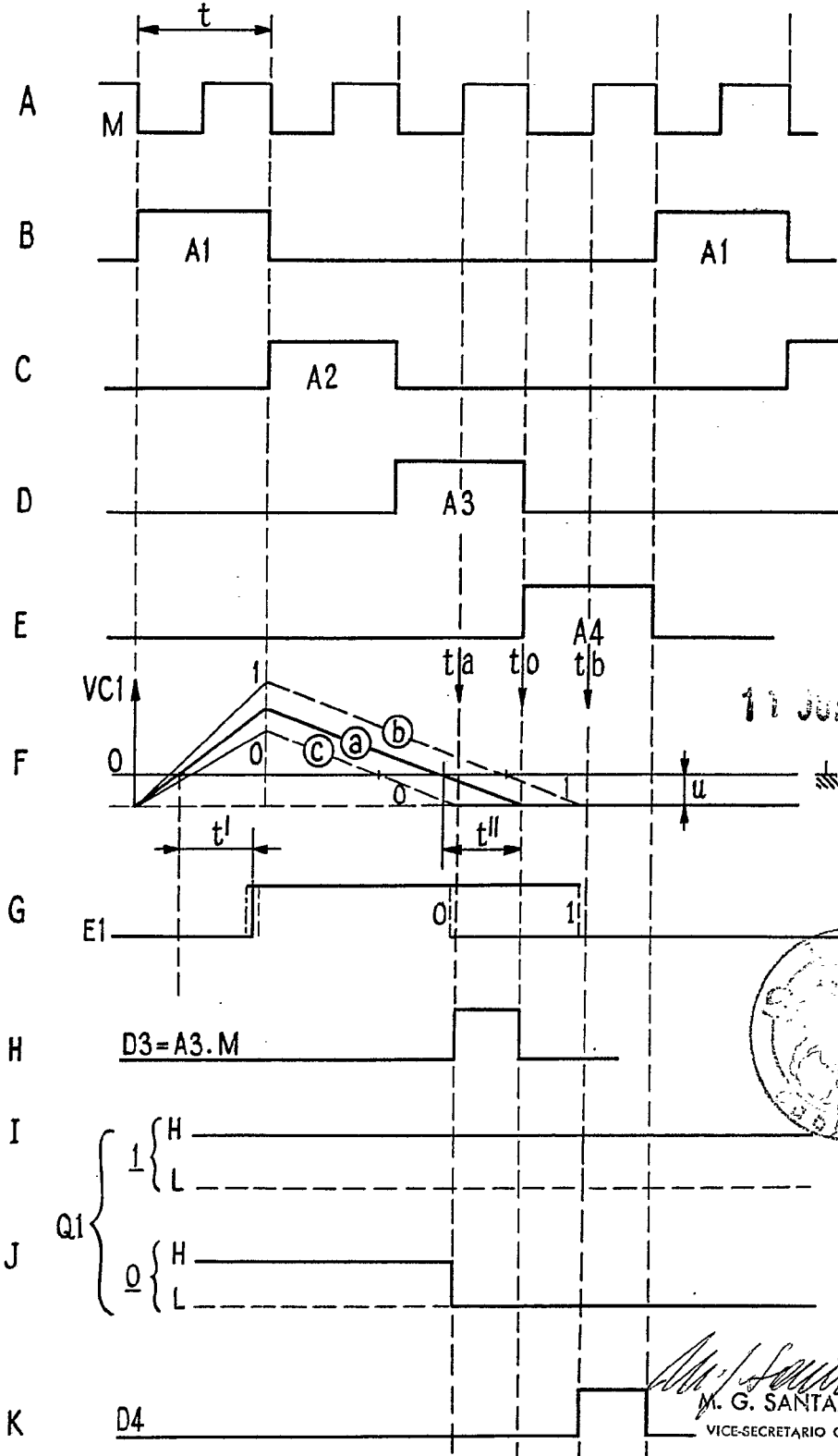


M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



413800

FIG. 2



M. G. Santamara
M. G. SANTAMARA
VICE-SECRETARIO GENERAL

413800

43
STANDARD ELECTRICA, S. A.



FIG. 3

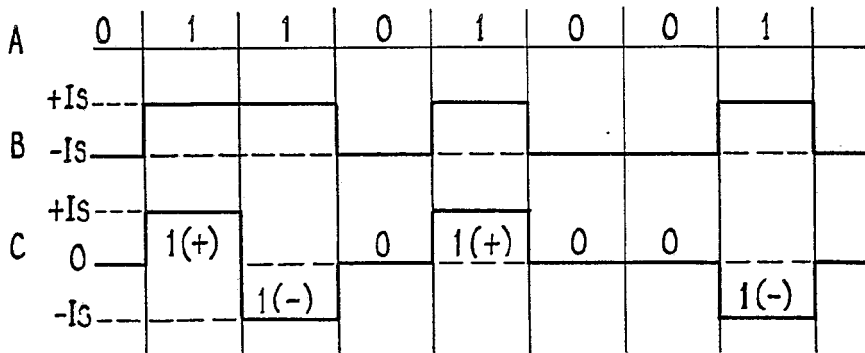


FIG. 5

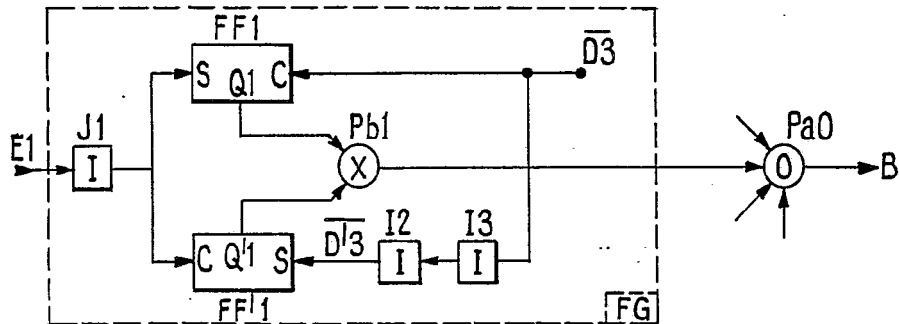
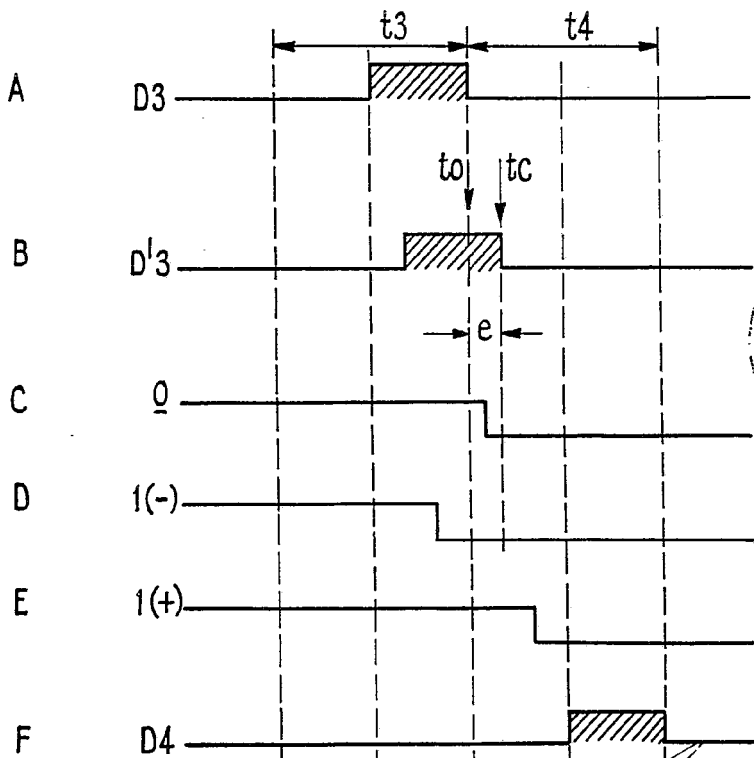


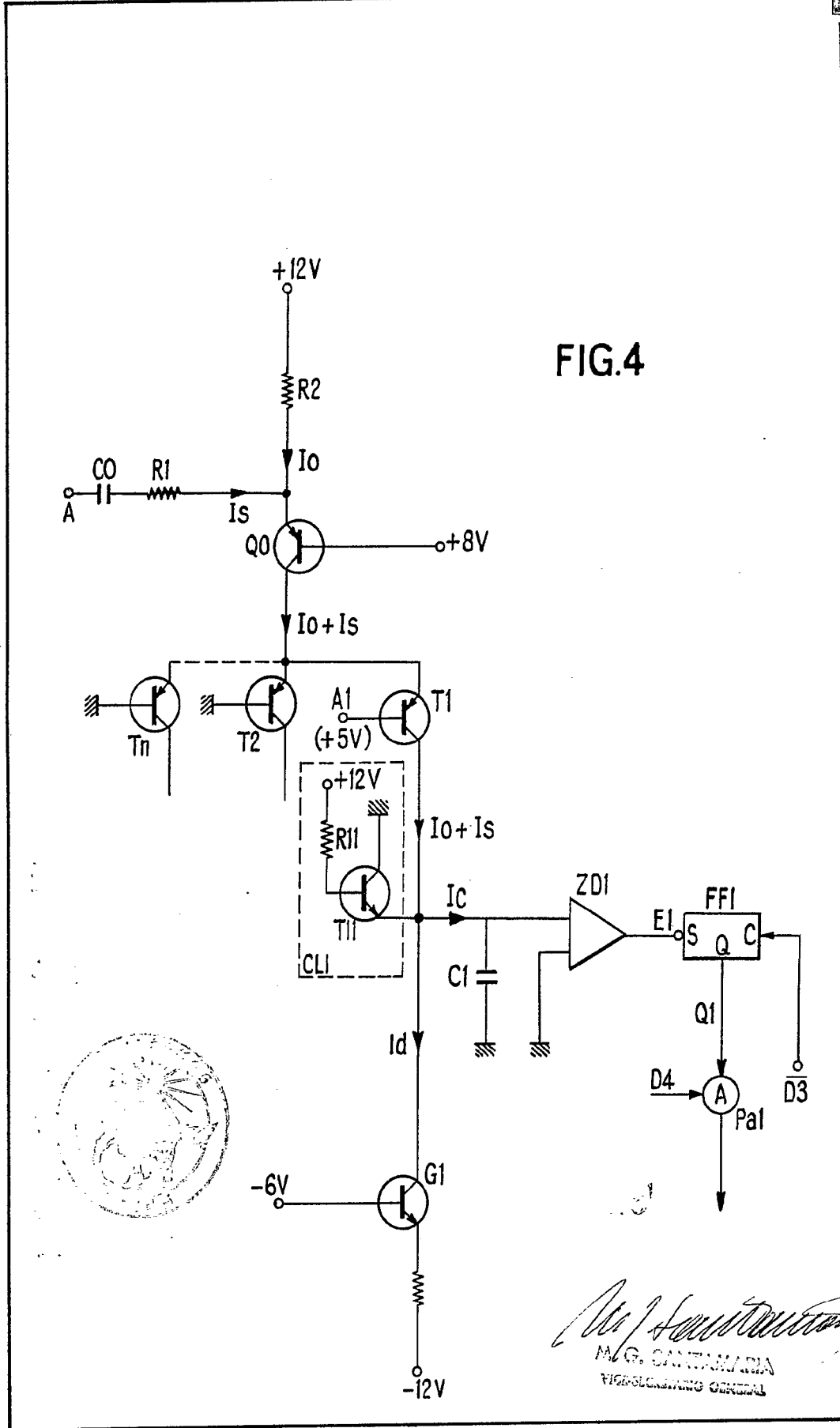
FIG. 6



[Signature]
W. G. SANTAMARIA
VICE-SECRETARIO GENERAL



FIG.4



M. G. Cantamaria
M. G. CANTAMARIA
INGENIERO GENERAL