

413756

30 ENE. 1976

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION
EN ESPAÑA POR: "UN EQUIPO MULTIPLEXOR/DEMULTIPLEXOR POR
MODULACION EN CODIGO DE IMPULSOS ASINCRONO", A NOMBRE
DE STANDARD ELECTRICA, S.A., CON DOMICILIO EN MADRID,
CALLE DE RAMIREZ DE PRADO, Nº 5.

El presente invento se refiere a una combina
ción de multiplexor y demultiplexor por modulación en código
de impulsos asíncrono. El demultiplexor incluye un alma-
cén elástico diferente para cada una de las entradas asín-
cronas de los grupos de datos MIC. Cada uno de los almace-
5 nes elásticos incluye un registrador de memoria intermedia
cuyo reloj de escritura está sincronizado con el reloj de ca-
dencia de bit de entrada de grupo asíncrono, y un reloj de lec-
tura que está sincronizado con la cadencia de bit del formato
10 de datos síncrono empleado para multiplexar las entradas de
grupo asíncrono. Cada uno de los almacenes elásticos produce
una señal de requisición cuando la diferencia de fase de los re-
lojes de escritura y lectura es igual a un período dado, en nú-
meros de períodos de bits. Un circuito de control común mues-
15 trea las requisiciones y proporciona una señal de control para

inhibir el reloj de lectura para sumar o completar un solo bit a los datos de grupo asociados para cada requisición de relleno. Las señales de tiempo generadas desde un oscilador de referencia definen el formato de datos síncrono que incluye 64 cuadros medio dentro de un supercuadro, incluyendo, cada uno de los cuadros 5 medios, 15 subcuadros. Los subcuadros impares incluyen 9 bits de datos, y los subcuadros pares, 8 bits de datos. El noveno bit de datos de los subcuadros impares proporciona un canal principal para transmitir órdenes de voz digitales, órdenes 10 de datos digitales, palabras de control, un bit de sincronismo corto "cero", un bit de sincronismo corto "uno", y un bit de sincronismo largo en cada cuadro medio. Los bits asignados a las palabras de control se emplean para identificar, el multiplexor donde el bit de relleno se ha añadido al formato de datos. El 15 demultiplexor incluye generadores de señales de tiempo gobernados por la cadencia de supercuadro recuperada de la señal de datos recibida, para proporcionar las señales de tiempo necesarias para identificar el cuadro de supergrupo, el cuadro medio, los subcuadros y los bits de datos dentro de los subcuadros. El 20 generador de señal de tiempo en el demultiplexor está sincronizado con los generadores de señal de tiempo que definen el formato de datos en el multiplexor por un circuito de recuperación que responde a un código de sincronismo corto y a un código de sincronismo largo pseudo-aleatorio. Existe un control común 25 de incompleto, que responde a la palabra de código que identifica la presencia o ausencia de un bit de completo para vaciar los datos del grupo identificado y devolver los datos del grupo multiplexado completo a los datos de grupo asíncrono como se había suministrado originalmente a los almacenes elásticos 30 del multiplexor. El demultiplexor incluye, para cada grupo de

datos asíncrono, un almacén elástico diferente, en donde el reloj de escritura esta controlado por la cadencia de cuadro medio o grupo proporcionada por los generadores de señal de tiempo. El control de vacío del circuito de control común de vacío controla el contador de escritura para provocar el vaciado del grupo de datos completo asociado. Se emplea un heterodino tipo bucle bloqueado en fase en unión de cada uno de los almacenes elásticos, para quitar inestabilidad al grupo de datos vaciado.

10 Este invento se refiere a un sistema de comunicaciones por modulación en código de impulsos y, más particularmente, a un multiplexor y demultiplexor asíncrono por división de tiempo para emplearse en un sistema de comunicaciones MIC.

Para facilitar la comprensión de la descripción que sigue, a continuación definiremos los siguientes términos empleados.

- 1.- Almacenaje elástico - Un circuito de memoria con entrada y salida de datos en serie, capaz de incorporar un retraso variable continuamente desde casi cero hasta varios periodos de bit.
- 20 2.- Control (empleado en el contexto de relleno y sobreflujo, y circuitos de control similares, métodos de control y código de control). Todas las operaciones que se refieren directamente a relleno y/o sobreflujo en el multiplexor y demultiplexor.
- 25 3.- Relleno - Bits que se suman (llamados bits de relleno) a un flujo de datos para ajustar la cadencia de bits.
- 4.- Sobreflujo - Bits que se quitan (llamados bits de sobreflujo) de un flujo de datos para ajustar la cadencia de bits. Los bits de sobreflujo se envían por otro canal llamado canal de
- 30

sobreflujo.

- 5.- Quitar el relleno - Bits de relleno que se quitan de un flujo de datos para reponer los datos originales y la cadencia de datos. (ver relleno).
- 5 6.- Jitter - Modulación en fase de la temporización de una señal de datos o una señal de reloj asociada. Jitter añadido para un canal es la variación de retardo del canal.
- 7.- Canal superior - La parte de la señal de supergrupo que no es grupo de datos ni bits de relleno.
- 10 8.- Almacenaje (de un almacenaje elástico) - El retardo entrada-a-salida real del almacenamiento elástico, que medido en periodos de bits es igual al número promedio de los bits útiles almacenados en ese momento.
- 9.- Capacidad (de un almacenamiento elástico) - El almacenaje máximo de un almacenamiento elástico, menos el almacenaje mínimo (generalmente, el mínimo es casi cero).
- 15

Un multiplexor asíncrono está pensado para añadir almacenamientos elásticos y circuitos de control a un multiplexor síncrono. El multiplexor síncrono proporciona un canal síncrono para cada entrada asíncrona, además de un canal superior, que incluye canales para varias funciones, tales como sincronización, control y señalización; línea de órdenes para voz digital, y línea de órdenes para teletipo/datos digital. Más concretamente, los canales síncronos se llaman así, porque los bits de datos para cada canal se transmiten en instantes que están fijos en un cuadro de tiempo, que se repite continuamente. Tal asignación fija de bits de tiempos se denomina "formato de datos". No es necesario que los tiempos de bit esten exactamente igual espaciados para cada canal. Todo lo que se requiere es que el receptor pueda sincronizar a la se-

20

25

30

cuencia de los cuadros de datos. El multiplexor síncrono combina cuatro grupos (48 canales MIC como máximo) en el modo de canal 48, generando una señal de supergrupo de 2,4576 megabits por segundo (Mb/s). En el modo de canal-96, se combinan ocho grupos (96 canales como máximo) en una señal de supergrupo de 4,9152 Mb/s. También se transmiten grupos de seis canales a 288 kilobits/segundo, señales fantasmas, y señales de inactividad como grupos de 12 canales (576 Kb/s). La señal de supergrupo a 2,4576 Mb/s del canal-48 se transmite como una señal a 4,9152 Mb/s.

Se utilizan un almacenamiento elástico y un circuito de control asociado para adaptar cada entrada de datos asíncrona a su correspondiente canal síncrono (entrada al multiplexor síncrono). El almacenamiento elástico permite un retardo variable entre la entrada de datos asíncrona y la entrada al multiplexor síncrono, permitiendo que las fases de estos dos puntos sean independientes. En general, existe una diferencia en las cadencias de bits en estos dos puntos, debido a los errores de la frecuencia de reloj. Si la entrada asíncrona es más lenta que el canal síncrono, el circuito de control debe añadir bits de "relleno" al flujo de datos, los suficientes para impedir que el almacenamiento elástico comience a vaciarse de bits de datos. Si, por el contrario, la entrada asíncrona es más rápida que el canal síncrono, el circuito de control debe quitar bits de "sobreflujo" de la corriente de datos, los suficientes para impedir que el almacenamiento elástico comience a quedar demasiado lleno, y debe transmitir estos bits de sobreflujo por otro canal. El diseño real de un multiplexor asíncrono puede utilizar solamente bits de relleno, o solamente bits de sobreflujo, o ambos, dependiendo de la fuente nominal, de las

cadencias de canal y los errores de frecuencia.

En el receptor, el funcionamiento de un demultiplexor síncrono, almacenamientos elásticos y circuitos de control es quitar bits de relleno, si es necesario, y reinsertar bits de sobreflujo, si es necesario, en los lugares apropiados de las corrientes de bits. Es necesario que los circuitos de control del transmisor envíen información de control apropiada a los circuitos de control del receptor, de tal manera que los circuitos de control del receptor sepan cuándo son necesarios tales ajustes. Se requiere la sincronización de cuadro para facilitar la demultiplexión de esta información de control, además de la demultiplexión de otros datos.

La operación de relleno y/o sobreflujo de bit y multiplexión, añade un jitter (modulación de fase) a la corriente de datos. La operación de relleno/sobreflujo de bit responde también a un jitter en la entrada de datos. En el receptor, es necesario reducir este jitter por dos razones: (1) El equipo que recibe los datos desde la sección receptora del demultiplexor, especialmente un sistema de cable, puede tolerar solamente una cantidad determinada de jitter, y (2) en una sarta en tandem de multiplexores y demultiplexores, la acumulación de jitter, medida en términos de amplitud pico a pico y en el peor de los casos, puede necesitar gran cantidad de almacenaje elástico para preservar la integridad de los bit de los datos. Es más económico atenuar el jitter reduciendo así los requerimientos de almacenaje elástico por canal. El jitter se atenúa mediante un circuito recortador de reloj.

Los multiplexores asíncronos son útiles, dado que permiten combinar (multiplexión) varias corrientes de datos asíncronos en una corriente síncrona, teniendo esta última todas

las ventajas del sincronismo. Sin embargo, en el extremo en que la corriente de datos combinada se divide en sus componentes, estas componentes (grupos de datos) tienen un jitter sustancial. Sin importar la técnica que se emplee para suavizar este jitter, siempre queda algún efecto residual, si bien como discontinuidad de fase o como variación de frecuencia, que puede provocar alguna degradación en el sistema, tal como aumento en la cadencia de error de bit.

En la primera técnica de multiplexores y demultiplexores, existía un dispositivo de control para la inserción de relleno y/o sobreflujo y un quitar el relleno y/o sobreflujo para cada uno de los diferentes grupos de datos asíncronos.

Un objetivo de este invento es proporcionar un multiplexor y demultiplexor asíncrono por división de tiempo que utiliza menos componentes que los de la técnica anterior con lo que resulta un coste más reducido.

Otro objetivo del presente invento es proporcionar un multiplexor y demultiplexor asíncrono por división de tiempo que utiliza solamente una técnica de relleno para ajustar la cadencia de bit de diversos grupos de datos asíncronos de tal manera que pueden ser multiplexados en una corriente de datos asíncrona.

Otro objetivo del presente invento es proporcionar un multiplexor asíncrono por división de tiempo que tiene un circuito de control de relleno común a varias corrientes de datos asíncronos o grupos, de tal manera que estas corrientes de datos pueden ser multiplexadas en una corriente síncrona, y un demultiplexor asíncrono por división de tiempo que tiene un solo circuito de control de quitar relleno, para quitar los rellenos de la corriente de datos a fin de reproducir las.

diferentes corrientes de datos asíncronos.

Una característica del presente invento es la aportación de una combinación de multiplexor y demultiplexor MIC asíncrono, para multiplexar n grupos de datos asíncronos que

5 tienen una primera cadencia de bits en una corriente de datos síncrona con un formato de datos fijo y predeterminado y una segunda cadencia de bits, mayor que la primera, y para demultiplexar los grupos de datos de la corriente de datos síncrona, donde n es mayor que uno, y comprendiendo: n entradas, cada una

10 para un grupo de datos diferente; n primeros elementos, cada uno de ellos acoplado a una entrada diferente, algunos de estos elementos generan una señal de requisición de relleno al alcanzar una diferencia de fase predeterminada entre la primera y segunda cadencias de bit; elementos segundos acoplados en común a cada

15 uno de los elementos primeros. Estos segundos elementos responden a la señal de requisición de relleno de algunos de los elementos primeros, produciendo una señal de control de relleno para esos primeros elementos y para multiplexar grupos de datos rellenos y quitados el relleno que se reciben en los primeros elementos

20 según el formato de datos; cada uno de primeros elementos que responde a una de las señales de control de relleno asociados producen solamente un bit de relleno por cada señal de requisición de relleno, para agregar a ciertos grupos de datos asociados, en una posición de bit dada, dentro del formato de

25 datos, para producir grupos de datos rellenos para multiplexar con grupos de datos incompletos por los segundos elementos, proporcionando la corriente de datos síncrona; terceros elementos acoplados a los segundos para transmitir la corriente de datos a lo largo de un medio de propagación determinado. Cuartos

30 elementos acoplados al medio de propagación para recibir la

corriente de datos. Quintos elementos, acoplados a los cuartos, sincronizados con la corriente de datos para producir una señal de control de quitar el relleno, cuando aparece cada bit de relleno. Y n elementos sextos, acoplados a los quintos, que responden a una de las señales de control de quitar el relleno asociada, para suprimir los bits de relleno de algunos grupos de datos. Cada uno de los segundos elementos proporciona uno de los grupos de datos a la salida.

Otra característica del presente invento es la provisión de un multiplexor MIC asíncrono para multiplexar n grupos de datos asíncronos que tienen una primera cadencia de bits en una primera corriente de datos síncrona con un formato de datos fijo y predeterminado, y una segunda cadencia de bit, mayor que la primera, siendo n un número mayor que la unidad, comprendiendo: n entradas, cada una para uno de los grupos de datos; n primeros elementos, cada uno acoplado a una de las entradas. Algunos de los primeros elementos generan una señal de requisición de relleno cuando se llega a una determinada diferencia de fase entre la primera y la segunda corrientes de datos. Segundos elementos acoplados en común a cada uno de los primeros, que responden a la señal de requisición de completo, de alguno de los elementos primeros, para producir una señal de control de relleno por cada uno de dichos elementos primeros para multiplexar grupos de datos rellenos y quitados el relleno recibidos de los primeros elementos que responden a una señal asociada de las de control de relleno, para producir solamente un único bit de relleno por cada señal de requisición de relleno, para agregar a uno de los grupos de datos asociados, en una posición de bit dada, dentro del formato de datos, para producir grupos de datos rellenos para multiplexar con grupos de datos

incompletos por los elementos segundos, proporcionando la corriente de datos síncrona.

Una característica más del presente invento es la provisión de un demultiplexor asíncrono MIC para demultiplexar una corriente de datos síncrona que tiene un formato de datos fijo predeterminado, y una primera cadencia de bit en n grupos de datos asíncronos con una segunda cadencia de bit, menor que la primera. Los grupos de datos se hacen síncronos con la corriente de datos, agregando solamente un bit de relleno a algunos de dichos grupos de datos, en posiciones de bit diferentes y dadas, dentro del formato de datos; donde n es un entero mayor que la unidad, comprendiendo: una entrada para la corriente de datos; elementos primeros acoplados a la entrada sincronizados con la corriente de datos para producir una señal de control de quitar el relleno cuando aparece cada uno de los bits de relleno; y n elementos segundos acoplados a los primeros que responden a una señal de control de quitar el relleno asociada para quitar el bit de relleno de algunos de los grupos de datos. Cada uno de los segundos elementos proporciona un grupo de datos asíncrono asociado a la salida del mismo.

Las características y objetivos mencionados anteriormente, aparecerán más claramente en la descripción que sigue y en los dibujos que se acompañan, en los cuales:

- las Figs. 1, 2 y 3 ilustran la estructura de cuadro o formato de la corriente de datos síncrona, de acuerdo con los principios del presente invento;
- la Fig. 4 es un diagrama bloque funcional del multiplexor y demultiplexor por división de tiempo, de acuerdo con los principios del presente invento;
- la Fig. 5 es el diagrama bloque de un módulo de grupo transmi-

- tido de la Fig. 1;
- la Fig. 6 es el diagrama bloque del módulo de recuperación de reloj de Fig. 5;
 - la Fig. 7 es el diagrama bloque del módulo de grupo receptor de Fig. 4;
 - la Fig. 8 es el diagrama bloque del módulo común de transmisión de la Fig. 4;
 - la Fig. 9 es el diagrama bloque del circuito de control de relleno de la Fig. 8;
 - la Fig. 10 es el diagrama de tiempo utilizado para explicar la Fig. 9;
 - la Fig. 11A y 11B, organizadas como se ilustra en la Fig. 11C, el diagrama bloque del módulo común de recepción y módulo de recuperación de cuadro de supergrupo de la Fig. 4;
 - la Fig. 12 es el diagrama bloque del demodulador de cable, módulo de extracción de línea de órdenes y de tiempo de la Fig. 4, y
 - la Fig. 13 es el diagrama bloque del modulador de cable y módulo de inserción de línea de órdenes de la Fig. 4.

Refiriéndonos a las Figs. 1, 2 y 3 y a fin de conseguir el lógico de control del presente invento, se simplifica la corrección de error y codificación, para controlar el relleno y/o sobreflujo, empleando solamente el relleno para adaptar cada entrada asíncrona a un canal multiplexado síncrono. De este modo se reducen los costes lógicos, porque no es necesario el control de la multiplexión de los bits de sobreflujo. Este modo de funcionamiento es posible si la cadencia de entrada asíncrona es siempre menor que la cadencia de canal síncrona, sin importar los errores de frecuencia. La relación se obtiene ajustando ligeramente

el formato de datos. Quitando un bit por supercuadro del formato de canal principal, se disminuye la cadencia de bit nominal del canal principal, y se aumenta la cadencia de bit nominal de los canales de grupo síncrono a una cadencia de 122 partes por millón (ppm) más elevado que la cadencia de bit nominal.

5 Las decisiones periódicas para rellenar o no rellenar, se realizan por el multiplexor, sincronicamente con el formato de datos. Los resultados de estas decisiones se codifican, multiplexan y envían, a través del canal de control, al demultiplexor.

10 Se requieren dos códigos de control para denotar los mensajes "relleno" y "no-relleno". Dos códigos de 7-bits, con una máxima distancia Hamming, permiten una capacidad de corrección de error para introducir un bit de integridad MTBF (tiempo medio entre fallos) igual a 1103 días por una probabilidad de error en bit igual a 0,001 por ciento.

15

Para multiplexar los canales de grupo y el canal principal se construye un "cuadro medio" de 15 "subcuadros", como se ilustra en las curvas A, B y C de la Fig. 1. Los subcuadros impares, en cada cuadro medio, tienen 9 bits, y los subcuadros pares tienen 8 bits, como se ilustra en la curva C de la Fig. 1. Los 8 primeros bits de cada subcuadro se asignan, un bit a la vez, a los 4 u 8 grupos de datos. El noveno bit, en los subcuadros impares, si está presente, se asigna al canal principal. De este modo, existen 8 bits principales por cuadro medio. Esta parte del formato se ilustra en la curva B de la Fig. 1. Este esquema proporciona cadencias de datos nominalmente correctas con un mínimo jitter de formato, costes y complejidad de circuitos.

20

25

El formato del canal principal se construye submultiplexando un canal de señalización y control C, un canal

30

de órdenes de voz digital (DVOW) V, un cañal de órdenes de da
tos digital (DDOW) D, un código de "sincronismo corto" S0 y S1,
un código de "sincronismo largo" L y bits no utilizados (para
el modo de canal-96 solamente). Esto se ilustra en la curva B
5 de la Fig. 1. Los dos códigos de sincronismo proporcionan una
sincronización más rápida del formato de datos largo que la
que sería posible utilizando solamente un código de sincronis
mo. Los bits principales por cuadro medio se utilizan para
transmitir un código de sincronismo corto 0,1, que es suficiente
10 te para sincronizar el cuadro medio. Al sincronismo largo, al
control y a los canales DDOW se les asigna, a cada uno, un bit
principal por cuadro medio. Esto proporciona para cada función
19.200 bits/segundo para el modo de canal-48, y 38.400 bits/
segundo para el modo de canal-96. Al canal DVOW se le asignan
15 3 bits por cuadro medio, pero solamente la mitad de los mis-
mos se utilizan en el modo de canal-96, como se ilustra en las
curvas A y B de la Fig. 2, obteniendo siempre 57,6 Kb/seg. El
canal de sincronismo largo se utiliza para transmitir el có-
digo de sincronismo largo. Esto es, un código pseudo-aleatorio
20 de 64-bits que define un supercuadro de 64 cuadros medios. Esto
proporciona una base para la submultiplexión del canal de con
trol, como se ilustra en la Fig. 3. En un supercuadro, se trans
miten 8 palabras de 8 bits por el canal de control C. Los pri
meros 7 bits de cada palabra es un código de control utilizado
25 para la comunicación, entre los circuitos de control del trans
misor y del receptor, de un canal de grupo. Los bits octavos
de estas palabras se emplean para la señalización asociada
con los canales DVOW y DDOW.

Se suprime el último bit de sincronismo corto de
30 cada supercuadro, haciendo que la longitud de supercuadro sea

de 8191 bits en lugar de 8192 bits. Este ajuste aumenta la ca
dencia nominal de cada canal de grupo en 122 ppm., haciendo po
sible el método de control "relleno-solamente". El aumento del
tiempo de sincronización de cuadro causado por este ajuste es
5 pequeño.

Se emplean dos códigos de sincronismo de cuadro
(llamados "sincronismo corto" y "sincronismo largo") para obte
ner una rápida sincronización, con un mínimo impacto en el
jitter de formato, y pequeña interferencia de los ajustes de
10 formato. Se ha estimado que el tiempo de sincronización sería
de 10 milisegundos (ms) o menos para un tiempo de sincroniza
ción sin errores durante más del 95 por ciento del tiempo, y
15 ms o menos con errores de bit del 0,1 por ciento durante
el 95 por ciento del tiempo. Los límites del 95 por ciento per
15 miten que estas cifras se añadan directamente a estimaciones
similares de tiempo de sincronización de reloj para límites
del 95 por ciento también. Las cifras pueden considerarse con
servadoras para límites del 90 por ciento. Los totales que se
obtienen son de 14 ms cuando no haya errores de bit y 19 ms pa
20 ra errores de bit del 0,1 por ciento.

Como se ha indicado anteriormente, existen dos me
canismos de control que pueden emplearse para adaptar un gene
rador de señal digital asíncrona a una corriente o canal digi
tal síncrono, mediante relleno o sobreflujo. Si la cadencia
25 del generador excede la del canal, se quitan los bits de sobre
flujo del grupo de datos del generador y se transmiten por
otro canal (canal de sobreflujo). Si la cadencia del generador
es menor que la del canal, se agregan bits de relleno al grupo
de datos. En el receptor o sección demultiplexora, deben re-
30 conocerse y quitarse los bits de relleno, y deben reponerse a

sus posiciones propias los bits de sobreflujo. Ya que los errores de frecuencia de las cadencias del generador y del canal no pueden predecirse, el multiplexor debe ajustarse dinámicamente a estos errores y enviar suficiente información al demultiplexor para que realice los ajustes de acuerdo con las instrucciones que recibe. El multiplexor y demultiplexor del presente invento utiliza solamente relleno (no bits de sobreflujo), con una cadencia de relleno nominal de 122 ppm de la cadencia de bit de grupo, y utiliza códigos de 7-bit para enviar la información de control al demultiplexor.

En general, debe transmitirse la siguiente información:

- (1) Tipo de acción de control; relleno, sobreflujo, o no acción;
- (2) Identificación del canal que debe ajustarse;
- (3) Número de bits de relleno o sobreflujo; y
- (4) Tiempo de transmisión de los bits de relleno o sobreflujo en relación con el formato de datos y/o el mensaje de control.

Además de esta información de control, deben transmitirse, si existen, los bits de sobreflujo, de tal modo que se preserve la identidad de los bits. Esto es, estando asociados con los mensajes de control apropiados. El lógico de control y los mensajes de control y codificación pueden simplificarse restringiendo la información anterior sin que llegue a ser insuficiente. Seguidamente daremos algunos detalles sobre este concepto.

Cuando la cadencia del generador nominal y la del canal son iguales, deben emplearse ambas técnicas de relleno y sobreflujo (en diferentes momentos y lugares), para adaptar el generador asíncrono al canal síncrono. Sin embargo, si la

cadencia nominal de canal se hace bastante elevada, sólo puede emplearse una técnica de relleno, y la cadencia de relleno nominal debe ser tal que exceda a la suma de los peores errores de cadencia de bit de generador y canal. También, si la cadencia de canal nominal es bastante baja, solamente pueden emplearse técnicas de sobreflujo, y la cadencia de sobreflujo debe ser superior a la suma de los peores casos de errores en las cadencias de bit de canal y generador. Se prefieren ambos métodos, solamente relleno y solamente sobreflujo, porque se elimina el lógico de control para uno de los tipos de mecanismo de control. Ambos métodos permiten también mantener una mínima cadencia de relleno o sobreflujo. Puede diseñarse esta cadencia mínima para mantener la mayoría del jitter producido por el relleno o sobreflujo fuera de la banda del igualador de reloj, reduciendo sustancialmente los requerimientos de almacenamiento elástico. Además, se prefiere la técnica de relleno solamente a la de sobreflujo solamente porque se elimina la acción de quitar, multiplexar, transmitir, demultiplexar y reinsertar los bits de sobreflujo, reduciendo, además, los costes de los circuitos y simplificando el formato de canal principal.

Por estas razones, el multiplexor y demultiplexor asíncrono del presente invento emplea la técnica de control solamente-relleno. Esta técnica se consigue ajustando el formato de datos para proporcionar una cadencia de bits de canal siempre más elevada que la cadencia de bit del generador, sin tener en cuenta los errores de frecuencia, siempre que estos errores estén dentro de los límites establecidos.

No es necesario incluir un código de identificación de canal en cada mensaje de control, si los códigos de control están multiplexador sincronicamente y si el FORMATO

DE DATOS incluye suficiente codificación de sincronización de cuadro para sincronizar la multiplexión del código de control. La identificación de canal de cada mensaje de control codificado se identifica en su posición del formato de datos. La ca
5 dencia del código de control fijo requerido por el multiplexor síncrono requiere también el empleo de un código de "no-acción". La cadencia del código debe ser suficiente para la máxima cadencia de relleno.

No es necesario incluir un código para el número
10 de bits de relleno, si este número se fija en el diseño lógico. Se prefiere un bit de relleno para el mensaje de control dado que esto disminuye el jitter de relleno, o la variación de tiempo de los datos de grupo real en la señal de supergrupo debida a la adición de bits de relleno. Si la cadencia de
15 bits principal disponible fuera muy restringida, sería necesario ajustar más bits para el mensaje de control a fin de reducir la cadencia del mensaje, a costa de requerir almacenamientos elásticos mayores. Este no es el caso en el presente invento, ya que existe una generosa cantidad de cadencia de
20 bit principales comparada con los requerimientos funcionales del canal principal.

Tampoco hay necesidad de incluir un código de tiempo (dirección) en el mensaje de control si se fija la temporización de relleno en relación al formato de datos y/o al
25 mensaje de control. Puede hacerse que el bit de relleno tenga lugar después de un tiempo fijo del mensaje de control, o un tiempo determinado antes o después del comienzo del siguiente cuadro de datos que sigue al mensaje de control. Esta restricción de ajustes a tiempos específicos provoca un jitter de
30 relleno adicional, llamado jitter de "espera".

El presente invento hace uso de todas las simplificaciones anteriores en el método de control, con el resultado de que la información requerida en un mensaje de control es solamente el tipo de una acción de control; relleno, o no acción (no rellene) . Esta información puede representarse por un bit (dígito binario), pero para una transmisión más confiable, se requiere la codificación redundante, de tal modo que los mensajes de control puedan recibirse exactamente aún cuando algunos bits del código de control tengan error. Esto evita los fallos en la cuenta de bits causados por la recepción errónea de los códigos de control. En el presente invento se utiliza el código más simple, que requiere dos palabras de código con una máxima distancia Hamming. Esto es, el valor del bit n de la palabra 1 es igual al valor del bit n de la palabra 2 (ejemplo: 0111010 y 1000101). Una palabra representa el mensaje de relleno, y la otra palabra de código representa el mensaje de no-relleno. Si el código de control tiene $M = (2A + 1)$ bits, pueden recibirse A errores de bit por palabra de control, sin error en el mensaje. Se utiliza un procedimiento de voto mayoritario para identificar el mensaje transmitido por un código que tiene errores de bit. Por ejemplo, si se reciben 4 bits, de un código de 7 bits, de acuerdo con un código de relleno perfecto, y los otros tres bits de acuerdo con un código de no-relleno perfecto, se decide que el mensaje es relleno. Se evitan votos de cola eligiendo un número impar de bits por código de control.

En general, tiene lugar un error de palabra solamente cuando existen más de A errores de bit en una palabra de $(2A + 1)$ bits. Si P es la probabilidad de error de bit, la probabilidad de error de palabra es, aproximadamente, (para P

(pequeña) igual a $P^{(A+1)} (1-P)^A (2A+1)! / (A!(A+1)!)$. La cadencia de error de palabra de control, que depende parcialmente de la cadencia de palabra de control, determina predominantemente el MTBF para la integridad del bit de cada canal de grupo.

5. Los cálculos, para el formato ilustrado, muestran que cinco bits por palabra de control proporcionan un MTBF de solamente 3 8 días, lo cual es demasiado pequeño. Empleando 7 bits por palabra de control, se obtiene un MTBF de 1103 días. Esto es más que satisfactorio.

10 El formato de datos debe incluir 8 palabras de control por cuadro, u 8 subcanales de control por los 8 grupos multiplexados en el modo de canal-96. Existen 4 grupos en el modo de canal-48, y en el multiplexor y demultiplexor del presente invento, cada circuito de control activo utiliza dos palabras de control por cuadro. Ya que el número de bits por cuadro no cambia y la cadencia de bit de supergrupo se divide por dos, tampoco cambia la cadencia de control por circuito de grupo.

Las cadencias normales para la señal de supergrupo (2,4576 Mb/s para el modo de canal-48 y 4,9152 Mb/s para el modo de canal-96) requieren que la cadencia de bit total nominal de los grupos MIC sea los 15/16 de la cadencia de bit de supergrupo ($8 \times 576 \text{ Kb/s} / 4,915,2 \text{ Kb/s} = 15/16$), y la cadencia de bit de todos los demás datos (llamado canal principal) debe ser 1/16 (aproximadamente el seis por ciento) de la cadencia de bit de supergrupo. Si se utiliza un ciclo de multiplexión de 16 bits, donde 15 bits de cada ciclo son bits MIC, se obtiene la cadencia correcta, pero este ciclo no es sincrónico con el ciclo de multiplexión para los grupos 4 u 8, ya que 15 no es divisible por 4. También, aparecerá un jitter de formato.

Esto es, los bits, para cada grupo, no estarán espaciados igualmente en el formato. Es posible utilizar un formato de datos basados en tales ciclos, ya que tienen un período común de 128 bits de supergrupo, pero el multicircuito lógico puede reducirse si, en su lugar, se utiliza un ciclo de multiplexión con período variable.

La cadencia de bit de cada grupo es $15/16 \times 1/8 = 15/128$ ó $15/16 \times 1/4 = 30/128$ de la cadencia de bit de supergrupo (dependiendo del modo de canal de funcionamiento, 48 ó 96. Esto indica que en un cuadro de 128 bits, 15 ó 30 bits (dependiendo del modo) estarían asignados a cada grupo. Para disminuir el jitter de formato, y consecuentemente el tamaño del almacenaje elástico, deberían espaciarse los bits para cada grupo tan uniformemente como fuera posible. Esto puede hacerse multiplexando los grupos y el canal principal en un subcuadro de 8 ó 9 bits, donde la longitud del subcuadro alterna en un cuadro medio de 15 subcuadros. Los primeros 8 bits de cada subcuadro se utilizan para los datos de grupo. El multiplexor explora ocho grupos una vez o cuatro grupos dos veces en cada subcuadro. El noveno bit, cuando se utiliza, se asigna al canal principal. Los subcuadros impares en cada cuadro medio tienen 9 bits (existen 8 subcuadros), y los subcuadros pares tienen 8 bits (existen 7 por cuadro medio). De esta manera, existen $(9 \times 8) + (8 \times 7) = 128$ bits por cuadro medio incluyendo 8 bits principales y 15 ó 30 bits por grupo. El multicircuito lógico se reduce, y la cantidad de jitter de formato es la misma que para el ciclo de multiplexión de 16 bits mencionados anteriormente. La modulación de fase pico-a-pico en cada canal de grupo es los $7/64$ de un período de bit para el modo de canal-96, y los $9/32$ para el modo de canal-48. Esta modulación es periódica.

dica, con el mismo período que el cuadro medio, y es también sincrona con el cuadro medio.

El canal principal tiene una cadencia normal de $75 \times 2^{11} = 153,6$ Kb/s para el modo de canal-48, y $75 \times 2^{12} = 307,2$ Kb/s para el modo de canal-96. Ya que hay 8 bits principales por cuadro medio, puede emplearse la temporización de cuadro medio para dividir el canal principal en 8 subcanales de $75 \times 2^8 = 19,6$ Kb/s ó $75 \times 2^9 = 38,4$ Kb/s, dependiendo del modo de canal-48/96. Estos subcanales pueden emplearse como una base para asignar varias fracciones de la cadencia de bit principales a las diferentes funciones principales, que se han considerado en el presente invento: (1) sincronización de cuadro; (2) control de relleno; (3) línea de órdenes de voz digital; (4) línea de órdenes teletipo/datos digital; y (5) señalización.

La cadencia de palabra de control debe ser suficientemente rápida para permitir controlar el error de frecuencia en el peor de los casos. Esto es, para acomodar la máxima cadencia de relleno. De acuerdo con el presente invento, la máxima cadencia de relleno es 177 ppm de la cadencia de grupo nominal; y la mínima cadencia de bit para el canal de control es 5,7 Kb/s. El multiplexor y demultiplexor del presente invento emplea tan elevada cadencia de bit por dos razones: (1) una cadencia de bit de control más elevada hace posible un ciclo de multiplexión más corto, y un cuadro más corto y más eficiente sincronización de cuadro; y (2) reduce el jitter de espera, dado que es inversamente proporcional a la cadencia de la palabra de control.

La amplitud del jitter de espera es especialmente importante dado que afecta más que los componentes del jitter de baja frecuencia, los cuales son demasiado lentos para pasar

a través del circuito igualador de reloj. Un subcanal principal (38,4 Kb/s para el modo de canal-96) tiene una cadencia conveniente para el formato de datos y satisface también a las consideraciones anteriores. También se necesita una pequeña cadencia de bit para la señalización dentro de banda asociada con las líneas de órdenes de voz y datos. Una manera conveniente de cumplir este requisito dentro del formato es añadir un bit de señalización después de cada palabra de control de 7-bit. Ya que se requiere una palabra de control por cuadro para cada uno de los 8 grupos, esto define un cuadro que contiene 64 bits de canal de control. Esto también simplifica el diseño lógico, dado que un contador binario (seis circuitos divide-por-dos) que se emplea para la multiplexión del control y temporización de palabra, puede emplearse también para dividir por dos la cadencia del subcanal principal. (La línea de órdenes de voz digital emplea 3/2 de un subcanal principal, en el modo de canal-96).

Se ha elegido una señal MIC de 6-bit con una cadencia igual o mayor que 48 Kb/s, para transmitir la línea de órdenes de voz. Para el modo de canal-48, este canal puede ser multiplexado más fácilmente en el canal principal de 153,6 Kb/s y puede ser más fácilmente sincronizada la palabra MIC de 6-bit, si la cadencia de bit de canal MIC es $(6 \times 153,6 / M) \text{Kb/s}$, donde M es un número entero. Para que la cadencia de bit exceda los 48 Kb/s, M debe ser 20 o menor. Para el modo de canal-96, la cadencia de bit principal es $2 \times 153,6 \text{ Kb/s}$, y M debe ser el doble. La multiplexión de 8 palabras de control, empleando los mismos contadores, requiere que M sea un múltiplo de 8. Así, se elige $M=16$ para el modo de canal-48, y $M=32$ para el modo de canal-96. Esto da una cadencia MIC de 57,6 Kb/s para ambos

modos. La cadencia de bit más elevada mejora el rendimiento MIC.

El canal de órdenes digital teletipo/datos debe transmitir datos asíncronos a cadencias de hasta 1200 bits/seg. No se requiere almacenaje elástico ni relleno de bits, dado que se permite hasta ± 10 por ciento de distorsión de polarización, lo cual implica que se permite también la distorsión de temporización. (La distorsión de temporización indica la incertidumbre del intervalo de tiempo entre dos transmisores de datos, sin importar la dirección de las transiciones. La distorsión de polarización es similar, pero considera solamente dos transiciones en direcciones opuestas). La cadencia baja teletipo/ datos y la cadencia de canal principal relativamente más elevada, implica que no es necesaria una alta eficiencia de canal. Un circuito mucho más económico que el esquema de almacenaje elástico y de relleno de bits, aprovecha estos requerimientos. Este circuito simplemente traslada la señal de datos a una cadencia de bit de canal más elevada, enviando diferentes bits de canal por cada bit del generador. Este método tiene poco rendimiento (en términos de la cadencia de bit de canal) y crea alguna distorsión de temporización, pero proporciona un funcionamiento satisfactorio si la cadencia de canal es suficientemente elevada, del orden de 19,2 Kb/s.

Lo que sigue es un sumario de las condiciones de sincronización de cuadro que hace referencia al formato de datos empleado aquí.

Puede emplearse un único formato de sincronismo combinado para la adquisición rápida de cuadro, pero esto interrumpe la corriente de datos durante un período sustancial, requiriendo un almacenamiento elástico más grande. Un formato

de sincronismo distribuido no puede sincronizarse rápidamente. Sin embargo, empleando dos códigos de sincronismo, puede obtenerse la mejor característica de ambos. Un código de sincronismo corto, tal como un simple código distribuido 0,1 puede ser sincronizado rápidamente si el periodo (o cuadro) no es demasiado largo. Esto puede emplearse para sincronizar una parte corta del supercuadro total, tal como el cuadro medio. En el formato de datos propuesto, el código de sincronismo corto ocupa dos subcanales principales. Otro código de sincronismo, llamado código de sincronismo "largo", puede ocupar todo o parte de otro subcanal principal. El periodo de repetición del código de sincronismo largo debe ser lo suficientemente largo como para permitir la sincronización de la función de multiplexión más lenta, como es la multiplexión de ocho subcanales de control. Después de que el circuito de cuadro de sincronismo corto ha encontrado la fase del subcanal principal que contiene el código de sincronismo largo, el circuito de cuadro de sincronismo largo puede sincronizar rápidamente, dado que no tiene que examinar todos los bits de datos recibidos.

Pueden considerarse dos alternativas básicas para el código de sincronismo largo. Una es un código de sincronismo combinado (normalmente 6 bits) que ocupa una pequeña parte de un subcanal principal. La otra es un código de sincronismo pseudo-aleatorio (normalmente de 64 bits) que ocupa un subcanal principal entero. Los costes lógicos de estos dos sistemas son aproximadamente iguales. El código pseudo-aleatorio requiere una cadencia de bit más elevada, pero permite una más rápida sincronización. Se ha elegido el código pseudo-aleatorio para el presente multiplexor y demultiplexor porque tiene la ventaja de que cuenta con una cantidad generosa de cadencia de bits

principales.

El ciclo demultiplexión más lento (multiplexión de control) define el cuadro de datos más largo, llamado "supercuadro". Para permitir una sincronización completa, el código de sincronismo largo debe repetirse una vez en el mismo cuadro. Ya que el canal de señalización y control y el canal de sincronismo largo son subcanales principales, y el formato de datos del canal de señalización y control tiene 64 bits por supercuadro, el código de sincronismo largo pseudo-aleatorio requiere 64 bits. Los códigos pseudo-aleatorios se generan y detectan más convenientemente cuando la longitud del código es 2^N ó $2^N - 1$, donde N es un número entero. Esta es otra razón para la elección de un formato de señalización y control de 64 bits.

El formato de datos puede ser ajustado de un modo que cambiará la cadencia de canal de sincronismo nominal, y así, la cadencia de relleno nominal. Este ajuste se emplea en el multiplexor y demultiplexor descrito aquí para eliminar la necesidad de sobreflujo, por las razones expuestas antes. Puede también cambiar las características de jitter en lo que se refiere a la acción de relleno, cambiando así el rendimiento de los circuitos igualadores de reloj. El formato descrito aquí se ajusta para la cadencia de relleno nominal de 122 ppm.

En la anterior técnica de los multiplexores asíncronos, donde no estaba especificada la cadencia de bit de supercuadro exacta, se empleó el ajuste de la cadencia de bit de supergrupo para ajustar la cadencia de canal de grupo nominal. En el multiplexor y demultiplexor asíncrono del presente invento, la cadencia de bit de supergrupo es fija, y la única manera de ajustar la cadencia de canal de sincronismo nominal es

cambiado el formato de datos. Dado que las cadencias de grupo y supergrupo son ambas normales ($K \times 75 \times 2^n$), un simple formato de datos, como el descrito anteriormente, conduce a la igualdad de la cadencia nominal del generador y la cadencia nominal de canal, requiriendo así un método de control de relleno-y-sobreflujo.

Sin embargo, puede emplearse el método de control solamente-relleno si la cadencia de bit nominal de los canales de grupo se aumenta en, por lo menos, 55 ppm, ya que la tolerancia del generador de grupo es ± 45 ppm, y ya que se propone tener una tolerancia de ± 10 ppm para la cadencia de supergrupo. Este aumento es también la cadencia de relleno nominal. Si la cadencia de relleno nominal es 55 ppm, la cadencia de relleno puede aproximarse a cero. El jitter en diente de sierra, que tiene la misma frecuencia, y una amplitud de un ciclo (pico-a-pico), puede también aproximarse a la frecuencia cero y pasar a través de cualquier recortador sin atenuación. Haciendo un ajuste que proporciona una cadencia de relleno mínima considerablemente mayor que la anchura de banda del recortador de re-
loj, pueden atenuarse casi todos los jitter en diente de sierra. Sin embargo una cadencia de relleno grande aumenta el jitter esperado.

La cadencia de bit de supergrupo, de acuerdo con el presente invento, debe permanecer fija, de tal manera que debe existir una disminución en el canal principal para aumentar la cadencia de canal de grupo. La cadencia de bit principal es $1/15$ de la cadencia de bit total de todos los grupos, de esta manera, la cadencia de bit principales debe reducirse, por lo menos, en $15 \times 55 = 825$ ppm. La cadencia de bits principal puede reducirse suprimiendo un bit principal o más por supercuadro,

del formato de datos. Esto acorta el supercuadro ligeramente, y ya que no cambia el número de bits de canal de grupo por supercuadro, se aumenta la cadencia de canal de grupo. En el formato de datos propuesto y descrito aquí e ilustrado en las Figs. 1, 2 y 3 se extrae un bit principal por supercuadro, reduciendo el supercuadro de 8192 a 8191 bits, e incrementando la cadencia de bit nominal de cada canal de grupo en 122 ppm. Esto proporciona una cadencia de relleno mínima igual a 67 ppm, de la cadencia de grupo.

Del esquema de ajuste de formato descrito anteriormente, surgen dos cuestiones: (1) ¿De dónde se extraería el bit en el formato de canal principal? y (2) ¿Hasta dónde una discontinuidad en el formato de datos afecta a la sincronización de cuadro y a otras características?.

En la siguiente descripción se incluye la consideración de estas cuestiones.

El jitter de formato es una modulación en fase de la temporización de un canal de datos dado, debido a un espaciamiento irregular entre los bits de dicho canal en el formato de datos. Algunos canales pueden tener jitter de formato y otros no. Cierta jitter de formato esta causado por el formato de cuadro medio, y otro por el esquema de ajuste de la cadencia de relleno. En los párrafos siguientes describiremos un jitter de formato debido solamente al formato de cuadro medio (suponiendo que no hay ajuste en la cadencia de relleno). Por lo tanto no describiremos el jitter debido al relleno. Después, consideraremos el efecto en otras características, del jitter de formato.

La amplitud del jitter de una corriente de datos está definida como la amplitud pico-a-pico de la diferencia de

fase entre la temporización de la corriente de datos y la temporización de una corriente de datos hipotética que tiene la misma cadencia de bits media, pero sin modulación de fase (bits espaciados uniformemente), empleando el período de bit de la corriente de datos hipotética como unidad de amplitud.

Para el formato de datos descrito anteriormente, los subcuadros pares (ciclos múltiplex de grupo) tienen 8 bits, y los subcuadros impares tienen 9 bits. Empleando el período de bit de supergrupo como unidad de tiempo el espaciamiento de los bits de un grupo (según se transmite, incluyendo bits de relleno), para el modo-96 es

9,8,9,8,9,8,9,8,9,8,9,8,9,8,9

Esta distribución se repite y, ya que, existe un 9 en ambos extremos, existen siempre dos 9 adyacentes. Para el modo de canal-48, la distribución es

4,5,4,4,4,5,4,4...4,5,4,4,4,5

Aunque son posibles otras configuraciones de formato, es inevitable tal temporización irregular de bits, dado que un canal de grupo determinado requiere 2 bits (para el modo de canal-96), o 4 bits (para el modo de canal-48), por 16 bits de grupo, pero el canal principal requiere un bit por 15 bits de grupo. La amplitud del jitter de formato ha sido computada en unidades de período medio de bit y es de $7/64$ para el modo de canal-96 y $9/32$ para el modo de canal-48, ambos pico-a-pico. El espaciamiento de bits principales tiene la distribución:

9,17,17,17,17,17,17,17

como se ilustra en la curva B de la Fig. 1, el cual se repite cada cuadro medio. Ya que cada subcanal principal tiene un bit por cuadro medio, un único subcanal principal no tiene jitter

de formato de cuadro medio (el espaciamiento es siempre 128 bits de supergrupo). Un canal formado de más de un subcanal principal tendrá siempre jitter, por ejemplo, un canal que tiene dos bits por cuadro medio, puede tener una distribución de espaciamiento de

60,68.

Cuando se ajusta la cadencia de relleno asignando un bit menos por supercuadro a un subcanal principal, aparece un jitter de formato adicional. Un subcanal principal especial tendrá 63 bits por supercuadro, y los otros 7 subcanales principales tendrán, cada uno, 64 bits por supercuadro. El espaciamiento de bit del subcanal principal especial será

255,128,128,128,.....128,128

El espaciamiento de bit para los otros canales principales será

127 128,128,128,.....128,128.

La amplitud de jitter en el primer caso es casi de un bit, mientras que en el segundo caso la amplitud es, aproximadamente, el $1/128$ de un período de bit. El ajuste de la cadencia de relleno también añade jitter a los canales de grupo; aproximadamente $0,234$ pico-a-pico para el modo de canal-48 y, aproximadamente, $0,117$ para el funcionamiento en canal-96.

El jitter de formato en los canales de grupo requiere más capacidad del almacenamiento elástico.

El jitter de formato en la línea de órdenes de datos digital es demasiado pequeño para efectuar apreciablemente a la distorsión de temporización. El margen entre la distorsión y la distorsión en el peor caso, debida a la temporización asíncrona es más que suficiente para incluir el efecto de jitter

de formato.

Las operaciones de sincronización y control están sincronizadas con el formato de datos de manera idéntica en el multiplexor, no siendo afectadas por el jitter de formato.

5 El multicircuito de línea de órdenes de voz digital tampoco es afectado mientras que los circuitos están en el caso peor para el más corto espaciado posible. En efecto el jitter de formato ayuda al diseño del circuito, porque el espaciado de bit puede hacerse más grande donde más se
10 necesite (entre palabras MIC). Dado que el decodificador y de codificador MIC funcionan sincronicamente, no aparece modulación de fase en la señal de audio recuperada. Los 9,6 KHz de la onda de audio tienen alguna modulación de fase, pero la frecuencia de muestreo instantánea es siempre más rápida que la que es ne
15 cesaria.

El jitter debido al formato de cuadro medio no afecta a la sincronización de cuadro. Sin embargo, el jitter de formato debido al ajuste de la cadencia de relleno, no perturba la sincronización de cuadro, sino solamente al circuito
20 de cuadro de sincronismo corto durante la adquisición de sincronismo de cuadro. Esto tiene lugar porque el ajuste de formato de datos crea un cambio de un bit en la fase del código de sincronismo corto, una vez por supercuadro. Cuando está en sincronismo, el lógico de temporización puede contar con este cambio y permanecer sin perturbaciones. Cuando está fuera de sincronismo, los cambios de fase de la temporización de transmisión y la temporización interna del receptor, tienen lugar en
25 momentos diferentes. Esto ayuda algo para inhibir los cambios de fase de la temporización interna, cuando está fuera de sincronismo. No obstante, cuando el circuito de cuadro de sincro-
30

nismo corto busca la fase de cuadro correcta, y la alcanza antes de un cambio de fase del código de sincronismo corto recibido, el circuito no conseguirá la fase correcta. Aunque esto no ocurre siempre, la probabilidad de que ocurra aumenta el promedio del tiempo de sincronización de cuadro.

El formato de datos del multiplexor y demultiplexor objeto de este invento en subcuadros dentro de cuadros medios y dentro de un supercuadro. Los subcuadros proporcionan la temporización para multiplexar y demultiplexar los canales de grupo y los canales principales. La temporización de cuadro medio se emplea para modificar la temporización de subcuadro y obtener la cadencia de bits principal que se requiere, y también para multiplexar diferentes subcanales principales en el canal principal. El formato de supercuadro proporciona temporización para submultiplexar uno de los subcanales principales, concretamente, el canal de control. Este formato define también la temporización del código de sincronismo largo, así como la temporización del canal de órdenes de voz digital. Se recorta un cuadro medio en cada supercuadro, para ajustar la cadencia de relleno nominal. El formato de cuadro medio normal esta ilustrado en la curva C de la Fig. 1. Existen 15 subcuadros en cada cuadro medio. Los subcuadros impares incluyen 9 bits, y los pares 8 bits, como se indica. Cada bit, en un subcuadro, está asignado a un canal. En el modo de canal-96, el canal n esta asignado al grupo n ($n=1, 2, 3 \dots 8$). En el modo de canal-48, los canales y y $(n+4)$ están asignados al grupo n ($n=1, 2, 3, 4$). El canal 0 de los subcuadros impares es el canal principal. Los bits principales aparecen solamente al final de los subcuadros impares. De esta manera, existen ocho bits principales en un cuadro medio de 128-bit, espaciados como se muestra

en la curva B de la Fig. 1. En un lugar, son adyacentes dos subcuadros impares (el subcuadro 15 de un cuadro medio y el subcuadro 1 del siguiente cuadro medio) y, por lo tanto, los bits principales sucesivos estan espaciados 9 bits en lugar de 17. El formato de cuadro medio asigna bits principales a la línea de órdenes de voz digital, al control de órdenes de datos digital y a los canales de sincronismo largo y corto, como se muestra en la curva B de la Fig. 1.

El código de sincronismo corto 0,1 está contenido enteramente en un cuadro medio, y así proporciona sincronización del formato de cuadro medio. Se envía un bit de sincronismo corto "0", 60 periodos de bits después de un bit de sincronismo corto "1", y se envía un bit de sincronismo corto "1", 60 periodos de bits después de un bit de sincronismo corto "0".

El canal de órdenes de voz digital transmite códigos MIC de 6-bits. Ya que se asignan solamente tres bits por cuadro medio al canal de órdenes de voz digital el formato de cuadro medio sólo no puede sincronizar los códigos MIC.

Existen 64 cuadros medios en cada supercuadro. El último cuadro medio en cada supercuadro, se acorta a 127 bits omitiendo el último bits, que, por otra parte, sería un bit "1" de sincronismo corto. La omisión de este bit aumenta la cadencia de bit de los canales de grupo en 122 ppm, como sigue. Antes del ajuste existen $128 \times 64 = 8192$ bits en un supercuadro. El número de bits principales en un supercuadro es $8 \times 64 = 512$. Los restantes bits $8192 - 512 = 7680$ son bits de canal de grupo, incluyendo todos los bits de grupo y de relleno. La cadencia de bit total para todos los grupos después del relleno es, exactamente, $7680 / 81 \times 92 = 15/16$ de la cadencia de supergrupo. Así, si la cadencia de supergrupo es exactamente 2,4576 (ó 4,9152

Mb/s, la cadencia de grupo, después del relleno, será exactamente, 576 Kb/s. Después del ajuste, existen $8192-1=8191$ bits en un supercuadro, y $512-1=511$ de los mismos son bits principales, y 7680 bits de grupo, como antes. La relación $8192/8191=$
 5 1,000122, de tal manera que la cadencia de todos los grupos se aumenta en 122 ppm. Con un error en la cadencia de grupo de ± 45 ppm y un error en la cadencia de supergrupo de ± 30 ppm, la cadencia de relleno requerida variará de 47 ppm a 197 ppm, y se no necesitará sobreflujo. Manteniendo el error de cadencia
 10 de supergrupo dentro de ± 10 ppm, la cadencia de relleno queda dentro de un margen más pequeño, concretamente, 67 ppm, a 177 ppm.

El código de 6-bit del canal de órdenes de voz esta sincronizado con un período de dos o cuatro cuadros medios, como se muestra en las curvas A y B de la Fig. 2. Uno de
 15 estos períodos (para $N=0$) comienza al principio de un supercuadro. Para el modo de canal-48, existe un código de 6-bit para dos cuadros medios. Para el modo de canal-96, solamente se emplean los bits impares asignados a la línea de órdenes
 20 de voz digital, y existe un código de 6-bit para cuatro cuadros medios. En ambos casos, existe un poco más tiempo que el promedio del período de bit entre el sexto bit de un código y el primer bit del siguiente.

Existen 64 bits de sincronismo largo en un supercuadro. Componen un código de sincronismo largo, que es:
 25 000000100001100010100111101000111001001011011101100110101010111111

Existen 64 bits de canal de control en un supercuadro. Estan dispuestos como ocho palabras de control de 7-bit y ocho bits de señalización, según se ilustra en la Fig. 3.
 30 Para el modo de canal-96, la palabra de control n está asociada

da con el grupo n . Para el modo de canal-48, las palabras de control n y $n+4$ están asociadas al grupo n . Las palabras de control para el grupo n comprenden el subcanal de control n . Los bits de señalización están asignados alternativamente, al canal de señalización de órdenes de voz digital y al canal de señalización de órdenes de datos digital.

Las palabras de control son 1111111 para un mensaje de "relleno" y 0000000 para un mensaje de "no relleno". El código de señalización para ambas líneas de órdenes es "1" para "llamada" y "0" para "desocupado".

B. COMBINACION TOTAL DE MULTIPLEXOR Y DEMULTIPLEXOR (Fig. 4).

Refiriéndonos a la Fig. 4, en la misma se ilustra un multiplexor asíncrono 1 y un demultiplexor asíncrono 2. Cada uno de ellos tiene entradas y salidas predeterminadas, como describiremos después. La ilustración de la Fig. 4 es capaz de diferentes configuraciones dependiendo de su utilización en sistemas de comunicación MIC. Si los grupos asíncronos acoplados al multiplexor 1 son de generadores de grupo asíncrono y las salidas de grupo asíncrono del demultiplexor 2 son para la utilización del dispositivo, la configuración de la Fig. 4 es una estación terminal para un sistema de comunicación MIC de dos vías. Por otra parte, si las entradas de grupo MIC asíncrono en el multiplexor 1 se reciben desde la salida del demultiplexor 2, en la Fig. 4 aparece una ilustración de un terminal repetidor de una vía que puede tener dos vías, duplicando el equipo de la Fig. 4, con la conexión de la salida del demultiplexor 2 a la entrada del demultiplexor 1, estando en dirección opuesta, para proporcionar un terminal repetidor de dos vías.

Además de esto, nótese que el multiplexor 1 y el

demultiplexor 2 estan asociados con el cable de transmisión, o medios de propagación. Esto es solamente para fines de ilustración, y podría organizarse para tener el multiplexor y el demultiplexor asociados con medios de propagación radio.

5 El multiplexor 1, o la sección de transmisión, acepta hasta ocho grupos MIC de canal 6/12 (a 288/576 Kb/s), en el modo de canal-96, y hasta cuatro grupos MIC en el modo de canal-48. Cada entrada de grupo va a uno de los ocho módulos de grupo de transmisión 3, cada uno de los cuales realiza el adaptador de nivel requerido con el multicircuito lógico del transistor, recupera la temporización asociada con el grupo de datos y almacena los datos en una memoria intermedia de 4-bit. Un control de memoria común, contenido en el módulo 4, muestrea periódicamente el estado de cada memoria de módulo de grupo para determinar cuando se requiere rellenar el flujo de datos de grupo. En el relleno, se cablean-AND las salidas de datos síncronos para proporcionar un flujo de datos multiplexado en un módulo común 4. El supergrupo digital compuesto, (4, 9152 Mb/s para ambos modos de canal-96 y -48) va a un modulador de cable y a un modulo de inserción de órdenes 7a donde se agrega una alimentación DC (corriente directa) desde una fuente de alimentación 16 (si se requiere), con las órdenes de voz analógicas desde los amplificadores 7 que puentean los canales de orden de voz analógicas. Las señales combinadas que resultan, se transmiten hasta 5 milla, por cable. Un generador de señalización 8 esta acoplado a los amplificadores 7, concretamente, al módulo 7a para proporcionar una indicación cuando esta presente el canal de voz analógico en la señal compuesta transmitida por el cable.

30 El módulo de alarma y recuperación de cuadro de

grupo 9 es un módulo lógico de tiempo compartido que comprueba cada entrada de datos de grupo y también, secuencialmente, las salidas de datos de grupo del receptor, determina si existe un diagrama detectable de sincronización de cuadro aceptable y activa una alarma de cuadro de grupo si no se detecta ningún diagrama. Se utiliza una configuración cableada-AND para conectar las señales de grupo al módulo 9, bajo el control de un lógico de decodificación, en los módulos de grupo y las señales de selección de grupo que se generan en el módulo 9. El módulo 9 proporciona señales que también activan o reponen los flip-flops de alarma de pre-grupo, los cuales activan las lámparas para los indicadores locales o remotos. Las alarmas de grupo se resumen también por el módulo de resumen de alarmas 10, para activar los indicadores visuales del panel frontal. El módulo de resumen de alarmas 10 activa también una alarma audible 11 localizada en el panel frontal.

Un oscilador fijo 12 proporciona el reloj de onda cuadrada básico de 4,9152 Mb/s para el módulo 4. En el funcionamiento de canal-48, la salida del oscilador 12 esta dividida por dos.

El módulo de temporización esta contenido en el módulo 4.

Una alarma funcional del módulo 4 y una alarma de tráfico del módulo 6, alarma el módulo 10. Los excitadores de alarma se activan para operar el panel local y las alarmas remotas, de tal modo que la alarma funcional inhibe la alarma de tráfico. Se activa una alarma audible cuando se activa cualquier alarma visual.

El codificador MIC 5 recibe una señal de voz desde la consola del operador o microteléfono local 13, a través de

los amplificadores 14. El codificador 5, bajo el control de las señales de temporización desde el módulo 4, genera un código MIC de 6 bits. La señalización del canal de órdenes de datos digital y el propio canal van, desde el módulo 6, directamente al módulo 4.

El canal de órdenes de voz analógico se recibe desde el microteléfono 15, acoplado al amplificador 7 y, concretamente, al módulo 7a.

La fuente de alimentación 16 proporciona las tensiones DC requeridas para los diferentes módulos del multiplexor 1 y del demultiplexor 2, más una corriente DC para los repetidores, cuando se emplea en sistemas de transmisión por cable. La fuente de alimentación de corriente constante 16 proporciona la alimentación por un extremo a los repetidores del sistema por cable, cuando el otro extremo del cable termina en un sistema como el que se ilustra en la Fig. 4.

El demultiplexor 2, o la sección de recepción, realiza la función inversa del multiplexor 1. Una señal de cable compuesta, que contiene un supergrupo digital, un canal de órdenes de voz analógico y un repetidor de alimentación DC (cuando se requiere) que esta separado en dos componentes, en el demodulador de cables, el módulo 17 de extracción de órdenes y recuperación de temporización. La alimentación DC vuelve a la fuente de alimentación 16. La señal de órdenes de voz analógica esta acoplada a los amplificadores 7 y, por consiguiente, al microteléfono 15. La señal de señalización para el canal de órdenes de voz analógico esta acoplado al detector 17a y, por consiguiente, al circuito lógico de señalización 18 que controla la alarma audible 11.

El supergrupo digital en el módulo 17 es amplifica

do, preparado para transistorizar los niveles lógicos del transistor y vuelto a temporizar por los circuitos de recuperación de reloj contenidos en el módulo 17. El supergrupo digital y su temporización están entonces acoplados al módulo común receptor 19 y, también, al módulo de recuperación de cuadro de supergrupo 20. Cuando se verifican los cuadros en el módulo 20, el módulo 19 puede enviar las señales de temporización correctas y controla el quitado de relleno a los ocho módulos de grupo del receptor 21 para demultiplexar los grupos MIC asíncronos de 576 Kb/s. El módulo 19 suministra también el canal de órdenes digitales de voz y la señal de temporización del canal de órdenes de voz digital, para el decodificador MIC 22 que decodifica las señales y envía la señal de audio memorizada a la consola del operador o al microteléfono local 13. El módulo 19 también demultiplexa el canal de órdenes de datos digital y la señalización de dicha canal, y acopla estas señales a un dispositivo de utilización del canal de órdenes digital teletipo/datos y al módulo detector de señalización 23.

El módulo 9 busca en los datos del grupo recibido un sincronismo de cuadro o diagrama artificial, y activa las alarmas del grupo cuando no se han verificado los cuadros. Si no se ha verificado el cuadro de supergrupo, se inhiben las alarmas de cuadro de grupo recibido de los módulos 21. Si existen, se da una indicación por el indicador 24, cuando los módulos de grupo recibido 21 están procesando un diagrama artificial.

Los módulos de grupo 21 deben igualar los datos a los que se les quita el relleno, que tiene un jitter debido a los "huecos" producidos por el proceso de quitar el relleno. Cada uno de los módulos de grupo 21 están acoplados a una fuente

te de temporización de bucle de sincronismo de fase digital 24a que recibe las señales de temporización internas desde una fuente de temporización común. Las dos señales de salida, de cada uno de los módulos 21, pueden ser datos y temporización de un final o datos sobre dos hilos equilibrados para conexión al dispositivo de utilización en una estación terminal o a los módulos 3 del multiplexor 1 en un terminal repetidor.

C. MODULO DE GRUPO DE TRANSMISION (Fig. 5)

Un módulo de grupo 3 ó 21 contiene todas las funciones requeridas para procesar un grupo de entrada (módulo 3) y su grupo de salida asociado (módulo 21), con la excepción de las funciones que son comunes a uno o más grupos. Estas funciones están contenidas en los módulos comunes 4 y 19.

La función básica del módulo de grupo es actuar como almacenamiento elástico, o memoria intermedia, para acomodar la diferencia de frecuencia entre una cadencia entrada/salida de grupo asíncrono y el canal de grupo síncrono contenido dentro de la corriente de bits de supergrupo. El almacenamiento elástico, con su comparador de fase entrada/salida, actúa como una memoria intermedia de comparación de cadencia y genera la información requerida por los módulos 4 para realizar el relleno de bit a una cadencia que compense la diferencia de frecuencia entre las cadencias síncrona y asíncrona. La temporización de grupo de salida, en el módulo 21, debe extraer el jitter del proceso de quitado de relleno.

Los módulos de grupo 3 y 21 contienen también las funciones de pregrupo, que forman parte los circuitos de alarma de sincronización de cuadro de grupo. Las funciones comunes están localizadas en un módulo separado. Los flip-flops de almacenamiento de alarma de cuadro y los indicadores loca-

les estan también localizados en el módulo de grupo, uno para cada uno de los grupos de entrada y salida.

Los módulos de grupo descritos aquí son los más sencillos, la mecánica más eficaz que puede cumplir todos los requerimientos de los módulos de grupo 3 y 21 y los módulos comunes asociados 4 y 19.

Ya se ha visto que, por lo menos, se requiere un almacenamiento elástico de 3 bits. Ya que cada uno de los contadores de lectura y escritura necesitan dos flip-flops para tres o cuatro etapas de cuenta, se ha previsto un almacenamiento elástico de cuatro bits. El coste extra de un bit adicional en el almacenamiento elástico viene representado por el coste pequeño de un flip-flop de media onda de una puerta en el lógico de extracción.

Refiriéndonos a la Fig. 5, representa el diagrama bloque de uno de los módulos 3. El almacenamiento elástico es un registrador de almacenamiento de datos de cuatro bits constituido por la memoria intermedia 26 con relojes de escritura y lectura separados, controlados independientemente por los contadores de escritura y lectura, divide-por-cuatro, 27 y 28, respectivamente. Los contadores de lectura y escritura 27 y 28 controlan los datos desde la entrada en serie, directamente, a las localizaciones de almacenaje en la memoria intermedia 26, y desde el almacenaje, directamente, a la salida serie de las puertas de lectura 29. La organización permite que los contadores de lectura y escritura 27 y 28 circulen a través de los bits de almacenamiento uno a cuatro y, nuevamente, uno, a cadencias diferentes. Ya que los datos almacenados no son cambiados o hechos circular, las funciones de escritura (entrada) y lectura (salida) no se interfieren.

Nótese que una extracción y una entrada gobernada es la forma más simple de la memoria intermedia 26, sobre cuya base puede construirse un almacenamiento elástico. Un registrador de cambio sencillo no podría funcionar, ya que sus entradas y salidas son idénticas. Si se modifica un registrador serie para funcionar con la diferencia en las cadencias de entrada y salida, por ejemplo, cambiando la entrada o salida a conexión paralelo, el lógico de control se hace muy complejo comparado con un registro de salida de entrada gobernada.

10 Nominalmente, el contador de lectura 27 es más rápido que el de escritura 28 y, por lo tanto, tenderá a "atrapar y pasar" al contador de escritura 27. El comparador de fase digital 30 detecta cuándo el contador de lectura 27 está dentro de dos bits de captura del contador de escritura 28 y genera la requisición de relleno en la puerta-AND 31 para acoplar el lógico de control de relleno del módulo 4. La señal de control de relleno, identificada como "HALT" suprime un impulso de reloj de la temporización de lectura, deteniendo el contador 27 y haciendo que el mismo bit se extraiga dos veces, en sucesión, del almacenamiento elástico. Este bit redundante es un bit "relleno". Mientras tanto, el contador de escritura 28 continúa a su cadencia sin interrupción y se pone delante del contador de lectura 27 en la memoria intermedia 26. El comparador de fase 30 es, simplemente, una puerta y una retención, que esta activado cuando el contador de lectura 27 esta dos bits, o menos, por detrás del contador de escritura 28 y, se repone cuando se genera el bit de relleno.

En la memoria intermedia 26 se utilizan flip-flops tipo D disparados-por-borde. El contador de escritura 28 puede ser, simplemente, un contador Johnson de dos bits con las sa-

lidas flip-flops que disparan el flip-flop de memoria sin necesidad de puertas adicionales. El contador de dos bit 27 debe tener puertas de decodificación para seleccionar las salidas uno-de-cuatro en el flujo de datos de salida. Empleando una
 5 conexión "Cableada-AND" para los ocho grupos de entrada, se reduce por 7 el número de conexiones en el módulo 4. Se emplea una disposición similar para controlar las ocho señales de requisición de relleno de grupo en una colectora común.

Las puertas de reloj de lectura 32, decodifican
 10 la temporización de grupo del módulo 4 y vuelven a temporizarlo con los 4,9152 Mb/s del reloj de supergrupo. La decodificación de la temporización de grupo se consigue, en el decodificador de grupo 37, extrayendo-AND dos señales, de las seis generadas por los contadores en el módulo 4. Las dos señales correctas, para cada uno de los módulos 3, están cableadas dentro del conector del módulo, y los módulos de grupo son, por lo tanto, idénticos e intercambiables. Además de la temporización de grupo, aquellos módulos en posiciones de grupo uno, a través de cuatro, también tienen la temporización de grupo ($n + 4$) a los conectores. Estas señales se activan por el módulo
 15 4 cuando el equipo está en la operación de canal-48. Las posiciones de bits de datos en el formato de supergrupo asignado a los grupos 5, a través de 8, en el modo de canal-96, se emplean, por lo tanto, por los grupos uno a cuatro, respectivamente, en el modo de canal-48. Las salidas de las puertas 32 controlan el contador 27, el comparador 30 y la puerta AND 31. Las señales de entrada de grupo MIC están acopladas al circuito adaptador de entrada 33 para que los ajustes de nivel sean compatibles con el resto del equipo. La señal de salida del
 20 circuito adaptador 33 está acoplada a la puerta-AND 34 y a la

puerta de datos MIC/artificial 35.

Unos datos artificiales o salida de grupo MIC de la puerta 35 esta acoplada al módulo de recuperación de reloj 36 cuya salida controla el funcionamiento del contador de escritura 28. La salida de la puerta 35 esta acoplada a la memoria intermedia 26. La salida de la puerta-AND 35, bajo el control del decodificador de grupo 37, proporciona los datos de grupo MIC, o los datos artificiales al módulo 9.

Las funciones por-grupo del lógico de sincronización de cuadro de grupo de tiempo compartido estan contenidas en el módulo de grupo, cuyos componentes se incluyen en el bloque de puntos 38. El circuito de alarma de sincronismo de grupo 38 incluye el decodificador de grupo 37, la puerta 35, el flip-flop de alarma 39, el indicador 40 y el indicador de alarma local 41. El decodificador de grupo recibe cuatro de las ocho señales del módulo 9. Estas cuatro señales se introducen en el conector para corresponder al número de grupo. La salida del decodificador de grupo 37 actua la señal de alarma y las señales final-de-ciclo para activar o reponer el flip-flop 39 en el módulo seleccionado por el contador de grupo. La cuenta de grupo también da paso a los datos fuera del circuito adaptador 33 a través de la puerta-AND 34 y del módulo 9. La salida de la puerta 34 protege 15 entradas del módulo 9.

Cuando fallan los componentes del módulo 9, para detectar la señal artificial o el diagrama de cuadro MIC normal, se activará el flip-flop de alarma 39 por la señal de alarma y la señal final-de-ciclo. Por el contrario, si se detecta una buena señal de tráfico, se repondrá el flip-flop de alarma y el final de ese ciclo. El flip-flop 39 controla la puerta 35 y el indicador 40 y también envía una señal de alar

ma al módulo 10 (Fig. 4). Durante una situación de alarma, la puerta 35 sustituye los datos artificiales del módulo 9 (Fig. 4) por la salida del circuito adaptador 33 en la entrada al módulo de recuperación de reloj 36 y memoria intermedia 26. También durante una condición de alarma, los indicadores 40 activan una lámpara local en el módulo y un indicador remoto en un módulo de representación de alarmas remoto, si esta conectado.

El conmutador conectado/desconectado de grupo 42 esta localizado en el módulo de grupo. Cuando el conmutador 42 esta en la posición desconectado, los flip-flop de la memoria de cuatro bits 26 se fuerzan para alternar "uno" y "cero" (activado y desactivado) para producir un diagrama de datos fijo, diferente del diagrama artificial. Esto realiza la función de un flip-flop de actividad. También el conmutador 42, cuando esta en su posición de desconectado, mantiene el flip-flop 39 en la condición de desactivado. (sin alarma).

Los datos de cada señal de grupo pasan a través de un almacenamiento elástico antes de ser multiplexados y transmitidos, y también antes de ser recibidos y demultiplexados. Los almacenes elásticos de transmisión y recepción son similares en diseño, aunque existen diferencias pequeñas pero importantes. Para mayor claridad, describiremos primeramente el almacenamiento elástico de transmisión. Muchas de las consideraciones que se hagan aquí serán de aplicación a ambos almacenamientos elásticos. Después discutiremos diferentes consideraciones para el almacenamiento elástico de recepción.

El almacenamiento elástico 25 es una memoria digital que tiene las siguientes propiedades:

1) La temporización de la entrada de datos, dada por el reloj

de escritura, y la temporización de la salida de datos, dada por el reloj de lectura, son completamente independientes. Es to es, no se requiere una relación específica de frecuencia o fase para un funcionamiento apropiado.

5 2) Los datos de entrada y salida están en formato serie y aparecen bits a la salida, en la misma secuencia a como entran.

3) Como se ha descrito anteriormente, el almacenamiento elástico 25 incluye los contadores de lectura y escritura 27 y 28 que se actúan por los relojes respectivos y, que, sucesivamente, dirigen cada localización de almacenaje en la memoria 26. Se empleara la temporización de lectura y escritura para referirnos a la fase de estos contadores, así como a la fase de los relojes de escritura y lectura.

De estas propiedades se deduce que el retardo medio a través del almacenamiento elástico, dividido por el período de bit medio, es igual al número medio de bits que ocupan el almacenamiento elástico, al mismo tiempo. También el almacenamiento (número de bits en el almacenamiento elástico) seguirá, instantáneamente, cualquier variación en la diferencia de fase de los relojes de escritura y lectura. Así, cualquier avance de fase del reloj de escritura o retardo de fase del reloj de lectura aumenta el almacenaje, excepto que cuando cualquiera de ellos intente aumentar el almacenaje cuando el almacenamiento elástico está lleno, creará un bit de error de integridad (sobreflujo, o bit perdido). Del mismo modo, cualquier retardo de fase del reloj de escritura o avance de fase del reloj de lectura disminuye el almacenaje, excepto que cualquiera de ellos intente disminuir el almacenamiento cuando el almacenamiento elástico está vacío, lo que creará un bit de error de integridad (debajo del flujo o bit extra). Sin embargo, se evi

tan tales bits de errores de integridad, en el almacenamiento elástico 25, examinando la cantidad presente de almacenamiento y eligiendo una acción de control (relleno, o no hacer nada) que tienda a evitar las condiciones de llenado o vaciado completos.

Para el método de control de solamente-llenado del presente invento, se hace una decisión de llenado en el almacenamiento elástico 25 cuando el almacenaje cae por debajo de un umbral, y se hace una decisión de no llenado cuando el almacenamiento excede el umbral. Cuando se toma la decisión de relleno, se inhibe un impulso del reloj de lectura, retardando la temporización de lectura durante un período de bit, y se transmite un bit de relleno en el período de bit correspondiente al impulso de reloj inhibido. La decisión de relleno aumenta el almacenaje del almacenamiento elástico en un bit. Por otra parte, ya que el reloj de lectura es más rápido que el de escritura, el almacenamiento elástico tiende a quedarse vacío, si no se toman decisiones de relleno.

Se evitan los errores de integridad de bit si el almacenaje, aunque varíe, nunca traspasa los límites de cero (condición de vacío) y la capacidad de almacenamiento elástico (almacenaje máximo, o condición de lleno). Esto puede conseguirse si se diseña el almacenamiento elástico con suficiente capacidad y, si se elige apropiadamente el umbral de decisión de relleno entre los límites mencionados anteriormente. Se propone aquí el caso de diseño para el almacenamiento elástico con respecto a su capacidad y umbral. Estos parámetros se determinan siguiendo las consideraciones del comparador de fase y el análisis del jitter y almacenaje.

Existen dos tipos de comparadores de fase que pue

den utilizarse para tomar la decisión de relleno/no-relleno (1). Solamente puede tomarse una decisión por cada periodo de palabra de control, de tal modo que el comparador de fase puede tomar una decisión dependiendo de la diferencia de fase que tiene lugar en un momento determinado durante cada periodo de palabra de control. La decisión puede depender de la diferencia de fase más positiva (o más negativa) que tiene lugar durante el periodo de palabra de control pasado. El primer tipo, cuando se muestrea con jitter de sincronismo rápido, convertirá el jitter rápido a jitter más lento con la misma amplitud de pico. El jitter más lento es atenuado menos fácilmente por el circuito recortador. (2) El segundo tipo, que es el empleado aquí, tiende a seguir la envolvente del jitter rápido y atenuará el jitter de sincronismo rápido. El jitter, que es sincrónico con el ciclo de palabra de control (tal como el jitter de formato), produce una respuesta constante (DC).

El rellenado depende de la diferencia de fase de la temporización de escritura y lectura y, por lo tanto, reacciona al jitter de entrada de la temporización de escritura y al jitter de salida de la temporización de lectura.

Entrando en el almacenamiento elástico de transmisión 25 existe un jitter desde la fuente de entrada de datos y el jitter de recuperación de reloj se añade por el circuito que recupera un reloj de la señal de datos de entrada. Saliendo del almacenamiento elástico 25 existe un jitter de formato, que se transmite a través del canal de grupo, y un jitter de relleno, que se transmite a través del subcanal de control correspondiente. El jitter de la fuente viene determinado por el recortador de reloj y consideraciones de tandem.

Existen diferentes componentes de jitter de relleno. Serán mejor entendidos y analizados considerando primero un almacenamiento elástico simplificado e idealizado y añadiendo las complicaciones reales, una a la vez.

5 Si no existiese jitter de la fuente, y el lógico de control pudiera generar un relleno inmediatamente que el almacenaje cae por debajo del umbral, los bits estarían igualmente espaciados. Ya que cada bit de relleno causa un salto de fase de un periodo de bit, el jitter de relleno sería una señal en
10 diente de sierra con una amplitud pico-a-pico igual a un periodo de bit, y una frecuencia igual a la cadencia de bit de relleno (la diferencia entre las cadencias de grupo síncrono y asíncrono). A esto se denomina jitter en "diente de sierra" y, realmente, es sólo parte del jitter de relleno.

15 Como se ha descrito anteriormente, los bits de relleno se hacen síncronos con el formato de datos. Así, cuando la condición de umbral demanda un bit de relleno, el lógico de control debe esperar un tiempo predeterminado en el supercuadro para generar el bit de relleno. Ya que la cadencia de relleno
20 no es, en general, síncrona con la cadencia de supercuadro, conduce a un jitter de relleno adicional, llamado jitter "de espera". La amplitud pico a pico del jitter de espera es igual a la cadencia de relleno dividida por la cadencia de palabra de control. El caso peor tiene lugar para la cadencia de relleno
25 máxima, considerando variaciones de la cadencia de bit de grupo de la fuente y de la cadencia de bit de grupo síncrono, que es una fracción fija de la cadencia de bit de supergrupo. La cadencia de palabra de control, para un grupo, es igual a la cadencia de supercuadro para el modo de canal 96, y, para el
30 modo de canal 48, es dos veces la cadencia de supercuadro (ya

que existen 4 grupos y 8 palabras de control por supercuadro). En ambos casos, la cadencia de palabra de control es 1190 ppm de la cadencia de grupo. La cadencia de relleno máxima es de 177 ppm. Por lo tanto, el jitter de espera pico a pico es de
 5 $177/1190 = 0,149$ periodo de bit.

El jitter de relleno, ya que reacciona a la diferencia del almacenamiento elástico, sigue (o reproduce) los componentes de frecuencia del jitter de la fuente y del jitter de recuperación de reloj, que son más lentos que la cadencia de
 10 supercuadro. No existe reacción al jitter de formato, porque éste y el muestreo de fase son periódicos, y tiene el mismo periodo (un supercuadro). La reacción a los componentes de jitter más rápidos que la cadencia de supercuadro, depende del método de muestreo de fase. Si la decisión de relleno/no-relleno esta
 15 basada en la diferencia de fase en un instante fijo en el supercuadro (muestreo instantáneo), los componentes rápidos del jitter de la fuente y del de recuperación de reloj, producirán componentes más lentas que el jitter de relleno adicional, que tiene la misma amplitud pico a pico. Por ejemplo, la decisión
 20 de relleno/no-relleno esta basada en si la diferencia de fase pasa bajo el umbral alguna vez durante el supercuadro anterior (muestreo continuo), entonces se produce un componente DC igual a la amplitud de pico del componente rápido. Se propone aquí el muestreo de fase continuo, porque se propaga menos jitter
 25 en la conexión tandem de multiplexores y demultiplexores asíncronos.

D. Módulo de recuperación del Reloj de Entrada (Fig. 6).

El módulo de recuperación de reloj 36 de la Fig. 5 se ilustra en forma de diagrama bloque en la Fig. 6. La entrada
 30 de grupo MIC se recibe, en 288 ó 576 Kb/s, desde la puerta 35

sin ninguna señal de temporización de bit asociada. Para controlar los datos en la memoria 26 por el contador 28, se requiere extraer o recuperar la temporización de las transiciones de datos. Ya que existe un máximo de cuatro grupos en el modo de canal 48, y un máximo de ocho grupos en el modo de canal 96, cada señal de grupo puede ser tratada como un grupo de 576 Kb/s y no se requiere conmutación para la selección de la cadencia de bit de grupo.

Se propone un esquema de recuperación de reloj por las siguientes razones: (1) Puede ser absorbidos fácilmente por el almacenamiento elástico 25 una gran cantidad de jitter rápido, característica del esquema de recuperación de reloj digital. El jitter se mantiene en un mínimo razonable dividiendo por 8, desde un reloj de referencia, 8 veces, aproximadamente, la cadencia de bit de grupo. El sistema de recuperación de reloj que describiremos después, tendrá un jitter de bit 1/16. (2) El equipo por grupo consiste de tres paquetes lógicos dual-en-línea, y se requiere un oscilador de referencia común para los ocho grupos de entrada. Para los ocho grupos, una recuperación de reloj del tipo de bucle de fase sincronizada, con los requerimientos de un oscilador controlado a tensión, cuesta tanto como un sistema digital. Un tipo de filtro de llamada individual de los sistemas de recuperación de reloj, requiere una transición de datos a una cadencia que no está garantizada por la señal de grupo MIC. Si se utilizara un oscilador de inyección por grupo, tendría que tener igual estabilidad y exactitud que el empleado para la fuente común en el esquema de recuperación de reloj digital, y el coste total sería casi ocho veces más elevado. (3) Debido a la similitud de este esquema y el del circuito heterodino propuesto para el recortador

de reloj de salida contenido en el módulo 21, puede emplearse el mismo oscilador de referencia común para la recuperación de reloj de transmisión y el recorte de reloj de recepción. (4) La variación en la cadencia de entrada de, más o menos 45 ppm, se acomoda fácilmente por una simple recuperación de reloj digital. Si el reloj de referencia esta 300 ppm por debajo de 8 veces la cadencia de bit nominal (4,608 MHz), más o menos 10 ppm que la diferencia entre uno-ocho de la frecuencia de referencia y la cadencia de datos, variará entre 245 y 355 ppm. Con la diferencia máxima de 355 ppm, llevará 2820 periodos de baudio para un reloj incorrecto, reunir un baudio relativo a los datos. Las correcciones de fase de medio ciclo se realizan a ocho veces la cadencia nominal, que se divide por ocho para producir correcciones que son 1/16 "saltos" de bit en la cadencia de datos. Esto significa que se requiere una transición de datos positiva una vez cada 176 periodos de baudio para mantener igual o menor jitter que 1/16 de bit pico a pico. El circuito puede tolerar un periodo de no transición, sin pérdida de sincronismo de, aproximadamente, 1230 periodo de bit.

El funcionamiento del esquema de recuperación de reloj digital requiere la puerta EXCLUSIVA-OR 43, el divisor binario divide por ocho 44, un divisor binario divide por dos 45 y un generador de impulsos de transición positivo 46. El generador 46 genera un impulso estrecho desde las transiciones de datos positivas, si la señal de reloj de 576 Kb/s al contador 28 es alta (lógico uno) en el momento de la transición. Este impulso estrecho dispara el contador 45 cuya salida va a la puerta 43 e invierte la fase del reloj de referencia desde el oscilador común, cuando pasa a través de la puerta 43. Esto añade un cambio de fase de medio ciclo a la entrada del divisor

44, y provoca el avance de 1/16 de bit en la salida del divisor 44. Esto tiende a mantener la relación de fase nominal reloj/datos, como se muestra en la Fig. 6, cambiando lentamente la fase del reloj por detrás de la fase de datos hasta que se realiza la corrección para conseguir un avance de 1/16. La entrada del reloj de referencia a la puerta 43 es ocho veces la cadencia de datos nominal, menos 300 ppm mencionadas anteriormente, en otras palabras, una onda cuadrada de 4,606618 MHz.

Aunque el circuito de la Fig. 6 es una especie de bucle sincronizado en fase no implica retraso lógico crítico, dado que las señales se propagan a través de la puerta 43, el divisor 44 y vuelven a través del generador 46. Esto se debe a que el lógico transistor que se emplea es rápido comparado con la señal de reloj de 576 Kb/s, y si existe una situación de "carrera" entre las dos entradas a la puerta 43 que hace que se "pierda" una señal de corrección, las fases de reloj y datos cambiarán simplemente unos pocos nanosegundos hasta que la señal de corrección sea efectiva.

E. MODULO DE GRUPO DE RECEPCION (Fig. 7).

El módulo de grupo de recepción 21 (Fig. 4) realiza las funciones opuestas a las del módulo de grupo de transmisión 3 (Figs. 4 y 5). Esto es, la corriente de grupo de datos debe ser separada, o demultiplexada, fuera de la corriente de bit de supergrupo. Deben extraerse los bits de "relleno" para conseguir una réplica de la entrada de grupo original al multiplexor 1 y, además, debe extraerse el jitter producido por el proceso relleno/quitado de relleno, lo suficiente como para cumplir los requerimientos del sistema.

El almacenamiento elástico 47 emplea el mismo tipo de cuatro-bits, entrada-gobernada, salida-gobernada de la memo

ria de datos 48. La temporización de grupo del módulo 19 (Fig. 4) se decodifica del mismo modo que en el módulo de grupo de transmisión 3, solamente que ahora es reloj de escritura producido por el contador 49 el que se controla a través de las puertas de reloj de escritura 71. Se suprimen los bits de relleno por la orden "HALT" desde el circuito de control de quitar el relleno común del módulo 19. La orden "HALT" inhibe el impulso de reloj que corresponde al bit "relleno", impidiendo su entrada en la memoria 48. El contador de escritura 49 y el de lectura 50 son del mismo diseño que los correspondientes del módulo de grupo de transmisión 3, pero un tipo diferente de comparador de fase controla el bucle de fase sincronizada (PLL) o recortador. Los contadores de escritura y lectura 49 y 50, y el comparador de fase 66, son parte del PLL. El PLL produce la temporización igualada que se requiere para extraer los datos de la memoria 48, controlando las puertas de lectura 51, como se describirá después.

El circuito de alarma de sincronismo de cuadro de grupo 52, es básicamente, el mismo que el del módulo de grupo de transmisión 3, e incluye el decodificador de grupo 53, el flip-flop de alarma 54, los controles de indicador 55 y el indicador de alarma local 56. Alguna decodificación de grupo se comparte con la porción de transmisión. El decodificador de grupo de salida 53 controla el paso de los datos de grupo asíncrono al módulo 9 (Fig. 4) mediante la puerta 57. El flip-flop de alarma 54 se activa y desactiva del mismo modo, y realiza las mismas funciones que en el módulo de transmisión 3 (figs. 4 y 5). La única diferencia está en que la temporización artificial, y los datos artificiales, deben introducirse en los circuitos del adaptador de salida 58 y 59. Los controles de indicador 55

activan el indicador local de alarma 56 y el indicador de alarma remoto 56. La salida del flip-flop 54 proporciona la alarma de cuadro de grupo, que se acopla al módulo 10 (Fig. 4). El conmutador conectado/desconectado de grupo 60, que se mencionó en relación con el módulo 3 (Fig. 5), inhibe el flip-flop de alarma 54 cuando esta en la posición DESCONECTADO.

La señal de control artificial del módulo 19 (Fig. 4) hace que, la temporización y los datos artificiales, se conmuten hacia los adaptadores de salida 58 y 59, siempre que exista una situación de alarma común de recepción o de cuadro de supergrupo a través de los elementos de las puertas de modo 61 y 62.

Las puertas de modo 61 y 62 son simples puertas-AND que seleccionan las salidas 47 del almacenamiento elástico y la temporización de las puertas de lectura 51 y el generador de reloj estrecho 63, respectivamente, o los datos y temporización artificiales. Además, el modo adaptador desde un conmutador del panel frontal hace una selección adicional en la puerta de modo 62, entre las señales de temporización y no-datos en el circuito adaptador 59.

Se requiere también una señal sincronizante para mantener la relación de temporización correcta entre las dos señales adaptadoras. Esta señal va desde la puerta de modo 62 al flip-flop de temporización 64, antes que a la puerta 57.

Los módulos de grupo de recepción 21 incluyen un igualador de reloj 56 para producir un reloj de lectura con la misma frecuencia del de escritura.

Se ha seleccionado un igualador analógico de tipo heterodino, ya que su rendimiento es casi idéntico al de un igualador análogo, pero es más pequeño y de menor coste, aun

que más grande que un igualador digital.

El igualador de reloj 65 incorporado en el presente invento emplea un comparador fase/frecuencia, que incluye un contador de escritura 49 uno de lectura 50 (que también son parte del elástico 47), y el comparador 66. El comparador de fase 66 es un flip-flop disparado-por-borde que se activa y desactiva por las entradas respectivas. El ciclo de trabajo, y la componente de baja frecuencia de la salida del flip-flop, es proporcional a la diferencia de fase de las entradas. Aumentando el comparador de fase 66 con los contadores de escritura y lectura 49 y 50, dos contadores divide-por-dos y algunas puertas, se amplía la respuesta de fase-lineal del comparador 66. Esta simple modificación del circuito permite una respuesta lineal a grandes errores de fase, así como la detección de la diferencia de frecuencia. Cuando aparece una diferencia de frecuencia, la componente DC depende de la dirección (no magnitud) de la diferencia de frecuencia, y se emplea para desplazar la frecuencia de salida, o reloj de lectura, hacia la entrada, o reloj de escritura.

El filtro de retardo de fase 67, acoplado a la salida del comparador 66, no responde a las componentes de alta frecuencia de salida del comparador, y solamente responde al ciclo de trabajo de dicha salida, esto es, al error de fase. La ganancia DC hacia adelante del bucle, se hace suficientemente grande a fin de obtener un error de fase despreciable, tal como 0,01 de ciclo, para el error de frecuencia máximo. La ganancia de bucle hacia adelante es el producto de la ganancia del comparador (normalmente 4 voltios/ciclo), la ganancia DC del filtro de retardo de fase activo 67 (normalmente 125 voltios/ciclo), la ganancia del oscilador controlado a tensión 68

(normalmente 1,4 KHz/voltio) y la relación de división del contador divide-por-ocho 69. Los parámetros AC del filtro, junto con la ganancia de bucle hacia adelante, determinan la anchura de banda de jitter del igualador, la ganancia de jitter de pico y la respuesta transitoria. La anchura de banda de jitter de 3-dB (decibelios) será, normalmente, 2 ppm de la cadencia de grupo, y la ganancia de jitter de pico será igual a 1,05. En algunas frecuencias bajas es necesario obtener una pequeña anchura de banda de jitter comparada con el error máximo de la fuente de frecuencia.

El oscilador 68 funciona sobre un margen ancho de frecuencias bajas (normalmente 1382 ± 691 Hz) y tiene una respuesta frecuencia/tensión aproximadamente lineal en este margen. El circuito sumador de frecuencia 70 suma la frecuencia de salida del oscilador 68 a la frecuencia de reloj de referencia común del oscilador común. La frecuencia de referencia de reloj común se obtiene del oscilador común, compartida por todos los circuitos de grupo. El PLL debe corregir la suma del error de frecuencia de la fuente y el error de frecuencia de referencia manteniendo el error de frecuencia de referencia tan pequeño como sea posible (dentro de ± 10 ppm). Se elige la frecuencia de referencia nominal de tal manera que sea algo menor (menos de 300 ppm) que ocho veces la cadencia de grupo (8×576 KHz = 4608 KHz). La frecuencia del oscilador 68 reúne la diferencia en las cadencias nominales, ajustando el error de frecuencia.

El sumador 70 es un circuito heterodino muy barato. Esta basado en el principio de que, una puerta EXCLUSIVA-OR suma las cadencias de transición de sus entradas, siempre que no ocurran dos transiciones simultáneas. Ya que dos transiciones

son iguales a un ciclo, se suman también las frecuencias. Para evitar transiciones simultáneas, la salida de reloj más lenta del oscilador 68 se retemporiza por el reloj de frecuencia más rápido, que está retrasado por una puerta lenta. La fase de la frecuencia suma cambia de repente medio ciclo por cada transición del reloj más lento del oscilador 68. El contador 69 trans-
 5 lada la frecuencia suma a la frecuencia de reloj de grupo, donde los cambios de fase son solamente $1/16$ de un ciclo. Se utiliza el contador 69 para reducir la cantidad de cambio de fase (llamada también jitter de heterodino), necesario para utilizar
 10 un reloj de referencia que es, aproximadamente, ocho veces más rápido que la cadencia de grupo. La desviación de la frecuencia de referencia de 300 ppm determina la frecuencia nominal de la salida de reloj del oscilador 68 y, de esta manera, la frecuencia del jitter de heterodino.
 15

El funcionamiento en recepción del almacenamiento elástico es básicamente similar al funcionamiento en transmisión. El circuito de control de relleno controla el reloj de lectura del almacenamiento elástico en transmisión para impedir el sobreflujo o bajoflujo del almacenaje. El igualador de
 20 reloj 65 controla el reloj de escritura del almacenamiento elástico en recepción. En ambos casos la entrada al circuito controlador es la diferencia de fase de la temporización de escritura y lectura. El circuito de control de relleno reproduce las frecuencias de jitter hasta aproximadamente, 1190 ppm de la cadencia de grupo, pero el igualador de reloj reproduce principalmente el jitter por debajo de unas 5 ppm.
 25

El jitter de salida del almacenamiento elástico 47 se transmite a través del canal de control, excepto el jitter de formato que se reproduce por los circuitos de temporización
 30

similares en el demultiplexor 2. El circuito de control de quitar el relleno contenido en el módulo 19 extrae los bits de relleno de los datos y reproduce el jitter de relleno del almacenamiento elástico 47.

5 La temporización de los datos que van hacia un almacenamiento elástico en recepción, esta determinado por el formato de datos de grupo y por los ajustes de quitado de relleno determinados por los códigos recibidos en el subcanal de control correspondiente. Así, esta temporización tiene el jitter de formato de grupo y el de relleno. El igualador de reloj 10 65 reproduce la frecuencia de cadencia de bit, pero atenúa la mayoría del jitter, generando el reloj de lectura para el almacenaje elástico 47. El almacenaje elástico en recepción 47 permite que los datos hagan la transición desde la temporización 15 de jitter (reloj de escritura) a la temporización de igualador (reloj de lectura).

Para un funcionamiento correcto del almacenamiento elástico, el igualador de reloj 65 debe reproducir una frecuencia exactamente igual a la cadencia de bit en recepción, ajustando los bits de relleno suprimidos, para cualquier error de 20 la frecuencia de la fuente permisible, y la fase del reloj producido no cambiaría mucho cuando el error de la frecuencia de la fuente varíe entre límites especificados. Este cambio de fase contribuye a las necesidades de capacidad del almacenamiento elástico en recepción 47. 25

Como se ha mencionado anteriormente, el igualador 65 es un PLL analógico tipo heterodino. El tamaño y coste de la porción de oscilador controlado a tensión del circuito PLL se reduce empleando un circuito común para establecer una frecuencia nominal de referencia estable, y los circuitos indivi- 30

duales (uno por módulo de grupo en recepción) para combinar la frecuencia de referencia común estable con la corrección de frecuencia individual requerida por cada circuito PLL. Se ha seleccionado el circuito PLL de tipo heterodino dada su economía de coste y sus ventajas respecto a un PLL analógico. El PLL

5 tipo heterodino es análogo, funcionalmente, al PLL analógico, excepto porque el oscilador controlado a tensión está sustituido por un oscilador controlado a tensión heterodino. Este circuito comprende un oscilador controlado a tensión de baja frecuencia y ancho margen 68, un sumador de frecuencia 70 o un

10 restador de frecuencia y un divisor de frecuencia (contador divide-por-M), tal como el contador divide-por-ocho 69. Estas funciones pueden realizarse con circuitos integrados de escala media, disponibles actualmente, a un coste de la mitad o la cuarta

15 parte del oscilador controlado a tensión de alta estabilidad, requerido en el PLL analógico. El oscilador controlado a tensión 68 funciona en un margen de frecuencias M veces el que se requiere para el reloj de lectura, que es, normalmente, 150 ppm de 576 KHz. La frecuencia central del oscilador controlado

20 a tensión 68 es, normalmente, doble de su margen, de tal modo que no se requiere una elevada estabilidad. Cuando se emplea el sumador de frecuencia 70, la frecuencia nominal del oscilador común se hace ligeramente más baja que M veces la frecuencia de reloj de lectura nominal (576 KHz), de tal manera que

25 cuando se suma la baja frecuencia y la suma se divide por M, se obtiene un reloj de lectura de 576 KHz. Del mismo modo, si se emplea un restador de frecuencia en lugar del sumador 70, la frecuencia común se hace ligeramente mayor que M veces

30 576 KHz.

30

El PLL analógico heterodino puede diseñarse para

funcionar de una manera idéntica al PLL analógico, excepto por el hecho de que se produce un jitter heterodino, si el sumador o restador de frecuencia no es lineal en fase. Por ejemplo, si el oscilador controlado a tensión tiene una ganancia diferente, puede cambiarse la ganancia del filtro para obtener la misma ganancia de bucle.

No se requiere la función de dividir la frecuencia si el sumador o restador de frecuencia es lineal en fase. Sin embargo, las frecuencias altas o bajas se suman o restan más económicamente mediante elementos lógicos digitales, que no sean lineales en fase. Puede emplearse una puerta NOR, OR, NAND ó AND para sumar impulsos de baja frecuencia al reloj de alta frecuencia, o para suprimir impulsos del reloj de alta frecuencia en la cadencia de baja frecuencia. Una tercera técnica lógica combina dos señales de reloj con una puerta EXCLUSIVA-OR. La función EXCLUSIVA-OR tiene la única propiedad de que una transición (cambio de nivel lógico) en cualquier dirección, sobre cualquier entrada, en cualquier momento, produce una transición en la salida. Así, la cadencia de transición de la salida es la suma de las cadencias de transición de las entradas. Independientemente de la frecuencia o ciclo de trabajo, siempre existen dos transiciones por ciclo. Por lo tanto, las frecuencias también se suman.

En general, la frecuencia alta no es sincrónica con ningún múltiplo de baja frecuencia. Para un funcionamiento correcto de cualquiera de las tres técnicas anteriores, el reloj de baja frecuencia debe ser sincronizado retemporizándolo (muestreando) con el reloj de frecuencia elevada, antes de sumar o restar la frecuencia. Para las tres técnicas, la fase de la salida se cambia un paso a la vez. Si se suma un impulso, la fase

avanza un ciclo. Si se suprime un impulso, la fase se retrasa un ciclo. Si se utiliza el 50 por ciento del ciclo de trabajo y una puerta EXCLUSIVA-OR, cada transición del reloj de baja frecuencia avanza la fase la mitad de ciclo. El jitter producido por estos saltos de fase se denomina "jitter heterodino". Para reducir este jitter se emplea un contador divide-por-M, y las frecuencias bajas y altas se hacen M veces mayores. Esto disminuye el jitter en la relación M.

Se propone la técnica EXCLUSIVA-OR porque produce, la mitad de jitter que otras técnicas y, también, porque el ciclo de trabajo de los relojes presenta un más fácil problema de diseño. Empleando un contador divide-por-ocho, tal como el 69, el jitter heterodino pico-a-pico, en el reloj de lectura, será el 6,25 por ciento del periodo de reloj de lectura, y la frecuencia del oscilador común será de 4,608 MHz, aproximadamente menos de 300 ppm. Se eligen las 300 ppm para hacer la frecuencia mínima, del oscilador controlado a tensión de baja frecuencia, suficientemente alta para mantener el jitter de heterodino apropiado a la anchura de banda del sistema de cable. La frecuencia del jitter de heterodino para la configuración PLL empleada en este invento es, aproximadamente, de 2,7 KHz.

F. MODULO COMUN EN TRANSMISION (Figs. 8, 9 y 10).

Refiriéndonos a la Fig. 4, el módulo 4 multiplexa todos los canales digitales para generar una señal de supergrupo según el formato de datos ilustrado y discutido con respecto a las Figs. 1, 2 y 3. También genera la temporización del formato de datos y los códigos de sincronización, y controla el relleno de los canales de grupo.

La inclusión del módulo 4 esta determinada, primera

mente, por las consideraciones del sistema discutidas en la sección A, como sigue: (1) control de relleno, (2) formato de datos, (3) formato de sincronismo de cuadro, y (4) código de sincronismo de cuadro.

5 Se necesitan algunas consideraciones adicionales para obtener una inclusión económicamente lógica.

En la primera técnica del multiplexor asíncrono, se empleaban circuitos individuales de control de relleno para cada grupo de datos de entrada MIC. Según el presente invento, se emplea un control de relleno común para todos los grupos de datos de entrada, que demuestra ser más económico. Cada uno de los módulos de grupo 3 requiere, todavía, su propio comparador de fase para generar requisiciones de relleno, y una puerta para inhibir el reloj de lectura para generar los bits de relleno, pero el lógico para tomar las decisiones de relleno y para generar palabras de control, en sincronismo con el formato de datos, aparece una vez, el lugar de ocho veces. Sin embargo, existe la multiplexión adicional de las requisiciones de relleno y la demultiplexión de las órdenes de relleno (señal HALT); pero no se requiere multiplexión de las palabras de control, porque todas ellas se generan por el mismo circuito. El coste se reduce combinando la temporización de la multiplexión de los datos de grupo y la temporización de la multiplexión de las palabras de control, como se ha descrito anteriormente, y empleando la señal de temporización de tal manera que reduzca el lógico y cableado inter-módulo requerido para la multiplexión de la requisición de relleno y la demultiplexión de la orden de relleno.

La multiplexión de las señales de grupo desde los módulos 3, puede hacerse de diferentes maneras, pero se ha ele

gido el método que reduce el cableado entre módulo y el número total de los circuitos lógicos común y de grupo. Existen dos métodos que pueden seguirse. Todos multiplexando sobre el módulo común 4, o todos multiplexando sobre los módulos de grupo 3. Para el segundo método, cada módulo de grupo 3 recibe una señal de temporización con fase diferente a la de los otros circuitos de grupo, y sitúa sus datos en una barra colectora común durante el intervalo de tiempo prescrito. Este método requiere un adaptador inter-módulo con muchas señales de temporización y una señal de datos, mientras que el primer método requiere muchas señales de datos pero ninguna de temporización. Sin embargo, las señales de temporización se requieren, en ambos casos, para hacer funcionar los contadores de lectura del módulo 3. Por lo tanto, hemos elegido aquí el segundo método. Además, un estudio de las posibles configuraciones lógicas muestra que una decodificación parcial de la temporización del número de grupo o grupo seleccionado en el módulo común 4, con una completa decodificación en los módulos de grupo 3, da el menor número de circuitos y el menor número total de conexiones inter-módulos.

La señal de órdenes de voz digital codificada es una palabra organizada, y el formato de palabra MIC de 6-bits debe ser sincronizado al formato de datos de supergrupo. Para conseguir esto, el módulo común 4 envía una señal de temporización o sincronismo al decodificador MIC para sincronizar un contador divide-por-seis, en el codificador MIC, reponiéndolo al propio tiempo. El poner el contacto divide-por-seis en el codificador MIC, mejor que en el módulo 4, proporciona un adaptador más sencillo y permite el funcionamiento estar-solo y la comprobación del codificador MIC. Los restantes canales

principales (que no incluyen palabras de control) funcionan asíncronicamente y no requieren señales de temporización desde el módulo 4.

Ya que el formato de datos del presente invento es
5 ta basado en potencias binarias (los números 2, 4, 8, 16, 32, 64...), existe una gran oportunidad para emplear circuitos integrados normales para las funciones de contar y demultiplexar en la ejecución lógica, mejor que realizar estas funciones con circuitos puerta y flip-flop individuales. Esta aproximación
10 reduce el coste, el espacio y el consumo.

Volviendo a la Fig. 8, la misma representa el diagrama bloque del contador de subcuadro 72, contador de cuadro medio 73, contador de supercuadro 74, circuito de control de relleno 75, multiplexor de canal de control 76, multiplexor de
15 canal principal 77 y multiplexor de supergrupo 78. El módulo común de transmisión 4, como se ilustra en la Fig. 8, ejecuta el formato de datos mostrado en las Figs. 1, 2 y 3 y descrito en la Sección A. Estos diagramas de formato son, esencialmente, diagramas de temporización para diferentes contadores, multiplexores y lógicos de decodificación.
20

El lógico de decodificación asociado con cada uno de los contadores binarios de la Fig. 8, puede ser una matriz de puertas AND acoplada a las salidas apropiadas de las etapas flip-flop de los contadores, para definir todas las posiciones
25 de bit de los subcuadros, cuadros medios y supercuadros asociados, como se ilustra en el formato de datos de las Figs. 1, 2 y 3.

Toda la temporización para los contadores 72-74 se deriva de la señal de reloj de 4,9152 MHz proporcionada por un
30 oscilador 12 de frecuencia fija y una alta estabilidad (+ 10 ppm).

El divisor de reloj divide-por-dos 79, se activa y desactiva por la señal DC de selección de modo, para activar un reloj de supergrupo con la salida del mismo, que tiene una frecuencia de 2,4576 MHz para el modo de canal-48 y de 4,9152 MHz para el modo de canal-96.

El contador de subcuadro 72 incluye un contador divide-por-ocho y un lógico de decodificación 80, con el lógico pausa 81. El lógico pausa 81 detiene el contador 80 durante un periodo de reloj, creando así una novena cuenta, siempre que se active por una salida del cuadro medio y una salida del contador de supercuadro 74. Esto hace que el subcuadro tenga una longitud de 8 ó 9 bits, según el formato de datos. La temporización de pausa también proporciona temporización para el canal principal. La señal de selección de modo modifica la decodificación de la temporización de subcuadro para seleccionar cada uno de los grupos 1 entre 8, una vez por subcuadro para el modo de canal-96, y para seleccionar cada uno de los grupos 1 entre 4, dos veces por cuadro medio, para el modo de canal-48. La temporización de subcuadro incluye una secuencia cíclica de código de selección de grupo de 3-bits, que se emplean por el circuito de grupo para señales de temporización de grupo y se emplean por el lógico de control de relleno como explicaremos después. A estos se les denomina "códigos de selección de grupo rápido".

El contador de cuadro medio 73 es un contador divide-por-15, pero esta construido como un contador divide-por-16 codificado en binario, que incluye un contador divide-por-dos y un lógico de decodificación 82 y un contador divide-por-ocho y el lógico de decodificación 83, con el lógico de salto 84, dispuesto para saltar la cuenta diez y seis-ava. La salida

del contador.82 se emplea para activar el lógico de pausa 81. La temporización de cuadro medio se decodifica para seleccionar los diferentes canales principales, según el formato de datos.

5 El contador de supercuadro 74 está constituido por dos contadores divide-por-64, actuados por el mismo reloj. Uno de los contadores divide-por-64 es un conjunto de seis circuitos divide-por-2 que se ilustran convenientemente como el contador divide-por-ocho, el lógico de decodificación 85, el contador divide-por-8 y el lógico de decodificación 86. El otro
10 contador divide-por-64 es un registrador de conversión 87 de seis etapas con el lógico de realimentación 88 diseñado para producir una secuencia pseudo-aleatoria de 64 bits (el código de sincronismo largo). Se emplea un impulso por ciclo del generador del código de sincronismo largo para reponer el primer
15 contador divide-por-64 (contadores 85 y 86), manteniendo estos contadores sincronizados uno con otro. El contador 85 define la temporización de cada palabra de ocho-bits del canal de control (una palabra de control de 7 bits y un bit de temporización). El contador 86 define la multiplexión de ocho de tales
20 palabras en el supercuadro. El contador 86 genera una secuencia cíclica de códigos de selección de grupo de 3 bits, similar a las generadas por el contador de subcuadro 72, excepto que la temporización es más lenta, de tal modo que los códigos pueden emplearse por el circuito de control de relleno 75 para identificar las palabras de control. Estos últimos códigos de 3
25 bits se denominan "códigos de selección de grupo lento".

La Fig. 8 muestra también, como se ha mencionado anteriormente, el circuito de control de relleno 75 y los circuitos multiplexores 76-78 del módulo 4 (Fig. 4). La multiplexión
30

de los datos de grupo y las requisiciones de relleno se realiza por los circuitos de grupo, los cuales obtienen la temporización de grupo requerida del contador de subcuadro 72 y sitúan los datos de grupo relleno en una barra colectora común, y las
5 requisiciones de relleno en la otra barra colectora común. Esto reduce grandemente el número de conexiones entre el módulo 3 y el módulo 4, y también reduce la cantidad total de circuitos integrados. La señal de barra colectora de requisición de relleno, indica la condición de umbral de la fase relativa de
10 los relojes de lectura y escritura contenidos en el módulo 3 (Fig. 5). Ya que cada grupo de estos módulos 3 sitúa su requisición de relleno en la barra colectora en un momento diferente, la identidad de grupo viene dada por la temporización de la información en la barra de requisición de relleno.

15 Multiplexando las requisiciones de relleno a la misma cadencia que los datos de grupo, no se requieren conexiones adicionales inter-módulos (señales de temporización), y sólo se necesita una puerta por módulo de grupo. Parecerá que esta es la peor cadencia para multiplexar las requisiciones de
20 relleno; y que la cadencia correcta sería la de la palabra de control. Sin embargo, esta es parte del esquema que reduce el requerimiento lógico total. Como se ilustra en la Fig. 9, se emplea una señal de "temporización combinada" para hacer la temporización de requisición de relleno compatible con la temporización de palabra de control. La señal de temporización com
25 binada se genera comparando los códigos de selección de grupo rápido, generados en el contador 72 (antes de que los códigos sean modificados por la señal de selección de modo), con los có
digos de selección de grupo lento, generados por el contador 86,
30 del contador de supercuadro 74. Se genera un impulso siempre

que los códigos de 3-bit rápido y lento coinciden en el comparador 89. Estos impulsos de temporización combinados tienen lugar 120 veces por supercuadro para el modo de canal-96 y para el -48.

5 El impulso de ventana de temporización de muestra y el impulso de ventana de temporización de HALT, también se generan como se ilustra en las curvas D y E, respectivamente, de la Fig. 10. Cada uno de estos impulsos de temporización de ventana tiene 8 impulsos por supercuadro, que tienen lugar entre las palabras de control; y cada impulso tiene de anchura 8 periodos de bit de supercuadro, completando exactamente un ciclo de multiplexión de grupo. El impulso de ventana de HALT y el impulso de ventana de muestra difieren en que tiene lugar un impulso antes de que cambie el código. La señal de temporización combinada no se muestra en la Fig. 10 porque no aparecería con el detalle necesario según la escala de tiempos empleada en la Fig. 10. La señal de temporización combinada, o impulso, ocurre una vez durante cada impulso de ventana; y esta localizada dentro de la anchura del impulso de ventana, según el código de selección de grupo. (Puede establecerse que los códigos de selección de grupo esten dentro del impulso de ventana, porque los códigos de sincronismo corto y largo son los mismos en este momento). Tiene lugar un impulso de temporización combinada al comienzo del impulso de ventana, para el grupo, uno, y al final del impulso de ventana para el grupo ocho.

La puerta AND 90 responde a la señal de ventana de muestra y a la señal de temporización combinada para generar ocho impulsos de muestra por supercuadro, como se ilustra en la curva F de la Fig. 10. Los impulsos de salida de la puerta AND 90 disparan el flip-flop de muestreo tipo D 91, para muestrear

la barra de requisición de relleno, como se muestra en la Fig. 9. Se deduce de la Fig. 10, que el impulso de muestra de la curva F, que precede a la palabra de control n, tiene lugar cuando el código de selección de grupo lento es el código n. Ya que los impulsos de muestra pueden aparecer solamente cuando coinciden el código rápido y el lento, el código rápido debe ser también código n en el momento de muestreo. Ya que cada módulo de grupo 3 de paso a su requisición de relleno hacia la barra colectora de requisición de relleno cuando se selecciona por el código rápido (también llamado "temporización de grupo"), el control de relleno muestreará la requisición de relleno del circuito de grupo n, antes de enviar las palabras de control n. El flip-flop 91 permanece en los estados "uno" o "cero" entre los impulsos de muestreo, dependiendo de si o no existía una requisición de relleno en el momento de muestreo. El multiplexor 76 (Fig. 8) muestrea la señal de salida del flip-flop 91 siete veces durante este intervalo, generando un control de relleno llllllll o un control de no relleno 0000000 por una palabra de control de 7-bit.

Después de la palabra de control, pero antes de que cambie el código lento, se genera un impulso "HALT", como ilustra la curva G de la Fig. 10, si el código de control estaba "relleno" (el flip-flop de muestreo 91 en el estado "uno"). Como se muestra en la Fig. 9, la puerta-AND 92 está activada por la señal de temporización combinada y la ventana "HALT" y, por lo tanto, tendrá lugar el impulso HALT cuando el código rápido sea el código n, que es la temporización del reloj de lectura para el grupo n. De este modo, aún cuando esté conectada una señal HALT a todos los circuitos de grupo, este impulso HALT inhibirá un impulso de reloj de lectura solamente en

el grupo n . Esta operación genera un bit de relleno. El impulso de ventana de HALT, como se ilustra en la Fig. 9, es también una condición necesaria para generar el impulso de parada a fin de asegurar que existirá solamente un impulso HALT y, de esta manera, un solo bit de relleno por cada palabra de control de relleno. La palabra de control precede al impulso HALT y el bit de relleno a fin de permitir que el módulo 19 reciba la palabra de control para anticipar el bit de relleno y quitarlo (quitar el relleno).

La simplicidad del circuito de control de relleno 75, se ilustra en la Fig. 9. Se emplea la misma temporización de control de relleno para ambos modos de canal-96 y canal-48. Sin embargo, en el modo de canal-48, los módulos de grupo n (donde $n=1, 2, 3, 4$ solamente) responden al código rápido $(n+4)$ así como al código rápido n . (los números de módulos de grupo 5, 6, 7 y 8 son también inhibidos). Así, cuando el código rápido $(n+4)$ coincide con el código lento $(n+4)$, los módulos de grupo n emplearán la palabra de control $(n+4)$. Para ambos modos de canal-96 y -48, cada grupo tiene una cadencia de palabra de control de 4800 palabras por segundo.

El multiplexor 76 que se muestra en la Fig. 8, responde a la temporización de supercuadro para multiplexar los códigos de control del circuito 75, con las señales de señalización DDOW y DVOW, produciendo el canal de control según el formato de datos ilustrado en la Fig. 3. Cada señal de señalización es una señal binaria que cambia de estado raras veces, y se muestrea en un canal de 1200 b/s (bit por segundo) (modo de canal-48) o 2400 b/s (modo de canal-96).

El multiplexor 77 responde a la temporización de cuadro medio, a la temporización de supercuadro y a la selección

de modo para multiplexar el canal de control los datos DDOW, los datos DVOW, el código de sincronismo corto y el código de sincronismo largo, para producir el canal principal, según el formato de datos, como se ilustra en la curva B de la Fig. 1.

5 Los códigos de sincronismo se generan por los contadores de temporización, concretamente, el contador 83 para el código de sincronismo corto, y el registrador 87 y el lógico de realimentación 88, para el código de sincronismo largo. La señal DVOW es la salida binaria serie del codificador 5 (Fig. 4). La cadencia de bit de esta señal es sincrónica con el formato de datos, dado que se genera un reloj de 57,6 KHz. desde la temporización de cuadro medio, la temporización de supercuadro y la selección de modo. La temporización de este reloj se muestra en las curvas A y B, Fig. 2, en donde se muestra un impulso de reloj por bit DVOW. Se obtiene la sincronización de la palabra MIC de 6-bits, reponiendo el contador divide-por-seis en el codificador MIC 5, con un impulso de sincronismo, generado una vez por supercuadro, por los contadores de temporización. La señal DDOW viene del módulo 6. Los datos se muestrean sincronicamente en el canal síncrono asignado por el formato, generando una incertidumbre de temporización por cada transición de datos. La temporización de subcuadro, como se ha descrito anteriormente, se envía a todos los módulos de grupo 3 para la selección de grupos por la multiplexión de datos de grupo, y vuelve una señal de datos común, que es una multiplexión de todos los datos de grupo que incluyen bits de relleno. Esta señal común se denomina "datos de grupo relleno".

El multiplexor 78, que responde a un reloj de supergrupo desde el divisor 79 y la temporización principal desde el lógico 81, multiplexa los datos de grupo relleno y el canal

principal, según el formato de datos, como se ilustra en la curva C de la Fig. 1. Los datos de supergrupo que resultan se retemporizan por el reloj de supergrupo y se envían al módulo 6 de la Fig. 4.

5 G. MODULO COMUN DE RECEPCION (Fig. 11A).

El módulo común de recepción 19 se ilustra en la Fig. 11A, en el diagrama bloque 11, y tiene como propósito de multiplexar todos los canales digitales a partir de la señal de supergrupo recibida, según el formato de datos. También genera la temporización de formato de datos requerida y controla el quitado de relleno de los canales de grupo. La sincronización de la temporización de formato con el formato de datos recibidos se consigue bajo control del módulo de recuperación de cuadro 20, lo que se ilustra en forma de diagrama bloque en la Fig. 11B y cooperará con la configuración de la Fig. 11A, de acuerdo con la Fig. 11C. El funcionamiento de la Fig. 11B se describirá con más detalle en la sección H.

Las consideraciones para el módulo 19 y el diagrama bloque de la Fig. 11A son las mismas, en principio, que para el módulo 4 y el diagrama bloque de la Fig. 8 descritas anteriormente en la sección F. Se emplea un circuito de control de quitado de relleno común 93 para controlar el quitado de relleno, por las mismas razones que para el circuito de control de relleno común 75 de la Fig. 8, y funciona bajo principios similares. La descripción de la Fig. 11A y la de los demultiplexores se hará después, como variaciones en las funciones de transmisión de la fig. 8, para evitar repetir la mayor parte de las descripción en la Sección F. Los contadores de temporización de recepción incluyen el contador de subcuadro 72a, el contador de cuadro medio 73a y el contador de supercua

dro 74a. El contador 72a incluye el contador y el lógico de de
codificación 80a y el lógico de pausa 81a, el contador 73a in-
cluye el lógico contador 82a y el contador y el lógico de deco
dificación 83a, junto con el lógico de salto 84a, y el conta-
5 dor 74a incluye los contadores y lógico de decodificación 85a
y 86a, el registrador de conversión 87a y el lógico de realimen
tación 88a. Los diferentes contadores y lógicos de decodifica-
ción, así como los otros circuitos comunes, presentes en la
Fig. 11A, funcionan y se equipan por las mismas razones que las
10 descritas en la Sección F.

El contador de supercuadro 74a incluye también un
lógico de generación de señal de temporización 94 que responde
a la temporización de subcuadro, a la temporización de cuadro
medio y al reloj de supergrupo, para producir un reloj durante
15 el tiempo de sincronización ST, para controlar el cambio del
código de sincronismo largo en el registrador de conversión 87a,
cuando se carga el registrador de conversión 87a por el código
de sincronismo largo recibido, de la manera descrita después,
en la sección G, Fig. 11B. La primera diferencia entre los di-
20 ferentes contadores y el multicircuito lógico de decodificación
de las Figs. 11A y 8 está en que (1) se obtiene un reloj de
4,9152 MHz del circuito de recuperación de reloj de receptor
contenido en el módulo 17 (Fig. 4); (2) difieren ligeramente
los requerimientos de decodificación y, por lo tanto, también
25 difieren el lógico de decodificación; y (3) se incluyen previ-
siones para que la fase de los contadores sea cambiada por el
circuito de cuadro de la Fig. 11B; a través de los elementos
del multicircuito de inhibición, tales como las puertas INHIBIT
95 y 96. La puerta INHIBIT 95, situada entre el divisor binario
30 79a y el contador 72a, y la puerta INHIBIT 96, situada entre el

contador 80 a y el contador 82a, recibe un HALT, o entrada de inhibición, desde el lógico de búsqueda de sincronismo corto 97 de la Fig. 11B el cual, cuando esta activado, hace que los contadores de temporización de recepción 72a y 74a detengan la cuenta. Ya que los datos que se reciben no se detienen, la fase de temporización recibida, relativa a los datos recibidos, retrasará un bit más por cada período de bit durante el cual este activada la señal de inhibición.

El bucle de realimentación del generador de sincronismo largo, que incluye el registrador 87a y el lógico de realimentación 88a, no esta incluido en el contador 74a, como ocurre el módulo común de transmisión de la Fig. 8. En su lugar, el código de sincronismo largo generado, del registrador 87a, se envía al circuito de cuadro de sincronismo largo de la Fig. 11B, que incluye el lógico de conmutación 98 y el comparador digital de sincronismo largo 99, que devuelve una señal a la entrada del registrador de conversión 87a. En un modo de funcionamiento del circuito de cuadro de sincronismo largo de la Fig. 11B, la salida del registrador 87a vuelve a la entrada del registrador de conversión, y el generador de sincronismo largo cuenta de un modo normal, como en el módulo común de transmisión. En una segunda manera de funcionamiento del circuito de cuadro de sincronismo largo, el código de sincronismo recibido se envía a la entrada del registrador de conversión cuando el lógico de conmutación 98 está en otra posición distinta que la ilustrada. El generador de código de sincronismo largo se hace sincronizado tan pronto como se reciben seis bits de sincronismo largo libres de error, y se convierten en el registrador de conversión. La parte del contador 74a divide-por-64 codificada en binario (contadores 85a y 86a) esta sincronizada por las

señales generadas desde el registrador de conversión, una, dos o cuatro veces por supercuadro.

Los demultiplexores de recepción son similares a los multiplexores de transmisión, excepto en que los datos flu
5 yen en dirección opuesta. Los datos de supergrupo se demultiplexan en el demultiplexor 100 en el canal principal y en los datos de grupo recibidos. Los datos de grupo se demultiplexan por el módulo de grupo recibido 21. El canal principal se demultiplexa en el demultiplexor 101 en los datos DDOW, los DVOW, el
10 canal de control y el código de sincronismo largo. El código de sincronismo corto se demultiplexa directamente a partir de los datos de supergrupo por el circuito de cuadro de sincronismo corto de la Fig. 11B, que incluye el lógico 97 y el comparador digital de sincronismo corto 102. El canal de control es
15 demultiplexado por el demultiplexor 103 en la señalización DDOW, la señalización DVOW y los códigos de control. Los códigos de control se corrigen de errores por el circuito de control de quitado de relleno, y se envía una señal HALT común. o señal de quitado de relleno, a todos los módulos de grupo que se reciben 21, demultiplexado por los módulos de grupo 21 y empleados
20 para suprimir los bits de relleno. La corrección de error se realiza contando los bits "uno" recibidos por cada código de control. Si se cuentan cuatro o más "uno" se interpreta que el código indica "quitar el relleno". Si se cuentan tres o menos
25 "unos", el código se interpreta como "no quitar relleno". La ventana HALT y las señales de temporización combinadas, idénticas a las descritas en la sección F, con respecto a la Fig. 9, se emplean para generar impulsos HALT que adaptan la temporización del impulso HALT empleado en el módulo común de transmisión, Fig. 9.
30

H. MODULO DE RECUPERACION DE CUADRO DE SUPERGRUPO (Fig. 11B).

La Fig. 11B es un diagrama bloque del módulo 20 de la Fig. 4, y su orientación respecto a la Fig. 11A se muestra en la Fig. 11C. El diagrama bloque ilustra la manera en la que los contadores 72a-74a están sincronizados con respecto a los contadores 72 y 74 en el módulo 4 mostrado en la Fig. 8.

El dato de supergrupo se compara continuamente con el código de sincronismo corto generado por el contador 73a, en el comparador 102. El comparador 102 puede ser una puerta EXCLUSIVA-OR. El lógico de búsqueda 97, cuando se activa por el circuito de decisión 104, genera un impulso HALT siempre que los contadores de temporización de cuadro medio indiquen que se recibiría un bit de sincronismo corto y cuando el dato de supergrupo no coincida, en ese momento, con el código de sincronismo corto generado. Una "desadaptación" en ese momento hace que se envíe al circuito 104 un impulso "abajo". Por el contrario, una adaptación en ese momento genera un impulso "arriba". Se emplea la señal HALT para inhibir la puerta del contador de subcuadro 72a y del contador de cuadro medio 73a, a través de los elementos de las puertas INHIBIT 95 y 96. Una sucesión de no coincidencias provocará una condición continua HALT ING, hasta que se detecte una coincidencia, pero no se generan más impulsos "arriba" "abajo" hasta la próxima vez que se presente un bit de sincronismo corto. Cuando se desactiva el lógico de búsqueda 97, se generan hasta dos impulsos, dependiendo de la comparación obtenida en el comparador 102 cuando se supone que llega un bit de sincronismo, pero no son permitidos impulsos HALT. El circuito de decisión 104 es un contador arriba/abajo compartido por las porciones de sincronismo largo y corto del lógico de cuadro. Su funcionamiento depende de si la cuenta

está por debajo o por arriba de ciertos umbrales. Los impulsos
 "arriba" son inhabilitados en una región cercana a la cuenta más
 alta. Esto impide que el contador del circuito 104 invierta el
 ciclo a una cuenta baja. Del mismo modo, los impulsos "abajo"
 5 son inhabilitados en una región cerca de la cuenta más baja.
 Existe un umbral cerca del centro del contador que separa la
 acción de controlar de los circuitos de sincronismo corto y
 largo. Por encima de este umbral, el contador del circuito 104
 responde solamente a impulsos "arriba" y "abajo" desde el cir-
 10 cuito de sincronismo largo, que incluye el comparador 99, la
 puerta NOT 105 y el flip-flop 106. Por debajo de este umbral,
 el contador del circuito de decisión 104 cuenta arriba y abajo
 controlado solamente por el circuito de sincronismo corto. En
 una porción más baja de cada una de estas dos regiones, al cir-
 15 cuito asociado se le permite cambiar la fase de cuadro. En el
 caso del sincronismo largo, se emplea un "modo cargado" para
 cargar el registrador de conversión 87a con el código de sincro-
 nismo largo recibido, cuando el lógico de conmutación 98 está
 en otra posición de la que se ilustra. Por debajo de otro umbral,
 20 se activa una alarma fuera de sincronismo de supergrupo y se
 acopla al módulo 10 (Fig. 4).

Cuando se pierde la sincronización, las no coinci-
 dencias provocan impulsos hacia abajo, y después de un rato, el
 estado del circuito 104 está en o cerca de la cuenta más baja.
 25 Aquí, el circuito de sincronismo corto genera impulsos HALT, que
 eventualmente, corrigen la fase de cuadro medio. Para la condi-
 ción de fase de cuadro medio correcta, existen más coincidencias
 que no coincidencias de sincronismo corto, y más impulsos "arri-
 ba" que "abajo". El contador del circuito 104 cuenta entonces
 30 hasta el punto en el que es controlado por el circuito de sincro-

nismo largo.

Describiremos seguidamente el funcionamiento del circuito de sincronismo largo. La obtención de la fase de sincronismo largo correcta hace que la cuenta continúe hacia arriba, inhabilitando la alarma de cuadro. Los errores de bit pueden hacer que el lógico de búsqueda tome decisiones equivocadas y puede desplazar la cuenta en dirección también equivocada, pero cada error de bit puede cambiar el retraso de la cuenta sólo ligeramente. Así, los circuitos de cuadro pueden continuar después de un error, desde casi el mismo estado en que estaban antes del mismo, o casi lo mismo que si el error no hubiera ocurrido. De una manera similar, el contador del circuito de decisión 104 protege contra errores de bit cuando está sincronizado, impidiendo una apreciación falsa de la condición fuera-de-sincronismo.

El circuito de cuadro de sincronismo largo incluye un registrador de conversión 87a, un lógico de realimentación 88a y una vía de realimentación a través del lógico conmutador 98, que genera un código de sincronismo largo de una manera similar a la generación del sincronismo largo en el módulo común de transmisión, como se ilustra en la Fig. 8 y se ha descrito anteriormente. El código de sincronismo largo recibido se demultiplexa del canal principal en el demultiplexor 101. Esta demultiplexión está correctamente temporizada cuando el código de sincronismo corto está sincronizado, esto es, cuando es correcta la temporización de cuadro medio. Cuando también es correcta la temporización de supercuadro, coincidirán los códigos de sincronismo largo recibido y generado excepto, por supuesto, para los errores de bit recibidos. El comparador digital de sincronismo largo 99 compara los códigos de sincronis

mo largo generado y recibido, y genera un impulso "arriba" si existe coincidencia, o un impulso "abajo" si existe una no coincidencia. Las no coincidencias hacen que la cuenta descienda hasta que se genera una señal de activación por el circuito 104 para actuar el lógico conmutador 98. El lógico conmutador 98 se muestra en la Fig. 11A como un conmutador mecánico, solamente con el fin de ilustrar el funcionamiento del mismo. Debe quedar entendido que se empleará un circuito de conmutación electrónico para el lógico de conmutación 98, mejor que un conmutador mecánico. La posición inhabilitada del lógico de conmutación 98 se ilustra en la Fig. 11B. La señal de activación desde el circuito 104 conmuta el código de sincronismo largo recibido a la entrada del registrador de conversión 97A. Esta condición puede denominarse el "modo cargado", porque los bits de sincronismo largo recibido se cargan el registrador de conversión, desplazando a los bits de sincronismo largo generado, previamente almacenados. Tan pronto como se llena el registrador de conversión 87a con bits de sincronismo largo libres de error, el código de sincronismo largo generador se adaptará al código de sincronismo largo recibido sin errores. La coincidencia detectada por el comparador 99 hará que se generen impulsos "arriba", lo que aumentará la cuenta e inhabilitará la señal "activar". Esto hace que el lógico conmutador de paso al código de sincronismo largo generado a la entrada del registrador de conversión 87a. En este "modo de realimentación" se cierra la vía de realimentación, y el registrador de conversión genera el código de sincronismo largo con independencia del código de sincronismo largo recibido, y sin ser afectado por los errores de bit. Este modo persiste si el registrador 87a esta sincronizado al código de sincronismo largo recibido. Los contadores 85a y 86a,

del contador de supercuadro 74a, están sincronizados por impulsos generados desde el registrador 87a.

La señal de alarma de cuadro, producida en el circuito de decisión 104, se emplea para diferentes propósitos. Esta señal se envía al módulo sumario de alarma 10 (Fig. 4) y se emplea para operar las alarmas. También va al codificador MIC y al decodificador 22 y a los módulos de línea de órdenes 6 y 23 (Fig. 4), donde se emplea para silenciar la línea de órdenes de voz digital y la de dato/teletipo, respectivamente. La señal de alarma de cuadro se distribuye, de esta manera, a todos los módulos de grupo de receptor 21 como una señal de "control artificial", y se emplea como una condición para insertar señales artificiales en la salida de los módulos de grupo, silenciando las alarmas de grupo de multiplexores y demultiplexores que cooperan, las cuales están conectadas en tandem con las salidas de grupo.

El módulo de recuperación de cuadro de supergrupo 20 (Fig. 4), ilustrado con mayor detalle y descrito con referencia a la Fig. 11B, es el objeto de la solicitud de Patente española.

La descripción de esta solicitud se incorpora al presente invento a modo de referencia.

I. DEMODULADOR DE CABLE, MODULO DE EXTRACCION DE LINEA DE ORDENES Y RECUPERACION DE TEMPORIZACION (Fig. 12).

El módulo 17, que tiene el diagrama bloque ilustrado en la Fig. 12, funciona sobre las señales de entrada (DC compuesta, línea de órdenes analógicas y datos bipolares de supergrupo) para separar estas señales de entrada en datos de supergrupo, línea de órdenes analógica y DC mediante un filtro paso alto selectivo en frecuencia, limitador de pico 107 y

filtro paso bajo 108. La salida del filtro y limitador 107 se acoplan para constituir el cuadripolo 109 y ajustar la forma de los datos de supergrupo debido a las características del cable. El ecualizador 110, el amplificador lineal 111, el detector de pico 112 y el transformador de acoplamiento 113 funcionan sobre los datos de supergrupo separados para compensar la distorsión introducida por la vía de propagación del cable. La salida del transformador 113 esta acoplada a un convertidor lógico transistor bipolar a transistor 114 para proporcionar los niveles apropiados para la operación de los datos de supergrupo por otros multicircuitos. La temporización de los datos de supergrupo en la salida del convertidor 114 se extrae en el extractor de temporización 115 que emplea un transistor para convertir la señal de temporización a niveles de lógico de transistor para utilizar en un flip-flop tipo-D contenido dentro del circuito de retemporización 116. La salida del extractor 115 es la temporización de supergrupo (4,9152 MHz) y la salida del circuito de retemporización 116 son los datos de supergrupo en baudios completos temporizados apropiadamente para acoplar a los módulos 19 y 20. Con un filtro de extracción de banda ancha en el extractor 115 de 350 Hz, se tarda menos de cuatro milisegundos en obtener el sincronismo en el 95 por ciento del tiempo. El detector de actividad 117, con el conmutador 118 en la posición ilustrada, se utiliza para sentir e indicar la presencia de la temporización. El detector 117 emplea un diodo doblador de tensión y un par de transistores para detectar la presencia de la temporización y proporcionar una alarma de tráfico en el cable, para el módulo 10, si no esta presente la temporización.

Existe una configuración alternativa para detectar la actividad del demodulador de cable cerrando el conmutador 119

de tal manera que la salida del ecualizador 110 esta acoplada al detector de tráfico 120. El detector de tráfico 120 es un filtro de banda estrecha y un detector de actividad que detecta el tráfico antes de que la señal sea procesada a través de cualquier etapa de ganancia activada.

El filtro paso bajo 108 proporciona a su salida un impulso DC de línea de órdenes de voz analógica. El extractor de línea de órdenes 121 esta acoplado a la salida del filtro 108 y extrae la línea de órdenes de voz analógica para acoplar a los amplificadores 7 (Fig. 4). La salida del extractor 121 esta acoplada a un filtro paso bajo 122 para proporcionar la DC para acoplar a la fuente de alimentación 16.

J. MODULADOR DE CABLE Y MODULO DE INSERCIÓN DE LINEA DE ORDENES
(Fig. 13):

Los datos de supergrupo en baudios completos de nivel lógico de transistor y las señales de temporización de supergrupo de 4,9152 MHz estan acopladas a un conformador de impulso 123 para convertir los datos de supergrupo en la mitad de los datos en baudios. Un flip-flop divide por dos 124, en combinación con las puertas de encaminamiento 125 convierte los medios datos en baudios isócronos en una salida alternada (A ó B). El cuadripolo resistivo de adaptación 126 adapta las puertas lógicas de transistor de las puertas de encaminamiento 125 al transformador a acoplamiento de salida 127. El transformador 127 tiene sus arrollamientos de entrada en fase, de tal manera que los ceros lógicos (tierra) en las líneas A ó B resultan en impulsos de salida alternados positivos y negativos. Los impulsos de salida del transformador 127 se procesan a través de un cuadripolo y limitador de pico 128 para normalizar la transmisión total al demodulador de cable.

Un arrollamiento auxiliar del transformador 127 suministra una señal a un detector-doblador de tensión, que forma el detector de actividad 129, el cual proporcionará una alarma de tráfico en el cable, si no esta presenta la actividad deseada, para acoplar al módulo 10 (Fig. 4). Se agrega la línea de órdenes de voz analógica a la señal bipolar de medio-baudío en la salida del limitador 128 a través de los elementos de transformador de acoplamiento de línea de órdenes 130. La tensión DC de la fuente de alimentación 116 (cuando se trata de cable con repetidores) se agrega también al supergrupo digital y a la línea de órdenes de voz analógica en la salida del limitador 128, mediante un filtro paso bajo 131 y un transformador 130.

El módulo 17 (Fig. 4) que se ilustra en el diagrama bloque de la Fig. 12, esta protegido contra sobretensiones en el cable por un protector de sobretensiones 132, mientras que el módulo 6 (Fig. 4) cuyo diagrama bloque se ilustra en la Fig. 13, esta protegido contra sobretensiones por el protector de sobretensiones 133.

20 K. RECUPERACION DE CUADRO DE GRUPO Y MODULO DE ALARMA.

La recuperación de cuadro de grupo y módulo de alarma 9 de la Fig. 4 se describe completamente en una solicitud de patente española N.º. 409.302.

La descripción de esta solicitud se incorpora en la presente a modo de referencia.

Los siguientes comentarios los dedicaremos al funcionamiento del módulo 9 y es un resumen de la descripción contenida en la solicitud española mencionada anteriormente.

30 De acuerdo con el presente invento, se requiere

controlar las señales de entrada y salida del grupo MIC para detectar la presencia del diagrama de sincronización MIC normal o del diagrama artificial. Si no se detecta ninguno para cualquier señal de grupo, se activa una alarma para ese grupo. Además, se requiere detectar la presencia de la señal artificial en cualquiera de los grupos recibidos y activar el indicador visual 24.

Deben comprobarse hasta 16 señales de grupo (8 de entrada y 8 de salida). El empleo de controles separados requiere 16 circuitos, cada uno capaz de reconocer los dos diagramas aceptables, el diagrama artificial y de sincronismo normal, o 32 circuitos, cada uno orientado para un diagrama particular. Las cantidades implicadas indican que se emplearía un sistema para controlar un tiempo-compartido secuencial.

Un sistema para controlar el cuadro en tiempo compartido tiene unos requerimientos diferentes que el que debe controlar una señal continuamente. Un sistema de control continuo no necesita tener un tiempo de adquisición de cuadro riguroso, pero es importante que su tiempo medio entre pérdidas de cuadro sea largo.

El sistema de tiempo compartido del módulo 9 debe tener un tiempo medio de adquisición muy rápido. Esto es necesario para mantener el promedio de tiempo entre "miras" sucesivas en una señal de grupo dada suficientemente corta para impedir la propagación de una señal de fallo por la línea por una duración suficientemente larga como para activar las alarmas de los multiplexores y demultiplexores sucesivos. Un sistema de control cíclico por tiempo-compartido permitirá que una señal de fallo se propague durante la misma longitud de tiempo finita, pero esto puede mantenerse menor que un retardo incorporado

de las alarmas en la sucesión de multiplexores y demultiplexores.

Otro requerimiento es que el tiempo de adquisición de cuadro sea lo suficientemente largo como para asegurar una alta probabilidad de sincronismo de adquisición cuando existe una buena señal presente. Esto es necesario para mantener la probabilidad de una "alarma falsa" lo suficientemente baja como para satisfacer las especificaciones de funcionamiento del multiplexor y demultiplexor. Una falsa alarma provocará la sustitución de un diagrama artificial por una señal de grupo MIC buena, interrumpiendo el tráfico de grupo. Este tipo de interrupción temporal de tráfico será considerado un fallo de la integridad de cuenta de bit de grupo. La probabilidad de que ocurra una falsa alarma, junto con las probabilidades de otros hechos que afecten a la integridad de la cuenta de bit de grupo, debe resultar un tiempo medio entre fallos de la integridad de la cuenta de grupo que satisfaga la especificación del multiplexor y del demultiplexor.

Un lógico de recuperación de sincronismo de cuadro buscando el diagrama de cuadro de grupo MIC normal, tendría un tiempo medio de búsqueda de 9 milisegundos, más dos milisegundos de tiempo de verificación. La adición de una simple sincronización de cuadro del tipo mirar-adelante, como se describe en la Patente U.S. 3.594.502 puede reducir esto a una adquisición de tres milisegundos más 2 milisegundos de tiempo de verificación, o un total de 5 milisegundos. Sin errores de bit, el tiempo de búsqueda máximo es simplemente el doble del tiempo de búsqueda medio. Incluyendo una distribución aleatoria de error de bit de uno en mil, el tiempo de búsqueda máximo se aproxima a infinito, si se consideran un número infinito de pruebas. Esto

significa que no puede ser recogido un tiempo de búsqueda de cuadro máximo que garantizaría la no existencia de falsas alarmas. También, no puede ser recogido un tiempo de búsqueda de cuadro fijo que aprovecharía un tiempo de búsqueda de cuadro medio corto y dar una probabilidad suficientemente baja de producir una alarma falsa.

Por lo tanto, el módulo 9 de la Fig. 4 incorpora un circuito de cuadro que emplea un ciclo de longitud variable, que será determinado por la aparición de la verificación del diagrama normal o el artificial, o el final del ciclo calculado para garantizar una probabilidad de falsas alarmas lo suficientemente baja como para satisfacer las especificaciones de funcionamiento del equipo. Por ejemplo, si se establece un sistema por un contador para mantener la huella del bit de cuadro que coincide con un umbral de cuadro (esto es, después de cuatro coincidencias sucesivas requiere más de un bit de error, o no coincidencia para producir una nueva búsqueda), y se desea garantizar una cadencia de alarma falsa de una por grupo base, de menos de uno en 100 días o menos de uno en 200 días, para cada extremo receptor o transmisor, se encontrará que se requiere un tiempo de búsqueda máximo de unos 32 ms. Puede verse que, para una cadencia de error de bit 10^{-3} , se aumenta el tiempo de búsqueda medio en una cantidad insignificante. Con un límite de 32 ms por búsqueda, el tiempo máximo entre búsquedas para un grupo es de 0,512 segundos.

La ventaja del tiempo de búsqueda de longitud variable es que la longitud máxima puede aumentarse, a fin de proporcionar una más baja probabilidad de que ocurra una falsa alarma, mientras que el tiempo de ciclo medio permanece constante.

Otra consideración esta en si emplear un lógico de búsqueda que pueda reconocer ambos diagramas, el diagrama artificial o el de sincronismo de grupo normal, o emplear los dos circuitos de búsqueda individuales y, logicamente, OR los resultados. La aproximación de circuito único debe tener en cuenta el hecho de que dos diagramas diferentes coincidirán parte del tiempo y cuando no coinciden, la información es inútil. Por lo tanto, la información disponible para reconocer el sincronismo de cuadro es, efectivamente, menor para cada diagrama que cuando se inspeccionan independientemente, y el tiempo de búsqueda medio será más largo (normalmente, dos veces). Tamvién, ya que la presencia del diagrama artificial debe detectarse mientras se controlan los grupos recibidos, debe añadirse el lógico adicional y realizadas las salvaguardias con un circuito único, que no justifica esta aproximación.

El empleo de dos circuitos de búsqueda separados tiene tres ventajas importantes (1) un diagrama artificial de tres-bits (esto es, 110110....) tiene una longitud de cuadro de tres-bits, con lo que resulta una adquisición rápida (aproximadamente 0,1 ms), mejor que la longitud de cuadro de 144 bit (alternando unos y ceros cada 72 bits). (2) No se requiere la técnica "mirar adelante" para un lógico de búsqueda artificial más rápido, por lo tanto, los dos circuitos no doblan el lógico que se requiere. (3) se conoce inmediatamente el diagrama reconocido sin necesidad de más decodificaciones.

Un contador de 16 etapas, en el módulo 9, seleccionará la señal de grupo MIC que ha de ser controlada. Las salidas del contador serán decodificadas por las puertas de los módulos de grupo. El tomar los grupos de entrada ocho y el grupo de salida ocho, en sucesión, simplifica la decodificación. Ade

más, cuando el módulo de recepción de supercuadro 20 tiene una condición de alarma de cuadro, el último bit del contador 16 puede ser inhibido y el lógico de cuadro de grupo buscará solamente en los ocho grupos de transmisión. Durante este tiempo, el diagrama artificial será sustituido por los ocho grupos de recepción. Durante el funcionamiento en canal-48 el tercer bit del contador será inhibido y solamente serán controlados los primeros cuatro grupos de transmisión y recepción.

La decodificación del contador en los módulos de grupo 3 y 21 conmutará la señal de datos de grupo seleccionado en la entrada de la barra de distribución AND al módulo 9 y activará también las entradas al flip-flop que almacena la condición de alarma entre búsquedas. También controla la sustitución del diagrama artificial y activa los generadores de alarma.

El punto en el cual se controla cada señal de grupo requiere alguna consideración. Es deseable, por supuesto, controlar las señales en el adaptador con conexiones externas, pero esto no es realizable o práctico por las siguientes razones: (1) El grupo de recepción que controla el punto debe estar antes del conmutador en donde se realiza la sustitución artificial. Si estuviera después de este conmutador, el control estaría alternando entre el diagrama artificial y el grupo MIC con cada ciclo, con una condición alternativa de alarma/no alarma. (2) El control del grupo en transmisión podría hacerse justo en la señal recibida, pero esto requeriría conmutación analógica, ya que la señal recibida no está en los niveles lógicos del equipo. Es más práctico conmutar la señal después de circuitos adaptadores de entrada.

Los datos se conmutan solamente en el módulo 9. Por lo tanto, se requiere un circuito de recuperación de reloj simi

lar al usado por el módulo de grupo de transmisión 3. Es aceptable el sistema sencillo de recuperación de reloj digital ya que el lógico de recuperación de cuadro no es afectado por el jitter de temporización. El circuito de recuperación de reloj
 5 elimina la necesidad de que el reloj 16 se conmute en los módulos de grupo 3 y 21, y también elimina la detección falsa de las señales de grupo de transmisión debidas al mal funcionamiento de sus circuitos de recuperación de reloj.

Ha de quedar entendido que la anterior descripción
 10 de una forma determinada del invento se hace a modo de ejemplo, y no debe considerarse como limitación de su alcance.

Este invento corresponde a una solicitud de Patente formulada en Estados Unidos, el día 17 de Abril de 1972, señalada con el Nº. 244.753 y se acoge, por tanto, a los beneficios
 15 que otorgan los convenios internacionales vigentes.

- - - - - NOTA - - - - -

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente por veinte años son los siguientes:

- 20 1.- Un equipo multiplexor/demultiplexor por modulación en código de impulsos asíncrono, para multiplexar n grupos de datos asíncronos que tienen una primera velocidad de transmisión en bits dentro de un primer flujo de datos predeterminados, y una segunda velocidad de transmisión
 25 en bits más elevada que la primera. También empleado para demultiplexar dichos grupos de datos del flujo de los mismos, y donde n es mayor que uno. El equipo comprende:
- n entradas, cada una de las cuales se alimenta por uno diferente de dichos grupos;
 - 30 - n elementos primeros, cada uno de los cuales se acopla a una

de las entradas mencionadas. Algunos de estos elementos generan una señal de requisición cuando la diferencia entre ambas velocidades de transmisión llega a una fase predeterminada,

- 5 - elementos segundos acoplados a cada uno de los primeros, que responden a la mencionada señal requisitoria de completo desde cada uno de los primeros elementos para producir una señal controladora de completo para cada uno de los primeros elementos y multiplexar los grupos incompletos recibidos de los primeros elementos según el formato de datos mencionado;
- 10 - cada uno de los elementos primeros responden a una de las señales controladoras de completo asociadas para producir solamente un bit de completo por cada una de las señales requisitorias para añadir al grupo asociado de los grupos de datos en un bit de posición dado dentro del formato de datos, para producir grupos
- 15 pos de datos completos para multiplexar con grupos de datos incompletos por dichos elementos segundos a fin de proporcionar el flujo de datos síncronos;
- elementos terceros acoplados a los segundos para transmitir el flujo de datos a lo largo de un medio de propagación determinado;
- 20 - elementos cuartos acoplados a dicho medio de propagación para recibir el flujo de datos;
- elementos quintos acoplados a los cuartos, sincronizados con el flujo de datos para producir una señal controladora de completo cuando tiene lugar cada bit completo; y
- 25 - elementos sextos acoplados a los quintos, que responden a una asociada de las señales controladoras de completo, para suprimir el bit de completo de algunos grupos de datos, cada uno de los elementos segundos proporcionan uno asociado a los grupos de
- 30 datos a la salida.

2.- Un equipo multiplexor/demultiplexor asíncrono por división de tiempo, según el punto 1, en el que cada uno de los primeros elementos incluye un almacén elástico que tiene:

- elementos séptimos acoplados a una asociada de las n entradas, que responde a uno asociado de los grupos de datos y a una primera señal de referencia que tiene una tercera velocidad de transmisión de bit menor que la primera para generar una escritura de reloj que tiene dicha tercera velocidad en bits,
- elementos octavos acoplados a los segundos, que reponen a una segunda señal de referencia, que tiene la segunda velocidad en bits. para generar una lectura de reloj, que tiene la segunda velocidad en bits;
- elementos de almacenaje acoplados a las n entradas asociadas:
- Los elementos séptimo y octavo responden a la escritura de reloj para cargar los elementos de almacenaje con bits de los grupos de datos asociados, y a la escritura de reloj para descargar dichos elementos de almacenaje, y
- un comparador de fase acoplado a los elementos octavos para producir la señal requisitoria de completo durante la posición de tiempo del formato de datos localizado en uno de los grupos de datos cuando existe una diferencia de fase predeterminada entre la lectura y la escritura de los relojes,
- los elementos octavos responden a la señal controladora de completo para inhibir un periodo de bit de la lectura de reloj que resulta del último bit del grupo de datos asociado, siendo extraído dos veces de los elementos de almacenaje para proporcionar dicho único bit de completo y, de esta manera, un grupo de datos completo para acopiar a los elementos segundos para multiplexar en el flujo de datos.

3.- Un equipo, según el punto 2, en el que.

los elementos séptimos incluyen:

- un generador de transición positiva acoplado a una de las n entradas, que responde a uno de los grupos de datos para proporcionar una primera señal de salida dada,
- 5 - unos elementos binarios dividir por dos, acoplados a la salida de dicho generador, para dividir por dos dicha primera señal de salida,
- una puerta exclusiva-OR acoplada a la salida de dichos elementos dividir por dos que responde a la primera señal de salida
- 10 dividida por dos y dicha referencia primera, para proporcionar una segunda señal de salida, y
- elementos binarios dividir por ocho, acoplados a la salida de dicha puerta y a una entrada del generador que proporcionan una tercera señal de salida, múltiplo de la escritura de reloj.
- 15 4.- Un equipo, según el punto 1., en donde los elementos sextos incluyen:
 - un almacenaje elástico que tiene: un elemento de almacenaje acoplado al quinto elemento, elementos séptimos acoplados a los quintos y a los de almacenaje que responden a una primera señal
 - 20 de referencia, que tiene la segunda velocidad de transmisión en bits, para generar una escritura de reloj para controlar la carga de los elementos de almacenaje con uno de los grupos de datos completos demultiplexados del flujo de datos, y
 - elementos octavos acoplados a los séptimos y a los de almacenaje,
 - 25 naje, que responden a una segunda señal de referencia que tiene una tercera velocidad en bits menor que la primera, para generar una lectura de reloj para descargar los elementos de almacenaje y proporcionar uno de los grupos de datos como la salida demultiplexada de uno de los elementos sextos,
 - 30 - los elementos séptimos responden a la señal controladora de

- un primer elemento de almacenaje acoplado a una de las n entradas. Los séptimos y octavos elementos responden a la escritura de reloj para cargar el primer elemento de almacenaje con bits de uno de los grupos de datos y, a la lectura de reloj pa
5 ra descargar dicho elemento de almacenaje, y
- un comparador de fase acoplado a los elementos séptimo y octavo para producir la señal requisitoria de completo durante la posición de tiempo del formato de datos asignado al mencionado grupo de datos, cuando existe una diferencia de fase predeter-
10 minada entre la escritura y la lectura de reloj,
- los elementos octavos responden a la señal controladora de completo para inhibir, de la lectura de reloj, un periodo de bit que resulta en el último bit de uno de los grupos de datos, siendo extraído del primer elemento de almacenaje dos veces, pa
15 ra proporcionar el único bit de completo, y de esta manera, para acoplar al elemento segundo multiplexando en el flujo de datos; y cada uno de los elementos sextos incluye: un segundo al
macenaje elástico que tiene:
 - un segundo elemento de almacenaje acoplado al quinto,
 - 20 - elementos novenos acoplados a los quintos y al segundo alma
cenaje, que responde a una primera señal de referencia que tie-
ne la segunda velocidad de transmisión en bits, para generar una escritura de reloj para controlar la carga del segundo ele
mento de almacenaje con un grupo de datos completo, de multiple
25 xado del flujo de datos, y
 - elementos décimos acoplados a los novenos y al segundo alma
cenaje, que responde a una segunda señal de referencia que tie-
ne una tercera velocidad de transmisión en bits menor que la
primera, para generar una lectura de reloj y descargar el elemen
30 to segundo de almacenaje proporcionando un grupo de datos como

la salida demultiplexada de uno de los elementos sextos,

- el elemento noveno responde a la señal controladora de im-completo para inhibir la escritura de reloj para impedir que el bit de completo sea cargado en el segundo elemento de almacenaje y, suprimiendo así el bit de completo de uno de los grupos de datos.

7.- Un equipo, según el punto 6, en el que el elemento décimo incluye un bucle cerrado de fase que tiene:

- un comparador de fase que responde a las lecturas y escrituras de reloj para producir una señal de control de fase,
- un filtro paso bajo acoplado a dicho comparador para dar paso a la señal de control de fase,
- un oscilador controlado por tensión acoplado al filtro que responde a la señal de control de fase para ajustar la frecuencia de la señal de salida del oscilador,
- un sumador de frecuencia acoplado al oscilador para sumar las frecuencias de la señal de salida del oscilador y la segunda señal de referencia, y
- un divisor binario acoplado a la salida del sumador para proporcionar la lectura de reloj.

8.- Un equipo, según el punto 6, en el que el elemento sexto incluye:

- un generador de transición positivo acoplado a una de las n entradas, que responde a uno de los grupos de datos para proporcionar una primera señal de salida,
- un elemento binario divide por dos acoplado a la salida del generador para dividir por dos la mencionada primera señal de salida,
- una puerta exclusiva-OR acoplada a la salida del elemento divide por dos que responde a la primera señal de salida dividi

da por dos y a la referencia primera proporcionando una segunda señal de salida, y

- un elemento binario divide por ocho acoplado a la salida de la puerta y a una entrada del generador, que proporciona una
- 5 tercera señal de salida múltiplo de la escritura de reloj.

9.- Un equipo, según el punto 1, en el cual, el formato de datos incluye:

- 64 cuadros medios dentro de un único supercuadro, y
 - 15 subcuadros dentro de cada cuadro medio
- 10 - los subcuadros impares, en cada uno de los cuadros medios, incluyen nueve bits, y los subcuadros pares incluyen ocho bits. Los primeros ocho bits de cada subcuadro reúnen grupos de datos, y el noveno bit de los subcuadros impares se emplean como bits de canal sobrecargado,
- dicho canal, en cada cuadro medio, incluye tres bits de canal de ordenes digitales, un bit de señalización y control, dos cor
- 15 tos bits de sincronismo para definir un corto código síncronico, un bit de datos de teletipo digitales y un bit de sincronismo lar
- go que proporciona un bit de un código de sincronismo largo;
- 20 dicho segundo elemento incluye:
- una primera fuente de señal de referencia que tiene la segunda velocidad de transmisión en bits;
 - un primer divisor binario y elemento lógico de decodificación acoplado a dicha fuente para producir un código de selección de
- 25 grupo rápido, señales de tiempo de subcuadro y señales de tiempo de canal sobrecargado, para definir dichos subcuadros y los
- bits de canal sobrecargado,
- un segundo divisor binario y elemento lógico de decodificación acoplado en serie con el primer divisor y elemento lógico para
- 30 producir señales de tiempo de cuadro medio que definen dichos

cuadros y proporcionan el código corto síncrono,

- un tercer divisor binario y elemento lógico de decodificación acoplado en serie con el segundo divisor y elemento lógico para producir un código selector de grupo lento señales de tiempo de cuadro medio para definir dicho cuadro medio y producir un código síncrono largo pseudo-aleatorio,
- un circuito controlador de completo acoplado a cada elemento primero y a cada segundo y tercer divisor y elemento lógico, que responde a las señales de tiempo del cuadro medio, al código selector de grupo rápido, a las señales de tiempo del cuadro medio, al código selector de grupo lento, a las señales de tiempo del cuadro medio y a las señales requisitorias de completo para producir la señal controladora de completo y un código de control por cada señal requisitoria de completo transmitido por un bit de canal superior en varios de los cuadros medios,
- un primer multiplexor acoplado al tercer divisor y elemento lógico y circuito controlador de completo, para demultiplexar los códigos de control, la señalización por canal de ordenes de datos de teletipo digitales, y la señalización por canal de ordenes de voz digital, para formar un canal de control,
- un segundo multiplexor acoplado al segundo y tercer divisor y elemento lógico y primer multiplexor para multiplexar el canal de control, la señal del circuito de ordenes de teletipo de datos digital, la señal de la línea de ordenes de voz digital y el canal de control, para formar el canal superior,
- un tercer multiplexor acoplado a cada uno de los elementos primeros, la fuente mencionada, el primer divisor y elemento lógico y segundo multiplexor para multiplexar el canal superior y los grupos de datos completos e incompletos para formar el flujo de datos.

10.- Un equipo, según el punto 9, en la que el circuito controlador de completo incluye:

- una segunda fuente de señales de tiempo de muestreo,
- una tercera fuente de señales de tiempo de parada,
- 5 - un comparador de código acoplado al primer divisor y elemento lógico que responde al código de selección de grupo rápido y al de selección de grupo lento para producir una señal de tiempo combinada,
- una primera puerta AND acoplada a la segunda fuente y al com
- 10 parador para producir, en respuesta a las señales de tiempo de muestreo y a la señal de tiempo combinada, un impulso de muestreo
- un flip-flop de muestreo acoplado en común a cada uno de los elementos primeros y a la puerta AND, que responde a las señales requisitorias de completo y al impulso de muestreo para producir
- 15 un código de control por cada señal requisitoria de completo, y
- una segunda puerta AND acoplada a la tercera fuente y al flip-flop de muestreo que responde a cada código de control y tiempo de parada para producir señales controladoras de completo por cada señal requisitoria de completo.

20 11.- Un equipo, según el punto 1, en el que el formato de datos incluye:

- 64 cuadros medios dentro de un supercuadro, y
- 15 subcuadros dentro de cada cuadro medio,
- los subcuadros impares, de cada cuadro medio, incluyen nueve
- 25 bits, y los subcuadros pares incluyen ocho bits. Los primeros ocho bits en cada subcuadro contiene grupos de datos, y el noveno bit de los subcuadros impares se emplea como bit de canal superior,
- dicho canal superior, en cada cuadro medio, incluye tres bits
- 30 de línea de órdenes de voz digital, un bit de control y otro

de señalización, dos bits de sincronización cortos para definir un código de sincronización corto, un bit de teletipo de datos digitales y un bit de sincronización largo que proporciona un bit de código de sincronización largo; y

5

el elemento quinto incluye:

- un elemento de recuperación de reloj acoplado al elemento cuarto que responde al flujo de datos que se recibe para producir una señal de reloj que tiene la segunda velocidad de transmisión en bits;

10

- un elemento de sincronización de cuadro de supergrupo acoplado al elemento de recuperación de reloj y al elemento cuarto que responde a la señal de reloj y a los códigos de sincronización corto y largo para producir una señal de inhibición cuando se detecta una situación de fuera de sincronismo,

15

- un lógico de inhibición primero acoplado al elemento de recuperación de reloj y al elemento de sincronización de cuadro que responde a la señal de inhibición para inhibir un número dado de bits de la señal de reloj y así cooperar a restablecer una situación de sincronización de cuadro,

20

- un primer divisor binario y elemento lógico de decodificación acoplado al primer lógico de inhibición para producir un código de selección de grupo rápido, señales de tiempo de subcuadro y señales de tiempo superiores para definir los subcuadros y los bits del canal superior,

25

- un segundo divisor binario y elemento lógico de decodificación, acoplado al elemento de sincronización de cuadro, para producir señales de tiempo de cuadro medio, que definen dichos cuadros medios, y producir el código de sincronización corto empleado como código de sincronización corto de referencia por

30

el elemento de sincronización de cuadro,

- un segundo lógico de inhibición, acoplado en serie entre el primero y segundo divisor y elemento lógico, que responde a la señal de inhibición para inhibir un número dado de bits de la señal de tiempo aplicada a la entrada del segundo divisor y elemento lógico por el primer divisor y elemento lógico para cooperar en el restablecimiento de la situación de sincronización de cuadro,
- un tercer divisor binario y elemento lógico de decodificación acoplado en serie con el segundo divisor y elemento lógico y el elemento de sincronización de cuadro para producir un código de selección de grupo lento, señales de tiempo de supercuadro para definir dicho supercuadro y producir un código de sincronización largo pseudo-aleatorio, empleado como código de sincronización largo de referencia por el elemento de sincronización de cuadro,
- un primer demultiplexor acoplado al elemento cuarto, a cada uno de los elementos sextos, al primer divisor y elemento lógico, para demultiplexar el grupo de datos completo e incompleto y el canal superior, del flujo de datos que se recibe,
- un segundo demultiplexor acoplado al divisor segundo y tercero y elemento lógico, así como al primer demultiplexor, para demultiplexar el canal de control, la señal de línea de órdenes del teletipo de datos digital, y la señal de línea de órdenes de voz digital a partir del canal superior,
- un tercer demultiplexor acoplado al tercer divisor y elemento lógico y al segundo demultiplexor, para demultiplexar los códigos de control, la señalización la línea de órdenes del teletipo de datos digital y la señalización de la línea de órdenes de voz digital, a partir del canal de control, y

- un circuito controlador de incompleto acoplado a cada uno de los elementos sextos y primeros, al segundo y tercer divisor y elemento lógico, que responde a los códigos de control a la señal de tiempo de subcuadro, al código de selección de grupo rápido, a la señalización de tiempo de cuadro medio, al código de selección de grupo lento y a la señalización de tiempo de supercuadro para producir una señal controladora de incompleto por cada bit de completo cuya posición de tiempo en el formato de datos se indica por los códigos de control.

12.- Un equipo, según el punto 1. en la que el formato de datos incluye:

- 64 cuadros medios dentro de cada supercuadro, y
- 15 subcuadros dentro de cada cuadro medio,
- los subcuadros impares, en cada cuadro medio, incluyen nueve bits, y los pares ocho bits. Los primeros ocho bits de cada subcuadro contienen grupos de datos, y el noveno bit de los subcuadros impares se emplea como bit del canal superior,
- el canal superior, en cada cuadro medio, incluye tres bits de línea de ordenes de voz digital, un bit de señalización y control, dos bits de sincronización corta para definir un código de sincronización corto, un bit de teletipo de datos digital y un bit de sincronización larga que proporciona un bit de un código de sincronización larga;

El elemento segundo incluye:

- una primera fuente de señal de referencia que tiene la segunda velocidad de transmisión en bits,
- un primer divisor binario y elemento lógico de decodificación, acoplado a la primera fuente para producir un código

de selección de grupo rápido, señales de tiempo de subcuadro y señales de tiempo de canal superior, para definir los subcuadros y los bits de dicho canal superior,

- 5. - un segundo divisor binario y elemento lógico de decodificación acoplado en serie con el primer divisor y elemento lógico para producir señales de tiempo de cuadro medio, que definen dicho cuadro medio, y producir el código de sincronización corto,
- 10. - un tercer divisor binario y elemento lógico de decodificación, acoplado en serie con el segundo divisor binario y elemento lógico, para producir un código de selecciones de grupo lento, señales de tiempo de supercuadro, para definir dicho supercuadro, y producir un código de sincronización largo pseudo-aleatorio,
- 15. - un circuito controlador de completo, acoplado a cada primer elemento, al segundo y tercer divisor y elemento lógico, que responde a las señales de tiempo de subcuadro, al código de selección de grupo rápido, a las señales de tiempo de cuadro medio, al código de selección de grupo lento, a las señales de tiempo de supercuadro y a las señales requisitorias de completo, para producir una señal controladora de completo y un código de control por cada señal requisitoria de completo contenida en un bit del canal superior en varios cuadros medios,
- 20. - un primer multiplexor acoplado al tercer divisor y elemento lógico y al circuito controlador de completo, para multiplexar los códigos de control, la señalización de línea de órdenes de teletipo de datos digital, y la señalización de línea de órdenes de voz digital, para formar un canal de control,
- 25. - un segundo multiplexor, acoplado al segundo y tercero divisor
- 30.

y elemento lógico y el primer multiplexor, para multiplexar el canal de control, la señal de línea de ordenes de teletipo de datos digital, la señal de línea de ordenes de voz digital y el canal de control, a fin de formar el canal superior, y

5 - un tercer multiplexor acoplado a cada elemento primero, a la fuente, al primer divisor y elemento lógico y al segundo multiplexor, para multiplexar el canal superior y el grupo de datos completo e incompleto, para formar el flujo de datos; y

El elemento quinto incluye:

- 10 - un elemento de recuperación de reloj acoplado al elemento cuarto, que responde al flujo de datos que se recibe para producir una señal de reloj que tiene la segunda velocidad en bits,
- un elemento de sincronización de cuadro de supergrupo
- 15 acoplado al elemento de recuperación de reloj y al elemento cuarto, que responde a la señal de reloj, y a los códigos de sincronización corto y largo, para producir una señal de inhibición cuando se detecta una situación de fuera de sincronismo,
- 20 - un primer lógico de inhibición acoplado al elemento de recuperación de reloj, y al elemento de sincronización de cuadro, que responde a la señal de inhibición para inhibir un número dado de bits de la señal de reloj, a fin de cooperar en el establecimiento de una situación de sincronización de
- 25 cuadro,
- un cuarto divisor binario y elemento lógico de decodificación acoplado al primer lógico de inhibición para producir un código de selección de grupo rápido, señales de tiempo de subcuadro y señales de tiempo superior, para definir los sub-
- 30 cuadros y los bits del canal superior,

- 5 - un quinto divisor binario y elemento lógico de decodificación acoplado al elemento de sincronización de cuadro para producir señales de tiempo de cuadro medio, que definen dichos cuadros medios, y producir el código de sincronismo corto empleado como código de referencia por el elemento de sincronización de cuadro,
- 10 - un segundo lógico de inhibición acoplado en serie entre el divisor cuarto y quinto y elemento lógico, que responde a la señal de inhibición para inhibir un número dado de bits de la señal de tiempo aplicada a la entrada del quinto divisor y elemento lógico por el cuarto divisor y elemento lógico, para cooperar en el establecimiento de la situación de sincronización de cuadro,
- 15 - un sexto divisor binario y elemento lógico de decodificación acoplado en serie con el divisor quinto y elemento lógico y al elemento de sincronismo de cuadro, para producir un código de selección de grupo lento, señales de tiempo de supercuadro, que definen dicho supercuadro, y producir un código largo pseudo-aleatorio empleado como código de referencia por
20 el elemento de sincronización de cuadro,
- un primer demultiplexor acoplado al elemento cuarto, a cada elemento sexto y al divisor cuarto y elemento lógico para demultiplexar el grupo de datos completo e incompleto y canal superior del flujo de datos que se recibe,
- 25 - un segundo demultiplexor acoplado al divisor quinto y sexto y elemento lógico y al primer demultiplexor, para demultiplexar el canal de control, la señal de línea de ordenes del tele- tipo de datos digital, y la señal de línea de ordenes de voz digital, del canal superior,
- 30 - un tercer demultiplexor acoplado al divisor sexto y elemento

lógico y al segundo demultiplexor para demultiplexar los códigos de control, la señalización de línea de ordenes del teletipo de datos digital y de voz digital, del canal de control, y

5 - un circuito controlador de incompleto acoplado a cada elemento sexto y cuarto a los divisores quinto y sexto y elementos lógicos, que responde a los códigos de control, a las señales de tiempo de subcuadro, al código de selección de grupo rápido, a las señales de tiempo de cuadro medio, al
10 código selector de grupo lento y a las señales de tiempo de supercuadro, para producir una señal controladora de incompleto por cada bit de completo cuya posición de tiempo en el formato de datos esta indicado por los códigos de control.

13.- Un equipo, según el punto 12, en
15 la que el circuito de control de completo incluye:

- una segunda fuente de señales de tiempo de muestreo,
- una tercera fuente de señales de tiempo de detención,

un comparador de código acoplado al divisor primero y elemento lógico y divisor tercero y elemento lógico, que responde al
20 código de selección de grupo rápido y de grupo lento, para producir una señal de tiempo combinada,

- una primera puerta AND acoplada a la segunda fuente y al comparador para producir, en respuesta a las señales de tiempo de muestreo y a la señal de tiempo combinada, un impulso
25 de muestreo,
- un flip-flop de muestreo acoplado en común a cada primer elemento de la primera puerta AND, que responde a las señales requisitorias de completo y al impulso de muestreo, para producir el código de control por cada señal requisitoria de
30 completo, y

- una segunda puerta AND acoplada a la tercera fuente y al flip-flop de muestreo, que responde a cada código de control y a la señal de tiempo de detención para producir señales de control de completo por cada una de las señales requisitorias de completo.

5

14.- Un equipo multiplexor/demultiplexor según la reivindicación 1ª, para multiplexar n grupos de datos asíncronos que tienen una primera velocidad de transmisión en bits dentro de un 1º flujo de datos asíncrono que tiene un formato de datos predeterminado, y una segunda velocidad de transmisión en bits, mayor que la primera, donde n es un

10

número entero mayor que la unidad, y que comprende:

- n entradas, cada una para un grupo de datos diferente;

- n elementos primeros, cada uno acoplados a una entrada diferente,

15

algunos de estos primeros elementos generan una señal requisitoria de completo cuando se llega a una fase diferencial de fase entre la primera y la segunda velocidad en bits; y

- elementos segundos acoplados en común a cada uno de los pri-

20

meros, que responden a la señal de requisición de completo desde cada uno de ciertos elementos primeros, para producir una señal controladora de completo por cada uno de los determinados elementos primeros, y multiplexar los grupos de datos completos e incompletos recibidos desde los elementos primeros, según el formato de datos;

25

- cada uno de los determinados elementos primeros responden a una asociada señal de control de completo, para producir solamente un bit de completo por cada señal requisitoria de completo para añadir al grupo de datos asociado en una posición de bit dada, dentro del formato de datos, para pro-

30

ducir grupos de datos completos para multiplexar con grupo incompletos por dichos elementos segundos para proporcionar el flujo de datos sincronicos.

- 5 15.- Un equipo, según el punto 14, en el que cada elemento primero incluye un almacenaje elástico que tiene:
- elementos séptimos acoplados a una de las n entradas, que responden a un grupo de datos asociado y a una primera señal de referencia que tiene una velocidad en bits menor que la primera, para generar una escritura de reloj con la tercera velocidad en bits,
 - 10 - elementos octavos acoplados a los segundos, que responden a una segunda señal de referencia, que tiene la segunda velocidad en bit, para generar una lectura de reloj con la segunda velocidad en bits,
 - 15 - un elemento de almacenaje acoplado a una de las n entradas, y a los elementos séptimo y octavo, que responde a la escritura de reloj para cargar el elemento de almacenamiento con bits de uno de los grupos de datos, y la lectura de reloj para
 - 20 descargar dicho elemento de almacenaje, y
 - un comparador de fase acoplado a los elementos séptimo y octavo para producir la señal requisitoria de completo durante la posición de tiempo del formato de datos asignada al grupo de datos determinado, cuando existe una diferencia de
 - 25 fase predeterminada entre la lectura y la escritura de reloj,
 - el elemento octavo responde a la señal controladora de completo para inhibir un periodo de bit de la lectura de reloj que resulta en el último bit del grupo de datos asociado, siendo extraído dos veces del elemento de almacenamiento y
 - 30 un grupo de datos almacenados para acoplar al segundo elemento

para multiplexar en el flujo de datos.

16.- Un equipo según el punto 15, en el que el elemento séptimo incluye:

- un generador de transición positiva acoplado a una de las 5 n entradas, que responde a un grupo de datos para proporcionar una primera señal de salida,
- un elemento binario divide por dos, acoplado a la salida del generador, para dividir por dos la primera señal de salida,
- 10 - una puerta OR acoplada a la salida del elemento divide por dos, que responde a la primera señal de salida dividida por dos y a la referencia primera, para proporcionar una segunda señal de salida, y
- un elemento binario divide por ocho acoplado a la salida 15 de la puerta y a una entrada del generador, que proporciona una tercera señal de salida, múltiplo de la escritura de reloj.

17.- Un equipo según el punto 14, en el que el formato de datos incluye:

- 20 - 64 cuadros medios dentro de un único cupercuadro, y
- 15 subcuadros dentro de cada cuadro medio,
- los subcuadros impares, en cada cuadro medio, incluyen nueve bits, y los pares ocho bits. Los primeros ocho bits de cada subcuadro están ocupados por grupos de datos, y el noveno 25 bit de los subcuadros impares se emplea como bit de canal superior,
- dicho canal superior, en cada cuadro medio, incluye tres bits de línea de ordenes de voz digital, un bit de señalización y control, dos bits de sincronización cortos para definir 30 un código de sincronización corto, un bit de teletipo de

datos digital y un bit de sincronización largo, que proporciona un bit de código de sincronización largo; y

El segundo elemento incluye:

- 5 - una primera fuente de señal de referencia que tiene la segunda velocidad en bits, un primer divisor binario y elemento lógico de decodificación, acoplado a la primera fuente para producir un código de selección de grupo, señales de tiempo de subcuadro y señales de tiempo de canal superior, para definir los subcuadros, y los bits de canal superior,
- 10 - un segundo divisor binario y elemento de decodificación acoplado en serie con el divisor primero y elemento lógico para producir señales de tiempo de cuadro medio, para definir los cuadros medios, y producir un código de sincronización corto,
- 15 - un tercer divisor binario y elemento lógico de decodificación, acoplado en serie con el segundo divisor y elemento lógico, para producir un código de selección de grupo lento, señales de tiempo de supercuadro, que definen dicho supercuadro, y para producir un código de sincronización largo pseudo-aleatorio,
- 20 - un circuito controlador de completo acoplado a cada elemento primero, al segundo y tercer divisor y elemento lógico, que responde a las señales de tiempo de subcuadro, al código de selección de grupo lento, al código de selección de grupo rápido, a las señales de tiempo de cuadro medio, a las señales
25 de tiempo de supercuadro y a las señales requisitorias de completo, para producir una señal controladora de completo y un código de control por cada señal de requisición de completo ocupada por un bit del canal superior, en varios de los cuadros medios,
- 30 - un primer multiplexor acoplado al tercer divisor y elemento

lógico y al circuito controlador de completo para multiplexar los códigos de control, la señalización de línea de ordenes de teletipo de datos digital, la señalización de línea de ordenes de voz digital, para formar un canal de control,

5 - un segundo multiplexor acoplado a los divisores segundo y terceroy elemento lógico y al primer multiplexor, para multiplexar el canal de control, la señal de línea de ordenes de teletipo de datos digital, la señal de línea de ordenes de voz digital y dicho n canal de control para formar el
10 canal superior,

- un tercer multiplexor acoplado a cada primer elemento, a la fuente, al primer divisor y circuito lógico y al segundo multiplexor para multiplexar el canal superior y los grupos de datos completos e incompletos, para formar el flujo de
15 datos.

18.- Un equipo según el punto 17, en el que el circuito controlador de completo incluye:

- una segunda fuente de señales de tiempo de muestreo,
- una tercera fuente de señales de tiempo de detección,
- 20 - un comparador de código acoplado al primer divisor y elemento lógico, y al tercer divisor y elemento lógico, que responde al código de selección de grupo rápido y al de grupo lento, para producir una señal de tiempo combinada,
- una puerta primera AND acoplada a la segunda fuente y al
25 comparador, para producir, en respuesta a las señales de tiempo de muestreo, y a la señal de tiempo combinada, un impulso de muestreo,
- un flip-flop de muestreo acoplado en común con cada elemento primero y con la puerta AND, que responde a las señales
30 requisitorias de completo y al impulso de muestreo, para

producir un código de control por cada señal de requisición de completo, y

- una segunda puerta AND acoplada a la tercera fuente y al flip-flop de muestreo que responde a cada código de control y a la señal de tiempo de detención para producir señales de control de completo por cada señal requisitoria de completo.

19.- Un equipo multiplexor/demultiplexor Según la reivindicación 1ª, para demultiplexar un flujo de datos sincrónico que tiene un formato de datos predeterminado y una velocidad en bits primera en n grupos de datos asíncronos que tienen una segunda velocidad en bits menor que la primera. El grupo de datos se hace sincrónico con el flujo de datos añadiendo solamente un bit de completo a algunos grupos de datos en diferentes posiciones de bits dadas, dentro del formato de datos. Donde n es un entero mayor que la unidad, comprendiendo:

- una entrada para el flujo de datos;
- elementos primeros acoplados a dicha entrada, estando dicho elemento sincronizado con el flujo de datos para producir una señal de control de incompleto cuando aparecen cada uno de los bits de completo; y
- n elementos segundos acoplados a los primeros, cada uno respondiendo a una señal de control de incompleto asociada para anular dicho bit de ciertos grupos de datos. Cada elemento segunda proporciona uno de los grupos de datos a la salida del mismo.

20.- Un equipo, según el punto 19, en el que cada elemento segundo incluye un almacenamiento elástico que tiene:

- un elemento de almacenaje acoplado al elemento quinto,
- elementos séptimos acoplados a los quintos y a los de almacenaje, que responden a una primera señal de referencia que tiene una segunda velocidad en bits para generar una escritura de reloj para controlar la carga del elemento de almacenaje con un grupo de datos demultiplexado del flujo de datos, y
- elementos octavos acoplados a los séptimos y al elemento de almacenaje, que responde a una segunda señal de referencia que tiene una tercera velocidad en bits menor que la primera, para generar una lectura de reloj para descargar el elemento de almacenaje proporcionando uno de los grupos de datos como salida demultiplexada de uno de los elementos sextos,
- dichos elementos séptimos responden a una señal controladora de incompleto para inhibir la escritura de reloj e impedir que el bit de completo sea cargado en el elemento de almacenaje, suprimiendo dicho bit del grupo de datos asociado.

21.- Un equipo , según el punto 20,

en el que los elementos octavos incluyen:

- un bucle cerrado de fase que tiene:
- un comparado de fase que responde a la lectura y escritura de reloj para producir una señal de control de fase,
- un filtro paso bajo acoplado al comparador para dar paso a dicha señal de control de fase,
- un oscilador controlado a tensión acoplado a dicho filtro, que responde a la señal de control de fase para ajustar la frecuencia de la señal de salida del oscilador,
- un sumador de frecuencia acoplado al oscilador para sumar las frecuencias de la señal de salida del oscilador y de la señal de referencia, y
- un divisor binario acoplado a la salida del sumador para

proporcionar la lectura de reloj.

22.- Un equipo , según el punto 19, en el que cada formato de datos incluye:

- - 64 cuadros medios dentro de un único supercuadro, y
- 5 - 15 subcuadros dentro de cada cuadro medio,
- los subcuadros impares, en cada cuadro medio, incluyen nueve bits, y los pares ocho bits. Los primeros ocho bits de cada subcuadro contiene grupos de datos, y el noveno bit de los sub-
- 10 - el canal superior, en cada cuadro medio, incluye tres bits de línea de ordenes de voz digital, un bit de señalización y control, dos bits de sincronismo corto para definir un código de sincronismo corto, un bit de teletipo de datos digital y un bit de sincronismo largo que proporciona un bit de código
- 15 de sincronismo largo; y el primer elemento incluye:
 - elementos de recuperación de reloj acoplados a dicha entrada que responden al flujo de datos que se recibe para producir una señal de reloj que tiene la segunda velocidad de datos,
 - un elemento de sincronización de cuadro de supergrupo a-
 - 20 - coplado al elemento de recuperación de reloj y a dicha entrada, que responde a la señal de reloj, a los códigos de sincronis-
 - mo corto y largo para producir una señal de inhibición cuando se detecta una situación de fuera de sincronismo,
 - un primer elemento lógico de inhibición acoplado al ele-
 - 25 - mento de recuperación de reloj y al de sincronismo de cuadro, que responde a la señal de inhibición para inhibir un número determinado de bits de la señal de reloj, a fin de cooperar en el establecimiento de la situación de sincronismo,
 - un primer divisor binario y elemento lógico de decodifica-
 - 30 - ción acoplado al primer lógico de inhibición para producir

- un código de selección de grupo rápido, señales de tiempo de subcuadro y señales de tiempo de canal superior, para definir dichos subcuadros y los bits del canal superior,
- 5 - un segundo divisor binario y elemento lógico de decodificación acoplado al elemento de sincronización de cuadro para producir señales de tiempo de cuadro medio, que definen dichos cuadros medios, y producir el código de sincronización empleado como código de sincronización corto por el elemento de sincronización de cuadro,
 - 10 - un tercer divisor binario y elemento lógico de decodificación acoplado en serie con el segundo elemento lógico y al elemento de sincronización de cuadro, para producir un código de selección de grupo lento, señales de tiempo de supercuadro, que definen dicho supercuadro, y producir un código de sincronización largo pseudo-aleatorio, empleado como código de referencia por los elementos de sincronización de cuadro,
 - 15 - un primer demultiplexor acoplado a dicha entrada, a cada elemento sexto y primer divisor y elemento lógico para demultiplexar el grupo de datos completo e incompleto y el canal superior, del flujo de datos que se recibe,
 - 20 - un segundo demultiplexor acoplado al divisor segundo y tercero y elementos lógicos y al primer demultiplexor, para demultiplexar el canal de control, la señal de ordenes del teletipo de datos digital, y la señal de línea de ordenes del canal superior,
 - 25 - un tercer demultiplexor acoplado al tercer divisor y elemento lógico y al segundo demultiplexor, para demultiplexar los códigos de control, la señalización de ordenes de teletipo de datos digital y la señalización de línea de ordenes de voz digital desde el canal de control, y
 - 30 - un circuito controlador de incompleto acoplado a cada elemento

sexto y primero, al tercer divisor y elemento lógico, que responde a los códigos de control, a las señales de tiempo de subcuadro, al código de selección de grupo rápido, a las señales de tiempo de cuadro medio, al código de selección de grupo lento y a las señales de tiempo de supercuadro, para producir una señal controladora de incompleto por cada bit de completo cuya posición de tiempo en el formato de datos esta indicada por los códigos de control.

23.- Un equipo multiplexor/demultiplexor por modulación en código de impulsos asíncrono.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta Memoria consta de 115 hojas escritas por una sola cara.

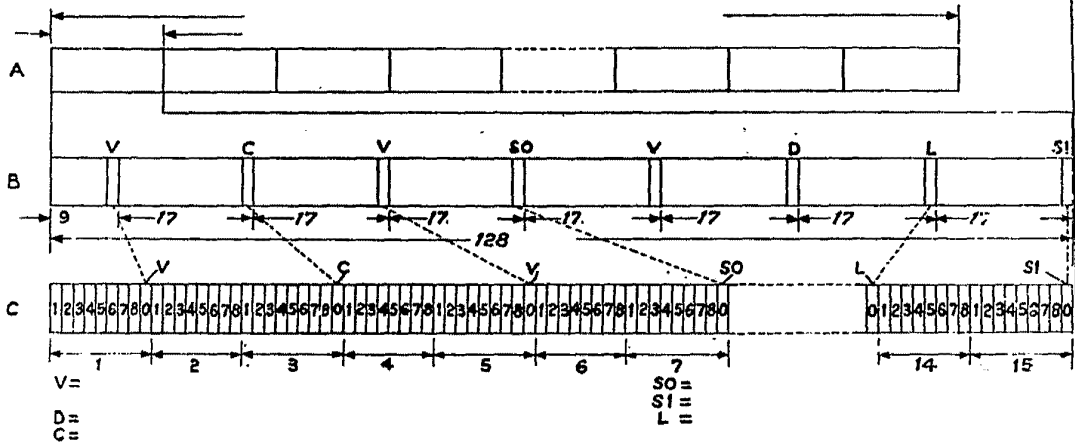
Madrid, 31 JUL. 1975




M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

12/4

Fig. 1

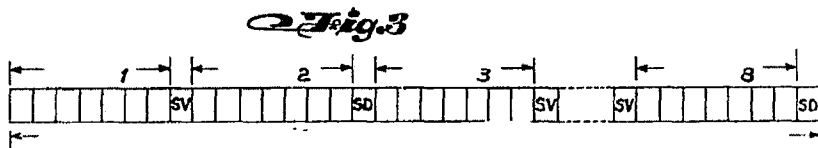
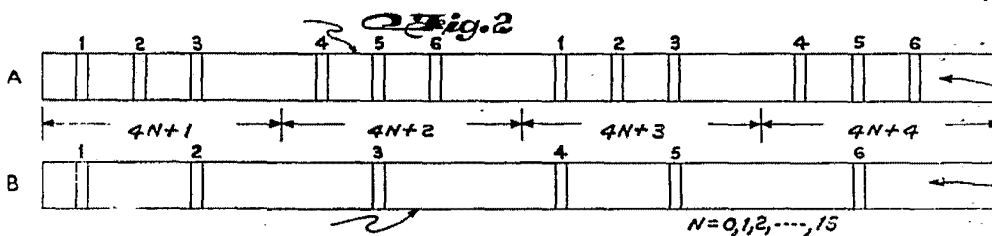


24 FEB 1975



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

12/2



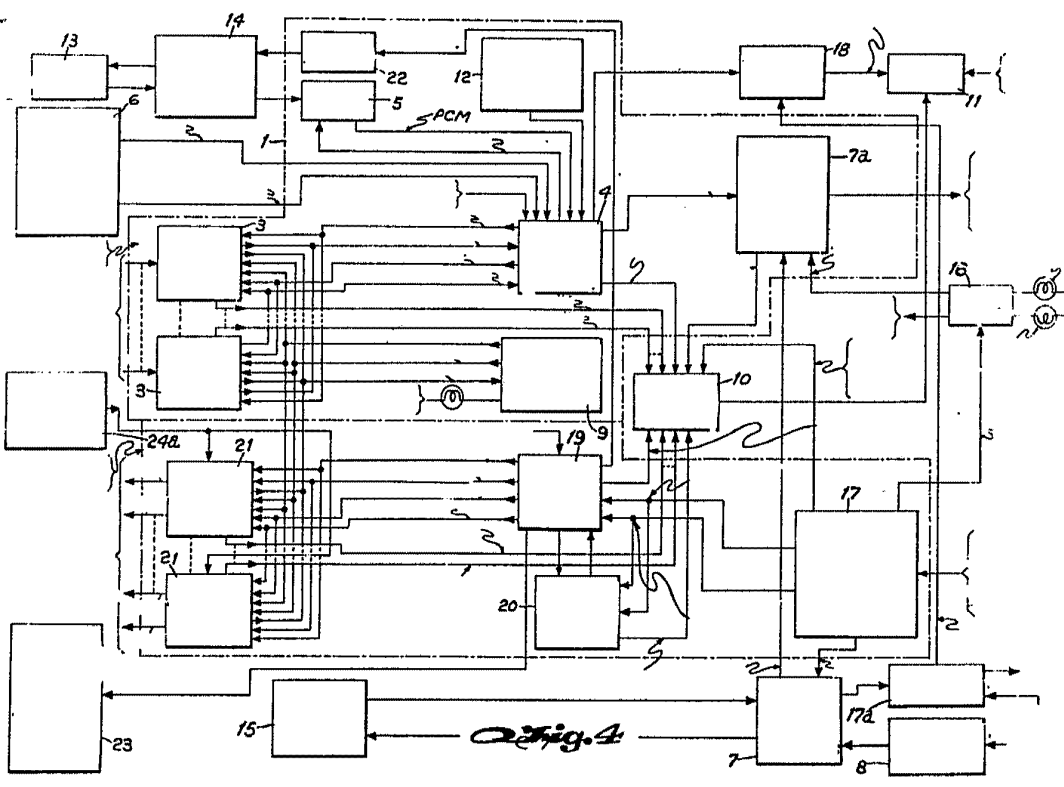
24 FEB. 1975



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

12/3

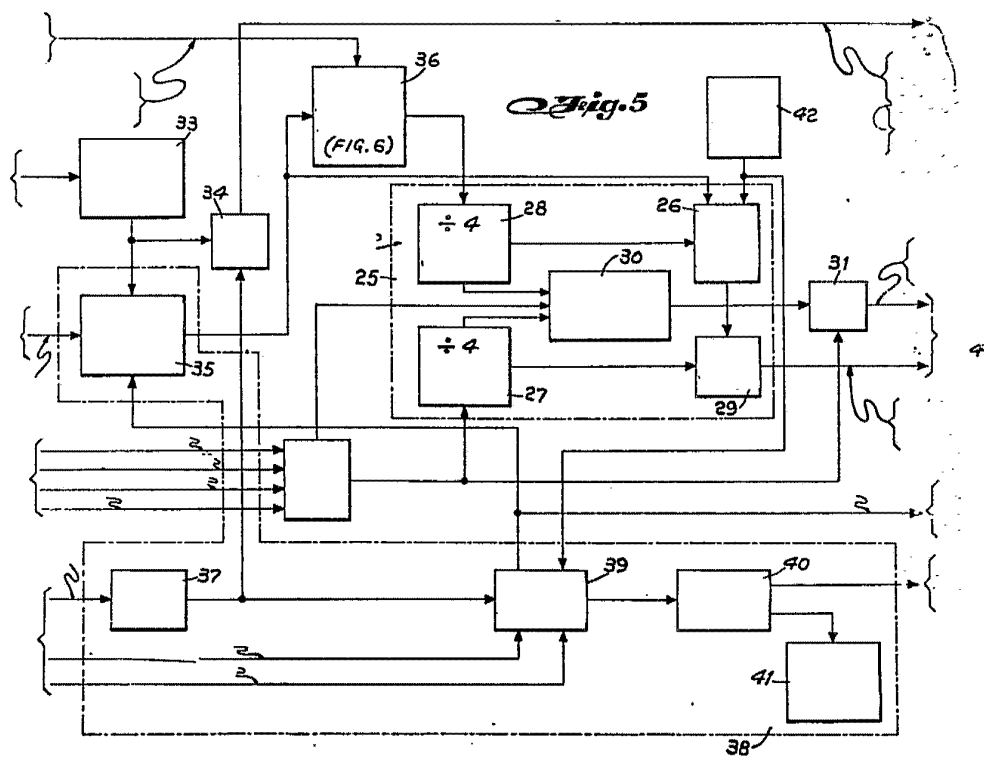
STANDARD ELECTRICA, S. A.



24 FEB. 1975

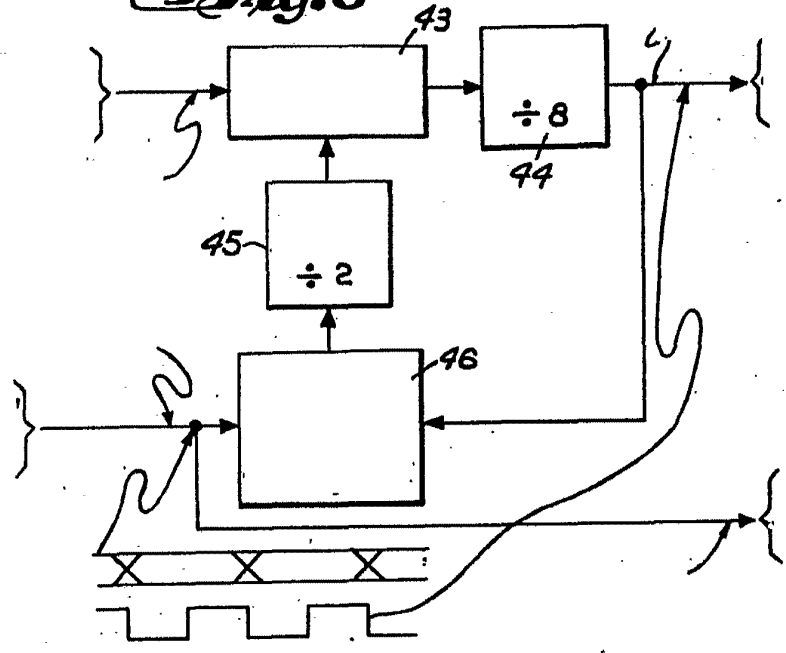


M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



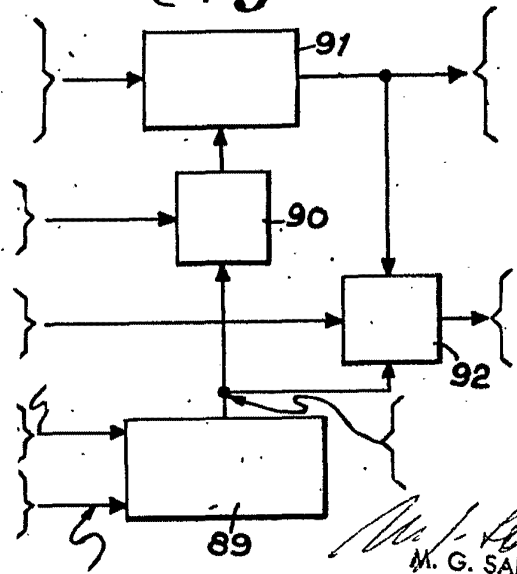
M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

Fig. 6



24 FEB. 1975

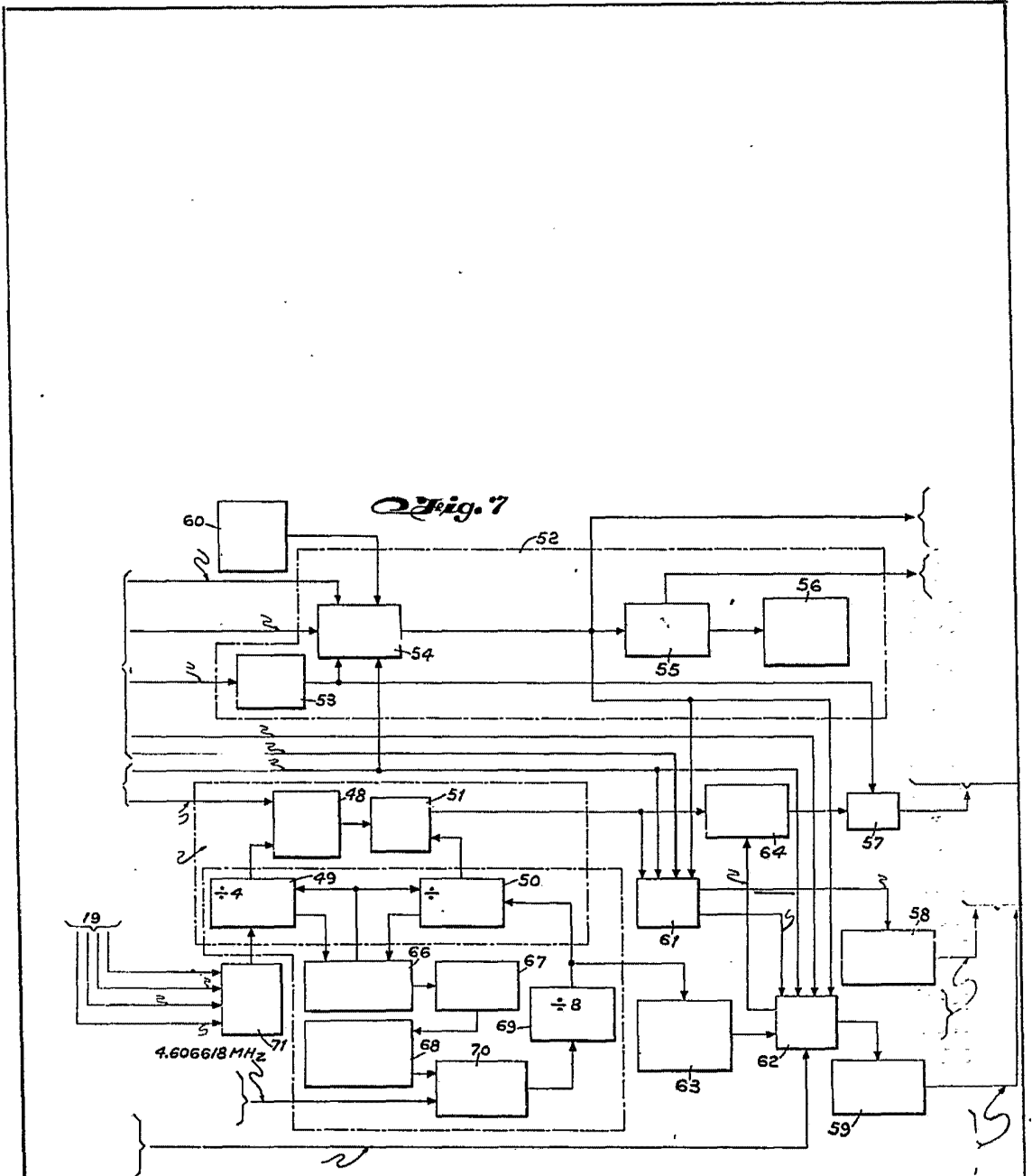
Fig. 9



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

12/6

STANDARD ELECTRICAL S. A.



24 FEB. 1975

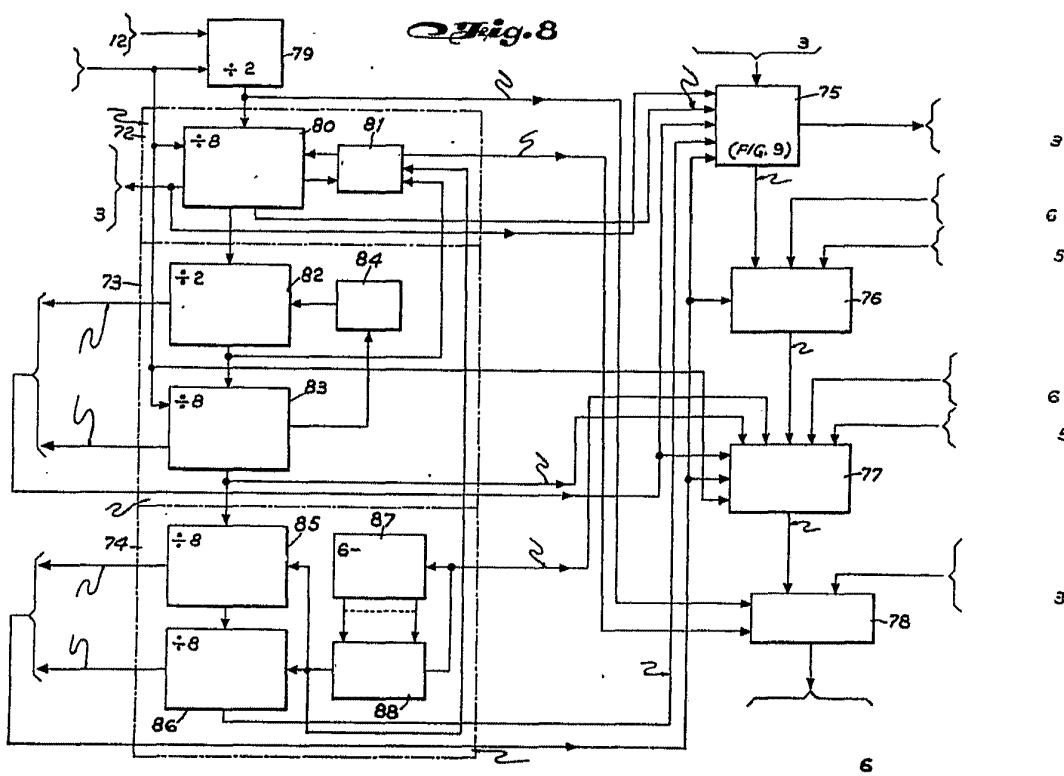


M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

7/21

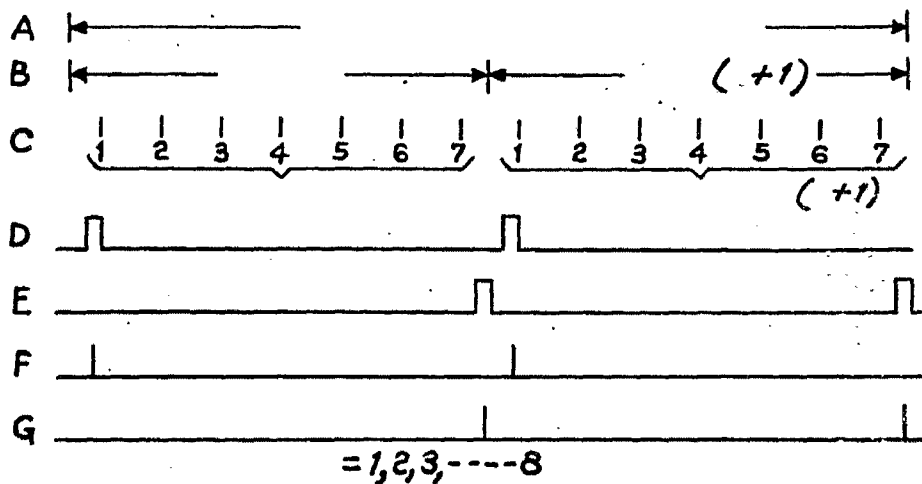
STANDARD ELÉCTRICA, S. A.

24 FEB. 1975



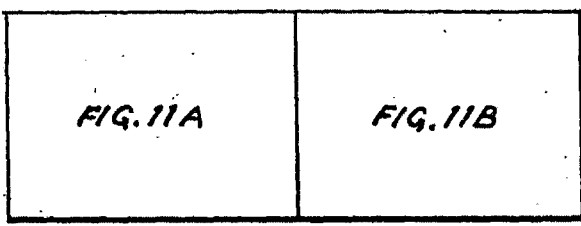
M. G. Santamaría
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

Fig. 10



24 FEB. 1975

Fig. 11C

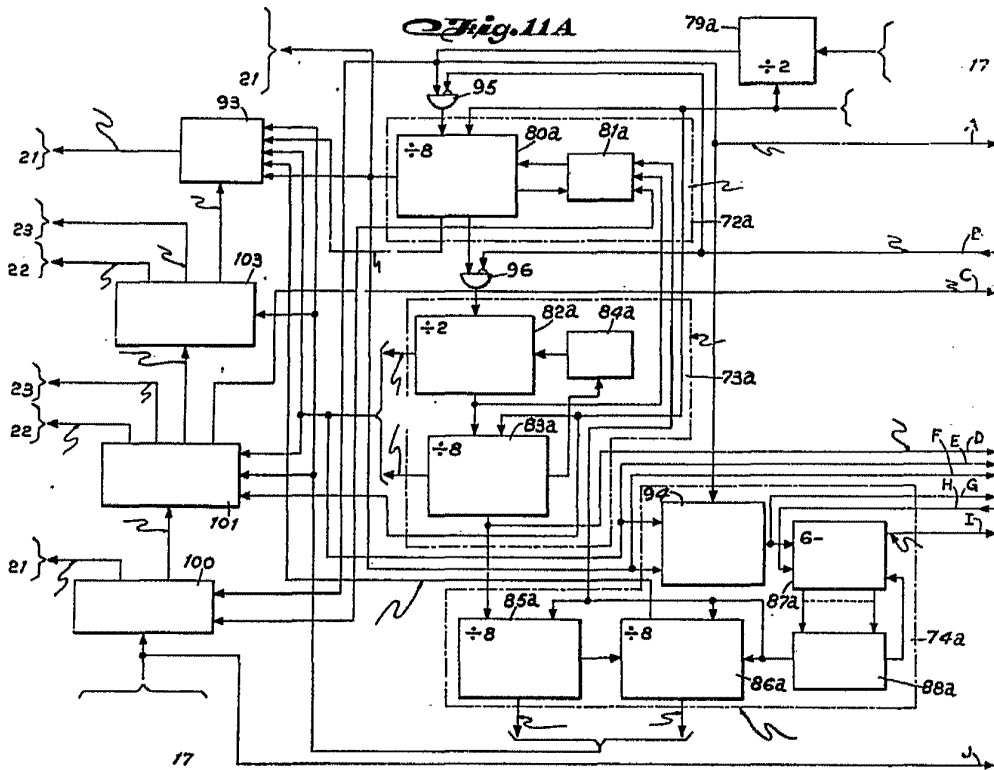


W. G. Santamaria
W. G. SANTAMARIA
VICE-SECRETARIO GENERAL

12/9

STANDARD ELECTRICA, S. A.

245



M. G. Santamaría
M. G. SANTAMARÍA
VICE-SECRETARIO GENERAL

12/10

STANDARD ELECTRICA, S. A.

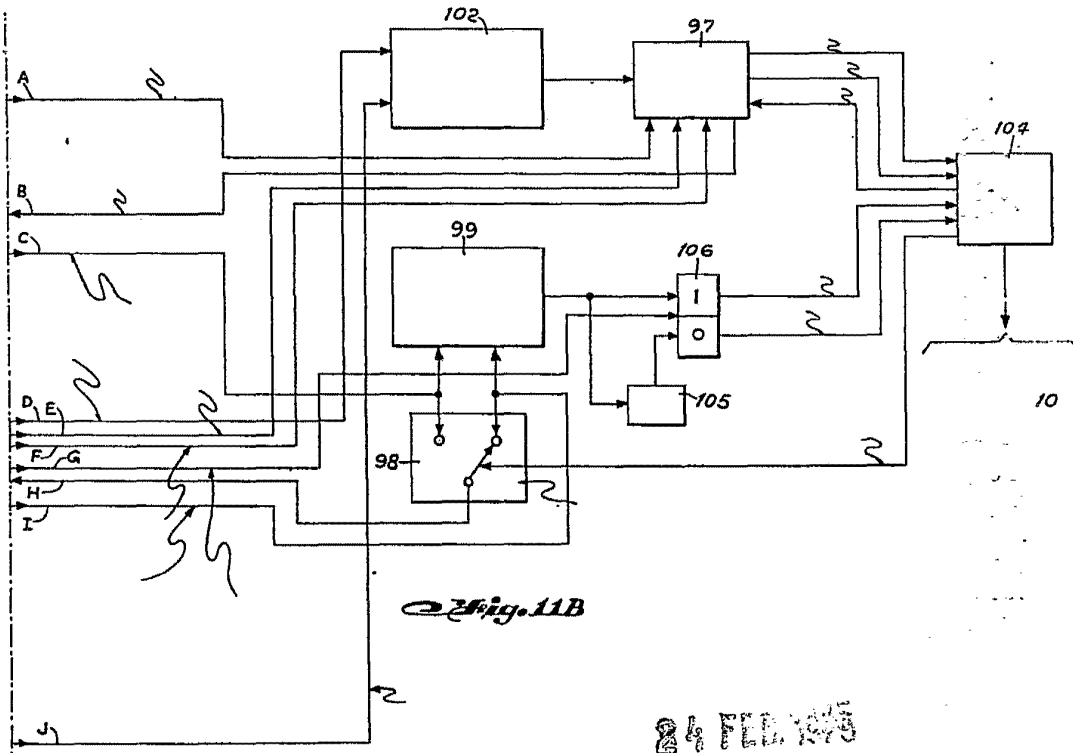
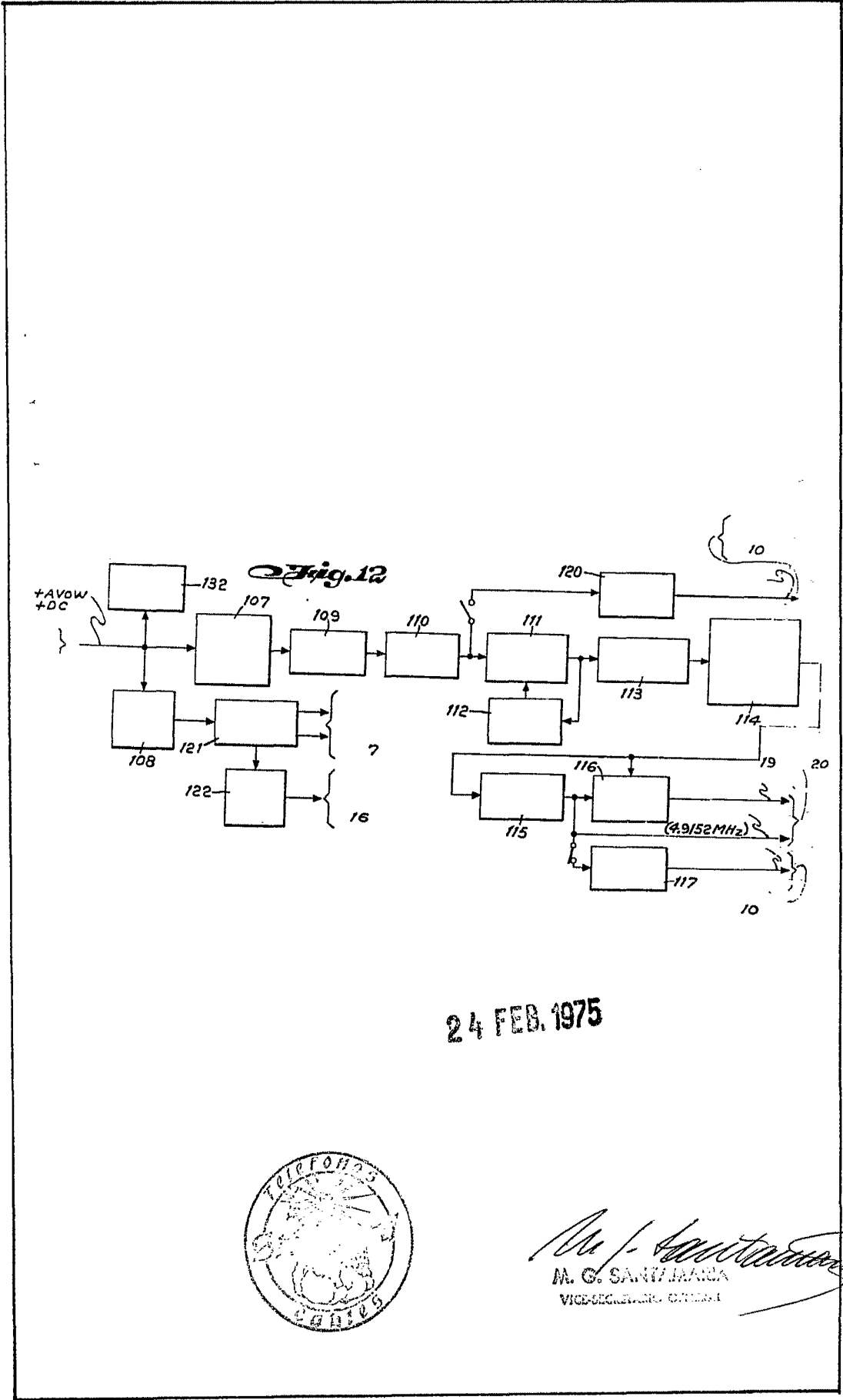


Fig. 11B

24 FEB 1945



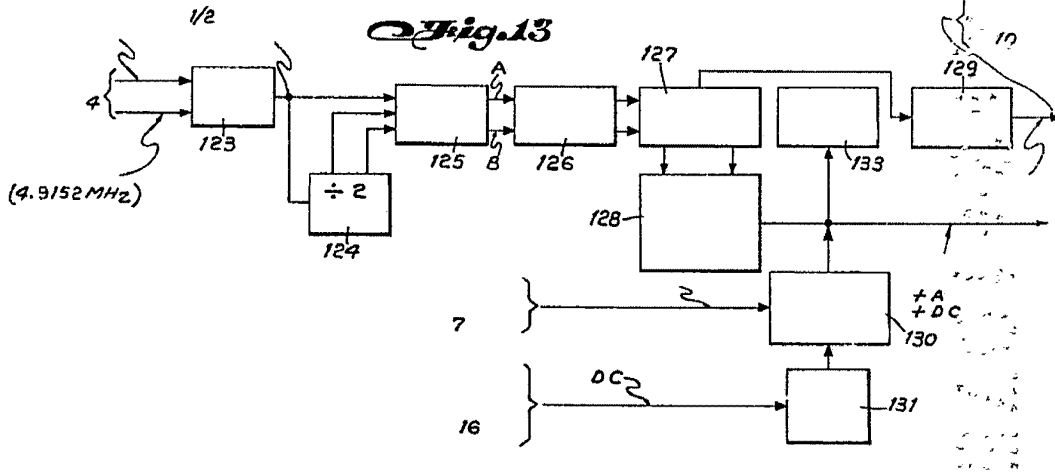
M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



24 FEB. 1975



M. G. Santamaría
M. G. SANTAMARÍA
VICESECRETARIO GENERAL



24 FEB. 1975



M. G. Santamaria
M. G. SANTAMARIA
VICESECRETARIO GENERAL