

413522



413522

Fe-12-5-75

Int. Cl.:	H04B, N // H01L
PATENTE DE INVENCIÓN	
RCA 64810.	

## Memoria Descriptiva

sobre:

PERFECCIONAMIENTOS EN CIRCUITOS DE ELABORACION DE SEÑALES ELECTRONICAS.

\*\*\*\*\*

*Solicitante:* RCA CORPORATION, entidad norteamericana, residente en 30 Rockefeller Plaza, Nueva York, N.Y.10020, EE.UU.de A.

\*\*\*\*\*

Este invento se refiere a circuitos de elaboración de señales electrónicas y, en particular, a circuitos de un tipo que se puede fabricar fácilmente en forma integrada monolítica y son útiles, por ejemplo, en receptores de televisores en color.

5.

En muchos tipos diferentes de aparatos eléctricos existe

413522

- 2 -



5. La necesidad de muestrear una característica particular de una señal (v.g. amplitud, fase relativa, frecuencia) a intervalos, para proporcionar una señal de salida, por ejemplo un voltaje, representativa de la característica muestreada. En el medio ambiente de un circuito integrado, el muestreo sincrónico o detención se realiza por medio de circuitos multiplicadores analógicos del tipo que se describe, por ejemplo, en la patente USA. nº 3,629,611 (y la solicitud a la que se hace referencia en la presente). Normalmente, dichos detectores comprenden un circuito de carga de resistencia-capacitancia que tiene una constante de tiempo elegida según sea la naturaleza de la información que se ha de detectar. Si los intervalos de muestreo están separados con relativa amplitud si se compara con su duración (v.g, un ciclo de pequeña potencia), el detector deberá proporcionar una alta ganancia para producir un promedio utilizable de voltaje de salida a través de la red de filtro. El muestreo en el ciclo de baja potencia se encuentra, por ejemplo, en un receptor de televisión en color donde se emplean detectores sincrónicos equilibrados para detectar la amplitud y/o la fase relativa (comparada con una corriente de salida interna del oscilador) de señales de impulsión de sincronización de color recibidas. Estos detectores sincrónicos se utilizan para proporcionar señales de control automáticos de croma (CAC) y de sincronización del oscilador de control automático de fase y frecuencia (CAFF), respectivamente.

25. En las condiciones de emisión empleadas en los EE.UU, que son normas típicas para los fines de la descripción presente, la información de impulsión de color se transmite durante un intervalo de sincronización después del final de cada parte representativa de imagen de la señal correspondiente a una línea de exploración horizontal. La impulsión de color consiste en ocho o más ciclos de una forma de onda que tiene una frecuencia igual a la de una subportadora de color transmitida (aproximadamente 3,58 MHz). Un intervalo de exploración de línea (incluyendo las

30.

413522



- 3 -

partes de imagen y sincronización) tiene una duración de 63,5 microsegundos. La información de impulsión de color está presente solamente en el intervalo de tiempo de aproximadamente 2 microsegundos y ausente en el resto de cada intervalo de exploración de línea (aproximadamente 60 microsegundos).

5.

Para proporcionar la ganancia de detección elevada deseada, los detectores anteriores a este invento han empleado una combinación de un capacitor de filtro externo y un resistor separado, externo, de valor relativamente elevado, como carga del detector. Según es bien sabido, los valores absolutos de los resistores dentro del circuito integrado no se pueden mantener dentro de tolerancias estrictas (v.g, las variaciones del 30% son normales). Además, las características térmicas de resistores internos y externos son en general distintas. Por lo tanto, resulta difícil producir características de funcionamiento pronosticables en circuitos integrados empleando componentes determinantes de la ganancia externos, a menos que se adopten medios para el ajuste de los componentes externos.

10.

15.

Según es bien sabido, los componentes separados variables son relativamente costosos y, además, pueden exigir el empleo de uno de los relativamente pocos terminales disponibles para conexiones entre circuitos fuera y dentro de los confines de un bloquecito de circuito integrado. Por lo tanto, es conveniente en general en el diseño de circuitos integrados, reducir al mínimo el número de componentes externos asociados con dichos circuitos y, en particular, reducir al mínimo los elementos externos ajustables o determinantes de la ganancia, si ello es posible.

25.

Según un aspecto del presente invento, las características de alta ganancia pronosticables se obtienen de un detector de muestreo sin necesidad de resistores reguladores de carga externos o componentes de ajuste de ganancia. Dicho detector comprende un circuito multiplicador de banda ancha que tiene un primer y un segundo terminales de entrada de se-

30.

413522



- 4 -

ñal adaptados para conectarse respectivamente, a una fuente de señales de referencia y a una fuente de señales con una característica que se ha de detectar. Una impedancia de carga de banda ancha respectiva se acopla a un terminal de salida del multiplicador. El terminal de salida se acopla a un dispositivo conmutador de muestreo, funcionando dicho dispositivo conmutador entre estados de impedancia baja y alta para acoplar, alternativamente, el terminal de salida del multiplicador a una red de filtro y para desconectar el terminal de salida de la red de filtro. En una modalidad de preferencia, el dispositivo conmutador es bidireccionalmente conductor y la red de filtro comprende un resistor y un capacitor en serie. El resistor se acopla al dispositivo conmutador de forma que ambas corrientes de carga y descarga (bidireccional) asociadas con el capacitor, pasen a través del resistor.

El aparato empleado para realizar la función de muestreo arriba descrita es del tipo que se conoce comunmente como circuito de muestreo y retención. En la patente USA. nº 3,715,499 y en la patente USA, nº 3,646,362 se expone algunos ejemplos de dichos circuitos.

En el funcionamiento de un circuito de muestreo y retención, se acopla en general un capacitor intermitentemente a una fuente de señales que se han de muestrear y, entre los intervalos de muestreo, el capacitor almacena la información muestreada. Con el fin de asegurar un muestreo pronosticable y la acumulación o almacenamiento deseado entre muestreo el circuito de acoplamiento deberá conmutar entre una impedancia de carga pronosticable (muestreo) y una impedancia de "retención" relativamente alta. Además, cuando la señal que se ha de muestrear pueda aumentar o reducirse entre intervalos de muestreo, es conveniente que el circuito de acoplamiento pueda cargar o descargar el capacitor asociado de una forma prácticamente simétrica para asegurar respuestas similares a cualquier cambio a la señal que se ha de muestrear. Además, es conveniente que la transición entre los modos de muestreo y retención se re-

413522



- 5 -

lativamente rápida para evitar pérdidas de información durante la transición.

5. Según un aspecto adicional del presente invento, se consigue un dispositivo de circuito de muestreo y retención que cumple con el criterio expuesto. El circuito de muestreo y retención comprende un capacitor acumulador y medios de conmutación para acoplar intermitentemente el capacitor a una fuente de señales que se ha de muestrear. Los medios de conmutación comprenden un primer transistor que tiene una base acoplada a la fuente de señales y un emisor acoplado al capacitor. Un dispositivo de conmutación diferencial de un segundo y un tercer transistores se acopla a través de la base-emisor del primer transistor. Los emisores del segundo y tercer transistores se acoplan a una fuente de corriente, mientras que los colectores del segundo y tercer transistores se acoplan, respectivamente, a la base y emisor del primer transistor. El tercer transistor se conmuta conectándose durante el intervalo de muestreo, mientras que el segundo transistor se desconecta. Durante el intervalo de recepción, el tercer transistor se desconecta, mientras que el segundo se conecta.

10. Otros aspectos adicionales del presente invento resultarán evidentes a los expertos en la materia en el transcurso de la descripción que sigue, tomando como referencia el dibujo adjunto, en el que

20. La Fig.1 es una representación esquemática detallada, parcialmente en forma esquemática de conjuntos, de un dispositivo de detección síncrono construido según el presente invento.

25. La Fig.2 es un diagrama esquemático de circuito detallado de fuentes de suministros de voltaje de servicio y corriente y amplificadores de manipulación que se pueden utilizar con el dispositivo ilustrado en la Fig.1; y

30. La Fig.3 es un esquema de conjuntos de una parte de un receptor de televisión en color, que comprende circuitería de elaboración

413522



- 6 -

de croma adaptada para construirse en forma de circuito integrado, siendo la circuiteria de elaboración de croma apropiada para utilizarse en el aparato de detección sincrónico ilustrado en la fig.1 y la circuiteria adicional de la Fig.2.

5. Refiriendonos a la Fig.1 se ilustra un detector de fase sincrónico apropiado para construirse en forma de circuito integrado en un solo bloquecito 20 de material monolítico, como es el silicio. El detector de fase ilustrado se puede utilizar por ejemplo, para proporcionar control automático de fase y frecuencia (CAFF) para un oscilador 21, como
10. puede ser un oscilador de onda continua del tipo utilizado para generar una subportadora de color en receptores de televisión en color. El oscilador ilustrado 21 comprende un amplificador 22 que amplifica y limita señales en el circuito oscilador. Una corriente de salida del amplificador 22 se alimenta a un circuito de defasaje controlable 23. La corriente de
15. salida del circuito de defasaje 23 se acopla, a su vez, por una red de componentes separados de circuito determinante de la frecuencia a la entrada del amplificador 22. Los componentes del circuito determinante de la frecuencia son externos al circuito integrado 20 (cuyos confines están
20. indicados por el contorno de líneas de rayas) y comprenden la combinación en serie de un resistor 25, un elemento de filtro de cristal de banda estrecha 26 y un condensador variable 27 acoplado entre terminales 6 y 7 del bloquecito 20. Un capacitor de derivación 28 se acopla también desde el terminal 7 hasta un potencial de referencia (v.g, masa). El oscilador 21 se dispone para que produzca una onda continua en una salida del amplificador 22 a la frecuencia deseada. Cuando se trata de un receptor de
25. televisión en color, el oscilador 21 se dispondría, según las normas de la transmisión de señales de una localidad particular, para proporcionar oscilaciones a una frecuencia igual a la de la onda subportadora suprimida asociada con las señales de color o croma. Por ejemplo, en los EE.UU, las
30. frecuencias de las subportadoras de croma y, por lo tanto, del oscilador

413522



- 7 -

5. de croma es en general del orden de 3,58MHz (aunque la frecuencia real sea ligeramente menor). La señal de salida de onda continua del oscilador 21 se acopla, por una red que comprende un resistor 29 y una capacitancia en derivación 30 en serie, esta última ilustrada con líneas de rayas, a un terminal de un primer par de terminales de entrada de un detector de fases síncrono equilibrado 31 del tipo de multiplicador mencionado anteriormente.

10. Una fuente de ondas de señal de referencia ilustrada como un amplificador de ganancia controlado 32 se acopla a un segundo par de terminales de entrada del detector 31. En un receptor de televisión en color la fuente de ondas de la señal de referencia comprende un primer amplificador de la señal de crominancia al que se alimentan los componentes de la señal de crominancia de una señal de televisión en color. Por ejemplo, según se ilustra, dichas señales de croma se alimentan, por el

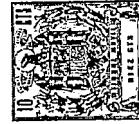
15. terminal 1 del bloquecito 20, y comprenden un componente de señal de imagen en color impuesto como modulación en amplitud en fases elegidas de una onda subportadora de color suprimida y un componente de impulsión de sincronización de color. El componente de impulsión de color comprende

20. normalmente unos 8 ciclos de subportadora de color sin modular bloqueados en fase con las subportadoras suprimida y transmitidos durante el intervalo de sincronización que sigue al final de cada línea de información de imagen de la señal de televisión transmitida. El amplificador de croma 32 se alimenta normalmente con señales de control automático de ganancia según se explicará más adelante con relación a la Fig.3, y por lo tanto,

25. se denomina amplificador controlado de ganancia. Las señales de salida en contrafase, que comprende la subportadora suprimida modulada en amplitud y los componentes de impulsión, se alimentan desde el amplificador 32 a un segundo par de terminales de entrada del detector 31. El segundo par de terminales de entrada comprende los electrodos de base de un primer par

30. de transistores acoplados de una forma diferencial 33,34. Los emisores de

413522



- 8 -

5. Los transistores 33 y 34 se unen entre sí y se acoplan al circuito colector-emisor de un transistor 35 dispuesto en una configuración de corriente prácticamente constante. Con este fin, un resistor 36 se acopla entre el emisor del transistor 35 y un potencial de referencia del bloquecito interno (masa), mientras que un suministro de voltaje compensado ( $\pm 1,7v$ ) es acoplado al electrodo base del transistor de la fuente de corriente 35.

10. Un segundo par de transistores conectados de una forma diferencial 37 y 38 se acopla al colector del transistor 33 mientras que un tercer par de transistores conectados de una forma diferencial 39 y 40, se acopla al colector del transistor 34. Las bases de los transistores 39 y 40 se unen entre sí y se acoplan al resistor 29 para proporcionar uno de los terminales del primer par de terminales de entrada del detector 31. Las bases de los transistores 38 y 40 se unen también entre sí para proporcionar el segundo del primer par de terminales de entrada. En la 15. modalidad ilustrada, las bases unidas de los transistores 38 y 40 se acoplan a un potencial de polarización prácticamente constante (BIAS) igual al potencial estable proporcionado a las bases de los transistores 37 y 39. Las bases de los transistores 38 y 40 se ponen en derivación a masa 20. para las señales por medio de un capacitor externo 41 acoplado entre el terminal 4 del bloquecito y masa.

25. Los colectores de los transistores 38 y 39 (uno de cada uno del segundo y tercer pares) se unen entre sí y se acoplan a una fuente de voltaje de servicio (v.g,  $\pm 11,2v$ ). Los colectores de los transistores restantes 37 y 40 del segundo y tercer par se acoplan, por un resistor regulador de carga 42, a la fuente de suministro de voltaje de servicio.

30. Los transistores manipulados 43 y 44 se acoplan, respectivamente, con sus trayectos colector-emisor en paralelo con los trayectos colector-emisor de los transistores 33 y 34. Se alimentan impulsos de manipulación periódicos (B) a las bases de transistores de manipulación 43.

413522



- 9 -

5. y 44 para poner los transistores 43 y 44 en conducción durante intervalos predeterminados y para desconectarlos en intervalos predeterminados complementarios de cada ciclo de funcionamiento. Cuando se trata de un receptor de televisión en color, los transistores 43 y 44 están en conducción durante la parte de imagen de los intervalos de exploración de líneas, para desactivar de un modo efectivo los transistores 33 y 34 (y eliminar por lo tanto el efecto de los componentes de la señal de entrada y portadora de croma alimentada a los mismos). Durante los intervalos de sincronización de líneas, los transistores 43 y 44 están desconectados, permitiendo por lo tanto el paso de información de impulsión de color a los emisores de los transistores del segundo y tercer pares 37,38, 10. 39,40, por los transistores 33 y 34. Según se explica en la patente USA. nº 3.651,418, dicha configuración mantiene un potencial estable prácticamente constante a través del resistor regulador de carga de salida 42 cuando los transistores 43 y 44 se conmutan desde un estado al otro. 15.

Las señales de salida sin filtrar producidas a través del circuito regulador de carga resistivo 42 se acoplan por un transistor seguidor de emisor aislante 45 a un circuito de muestreo y retención de señales 46 y a un circuito de muestreo y retención de polarización 47.

20. En el circuito de muestreo y retención de señales 46, el emisor del transistor seguidor 45 se acopla, por un resistor 48, a la base de un transistor seguidor manipulado 49. El emisor del transistor seguidor manipulado 49 se acopla, a su vez, a una primera red de constante de tiempo que comprende un resistor 50 y un capacitor de filtro externo de valor relativamente bajo (0,01 micro-faradios) 51, acoplándose 25. el capacitor entre el terminal 2 del bloquecito 20 y masa. Esta primera constante de tiempo se elige para proporcionar una respuesta conveniente para la sincronización del oscilador 21.

30. El circuito de muestreo y retención de señales 46 comprende además medios de conmutación diferenciales que tienen un primer y un

413522



- 10 -

segundo transistores de conmutación 52 y 53, acoplados en una disposición diferencial y un transistor de fuente de corriente asociado 54. Un resistor 55 se acopla entre masa y el emisor del transistor de la fuente de corriente 54, mientras que un potencial de polarización de referencia (+ 1,7v) se acopla a la base del transistor 54. Un potencial de polarización prácticamente constante (+ 4,2v) se acopla a la base del transistor 52. El colector del transistor 52 se conecta a la unión del resistor 48 y a la base del transistor 49. El colector del otro transistor 53 del dispositivo conmutador de señales diferencial se conecta a la unión del resistor 50 y el emisor del transistor 49. Los impulsos de manipulación (A) que están invertidos si se compara con los alimentados a las bases de los transistores 43 y 44, se alimentan a la base del transistor 53 y sirven para poner el transistor 53 en conducción durante el intervalo de muestreo de señal deseado (v.g, impulsión de color) y para desconectarlo durante el resto de cada ciclo de funcionamiento.

El circuito de muestreo y retención de polarización 47 es similar al circuito de muestreo y retención de señales 46 y comprenden un resistor 56 acoplado entre el emisor del transistor seguidor 45 y la base de un transistor seguidor manipulado 57. Una red de constante de tiempo relativamente largo, que comprende un resistor 58 y un capacitor externo 59 (0,1 micro-faradios) en serie, se acopla entre el emisor de transistor seguidor manipulado 57 y masa. El capacitor 59 se acopla al terminal del bloquecito 3. En una disposición de preferencia, los resistores 48 y 56 son prácticamente iguales (v.g, 2000 Ohmios) y los resistores 58 y 50 son prácticamente iguales (v.g, 5000 Ohmios). En este caso, el capacitor 59 es prácticamente mayor que el capacitor 51 (v.g, 10 veces) para proporcionar la relación deseada entre la señal y las constantes de tiempo de muestreo de polarización. Una red contra fluctuaciones (amortiguadora), que comprende una combinación en serie de resistor 60 y un capacitor 61 de valor elevado (10 micro-faradios) se acopla entre los terminales 2 y 3. La red con:

413522



- 11 -

5. tra fluctaciones no es necesaria en todos los tipos de detectores, pero puede ser útil en el contexto del control del oscilador de color, para reducir el efecto de perturbaciones transitorias en el oscilador, particularmente durante el intervalo de retroceso del haz electrónico vertical cuando se encuentra ausente la información de impulsión.

10. El circuito de muestreo y retención de polarización 47 comprende además transistores conmutadores diferenciales 62 y 63, que tiene sus colectores acoplados, respectivamente, a la base y emisor de un transistor seguidor manipulado 57 y sus emisores unidos entre sí en el colector de un transistor de fuente de corriente 64. Un resistor 65 se conecta entre el emisor del transistor de la fuente de corriente 64 y masa. Un potencial de polarización compensado (+1,7v) se acopla a la base del transistor de la fuente de corriente 64. Los impulsos de manipulación (A) se acopla a la base del transistor conmutador 62. Se observará que, en el

15. circuito de muestreo y retención de polarización 47 y el transistor 62, al que se acoplan los impulsos de manipulación A, se conecta a la base (entrada) del transistor seguidor manipulado 57. En el circuito de muestreo y retención de señales 46, el transistor 53, al que se acoplan los mismos impulsos de manipulación A, se conecta al emisor (salida) del transistor seguidor manipulado 49. Según se explicará más adelante, el efecto de esta conexión diferente es que los circuitos de muestreo y retención de señales y polarización 46 y 47 funcionen de una forma complementaria, v.g, mientras uno está muestreando la señal de salida del detector 31, el otro está desconectado y viceversa. A continuación se describe

20. el funcionamiento detallado del sistema de la Fig.1.

25.

30. La información que se ha de detectar con el sistema ilustrado en la Fig.1, tiene lugar solamente durante una parte de cada ciclo de funcionamiento (v.g, el intervalo de muestreo). Por ejemplo, cuando se trata de un sistema de televisión en color, cuando se ha de detectar la fase de la impulsión de referencia de color, el ciclo de funcionamiento

413522



- 12 -

5. corresponde a cada ciclo de exploración de línea, teniendo lugar el intervalo de muestreo de impulsión próximo al final de cada uno de dichos ciclos seguidos a la transmisión de señales representativas de la imagen. los impulsos de muestreo (A,B) necesarios para utilizarse en dicho medio ambiente tiene lugar, por lo tanto, de una forma cíclica al régimen de exploración de líneas (aproximadamente 15,750 MHz en normas U.S.A) y tiene una duración del orden de 8micro segundo. Para facilitar la explicación restante, se describe la operación del circuito en dicho medio ambiente.

10. En el estado estable del detector 31 (sin señales alimentadas y los transistores 43 y 44 desconectados), la corriente suministrada por el transistor de la fuente de corriente 35 (normalmente de un miliamperio) se divide prácticamente por igual entre los transistores 33 y 34 polarizados de un modo similar. Finalmente, las corrientes de los colectores de los transistores 33 y 34 se dividen prácticamente por igual en los segundos y tercer pares sucesivos de transistores diferenciales 37, 38 y 39,40. Las corrientes de los colectores de los transistores 37 y 40 se vuelven a combinar en el resistor regulador de carga 42, siendo la corriente combinada de nuevo prácticamente igual a la mitad de la corriente alimentada por el transistor 35. Una caída de voltaje estable típica a través del resistor 42 es de dos voltios (v.g, el resistor 42 es normalmente de 4000 Ohmios). Con un suministro de voltaje de servicio principal de 11,2V, el voltaje en la base del transistor 45 es de aproximadamente 9,2v en estado estable. El voltaje en el emisor del transistor 45 será, por lo tanto, de aproximadamente 8,5v en este estado (un <sup>V</sup> be menor).

25. Suponiendo, por el momento, que esté presente el impulso de manipulación A (que representa la aparición del intervalo de sincronización), los transistores de conmutación 53 y 52 se encontrarán en estado de conducción, Los resistores 55 y 65, asociados con los transistores de la fuente de corriente 54 y 64 se eligen, por ejemplo, con un va-

30.

413522

- 13 -



- lor igual al doble del resistor 56. Una corriente normal 0,5 miliamperios fluye en cada uno de los transistores 54 y 64. Estas corrientes pasan enteramente a través de los transistores 53 y 62, cuando los transistores 52 y 63 están desconectados en repuestas al impulso A de muestreo o manipulación. El transistor 57 están también desconectado en estas circunstancias sirviendo al transistor 62 para desviar corriente que fluiría de otro modo a la base del transistor 57. En el circuito de muestreo y retención de señales de 46, el transistor 49 está en conducción, produciendo un voltaje prácticamente igual a  $+7,8v$  en su emisor. El capacitor de filtro externo 51 se cargará hacia  $+7,8v$  por el resistor 50 y el transistor de conmutación 53. Cuando finaliza el intervalo de muestreo, los transistores 53 y 62 se desconectan y, por acción diferencial, se conectan los transistores 52 y 63. Después de un número de ciclos de dicha operación, el capacitor 51 se cargará suficientemente por lo que, cuando se desconecta el transistor 53 y se conecta el transistor 52, el voltaje base-emisor del transistor 49 será de una polaridad que desconectará al transistor 49 (polarización inversa). El resistor 49 se elige de un valor suficientemente elevado para que la caída de voltaje a través del mismo, producida por la corriente del colector del transistor 52, sea suficiente para asegurar esta polarización inversa. Como los transistores 49 y 53 están desconectados cada uno, el trayecto de descarga para el capacitor 51 es aproximadamente un circuito abierto. Por lo tanto, el capacitor 51 mantiene su carga hasta que se manipulan de nuevo los transistores 53 y 49 conectándose durante el intervalo de muestreo siguiente (impulsión).
- En el circuito de muestreo y retención de polarización 47, el impulso de muestreo o manipulación A se alimenta al transistor opuesto de los transistores de conmutación (62), si se compara con el circuito de muestreo y retención de señales 46. Por lo tanto, el capacitor 59, de una manera similar a la descrita anteriormente con relación al capacitor 51, se carga durante el intervalo de exploración de línea por el

413522



- 14 -

resistor 58 y el transistor 63 hacia el voltaje que aparece en el emisor del transistor conductivo 57. Durante el intervalo de impulsión, los transistores 57 y 63 se desconectan y el capacitor 59 mantiene su carga.

5. El voltaje estable en el emisor del transistor 57 se deriva desde el mismo punto del circuito, la unión del resistor regulador de carga 42 y los colectores unidos de los transistores de detección 37 y 40, que el voltaje estable en el emisor del transistor 49. Además, los elementos de circuitos correspondientes (45,48,49 en un caso y 45,56,57 en el otro) son prácticamente idénticos. En ausencia de cualquier señal de entrada al detector 31, estos dos voltajes estables, y por lo tanto los voltajes estables a través de los capacitores 51 y 59 serán iguales. Como el intervalo de muestreo es relativamente corto, si se compara con el tiempo entre intervalos de muestreo, existe muy poco peligro de que pase ruido u otra información al capacitor 51 durante el intervalo de muestreo que molestara su estado estable (o almacenamiento de error). No obstante, durante el intervalo de exploración de línea relativamente corto, cuando el transistor seguidor de muestreo de polarización 57 está en conducción, las señales normales de croma o el ruido pueden pasar a través del detector 31 y molestar o perturbar al voltaje representativo de la polarización acumulado en el capacitor 59. Por lo tanto, los transistores 43 y 44 se conectan durante cada intervalo de línea poniendo en derivación los transistores 33 y 34. Los transistores 43 y 44 son prácticamente idénticos a los transistores 33 y 34 y sirven para producir el voltaje estable normal descrito anteriormente a través del resistor regulador de carga 42 durante el intervalo de exploración de línea.
- 10.
- 15.
- 20.
- 25.

30. En el funcionamiento normal del detector de fases 31, la información de la subportadora de color alimentada por el amplificador de ganancia controlada 32 a las bases de los transistores 32 y 33 no aparece, por lo tanto, a través del circuito de carga 42. Durante cada intervalo de muestreo de impulsión, los transistores 43 y 44 están desconectados. A

413522

- 15 -



los transistores 33 y 34 se alimentan componentes de impulsión en contra-  
fase y se comparan con la corriente de salida del oscilador 21 alimentada  
a las bases de los transistores 37 y 39. Según se ilustran en el dibujo,  
un defasaje de retardo, por ejemplo de  $45^\circ$ , se introduce entre la señal  
5. de salida del oscilador 21 y la señal de entrada del detector 31, por me-  
dio del resistor 29 y la capacitancia 30, estando esta última prevista por  
la capacitancia de entrada a masa de las bases de los transistores 37 y  
39. Normalmente, esta capacitancia del orden de 10-12 picofaradios, que  
es suficiente, junto con un resistor 29 de 2,100 Ohmios para producir un  
10. defasaje de aproximadamente de  $45^\circ$  a la frecuencia de 3,58 MHz de la sub-  
portadora de color.

El detector 31 produce una señal de salida de banda a tra-  
vés del resistor regulador de carga 42, representativa de la diferencia  
de fase y/o frecuencia entre la onda de referencia alimentada desde el os-  
15. cilador 21 y el componente de impulsión procedente del amplificador 32.  
Siempre que estas dos señales sean iguales en frecuencia y difieran en fa-  
se en las dos entradas al detector 31 en  $\pm 90^\circ$ , el detector 31 no produce  
cambio en el voltaje de salida estable a través del resistor 42 y, por lo  
tanto, no se produce cambio en el voltaje estable a través del capacitor  
20. 51 o el capacitor 59. Estos últimos voltajes se alimentan al cambiador de  
fases diferencial controlable 23 y, puesto que son iguales, no producen  
cambio en la fase del oscilador para la frecuencia. Si la frecuencia y/o  
fase del oscilador no está relacionada con el componente de impulsión de  
este modo, se producen a través del resistor 42 impulsos de voltaje repe-  
25. titivos que varían del nivel normal estable y son representativos del -  
error. Estos impulsos se producen durante cada intervalo de muestreo de  
impulsión mientras existe un error. La polaridad de los impulsos con res-  
pecto al nivel de referencia es representativa de si predomina la fase del  
oscilador o si se retarda el componente de impulsión. Si el impulso es de  
30. una polaridad que hace que el voltaje en la base del transistor 45 sea más

413522

- 16 -



5. positivo que el nivel estable (o más positivo que una condición previa de error), los transistores 45 y 49 conducen durante el intervalo de muestreo de impulsión y carga del capacitor 51, por el resistor 50, a un voltaje correspondientemente más positivo. El cambiador de fase controlable diferencial 23 produce un cambio correspondiente en fase para reducir el error de fase (o frecuencia) del oscilador 21 hacia cero.

10. Si, por otro lado, los impulsos producidos a través del resistor regulador de carga 42 son de una polaridad que hacen que el voltaje en la base del transistor 45 sea menos positivo que durante el intervalo de muestreo precedente, los transistores 45 y 49 continúan conduciendo pero, como el emisor del transistor 49 se encontrará a un voltaje menor que el que se acumula a través del capacitor 51, el capacitor 51, se descarga a través del resistor 50 y el transistor 53, habiéndose puesto este último en conducción durante el intervalo de muestreo de impulsión según se ha explicado anteriormente. Por lo tanto, un voltaje de control diferencial apropiado se alimenta al cambiador de fase 23 para reducir el error del oscilador hacia cero.

15. Como el circuito de muestreo y retención de polarización 47 se desconecta durante cada intervalo de muestreo de impulsión, las variaciones en la señal de error producidas a través del resistor regulador de carga 42 prácticamente no producen efecto alguno en el voltaje que pasa a través del capacitor 59. No obstante, si debido a variaciones en el voltaje de suministro u otros cambios en las condiciones de funcionamiento la condición estable asociada con el resistor regulador de carga 42 cambia, el circuito de muestreo y retención de polarización 47, así como el circuito de muestreo y retención de señales 46, seguirán dichos cambios estables.

20. En cada caso, los capacitores de filtro 51 y 59 se cargan o descargan durante sus intervalos de muestreo respectivos por medio de trayectos de corrientes iguales bidireccionalmente conductivos. En cada

25.

30.

413522

- 17 -

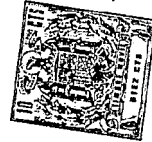


5. caso, los trayectos principales de carga y descarga durante los intervalos de muestreo respectivos, comprenden un resistor (50,51) y un suministro de corriente de transistor (49 o 53 en un caso y 57 o 63 en el otro). El dispositivo ilustrado responde por lo tanto a señales de error de una u otra polaridad con una facilidad prácticamente igual.

10. Refiriéndonos a la Fig.2, se ilustran fuentes de suministro de voltaje de servicio y corriente y un amplificador de manipulación, apropiado para construirse en el bloqucito de circuito integrado 20 de la Fig.1. Una fuente de suministro de voltaje de servicio principal externa de +11,2V se conecta al terminal 12 del bloqucito. Un capacitor de derivación externa 62 se acopla desde el terminal 12 a masa. El resto de los componentes ilustrados se puede construir dentro de los confines del bloqucito 20. Con este fin, la combinación en serie de un resistor 63 y un diodo ZENER 64 se acopla entre el terminal 12 y masa. El diodo 64 se dispone para que proporcione un voltaje de referencia prácticamente constante de 5,6V en las bases de los transistores seguidores de emisor 65 y 66, cuyos colectores se devuelven al terminal 12. Un divisor de voltaje, que comprende las combinaciones en serie de un resistor 67, un resistor 68 dos diodos 69 y 70, se acopla desde el emisor del transistor 65 a la masa. Un divisor de voltaje adicional, que comprende resistores 71 y 72, se acopla a través del diodo 70. Un transistor 73 se dispone con su base conectada a la unión de resistores 67 y 68, con su emisor acoplado por un resistor 74 a masa y con su colector acoplado a un terminal "C". Según se ilustra en la Fig.1, el terminal C se acopla al emisor de transistor seguidor de aislamiento 45 de forma que el transistor 73 proporcione un drenaje de corriente prácticamente constante para mantener el transistor 45 en conducción lineal sobre una gama de variaciones de la señal. Una salida de voltaje (+1,7V) se deriva también del emisor del transistor 73 para polarizar los transistores de fuente de corriente 35,54 y 64 de la Fig.1.

30. El emisor del transistor seguidor 66 se acopla a la base

413522



- 18 -

- de un transistor adicional 75. Un resistor 76 se acopla desde el emisor del transistor 75 a masa, para proporcionar aproximadamente  $+4,2V$  en el emisor del transistor 75. Un resistor limitador de corriente 77 se acopla entre el emisor del transistor 75 y el terminal de salida de  $4,2V$ . Este último terminal se acopla a las bases de los transistores 52 y 63 en la Fig.1, para mantener dichos transistores en conducción cuando los transistores manipulados correspondientes 53 y 62 están inactivos. La forma de la onda de manipulación alimentada al bloquecito 20, por el terminal, 9, se ilustra comprendiendo impulsos de dirección positiva y de duración relativamente corta (V.g, el intervalo de muestreo de impulsión) separados por un intervalo de duración relativamente más larga (la parte representativa de imagen del ciclo de exploración de línea). La forma de la onda de manipulación se acopla, por el terminal 9 y el resistor 78, a la base de un transistor amplificador correspondiente 79. Un par de resistores reguladores de carga conectados en serie 80 y 81, se acoplan entre el colector del transistor 79 y un voltaje de servicio ( $+4,9V$  provistos en el emisor del transistor 66). La forma de la onda de manipulación invertida B, que comprende impulsos de dirección negativa, aparece en la unión de resistores 80 y 81 para acoplamiento a los transistores 43 y 44 de la Fig.1. La forma de la onda B se acopla a la base de un transistor de colector común 82, cuya carga del emisor comprende resistores en serie 83 y 84. La base de un transistor inversor adicional 85 se conecta a la unión de resistores 83 y 84. Los resistores reguladores de carga de los colectores 86 y 87 se acoplan entre los colectores del inversor 85 y el emisor del transistor 66. La forma de la onda de manipulación A que tiene impulsos de dirección positiva, aparece en la unión de resistores 86 y 87 para acoplarse a las bases de los transistores 53 y 62 de la Fig.1.

- Refiriéndonos a la Fig.3, se ilustra una parte de un receptor de televisión que comprende un circuito completo de elaboración de cromina para construirse en el bloquecito monolítico de circuito integrado 20.

413522



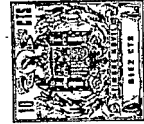
Las partes del bloquecito 20 que están ilustradas también en las Figs. 1 y 2 se indican por los mismos números de referencia en la Fig. 3.

Con este dispositivo, se reciben señales de televisión en color por ejemplo por medio de una antena 101, y se elaboran por medio de circuitos de elaboración de señales de televisión en color normales indicados por el conjunto 102. Los circuitos de elaboración de señales 102 comprenden, por ejemplo, un sintonizador que tiene un amplificador de radio frecuencia (R.F.) y etapas convertidoras para amplificar y traducir las señales recibidas a señales de frecuencias intermedias (F.I.). Las señales de F.I. se amplifican por medio de varias etapas amplificadoras que comprenden elementos selectivos de frecuencias apropiados y se acoplan a un video detector, todo ello dentro del conjunto 102. Un aparato de control automático de ganancia se asocia también con los amplificadores de R.F. y F.I. Los componentes de señal de sincronización incluidos en la señal recibida se separan dentro del conjunto 102 y los impulsos de sincronización de desviación horizontal (línea) se acoplan al aparato de desviación de líneas 103 en el receptor.

Unas señales de salida adicionales (no ilustradas) tales como componentes de señal de sonido, componente de señal de luminancia y componentes de sincronización de desviación vertical, se acoplan también desde los circuitos de elaboración de señales 102 a otras partes del receptor, todo ello de la forma bien conocida.

Las señales de video detectadas producidas en las salidas de los circuitos de elaboración de señales 102, se acoplan a una red de filtro de paso de banda de croma 104 dispuesta para elegir información de la señal representativa del color contenidas en las señales de video detectadas. Las señales representativas de los colores comprenden por ejemplo, información de señal de referencia de color (R-Y, B-Y y G-Y) impuestas como modulación de amplitud en fases elegidas de una onda subportadora de color suprimida. La red de filtro de paso de banda 104 pasa también

413522



- 20 -

el componente de impulsión de color que comprende aproximadamente 8 ciclos de subportadora de color sin modular transmitidos durante el intervalo de sincronización al final de cada línea de información de imagen.

- Las ondas de impulsión de color y subportadora moduladas suprimida se acoplan desde la red de filtro 104, por el terminal de entrada 101 del bloquecito de circuito integrado 20, a la circuitería de la elaboración de la señal de crominancia dentro del bloquecito 20. La circuitería dentro de los confines del bloquecito 20 (indicada por el contorno de líneas de puntos y rayas) comprende un primer amplificador de ganancia controlada 32 que sirve para amplificar de una forma controlable la subportadoras suprimida y los componentes de impulsión de la señal total. El componente de la subportadora se amplifica y se separa del componente de impulsión por medio de un amplificador de ganancia controlada manipulado 105. El amplificador manipulado 105 se activa durante el intervalo de exploración de línea y se desactiva durante el intervalo de sincronización o supresión del haz electrónico por medio de impulsos de manipulación A alimentados desde el aparato de desviación de líneas 103 por el terminal 9 del circuito integrado 20. Los componentes de la subportadora amplificados y separados aparecen en el terminal 15 (salida de croma) para alimentarse a un dispositivo de circuito de modulador de croma ulterior.

- La saturación (intensidad del color) de las imágenes producidas en un tubo de imagen de rayos catódicos correspondiente (no ilustrado) puede ser controlada por el espectador mediante un potenciómetro de control de ganancia de croma 106 acoplado a través de un suministro de voltaje de servicio (" + "). Un voltaje directo variable se acopla desde el cursor del potenciómetro 106, por un resistor 107, un capacitor de filtro 108 y el terminal 16 al amplificador manipulado 105. Un circuito detector de crestas 109, que funciona cuando las señales de salida en el terminal 15 se escuden de un nivel de sobrecarga predeterminado, se acopla entre el terminal de salida 15 y un terminal de control del amplifi-

413522<sub>21</sub>

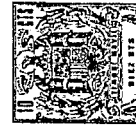


5. cador manipulado 105, por medio de un capacitor externo 110 y terminal 13. Los detalles de los dispositivos particulares que son apropiados para los amplificadores 32 y 105, así como el detector de crestas 109 se describen en la solicitud de patente española presentada en esta misma fecha por Perfeccionamientos en sistemas de control automático de ganancia de croma.

10. El bloquecito de elaboración de croma 20 comprende además un circuito oscilador, indicado de un modo general por el número de referencia 21, que se dispone para proporcionar una onda continua a una frecuencia igual a la del componente de impulsión recibido (v.g, 3,58MHz) y en relación de fase predeterminada con dicho componente de impulsión. El oscilador 21 comprende un amplificador 22, un dispositivo de defasaje controlable de una forma diferencial 23 y un dispositivo determinante de la frecuencia externo, que comprende un resistor en serie 25, un filtro de cristal de banda estrecha 26 sintonizado a 3,58MHz, un capacitor ajustable en serie 27 y un capacitor de derivación 28. El dispositivo determinante de la frecuencia 25-28 se acopla entre el cambiador de fase controlable 23 y el amplificador 22 por los terminales 6 y 7 del circuito integrado 20. La onda continua conveniente aparece en el terminal de salida del amplificador 22 y se alimenta por el terminal 8 a circuitos ulteriores como es el demodulador de croma mencionado anteriormente en el receptor.

25. La onda continua se alimenta también en el interior del bloquecito del circuito integrado 20 por medio de una primera y una segunda red de defasaje 111 y 112, respectivamente, a un primer y un segundo dispositivos sincrónicos de detección de impulsión 123 y 31. La red de defasaje 112 comprende una resistencia en serie 29 y una capacitancia de derivación 30 elegida para proporcionar un retardo de fase prácticamente de 45° a la frecuencia de la onda continua. La red de defasaje 111 comprende una capacitancia en serie 113 y una resistencia de derivación 114, elegi-

413522



- 22 -

5. da para proporcionar un avance de fase prácticamente de  $45^\circ$  a la frecuencia de la onda continua. Los detectores 123 y 31 reciben, por lo tanto, corrientes de entrada de onda continua que guardan una relación de fase en cuadratura ( $90^\circ$ ). Cada uno de los detectores 123 y 31 se alimentan - también con una segunda señal de entrada, el componente de impulsión producido en la salida del primer amplificador de ganancia controlada 32. Los detectores 123 y 31 se desactivan durante el intervalo de línea y se activan durante el intervalo de impulsión por medio de impulsos (8) alimentados desde el aparato de desviación de líneas 23 por el terminal 9 y el

10. circuito inversor 79.

El segundo detector de impulsión sincrónico 31 se acopla al cambiador de fase controlable 23 para proporcionar un circuito de CAFF (control automático de frecuencia y fase) para el oscilador 22 en la forma descrita anteriormente, con relación a la Fig.1. El detector de fase de impulsión 31 está provisto de un terminal de salida que se acopla al

15. circuito de muestreo y retención de señales 46 y al circuito de muestreo y retención de polarización 47, según se ha descrito anteriormente.

El primer detector de impulsión sincrónico 123 funciona, según se ha indicado anteriormente, con una entrada de onda continua desplazada prácticamente  $90^\circ$  de la alimentada al detector de fase de impulsión 31. El detector 123 funciona, por lo tanto, como un detector en fase o detector de amplitud con respecto al componente de impulsión y como tal se denominará en adelante. Al igual que el detector de fase de impulsión 31, el detector de amplitud de la impulsión 123 está provisto de una sola

20. salida que se acopla al detector de muestreo y retención de señales 115 y al detector de muestreo y retención de polarización 116. Una primera red de constante de tiempo de la señal, que comprende un capacitor de filtro externo 117, se acopla al detector de señales 115 por el terminal 11 del bloquecito. Una segunda red de constante de tiempo de polarización relativamente larga, que comprende un capacitor de filtro externo 118, se acopla

25. al detector de muestreo y retención de señales 115 por el terminal 12 del bloquecito. Una tercera red de constante de tiempo de polarización relativamente larga, que comprende un capacitor de filtro externo 119, se acopla al detector de muestreo y retención de polarización 116 por el terminal 13 del bloquecito.

30.

413522

- 23 -



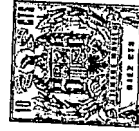
pla al detector de polarización 116, por el terminal 10 del bloquescito. Un capacitor externo de valor relativamente elevado 119 se acopla entre los terminales 10 y 11.

5. El detector 123 y los circuitos de muestreo y retención 115 y 116 funcionan de una manera similar a los descritos anteriormente con relación a la Fig.1. No obstante, las entradas de impulsión y referencia al detector 123 se mantienen en fase por funcionamiento del detector 31 y los componentes asociados. El detector 123 funciona, por lo tanto, como detector de amplitud. La señal de salida sensible a la amplitud de la impulsión del detector 115 y la señal de salida sensible a la polarización de referencia del detector 116 se acoplan a un amplificador de control automático de croma (CAC) y amortiguador de color 120.

10. Un circuito umbral amortiguador 121, acoplado al amplificador de CAC y amortiguador 120, se dispone para mantener el amplificador de croma manipulado 105 en estado inactivo (desconectado) siempre que la amplitud de impulsión del color detectada sea inferior a un nivel umbral útil predeterminado, y para activar el amplificador de croma 105 cuando se excede dicho umbral. Una red de retardo de CAC 122 se acopla también a la salida del amplificador de CAC-amortiguador 120 y sirve para mantener 15. un estado de funcionamiento de ganancia máxima con respecto al primer amplificador de ganancia controlada 32 hasta que aparece en la salida del amplificador 32 una amplitud predeterminada del componente de impulsión conveniente (y por lo tanto una amplitud del componente de la subportadora deseada). Los detalles adicionales del funcionamiento de la circuitería CAC-amortiguadora se encuentran en la solicitud española mencionada 20. anteriormente y en la solicitud de patente española de igual fecha por Perfeccionamientos en circuitos de detección de señales.

25. Refiriéndonos de nuevo a la Fig.1, en la expedición anterior, se describió el funcionamiento del dispositivo del circuito, por 30. conveniencia, relacionado con las normas de transmisión de televisión en

413522



- 24 -

color empleadas en los EE.UU. Los dispositivos ilustrados se pueden utilizar también, según comprenderán los expertos en el arte de la televisión, cuando se empleen normas diferentes de transmisión. De hecho, el detector 31 puede realizar una función adicional cuando se emplea en un aparato de televisión en color fabricado para elaborar señales formuladas según normas diferentes, por ejemplo las normas PAL.

- 5.
- En el sistema PAL, el componente de las subportadora R-Y cambia en fase en  $180^\circ$  de línea a línea en el codificador de la emisora. Para recuperar este componente de R-Y, se debe realizar una conmutación correspondiente de línea a línea en el descodificador (v.g, en un receptor).
- 10.
- En un receptor de televisión en color PAL se suele conmutar la señal de entrada de la portadora de referencia en el demodulador de R-Y sobre una base de línea, excitándose el conmutador de la portadora de referencia mediante un circuito biestable excitado de una forma apropiada (basculador).
- 15.
- La información necesaria para identificar la conmutación apropiada de línea a línea está contenida en la impulsión de color, cuya fase alterna en cantidades iguales predeterminadas de avance y retardo de una fase de referencia sobre una fase de línea a línea. En la patente USA, nº 3.553.357 se exponen detalles adicionales del problema de la identificación de conmutación y los métodos para resolver dichos problemas .
- 20.

- En el dispositivo de circuito de la Fig.1, cuando se alimenta una señal de color PAL por el amplificador de ganancia controlada 32 al detector 31, el componente de impulsión oscilante de dicha señal dará por resultado impulsos alternos positivos y negativos que aparecen a través del resistor regulador de carga 42 durante intervalos de impulsión sucesivos. La polaridad de dichos impulsos será indicativa de la fase del componente de impulsión y, por lo tanto, será indicativa de la fase del componente de la señal de R-Y. Estos impulsos no perjudicarán el funcionamiento del oscilador 21, puesto que el promedio de efecto de línea a línea de los impulsos es cero y se puede filtrar en el capacitor 51. No obs-
- 25.
- 30.

413522



- 25 -

5. tante, estos impulsos son apropiados para utilizarse con relación al conmutador de la onda portadora de referencia PAL mencionado anteriormente. El detector síncrono manipulado 31 produce dichos impulsos con una inmunidad al ruido relativamente buena. Estos impulsos se pueden derivar, por ejemplo, desde el emisor del transistor 49 y, con este fin, se ilustra un terminal 14 en el bloquecito 20 para dicha conexión.

10. A pesar de que los diversos aspectos del invento se han descrito con relación a una modalidad de preferencia, los expertos en materia electrónica encontrarán diversas modificaciones dentro del alcance del invento. Los valores de los componentes y otros ejemplos de parámetros de funcionamiento se han mencionado solamente como ayuda para comprender el invento pero no como limitación a su alcance.

N O T A

15. Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una solicitud de patente presentada en EE.UU. de A. Ser. Nº 242.321 de 10 de abril de 1972, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España sobre: Perfeccionamientos en circuitos de elaboración de señales electrónicas; caracterizándose por lo siguiente:

25. 1.- Perfeccionamientos en circuitos de elaboración de señales electrónicas que comprenden una primera fuente de señales de referencia y una segunda fuente de señales que tiene una característica que se ha de muestrear, caracterizados porque dicho circuitos de elaboración comprenden un circuito multiplicador de señales que tiene por lo menos un primer y un segundo terminal de entrada acoplados a dicha primera y se-

30.

413522



- 26 -

- gunda fuente, respectivamente, y una impedancia de carga de banda ancha acoplada a un terminal de salida; una red de filtro; y medios de muestreo que funcionan entre estados de impedancia relativamente baja y relativamente elevada para acoplar alternativamente dicha red de filtro a dicho
5. terminal de salida con el fin de muestrear dicha característica de las señales citadas y para desacoplar dicha red de filtro del citado terminal de salida para almacenar información representativa de dichas características en dicha red de filtro.
10. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque dicha red de filtro comprende la combinación en serie de una resistencia y una capacitancia y porque dicha impedancia de carga comprende una resistencia.
15. 3.- Perfeccionamientos según la reivindicación 1, caracterizados porque dicho circuito multiplicador de señales comprende un primer, un segundo y un tercer pares de transistores conectados de una forma diferencial, teniendo cada transistor electrodos base, emisor y colector, proporcionando el electrodo base de un transistor de dicho primer par el citado primer terminal de entrada, acoplándose entre sí el electrodo emisor de dichos transistores del citado segundo par y al electrodo colector del citado primer transistor acoplándose entre sí los electrodos emisores de dichos transistores del citado tercer par y al electrodo colector del segundo transistor de dicho primer par, uniéndose entre sí los electrodos base de los primeros transistores de dichos segundo y tercer
20. pares para proporcionar los citados segundos terminales de entrada, uniéndose entre sí los electrodos colectores de un primer transistor de dicho segundo par y un segundo transistor de dicho tercer par y uniéndose entre sí los electrodos colectores del segundo transistor de dicho segundo par y el primer transistor de dicho tercer par, acoplándose al citado terminal de salida uno de dichos juegos de colectores unidos de dichos segundo
25. y tercer pares.
- 30.

AM

413522

- 27 -



5. 4.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichos medios de muestreo comprenden medios bidireccionalmente conductivos acoplados a la citada red de filtro y medios de conmutación acoplados a dichos medios conductivos para ponerlos en conducción bidireccional durante cada intervalo de muestreo y prácticamente sin conducir durante una parte restante de cada ciclo de funcionamiento.

10. 5.- Perfeccionamientos según la reivindicaciones 1 ó 4, caracterizados porque dichos medios de muestreo comprenden un primer, segundo y tercer transistores conmutadores que tienen cada uno electrodos base, emisor y colector, acoplándose la base de dicho primer transistor conmutador a dicho terminal de salida y su emisor a la citada red de filtro, uniéndose entre si de una forma diferencial dichos segundo y tercer transistores de conmutación con electrodos emisores unidos, acoplándose el colector de dicho segundo transistor de conmutación a la base de dicho primer transistor de conmutación y acoplándose el colector de dicho tercer transistor de conmutación al emisor de dicho primer transistor de conmutación, y una fuente de señales de muestreo acoplada por lo menos a uno de los electrodos base de dicho segundo y tercer transistores de conmutación para poner en conducción dicho tercer transistor de conmutación y dicho segundo transistor de conmutación desactivado durante cada intervalo de muestreo y para poner en conducción dicho segundo transistor de conmutación y dicho tercer transistor de conmutación desactivado durante la parte restante de cada ciclo de funcionamiento.

25. 6.- Perfeccionamientos según las reivindicaciones 1, 2 ó 5, caracterizados porque dicha resistencia de filtros se acopla a la unión del emisor de dicho primer transistor de conmutación y el colector de dicho tercer transistor de conmutación.

30. 7.- Perfeccionamientos según las reivindicaciones 5 ó 6, caracterizados porque la base de dicho primer transistor de conmutación se acopla a dicho terminal de salida por medio de un transistor seguidor

*NA*

413522



- 28 -

de voltaje polarizado para conducir a lo largo de cada ciclo de funcionamiento.

5. 8.- Perfeccionamientos según las reivindicaciones 5 ó 7, caracterizados porque los medios de resistencia se acoplan entre dicho transistor seguidor de voltaje y dicho primer transistor conmutador para conducir corrientes a dicho segundo transistor conmutador durante la citada parte restante de cada ciclo de funcionamiento.

10. 9.- Perfeccionamientos según las reivindicaciones 1 ó 2, caracterizados porque dicha primera fuente de señales de referencia comprende un amplificador de la señal de crominancia de televisión en color que tiene una señal de salida que comprende un componente de impulsión de sincronización de color, que se produce periódicamente, y porque dicha segunda fuente de señales comprende medios para generar una onda continua a una frecuencia correspondiente a la subportadora de color de una señal de televisión en color.

20. 10.- Perfeccionamientos según la reivindicación 1, caracterizados porque dicho dispositivo de muestreo funciona para muestrear una característica de dicho componente de impulsión de color y para almacenar información representativa de la citada característica en dicha capacitancia de filtro.

25. 11.- Perfeccionamientos según las reivindicaciones 1 ó 10, caracterizados porque la característica muestreada corresponde a la fase y frecuencia relativas de dicho componente de impulsión comparado con dicha onda continua, y porque el citado dispositivo de muestreo comprende un terminal de salida adicional acoplado a dicha resistencia de filtro contrario a la citada capacitancia de filtro para proporcionar impulsos que tienen una polaridad representativa de diferencia de fase a cortoplazo entre dicha onda continua y dicho componente de impulsión.

30. 12.- Perfeccionamientos según la reivindicación 1, caracterizados porque cuando dicho circuito elaborador comprende un circuito

MM

413522



- 29 -

- de filtro de resistencia- capacitancia y una fuente de señales que se han de muestrear, comprende medios de conmutación para acoplar intermitentemente dicha fuente al citado circuito de filtro, comprendiendo dichos medios de conmutación un primer transistor que tiene un electrodo de entrada acoplado a dicha fuente y un electrodo de salida acoplado a dicho circuito de filtro, teniendo el segundo y tercer transistores acoplados diferencialmente electrodos de entrada, electrodos de salida acoplados, respectivamente, adichos electrodos de entrada y salida del citado primer transistor y electrodos comunes acoplados a una fuente de corriente, comprendiendo además dichos medios de conmutación una fuente de señales de muestreo acoplada por lo menos a uno de dichos electrodos de entrada para poner dicho tercer transistor en conducción y dicho segundo transistor inactivo durante cada intervalo de muestreo y para poner dicho segundo transistor en conducción y dicho tercer transistor inactivo durante una parte restante de cada ciclo de funcionamiento.

- 13.- Perfeccionamientos según la reivindicación 12, caracterizados porque dichos electrodos de entrada y salida de dicho primer transistor corresponde, respectivamente, a los electrodos base y emisor, porque dicha resistencia del citado circuito de filtro se acopla a dicho electrodo emisor, y porque dicho primer y tercer transistores se disponen para una conducción de corriente bidireccional a través de dicha resistencia durante los citados intervalos de muestreo.

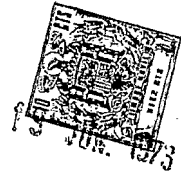
- 14.- Perfeccionamientos según la reivindicación 12, caracterizados porque dichos electrodos de entrada del citado segundo y tercer transistores corresponden a los electrodos base, sus electrodos comunes corresponden a los electrodos emisores y sus electrodos de salida corresponden a los electrodos colectores, y porque dichos primer, segundo y tercer transistores son de igual tipo de conductividad.

- 15.- Perfeccionamientos según la reivindicación 12, caracterizados porque dichos medios de conmutación comprenden además una fuente

*MA*

413522

- 30 -



te de voltaje de polarización acoplada a los electrodos base de uno de dichos segundo y tercer transistores, siendo suficiente dichos voltaje de polarización para mantener dicho primer transistor en estado de conducción durante la parte restante de cada ciclo de funcionamiento.

5.

16.- Perfeccionamientos según las reivindicaciones 12 ó 13, caracterizados porque dicho primer transistor conmuta al estado de conducción en respuesta a las citadas señales de muestreo durante dicho intervalo de muestreo y conmuta a un estado inactivo en respuesta a las mismas durante la citada parte restante de cada ciclo de funcionamiento.

10.

17.- Perfeccionamientos según las reivindicaciones 12 ó 13, caracterizados porque dicha resistencia comprende el único trayecto de corriente desde dichos medios de conmutación a la citada capacitancia durante intervalo de muestreo y porque dicho trayecto de corriente prácticamente es un circuito abierto durante la citada parte restante de cada ciclo de funcionamiento.

15.

18.- Perfeccionamientos en circuitos de elaboración de señales electrónicas, tal y como queda sustancialmente descrito en la presente Memoria, y en el dibujo adjunto.

20.

Esta Memoria consta de 30 hojas, escritas a máquina por una sola cara.

Madrid, 19 JUN. 1973

RCA CORPORATION.

E. GONZALEZ ALONSO Y CA  
S. P. Filiales y Sucursales

413522

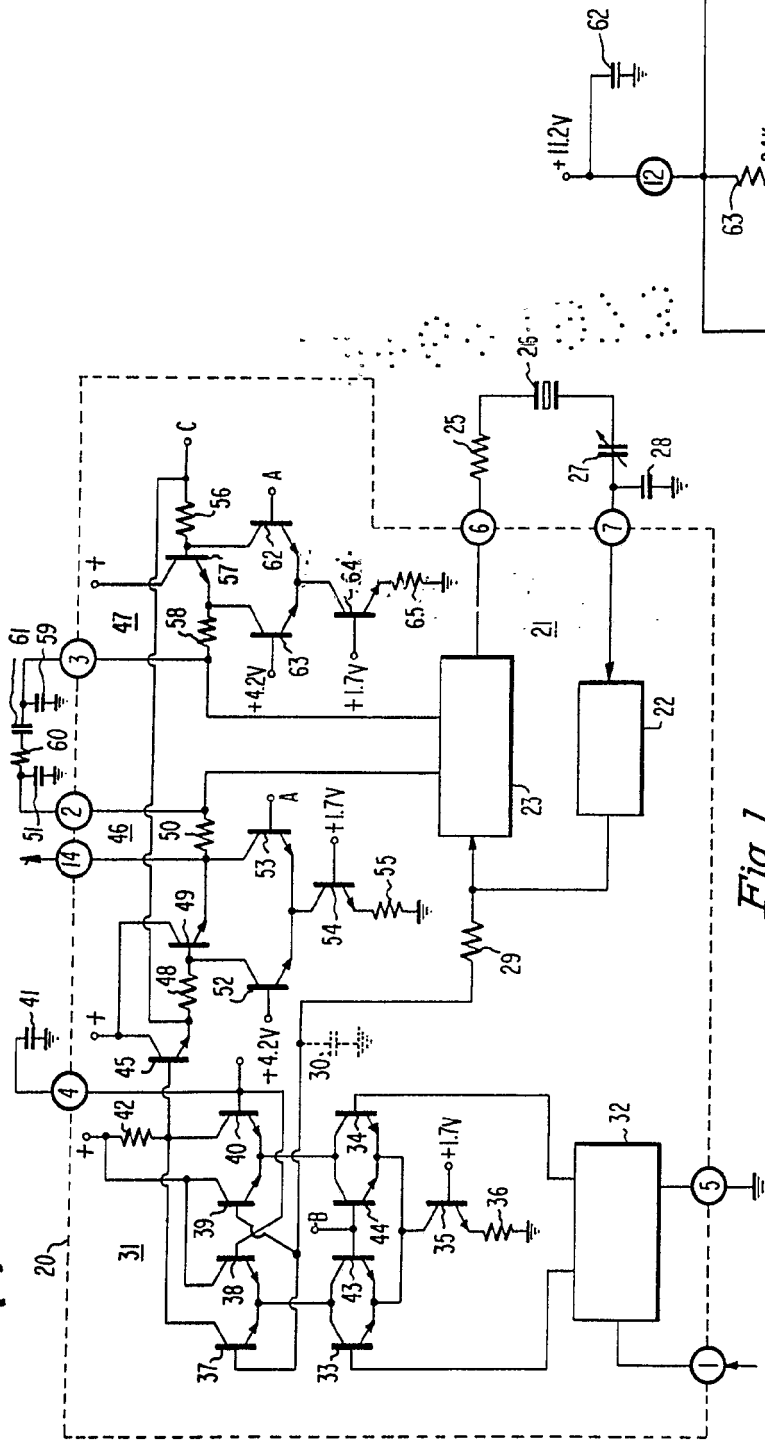
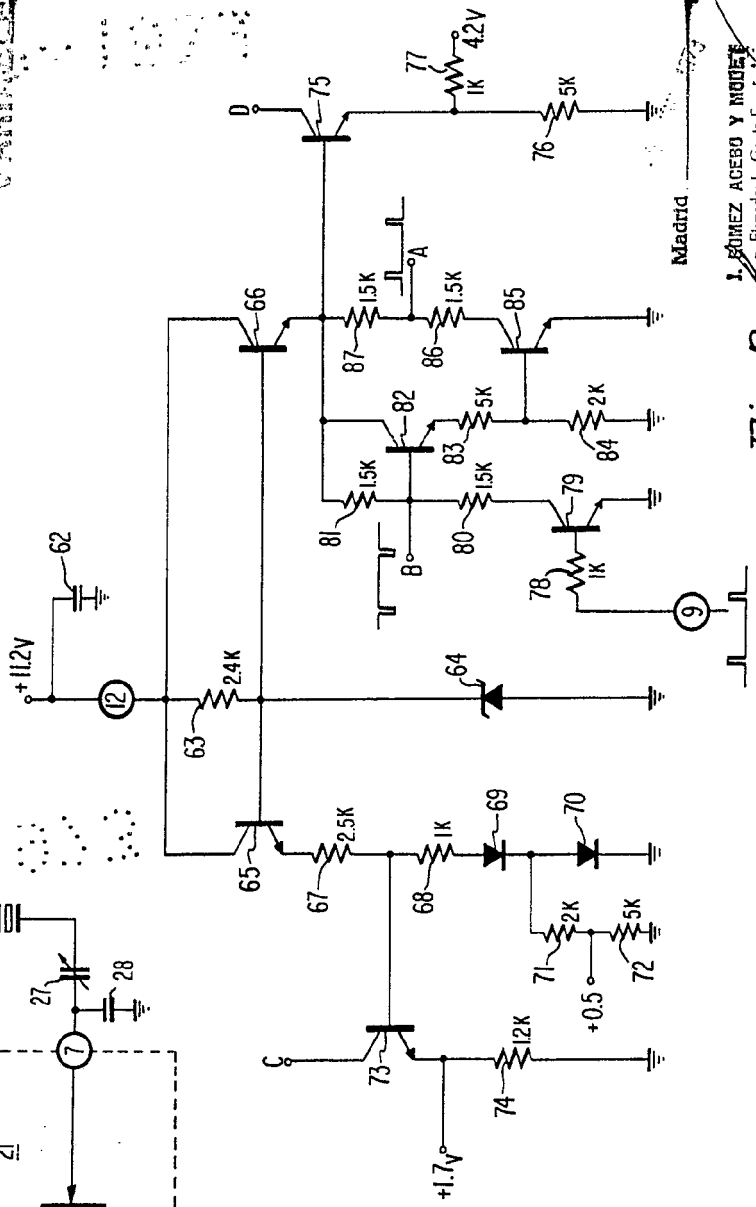


Fig. 1.



Madrid.

J. JÓMEZ ACEBO Y MUÑOZ  
P. Firmado: L. Guals Fernández

Fig. 2.

413522

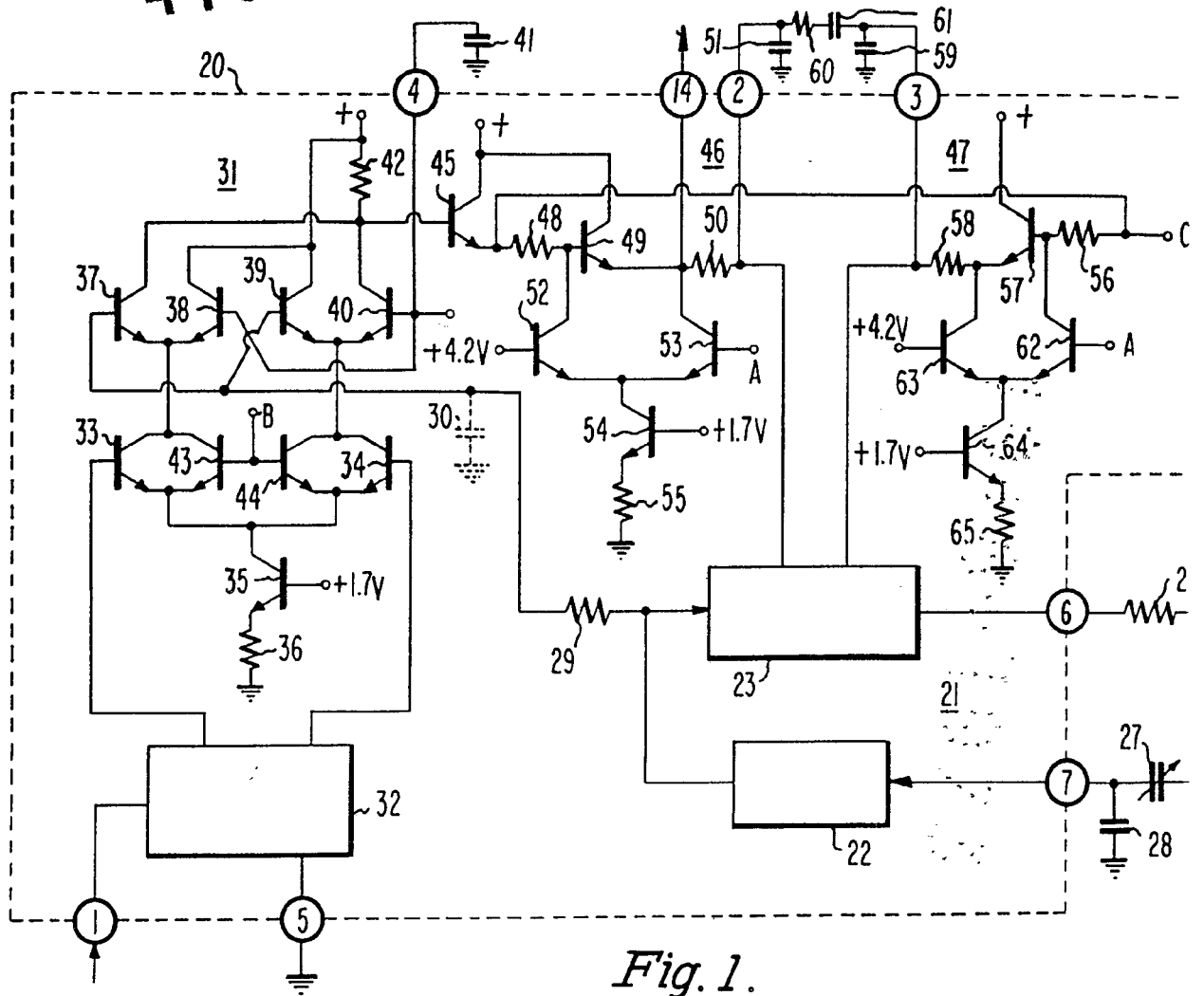
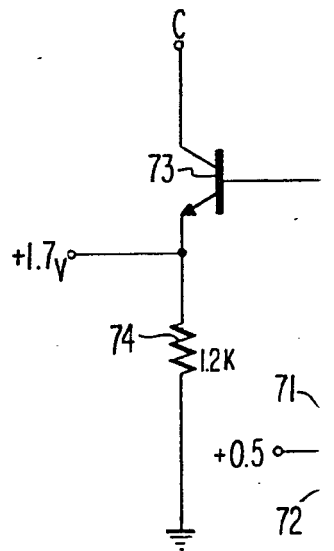


Fig. 1.



413522

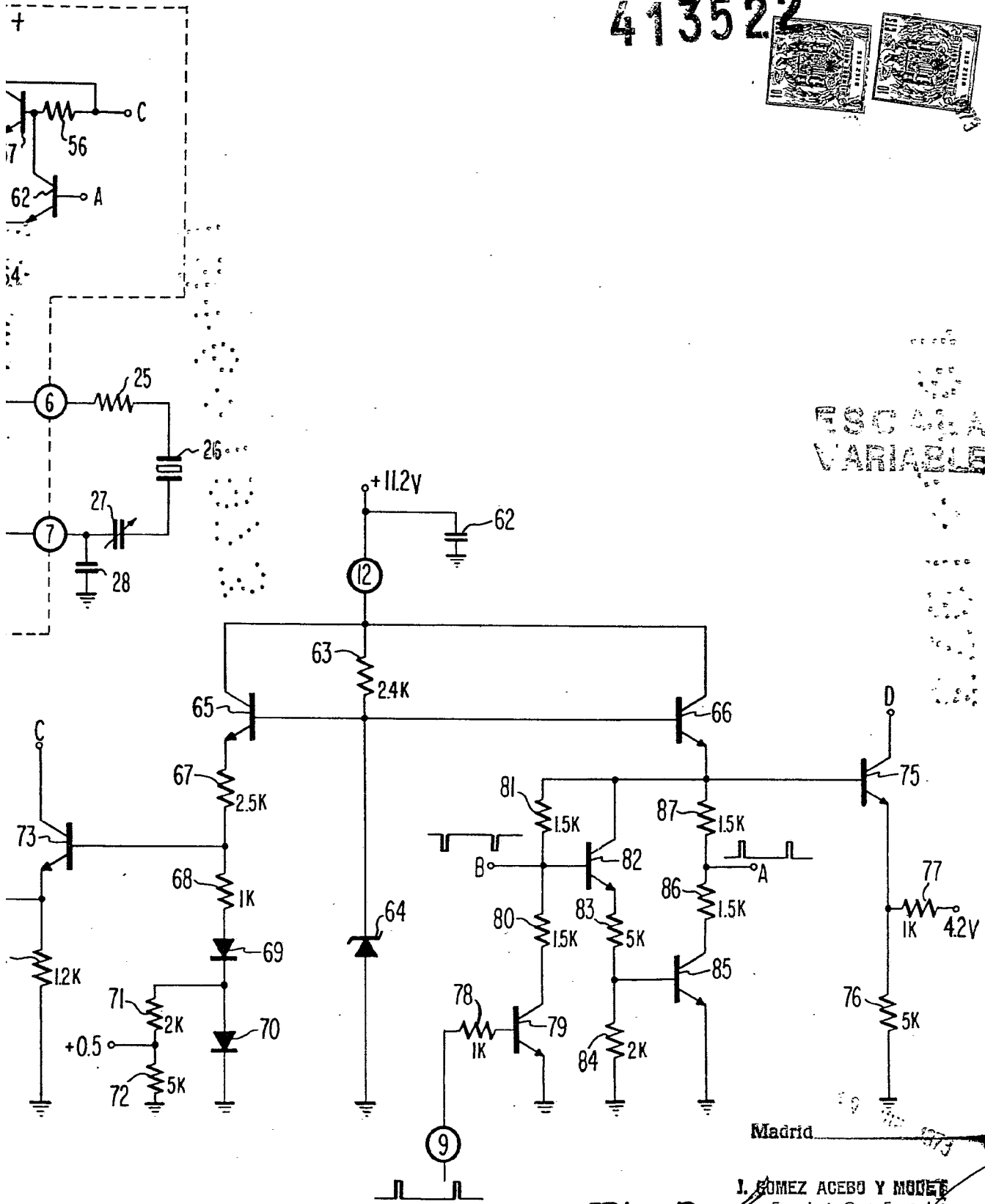
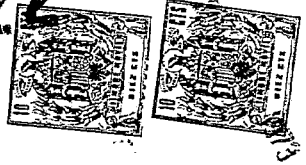


Fig. 2. *[Signature]*

I. GOMEZ ACEBO Y MODET  
p. p. Firmado: L. Gasta Fernández



413522

413522

ESCALA VARIABLE

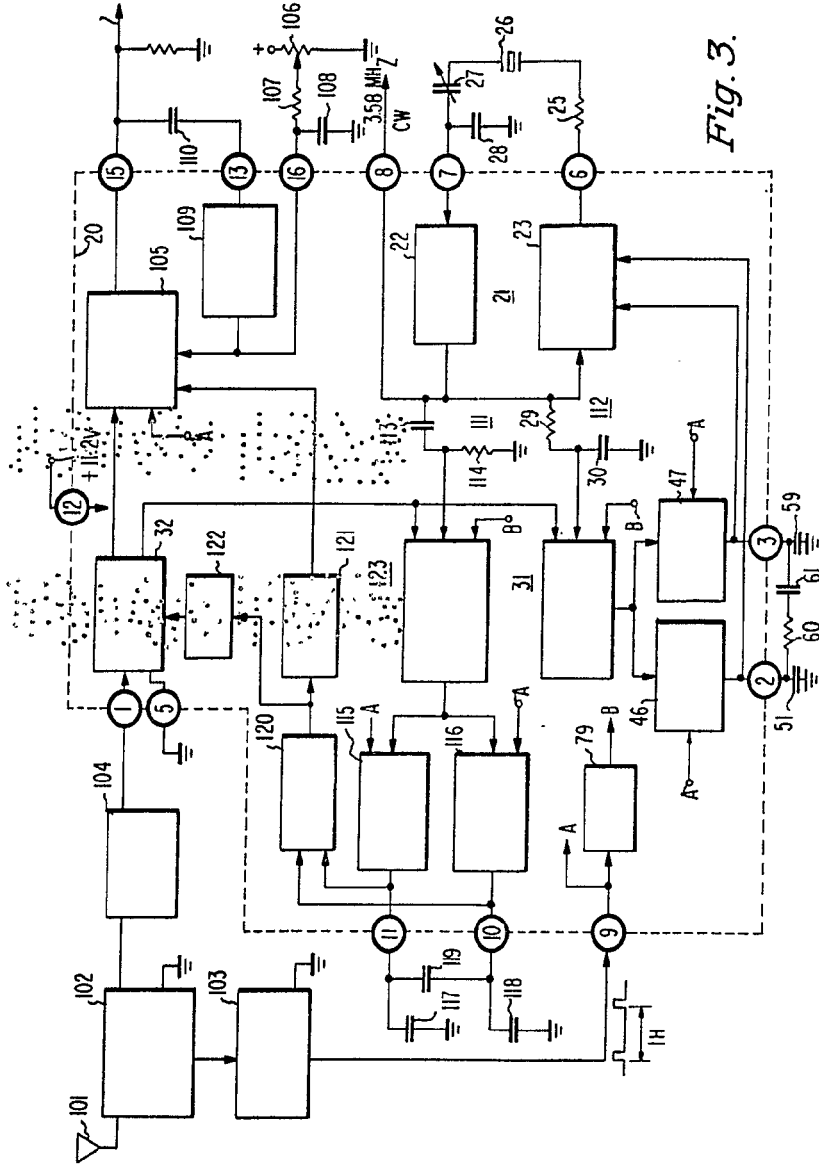


Fig. 3.

75 1973

MAGGIO

I. GONZALEZ ACEVEDO Y MORALES  
P. P. Firmador: L. Gonza Ferrer

413522

