

H03K 19/00

413319



P.- 54.098

W.E. Case No. 42.844

F.C. 26-2-75

G21C; G05B

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION en ESPANA por 20 años

a nombre de WESTINGHOUSE ELECTRIC CORPORATION

entidad norteamericana

establecida en Westinghouse Building, Gateway Center,  
Pittsburgh, Pensilvania 15222, Estados Uni-  
dos de América.

por: "UNA DISPOSICION DE MODULO LOGICO UNIVERSAL, PROGRA-  
MABLE, ESPECIALMENTE ADECUADO PARA CONTROLAR CONDICIO-  
NES DE FUNCIONAMIENTO ADVERSAS EN UN SISTEMA DE CON-  
TROL PARA UN REACTOR NUCLEAR"

(Clase Internacional G21c)

413319

12



El presente invento está relacionado con los inventos descritos en las solicitudes de patente españolas Nº 413.318, titulada "Un sistema de protección y defensa para un reactor nuclear" y Nº 413.317, titulada

5 "Un dispositivo comprobador para controlar el funcionamiento de un circuito lógico para realizar una función lógica predeterminada". Ambas solicitudes antes mencionadas están inventadas por el mismo inventor del presente invento y están cedidas al mismo cesionario.

10 El presente invento atañe en general a un circuito lógico universal programable y más particularmente a un circuito tal que puede realizar cualquiera de una pluralidad de funciones lógicas requeridas en los sistemas de seguridad y protección de un reactor nuclear.

15 El funcionamiento actual de instalaciones de potencia nucleares requiere sistemas redundantes de protección y seguridad para proteger al personal y al equipo en el caso poco probable de un estado de funcionamiento adverso del reactor o en caso de accidente nuclear.

20 Actualmente, es utilizado un sistema electromecánico de protección y seguridad entre los perceptores nucleares, que son utilizados para detectar tal estado, y los mecanismos de accionamiento, tales como barras de parada, pulverizadores de cuba, sistemas de inyección de seguridad,

25 dispositivos de arranque de grupos Diesel de emergencia,

13.6.73



12

# 413319

etc., que son utilizados para controlar tal estado. Los sistemas electromecánicos de protección y seguridad utilizan dos cadenas idénticas de circuitos lógicos, cada una de las cuales recibe aproximadamente 200 señales de  
5 cuatro canales biestables. Cualquiera de las cadenas lógicas es capaz de iniciar los accionamientos requeridos para proteger al personal y al equipo. Cada una de las cadenas lógicas y cada uno de los canales biestables está separado eléctrica y físicamente de todos los demás y  
10 es comprobado periódicamente de modo que ningún fallo único, como se define por los reglamentos oficiales, pueda impedir un accionamiento requerido de los sistemas de control de seguridad cuando sea necesario.

Cada una de las señales de entrada controla  
15 al menos un relé de servicio normalizado. La lógica es realizada utilizando diversas configuraciones de contactos electromecánicos. Con el fin de mantener el aislamiento requerido, deben ser utilizados contactos independientes para fines de vigilancia (computador, indicador  
20 luminosos de estado, y/o avisadores) y se requiere un par independiente de hilos en instalación a cada destino para cada una de las señales. Son utilizados un rele adicional y algunas veces dos relés por señal de entrada para cada cadena lógica para comprobar el sistema.

25 Tales sistemas presentan todas las desventa-

12



413319

5 jas asociadas con los sistemas electromecánicos, tales como tamaño físico grande; requerimientos grandes de potencia global; fiabilidad pobre; susceptibilidad a vibraciones sísmicas; altos costes de mantenimiento; respuestas lentas; y grandes cantidades de cableado de instalación costoso. Adicionalmente, cada sistema de reactor requiere un diseño totalmente nuevo y la comprobación es de duración considerable e incompleta.

10 El objeto principal del presente invento es introducir circuitos integrados de estado sólido en un sistema lógico de protección y seguridad de reactor nuclear para conseguir alta fiabilidad y mejor rendimiento y reducir al mínimo el costo al tiempo que el sistema se adapta a las necesidades especiales de una instalación de potencia nuclear particular.

15 Teniendo en cuenta este objeto, el invento reside en un módulo lógico universal, programable, especialmente adecuado para controlar estados adversos de funcionamiento de reactor en un sistema de control de reactor nuclear, comprendiendo dicho módulo lógico, universal, programable: medios lógicos que tienen un número de  $p$  medios de puerta de entrada donde  $p$  es un número entero mayor que o igual a uno, y primeros medios de puerta de salida, siendo capaces cada uno de dichos medios de  
20 puerta de entrada y salida de tomar indistintamente un  
25



413319

5 primer o un segundo estado lógico, respectivamente;  $n$  medios de entrada de señal, donde  $n$  es un número entero menor que o igual a  $p$ , conectados funcionalmente a  $n$  de dichos  $p$  medios de puerta de entrada, para proporcionar al menos una señal lógica de entrada a dichos medios lógicos; y el resto de dichos  $p$  menos  $n$  medios de puertas de entrada dispuestos funcionalmente para proporcionar una señal de salida de dicho primer estado en dichos primeros medios de puerta de salida siempre que al menos  $m$  de dichos  $n$  10 medios de entrada de señal tomen dicho primer estado, donde  $m$  es un número entero predeterminado menor o igual a  $n$ .

15 El invento reside adicionalmente en medios programables para disponer dichos  $p$  menos  $n$  medios de puerta de entrada de acuerdo con dicho número  $m$  entero predeterminado de dichos  $n$  medios de entrada de señal requeridos para tomar dicho primer estado antes de que dichos primeros medios de puerta de salida tomen dicho primer estado.

20 El invento quedará puesto de manifiesto más fácilmente por la siguiente descripción a modo de ejemplo, tomada en combinación con los dibujos que se acompañan en los cuales:

25 La Figura 1 es una vista esquemática de un sistema de protección y seguridad de reactor nuclear que



413319

utiliza este invento;

La Figura 2 es un diagrama esquemático que ilustra un circuito básico a modo de ejemplo que puede ser utilizado para llevar a la práctica este invento;

5 La Figura 3 es un diagrama de bloque que ilustra las conexiones requeridas para programar el circuito de la Figura 2 para realizar la función lógica 1/1;

10 La Figura 4 es un diagrama esquemático del circuito de la Figura 2, programado como se ilustra en la Figura 3, para realizar la función lógica 1/1;

La Figura 5 es un diagrama de bloque que ilustra las conexiones requeridas para programar el circuito de la Figura 2 para realizar la función lógica 1/2;

15 La Figura 6 es un diagrama esquemático del circuito de la Figura 2, programado como se ilustra en la Figura 5 para realizar la función lógica 1/2;

20 La Figura 7 es un diagrama de bloque que ilustra las conexiones requeridas para programar el circuito de la Figura 2 para realizar la función lógica 1/3;

La Figura 8 es un diagrama esquemático de circuito del circuito de la Figura 2, programado como se ilustra en la Figura 7, para realizar la función lógica 1/3;

25 La Figura 9 es un diagrama de bloque que

413319



ilustra las conexiones requeridas para programar el circuito de la Figura 2 para realizar la función lógica 1/4;

5 La Figura 10 es un diagrama esquemático de circuito del circuito ilustrado en la Figura 2, programado como se ilustra en la Figura 9, para realizar la función lógica 1/4;

10 La Figura 11 es un diagrama de bloque que ilustra las conexiones requeridas para programar el circuito de la Figura 2 para realizar una función lógica 2/2;

La Figura 12 es un diagrama esquemático de circuito del circuito ilustrado en la Figura 2, programado como se ilustra en la Figura 11;

15 La Figura 13 es un diagrama de bloque que ilustra las conexiones requeridas para programar el circuito de la Figura 2 para realizar la función lógica 2/3;

20 La Figura 14 es un diagrama esquemático de circuito del circuito ilustrado en la Figura 2, programado como se ilustra en la Figura 13;

La Figura 15 es un diagrama de bloque que ilustra las conexiones requeridas para programar el circuito de la Figura 2 para realizar la función lógica 2/4;

25 La Figura 16 es un diagrama esquemático de

413319



circuito del circuito de la Figura 2, programado como se ilustra en la Figura 15, para realizar la función lógica 2/4;

5 La Figura 17 es un diagrama de bloque de las conexiones requeridas para obtener la coincidencia lógica de las funciones producidas por una pluralidad de circuitos similares al circuito ilustrado en la Figura 2;

10 La Figura 18 es un diagrama de bloque que ilustra las conexiones requeridas para obtener la disyunción lógica de las funciones producidas por la pluralidad de circuitos ilustrados en la Figura 2;

15 La Figura 19 es un diagrama de bloque que ilustra las conexiones requeridas para programar el circuito de la Figura 2 para realizar la función de un circuito biestable R-S;

La Figura 20 es un diagrama esquemático de circuito que ilustra el circuito de la Figura 2, programado como se ilustra en la Figura 19;

20 La Figura 21 es un diagrama esquemático de circuito a modo de ejemplo, de una segunda realización de este invento, programado para realizar la función lógica 1/1;

25 La Figura 22 es un diagrama esquemático de circuito del circuito de la Figura 21, programado para realizar la función lógica 1/2;



413319

La Figura 23 es un diagrama esquemático del circuito de la Figura 21, programado para realizar la función lógica 2/2;

5 La Figura 24 es un diagrama esquemático de circuito del circuito de la Figura 21, programado para realizar la función lógica 2/3;

La Figura 25 es un diagrama esquemático de circuito del circuito de la Figura 21, programado para realizar la función de un circuito biestable R-S; y

10 La Figura 26 es un diagrama esquemático de circuito de una disposición de multiplexado a modo de ejemplo de los circuitos de las Figuras 20 y 21.

El invento que se va a describir crea los circuitos requeridos para poner en ejecución una función  
15 lógica universal, programable, única para realizar todas las funciones lógicas requeridas ahora por los sistemas lógicos de protección y seguridad utilizados para proteger al personal y al equipo dentro de una instalación de potencia de reactor nuclear.

20 Las instalaciones de producción de potencia eléctrica, que utilizan reactores nucleares, están provistas de un pluralidad de sistemas de protección para proteger al personal y al equipo de estados de funcionamiento adversos y para mantener el control del reactor.  
25 Tal sistema de protección está ilustrado esquemáticamente



# 413319

en la Figura 1 y comprende básicamente perceptores 12 de reactor que están situados dentro y alrededor de la cuba 10 de presión del reactor dentro del recipiente 11 de reactor así como en otros puntos críticos en toda la instalación. Los perceptores 12 de reactor incluyen una variedad de detectores, tales como detectores de radiación y temperatura, para vigilar estados de funcionamiento adversos que requieren normalmente la activación de cualquiera de múltiples sistemas 18 de control y seguridad de emergencia para controlar el reactor 10 en el caso poco probable de un accidente, tal como una ruptura de las tuberías del circuito refrigerador principal. Los mecanismos 18 de control incluyen las barras de parada del reactor; los pulverizadores de cuba, los sistemas de inyección de seguridad del reactor; y los dispositivos de arranque de grupos Diesel de emergencia. Este invento proporciona la comunicación lógica necesaria entre los perceptores 12 de reactor y los mecanismos 18 de control, ilustrados en la Figura 1, para llevar a cabo el accionamiento de aquellos mecanismos de control en las circunstancias correctas. Está incluido un generador 14 de señales binarias en la salida de los perceptores 12 del reactor para proporcionar la entrada lógica necesaria para el módulo 20 lógico de este invento. El generador 14 de señal binaria puede ser cualquiera de una plu-

413319



5           ralidad de dispositivos bien conocidos, tal como un dispositivo lógico de umbral que proporcionará una señal binaria que indica un estado de funcionamiento adverso. Con los convenios utilizados en esta realización a modo de ejemplo, el generador 14 de señal binaria proporcionará un cero binario cuando los correspondientes perceptores detectan un estado de funcionamiento adverso y un uno binario cuando el reactor se mantiene dentro de sus límites normales de funcionamiento. Cuando el número requerido de perceptores indican que existe un estado de funcionamiento adverso, es proporcionada una entrada de cero lógico por los correspondientes perceptores al módulo 20 lógico de este invento. El módulo 20 lógico proporcionará entonces salida de cero lógico a un mecanismo 16 de accionamiento tal como una Bobina de Subvoltaje que gobernará la inserción de las barras de parada eliminando la alimentación de energía del sistema de control de barras. Con un mínimo de redistribución de cableado, el circuito único representado por el módulo 20 lógico puede ser programado para realizar cualquiera de las funciones básicas 1/1, 1/2, 1/3, 1/4, 2/2, 2/3, 2/4, y puede ser utilizado un circuito biestable de reposición-activación convencional (designado posteriormente como circuito biestable R-S) como bloque constructivo básico en la construcción de funciones más complejas que las que se requie-

10

15

20

25

413319



ren corrientemente. La notación  $m/n$  describe completa-  
mente la mayoría de las funciones requeridas porque  $n$  es  
el número total de entradas procedentes de los percepto-  
res 12 y  $m$  es el número mínimo de  $n$  entradas que deben  
5 indicar un estado de avería, es decir un cero lógico, an-  
tes de que sea ordenada alguna acción predeterminada, es  
decir el accionamiento de los mecanismos 18 de control.  
Adicionalmente, la función lógica universal está diseña-  
da de modo tal que serán aceptadas entradas no utilizadas,  
10 dejadas flotantes, como indicadoras que de existe un esta-  
do de ausencia de avería. De este modo, una función  $m/n$   
puede degenerar en una función  $m/(n-1)$  o  $m/(n-2)$  si no es-  
tán alimentadas una o dos entradas, respectivamente. Esto  
ayuda grandemente a la normalización de los sistemas nece-  
sarios de protección y seguridad para instalaciones nuclea-  
res de potencia de dos, tres y cuatro circuitos y reduce  
15 al mínimo la redistribución de cableado.

En las realizaciones preferidas expuestas  
posteriormente se ilustra un circuito que utiliza lógica  
20 positiva y que es capaz de proporcionar las característi-  
cas deseadas descritas. Los convenios de señal adoptados  
son que un "0" (cero lógico) en una entrada indica un es-  
tado de avería y un "0" en la salida indica que está or-  
denado un accionamiento. Se exponen las conexiones nece-  
sarias requeridas para programar el circuito lógico uni-  
25

12



413319

versal para producir las ocho funciones básicas descri-  
tas. Están dispuestos terminales de salida que pueden ser  
conectados a terminales de salida similares sobre circui-  
tos similares para conseguir indistintamente una función  
5 de coincidencia lógica o de disyunción lógica de la fun-  
ción lógica básica realizada por los circuitos individuales  
a fin de producir funciones más complejas cuando se nece-  
sitan. Adicionalmente, para aumentar la versatilidad del  
módulo, están dispuestas entradas inhibidoras, compati-  
10 bles con otras salidas, para inhibir una orden de accióna-  
miento cuando se desea. Debido a los convenios de señal  
adoptados y a la Lógica de Umbral Alto utilizada, son  
impuestas fácilmente señales de error de entrada para  
llevar a efecto una comprobación completa del sistema.  
15 La Lógica de Umbral Alto (HTL) es una nueva familia ló-  
gica asimilada recientemente dentro del estado de la téc-  
nica. La lógica HTL es similar a la lógica de transistor-  
-transistor y a la lógica de diodo-transistor pero la  
alimentación de potencia se realiza a partir de una ten-  
20 sión de alimentación más alta (es decir 15 V) y tiene  
un umbral lógico nominal de aproximadamente 7,5 V. Esto,  
unido acon su velocidad más baja, hace al sistema HTL  
mucho menos sensible a interferencia electromagnética  
así como a gradientes de tensión sobre el plano de masa.  
25 Adicionalmente, las señales utilizadas son ingresadas fá-



413319

cilmente en un sistema de selección múltiple como se ilustrará en la realización preferida.

En la Figura 2 está ilustrado un circuito básico a modo de ejemplo capaz de proporcionar las características deseadas que se propone este invento. Los convenios de señal adoptados son que un "0" en una entrada indica un estado de avería y un "0" en la salida indica que está ordenado un accionamiento. Las Figuras 3-25 representan las conexiones requeridas para programar el circuito de función lógica universal para producir las ocho funciones lógicas básicas respectivas descritas anteriormente. Adicionalmente, están representadas conexiones para proporcionar la capacidad de función "Y" y "O". Utilizando el circuito de función lógica universal, programable, como bloque constructivo básico y las conexiones ilustradas en las Figuras 17 y 18 como ejemplo, pueden construirse fácilmente funciones más complejas en los casos en que se necesiten.

La lógica básica, en el circuito de la Figura 2, es realizada por puertas NAND (producto lógico con negación) 50, 58, 66 y 74. La salida de la puerta 102 es idéntica a la salida de la puerta 88, excepto en que puede ser retardada en aproximadamente 250 microsegundos poniendo a masa el terminal 108 para obtener inmunidad aumentada contra el ruido de corriente alterna cuando está pro-

413319



5 gramado un circuito biestable R-S y puede ser inhibida  
introduciendo un "0" en el terminal 104. El terminal 110  
es el terminal "Y". Mientras aparezca un "0" en el ter-  
minal 110, la salida de la puerta 102 será siempre un  
"1" (uno lógico). Por consiguiente, puede obtenerse la  
coincidencia lógica de las funciones en conjunto conec-  
tando simplemente sus terminales 110, o puede obtenerse  
la disyunción lógica de las mismas conectando sus salidas  
106 como se representa en las Figuras 17 y 18, respecti-  
vamente.

10 La Figura 2 representa siete terminales 22,  
24, 26, 28, 36, 38 y 42 abiertos sobre el lado de entra-  
da del circuito lógico. Los terminales 38 y 42 están co-  
nectados eléctricamente, con un diodo 40 interpuesto en-  
15 tre ellos, situado en una dirección tal que deja pasar  
corriente desde el terminal 42 al terminal 38. La función  
de los diversos terminales se describirá posteriormente  
con referencia a la programación del circuito lógico pa-  
ra realizar la pluralidad de funciones lógicas. Los ter-  
minales 26 y 28 están eléctricamente conectados a través  
20 de diodos 32 y 34, respectivamente, a un terminal 33 co-  
mún y los diodos 32 y 34 respectivos están situados de  
modo que dejan pasar corriente desde el terminal 33 a  
los correspondientes terminales 26 y 28. Los diodos 32  
25 y 34 funcionan como puerta "Y" para proporcionar una sa-



413319

lida "0" en el terminal 33 cuando cualquiera de los terminales 26 o 28 está alimentado con una entrada "0". Si ambos terminales 26 y 28 reciben una entrada "1", respectivamente, entonces la salida en el terminal 33 tomará un estado binario "1". El terminal 33 está, a su vez, conectado eléctricamente a los terminales 48, 62 y 70 de las puertas NAND 50, 66 y 74, respectivamente. El terminal 22 está conectado a entradas 44, 52 y 60 de las puertas NAND 50, 58, y 66 respectivamente. Similarmente, el terminal 24 está conectado a los terminales 46, 54, y 68 de entrada de las puertas NAND 50, 58 y 74 respectivamente. Las salidas respectivas de las puertas NAND 50, 58, 66 y 74 están reunidas en el terminal 86 común a través de diodos 78, 80, 82 y 84 respectivos, que están dispuestos en una dirección tal que dejan pasar corriente desde el terminal 86 a las respectivas salidas de las puertas NAND antes descritas. Los diodos 78, 80, 82 y 84 funcionan en conjunto como una puerta 66 "Y" para proporcionar una salida "0" en el terminal 86 cuando cualquiera de las respectivas entradas de diodo a la puerta 76 "Y" toma el estado "0". La salida 86 de la puerta 76 "Y" tomará el estado "1" cuando todas las entradas de diodo respectivas tomen el estado "1", y sólo cuando esto ocurra. Como se ha descrito anteriormente, la salida 106 de la puerta NAND 102 será idéntica a la salida de la puerta 88. Por

413319



consiguiente, cuando no se requiere la versatilidad del  
circuito que se está describiendo ahora, pueden ser utili-  
zados circuitos de menor versatilidad omitiendo las puer-  
tas NAND 88 y 98 junto con el filtro 90 asociado situado  
5 entre ellas. La puerta 88 está ilustrada como puerta NAND  
con una sola entrada en el terminal 86 y funciona, por  
consiguiente, como inversor. Debido a que la versatili-  
dad de una puerta NAND no se requiere en esta realiza-  
ción, la puerta 88 puede ser sustituida por cualquier  
10 circuito que realice la función inversora. De este modo,  
una entrada de cero lógico en el terminal 86 a la puerta  
NAND 88 aparecerá en la salida como un "1", mientras que  
una entrada "1" en el terminal 86 aparecerá en la salida  
de la puerta 88 como un "0". La salida de la puerta 88  
15 es idéntica a la entrada de la puerta 98 excepto en que  
puede estar retardada en aproximadamente 250 microsegun-  
dos poniendo a masa el terminal 108 para una inmunidad  
aumentada contra ruido de corriente alterna. Similarmen-  
te, la puerta 98 está ilustrada como puerta NAND que  
20 tiene un solo terminal 96 de entrada y funciona, por con-  
siguiente, como inversor para proporcionar una salida  
invertida en el terminal 100. La puerta NAND 102 tiene  
dos entradas de los terminales 100 y 104, respectivamen-  
te. Cuando el terminal 104 se deja normalmente flotante,  
25 la puerta NAND 102 funciona como inversor y proporciona



413319

una salida en el terminal 106 que es una inversión de la entrada suministrada al terminal 100. El terminal 104 está dispuesto para inhibir el funcionamiento del circuito completo. Cuando es proporcionado un "0" en el terminal 104 (es decir poniendo a masa el terminal 104) entonces la salida del circuito en el terminal 106 permanecerá en el estado "1" indicando que existe un estado libre de avería en donde no se requiere orden de accionamiento. De este modo, el terminal 104 puede ser utilizado durante el funcionamiento normal o durante la comprobación para evitar una orden de accionamiento no deseable.

La Figura 3 es un diagrama de bloque que ilustra las conexiones requeridas para programar el circuito de la Figura 2 para realizar la función lógica 1/1. El tipo particular de función lógica requerida para una aplicación nuclear particular dependerá del número de perceptores que están presentes para detectar un incidente nuclear particular y el número deseado de esos perceptores presentes que deben indicar tal incidente antes de que sea ordenado un accionamiento de los mecanismos de control. La función lógica 1/1 indica que hay una entrada procedente de un perceptor y que ese perceptor debe de indicar un estado de avería proporcionando un cero lógico a la entrada designada del circuito 20 lógico antes de que se ordene un accionamiento por la aparición de un cero 16-



12 73

# 413319

gico en el terminal 106 del módulo lógico.

La Figura 4 es un diagrama esquemático de  
circuito del circuito ilustrado en la Figura 2 programa-  
do como se indica en la Figura 3 para realizar la función  
5 lógica 1/1. Está dispuesta una única entrada en el termi-  
nal 22 y el terminal 36 está conectado a masa a fin de  
permitir que aparezca la función de salida deseada en el  
terminal 106. Se observará que los caracteres de referen-  
cia correspondientes se refieren a elementos correspon-  
10 dientes en las diversas Figuras. La conexión a masa en  
el terminal 36 en la Figura 4 proporciona una entrada "0"  
a las puertas NAND 58, 66 y 74, dando como resultado una  
salida "1" en los respectivos terminales de salida de la  
puerta NAND, independientemente de las otras entradas su-  
15 ministradas a esas puertas. La puerta 50 tiene entradas,  
respectivamente, de los terminales 22, 24, 26 y 28; habién-  
dose dejado flotantes los terminales 24, 26 y 28 y habién-  
dose aceptado en la entrada a la puerta 50 como portado-  
res de un "1" que indica un estado de ausencia de avería.  
20 El terminal 22 controla la salida de la puerta 50 de mo-  
do que cuando aparece un "1" a través del terminal 22, la  
salida de la puerta 50 tomará un "0", originando una entra-  
da "0" a uno de los diodos de la puerta "Y" 76. El termi-  
86 tomará a su vez el estado lógico cero permitiendo una  
25 salida "1" en el terminal 106 que indica un estado de ausen-



12 73

413319

cia de avería que no requiere accionamiento de los mecanismos de control. Cuando aparece un cero lógico a través del terminal 22, indicando un estado de avería, aparecerá un uno lógico en la salida de la puerta 50 y la  
5 puerta "Y" 76 proporcionará un uno lógico en el terminal 86 que será comunicado al terminal 106 como cero lógico que requiere accionamiento. De este modo, siempre que aparezca un cero lógico, indicando un estado de avería procedente del receptor individual, en la entrada 22,  
10 aparecerá un cero lógico en el terminal 106 de salida indicando una orden de accionamiento y realizándose así la función lógica 1/1.

La Figura 5 es un diagrama de bloque que indica las conexiones requeridas para programar el circuito de la Figura 2 para realizar la función lógica 1/2.  
15 Es decir, que son proporcionadas dos entradas de receptor para vigilar un estado particular del reactor y que al menos uno de esos receptores debe indicar un estado adverso antes de que sea dada una orden de accionamiento en el terminal 106 de salida.  
20

La Figura 6 es un diagrama esquemático de circuito que representa el circuito ilustrado en la Figura 2, programado como se indica en la Figura 5, para producir la función lógica 1/2. El circuito así ilustrado es  
25 idéntico al circuito ilustrado en la Figura 4 con la adi-

413319



ción de una segunda entrada de perceptor alimentada al terminal 24. Como se ha descrito con referencia a la Figura 4, las puertas 58, 66 y 74 tienen al menos una entrada conectada a masa que produce una señal de entrada de cero lógico a las respectivas puertas NAND, dando como resultado una salida de uno lógico de cada uno de los correspondientes terminales de salida de puerta. La puerta 50 tiene una entrada 48 dejada flotante que es aceptada como un uno lógico mientras que las entradas 46 y 44 de los terminales 24 y 22, respectivamente, controlan la salida del circuito. De este modo, cuando aparece una entrada de cero lógico a través de cualquiera de los terminales 22 o 24, la salida de la puerta 50 producirá un uno lógico coincidiendo con las entradas de uno lógico a la puerta "Y" 76 alimentadas por las puertas NAND 58, 66 y 74. El uno lógico será comunicado al terminal 86 y aparecerá como una salida de cero lógico en el terminal 106, que requiere un accionamiento. De este modo, cuando cualquiera de los perceptores que está conectado como entrada a los terminales 22 y 24, respectivamente, proporciona una señal de cero lógico que indica un estado de avería, aparecerá una señal de cero lógico a través del terminal 106 de salida requiriendo accionamiento; realizandose de este modo la función lógica 1/2.

La Figura 7 es un diagrama de bloque que ilustra las conexiones requeridas para programar el circuito de la Figura 2 para realizar la función lógica 1/3

413319



Es decir que en un sistema de protección que tiene tres  
perceptores que vigilan un estado particular de reactor,  
al menos uno de esos perceptores tendrá que indicar un  
estado de avería antes de que sea ordenado un acciona-  
5 miento del los respectivos mecanismos de control.

La Figura 8 es un diagrama esquemático que  
representa el circuito de la Figura 2 programado como es  
tá indicado en la Figura 7. La disposición de circuito  
es idéntica a la disposición de circuito ilustrada en la  
10 Figura 6 con la adición de una tercera entrada de percep-  
tor suministrada al terminal 28. Puesto que el terminal  
26 está dejado flotante y se acepta que toma un estado de  
uno lógico, la puerta 30 "Y" de diodos funcionará para de-  
jar pasar un uno lógico si aparece a través del terminal  
15 28 una entrada de señal de uno lógico y solamente si ocu-  
rre así. Recíprocamente, la puerta "Y" 30 de diodos fun-  
cionará para dejar pasar un cero lógico si aparece a tra-  
vés del terminal 28 una entrada de cero lógico y solamen-  
te si ocurre así. Como se ha descrito anteriormente con  
20 referencia a las Figuras 4 y 6, uno de los terminales de  
entrada de las puertas 58, 66 y 74, respectivamente, es-  
tá conectado a masa, manteniendo una salida de uno lógi-  
co en cada una de esas respectivas puertas. Las tres en-  
tradas a la puerta 50 están alimentadas respectivamente  
25 por tres perceptores que tienen entradas correspondientes



# 413319

en los terminales 22, 24 y 28. Cuando cualquiera de las  
entradas a la puerta 50 de los terminales 22, 24 y 28 to-  
ma un estado de cero lógico, la salida de la puerta 50  
tomará el estado de uno lógico proporcionando un uno ló-  
5 gico en el terminal 86 que aparecerá como un cero lógico  
en el terminal 106 requiriendo el accionamiento de los  
mecanismos de control. Solamente cuando todas las entra-  
das 20, 24 y 28 toman un estado de uno lógico indicando  
un estado de ausencia de avería, la salida de la puerta  
10 50 tomará un cero lógico proporcionando un cero lógico  
en el terminal 86 y un uno lógico en el terminal 106, que  
indica un estado de ausencia de avería que no requiere  
el accionamiento de los mecanismos de control.

La Figura 9 es un diagrama de bloque que in-  
15 dica las conexiones requeridas para programar el circuito  
de la Figura 2 para realizar la función lógica  $1/4$ . Se de-  
sea tal función en los casos en que hay cuatro perceptores  
vigilando el reactor para un estado particular y se requie-  
re un accionamiento de los mecanismos de control cuando  
20 cualquiera de los cuatro perceptores indica un estado de  
avería.

La Figura 10 es un diagrama esquemático de  
circuito que ilustra el circuito de la Figura 2 progra-  
mado como se indica en la Figura 9. La disposición de cir-  
25 cuito previsto en la Figura 10 es idéntica a la disposi-

413319



ción de circuito prevista en la Figura 8 con una conexión programada adicional que conecta el terminal 26 al terminal 42 y una entrada adicional desde un cuarto perceptor que alimenta al terminal 38, dando un total de cuatro de  
5 tales entradas. La introducción del diodo 40 en el circuito no afecta al funcionamiento de la puerta "Y" 30 y simplemente funciona como diodo de bloqueo. El funcionamiento de la puerta "Y" 30 es idéntico al que se ha descrito anteriormente y proporciona efectivamente una entrada adicional a la puerta 50. Como se indica con referencia a la Figura 8, las puertas 58, 66 y 74 tienen uno de los terminales de entrada, respectivamente, conectado a masa proporcionando una entrada de cero lógico a cada una de las respectivas puertas NAND dando lugar a una  
10 salida de uno lógico en cada uno de los correspondientes terminales de salida de puerta. Por consiguiente, como se ha descrito con referencia a la Figura 8, la puerta 50 estará controlando. Cuando cualquiera de las entradas a la puerta 50 toma el estado lógico cero, aparecerá una  
15 salida de estado lógico uno en la puerta 50 el cual será comunicado como uno lógico al terminal 86 y aparecerá como cero lógico en el terminal 106, requiriendo el accionamiento de los mecanismos de seguridad. Solamente en  
20 circunstancias en que los monitores correspondientes proporcionan señales adecuadas a las respectivas entradas  
25

413319



22, 24, 28 y 38, que indican un estado de ausencia de avería, la salida de la puerta 50 tomará un cero lógico, permitiendo que aparezca un cero lógico en el terminal 86 y un estado de uno lógico en el terminal 106. De este modo, es realizada la función lógica 1/4 donde cualquier perceptor que indica un estado de avería producirá el accionamiento de los mecanismos de control.

La Figura 11 es un diagrama de bloque que indica las conexiones requeridas para programar el circuito de la Figura 2 para realizar la función lógica 2/2. La función lógica 2/2 indica que hay dos perceptores vigilando el reactor para un estado particular que, si se determina como adverso, requeriría el accionamiento de los mecanismos de control; requiriéndose que sea detectado un estado adverso por ambos perceptores para que sea ordenado tal accionamiento.

La Figura 12 es un diagrama esquemático del circuito de la Figura 2, programado como se indica en la Figura 11, para proporcionar la función lógica 2/2. Como se observará con referencia a la Figura 12, son suministradas señales de entrada de dos perceptores, respectivamente, a los terminales 22 y 24. Todos los terminales restantes abiertos dispuestos en el circuito de la Figura 2 están dejados flotantes y serán aceptados en sus conexiones a las entradas de las respectivas puertas NAND como



413319

portadores de un estado de uno lógico. Para que sea indicado en el terminal 106 un estado de avería que requiere orden de accionamiento, tendrá que aparecer un estado de uno lógico en el terminal 86 requiriendo que aparezca un estado de uno lógico en la salida de cada una de las

5 puertas NAND 50, 58, 66 y 74. Lo anterior es debido a las características operacionales básicas de la puerta "Y" 76 que requiere un uno lógico en cada uno de los terminales de entrada para que el terminal de salida tome el

10 estado de uno lógico. Con el fin de que cada una de las puertas NAND 50, 58, 66 y 74 tome una salida de uno lógico, al menos una de las tres entradas de las respectivas puertas 50, 58, 66 y 74 debe tomar el estado de cero lógico. Los terminales 22 y 24 proporcionan dos entradas

15 respectivas a las puertas 50 y 58 correspondientes; el terminal 22 proporciona una entrada a la puerta 66; y el terminal 24 proporciona una entrada a la puerta 74. De este modo, para que cada una de las puertas antes mencionadas tenga una "entrada de cero lógico", cada uno de los

20 terminales 22 y 24 tiene que tomar el estado de cero lógico que indica que los respectivos perceptores, que alimentan los terminales 22 y 24, detectan que existe un estado adverso. Si el terminal 22 toma el estado de cero lógico y el terminal 24 toma el estado de uno lógico, entonces las salidas de las puertas 50, 58 y 66 tomarán el es-

25



413319

tado de uno lógico, mientras que la salida de la puerta  
74 tomará el estado de cero lógico proporcionando un ce  
ro lógico en el terminal 86 y un uno lógico en el termi  
nal 106. Recíprocamente, si el terminal 24 toma el esta  
do de cero lógico y el terminal 22 toma el estado de uno  
lógico, entonces las respectivas salidas de las puertas  
50, 58 y 74 tomarán el estado de uno lógico y la salida  
de la puerta 66 tomará un estado de cero lógico, permiti  
tiendo que aparezca un cero lógico en el terminal 86 y  
un uno lógico en el terminal 106 de salida. De este modo,  
es realizada la función lógica  $2/2$  en donde un estado de  
avería debe ser indicado por ambos perceptores que ali  
mentan sus respectivos terminales 22 y 24 antes de que  
aparezca una salida de cero lógico en el terminal 106  
que indica que es ordenado un accionamiento.

La Figura 13 representa un diagrama de blo  
que que indica las conexiones requeridas para programar  
el circuito de la Figura 2 para realizar la función ló  
gica  $2/3$ . Se requiere tal función en un sistema de pro  
tección de reactor que tiene tres perceptores que vigi  
lan un estado adverso particular y se requiere que dos  
de los tres perceptores indiquen tal estado para que se  
requiera el accionamiento de los mecanismos de control.

La Figura 14 es un diagrama esquemático del  
circuito ilustrado en la Figura 2, programado como se in

413319



dica en la Figura 13, para proporcionar la función lógica 2/3. Como se apreciará con referencia a la Figura 12, el circuito dispuesto en la Figura 14 es idéntico al circuito representado para proporcionar la función

5      lógica 2/2 con una entrada adicional que alimenta el terminal 28 para admitir un tercer perceptor que vigila el reactor. En consecuencia, para que aparezca un cero lógico en el terminal 106 indicando una orden de accionamiento tendrá que aparecer un uno lógico en el terminal

10     86, que requiere que cada una de las entradas a la puerta "Y" 76 tome el estado de uno lógico y las puertas 50, 58, 66 y 74 tomen el estado de uno lógico. Esto ocurrirá solamente si se proporciona un cero lógico al menos

15     en una de las entradas a cada una de las respectivas puertas 50, 58, 66 y 74. Para que exista tal estado, dos de entre los tres terminales 22, 24 y 28 de entrada tendrán que tomar el estado de cero lógico. Si cualquiera de esas tres entradas toma el estado de cero lógico, al menos una

20     de las entradas a cada una de las puertas NAND 50, 58, 66 y 74 tomará el estado de cero lógico, proporcionando así la señal desdeada de accionamiento en la salida 106 y realizando la función lógica 2/3.

La Figura 15 es un diagrama de bloque que ilustra las conexiones requeridas para programar el circuito de la Figura 2 para realizar la función lógica 2/4.

25

413319

12



77

Tal función es útil en un sistema de protección de reactor que tiene cuatro perceptores que vigilan el reactor para un estado particular y se requiere que sea indicado un estado adverso por al menos dos de los cuatro perceptores antes de que se inicie una orden de accionamiento. Tal función es particularmente deseable en condiciones en que es necesario tomar precauciones contra el hecho de que sea enviada una señal de entrada errónea por un perceptor defectuoso lo que podría originar de otro modo un accionamiento falso de los mecanismos de control.

La Figura 16 es un diagrama de circuito esquemático del circuito de la Figura 2 programado como se indica en la Figura 15. El circuito de la Figura 16 es idéntico al circuito de la Figura 14 con una conexión adicional dispuesta entre los terminales 42 y 36 y una entrada adicional procedente de un cuarto perceptor conectada para alimentar el terminal 38. El funcionamiento del circuito es idéntico al descrito con referencia a la Figura 14 puesto que debe aparecer un cero lógico en al menos uno de los terminales de entrada a cada una de las respectivas puertas NAND 50, 58, 66 y 74 antes de que aparezca un cero lógico en el terminal 106, que requiere accionamiento. Los terminales 22, 24, 28 y 38 de entrada están diseñados de tal modo que si cualquiera de las cua

413319



tro entradas toma el estado de cerp lógico, aparecerá un  
cero lógico al menos en una entrada a cada una de las  
cuatro puertas 50, 58, 66 y 74, realizándose así la fun-  
ción lógica 2/4.

5                    Como se ha mencionado anteriormente, el cir-  
cuito de función lógica programable, universal, de este  
invento, puede ser utilizado como bloque constructivo bá-  
sico en la construcción de funciones más complejas. Las  
funciones lógicas adicionales pueden conseguirse obte-  
10                    niendo la coincidencia lógica de las señales de varios  
circuitos mediante la interconexión de sus respectivos  
terminales 110. En tanto que el terminal 110 tome un "0",  
la salida en el terminal 106 será siempre un "1". Por  
consiguiente, puede obtenerse la coincidencia lógica de  
15                    funciones mediante la simple conexión de sus terminales  
110, como se ilustra por el diagrama de bloques represen-  
tado en la Figura 17. Esta Figura representa dos funcio-  
nes lógicas 2/2 de las cuales se obtiene la coincidencia  
lógica como se ha descrito, para proporcionar la función  
20                    lógica 4/4. Similarmente, puede obtenerse la disyunción  
lógica de las señales de dos circuitos que realizan dos  
funciones lógicas interconectando sus respectivas sali-  
das dispuestas en el terminal 106, como se representa  
por el diagrama de bloques ilustrado en la Figura 18. La  
25                    Figura 18 ilustra dos funciones 1/4 de las cuales se ob-



# 413319

tiene la disyunción lógica para producir una función  $1/8$ . Cuando se conectan dos circuitos para obtener la disyunción lógica, de tal modo, los diodos 112 dispuestos en el terminal 106 funcionan juntamente como puerta "Y" de un modo similar a los diodos asociados con la puerta "Y" 76 ilustrada en la Figura 2, Además, se entenderá que puede obtenerse la coincidencia lógica o la disyunción lógica de dos funciones lógicas diferentes de un modo similar al ilustrado en las Figuras 17 y 18, respectivamente.

La Figura 19 es un diagrama de bloque que ilustra las conexiones requeridas para programar el circuito de la Figura 2 para proporcionar un circuito de dos estados estables con entradas de reposición y activación (al que se hará referencia posteriormente como circuito biestable R-S). El circuito biestable R-S, así obtenido, es un circuito multivibrador biestable en el cual la aplicación simultánea de las entradas de activación y reposición proporciona un estado de salida "1"; el accionamiento único del conmutador de reposición proporciona un estado "1" de salida; y el accionamiento único del conmutador de activación proporciona un estado de salida "0".

La Figura 20 es un diagrama esquemático de circuito del circuito ilustrado en la Figura 2, programado como se indica en la Figura 19, para proporcionar el



413319

circuito biestable R-S. El circuito de la Figura 20 es idéntico al circuito de la Figura 2 con las conexiones programadas que proporcionan comunicación eléctrica entre los terminales 106 y el terminal 26. Los terminales 36, 42 y 38 están interconectados a masa a través de un interruptor 116 de reposición normalmente cerrado y el terminal 28 está conectado a masa a través de un interruptor 114 de activación normalmente abierto. Todos los terminales restantes ilustrados originalmente en la Figura 2 se dejan flotantes con la excepción del terminal 108 que está puesto a masa. Con los interruptores 114 y 116 de activación y reposición en sus posiciones de normalmente abierto y normalmente cerrado, respectivamente, pueden describirse los dos estados estables del circuito biestable. Las puertas 58, 66 y 74 tienen al menos una de sus respectivas entradas conectada a masa a través del interruptor 116 de reposición. En consecuencia, las salidas de las tres puertas 58, 66 y 74 respectivas estarán mantenidas en el estado lógico uno. Conforme a las características del circuito "Y" 76, la entrada proporcionada por la puerta 50 estará controlando. Si la salida de la puerta 50 toma el estado de uno lógico, entonces aparecerá un uno lógico a través del terminal 86 proporcionando un cero lógico en el terminal 106. Recíprocamente, si es proporcionada una salida de cero lógico en la salida de la puerta 50, entonces aparecerá

14.6.73



# 413319

un cero lógico a través de un terminal 86 haciendo que el terminal 106 de salida tome el estado lógico "1". De este modo, si la salida en el terminal 106 toma inicialmente el estado de uno lógico, entonces el terminal 26 tomará el estado de uno lógico a través de su conexión común, proporcionando una entrada de uno lógico a la puerta 50 en el terminal 48 de entrada dando lugar a una salida de cero lógico en la puerta 50 y a un cero lógico en el terminal 86, cuyos estados mantendrán la salida 106 en el estado estable de uno lógico. De este modo, si el terminal 106 toma el estado de uno lógico inicialmente, sin estar accionados los interruptores 114 y 116 de activación y reposición, la salida en el terminal 106 permanecerá en el estado estable "1". Similarmente, si la salida en el terminal 106 toma inicialmente el estado lógico cero, el terminal 26 tomará el estado lógico cero, y la entrada 48 a la puerta 50 tomará el estado lógico cero, proporcionando un uno lógico en la salida de la puerta 50, el cual será transmitido al terminal 86 y aparecerá como un cero lógico en el terminal 106. De este modo, si el terminal 106 toma inicialmente un estado lógico cero y no son accionados ni el interruptor 114 de activación ni el interruptor 116 de reposición, el terminal 106 permanecerá en aquel estado estable de cero lógico.



# 413319

Para reponer el circuito biestable, es accionado el interruptor 116 de reposición que desconecta el terminal 38 de masa y deja flotantes las entradas a la puerta 58 produciendo una salida de cero lógico en la

5      puerta 58, que aparece como un cero lógico en el terminal 86, y un uno lógico en el terminal 106 de salida. El uno lógico en el terminal 106 permanecerá estable hasta que sea vuelto el interruptor de reposición a su posición normalmente cerrada y sea accionado el interruptor de activación conectando el terminal 28 a masa. La conexión

10     de masa proporciona una entrada de cero lógico a las puertas 50, 66 y 74, proporcionando una salida de uno lógico en las puertas respectivas. La puerta 58 recibe una entrada de cero lógico a través del terminal de entrada 56,

15     que está acoplado a masa a través del interruptor de reposición normalmente cerrado. Así, cada una de las puertas respectivas 50, 58, 66 y 74 proporciona una entrada de uno lógico a los respectivos terminales de diodo de la puerta Y 76, proporcionando una entrada de uno lógico

20     en el terminal 86 y una salida de cero lógico en el terminal 106. La salida de cero lógico permanecerá estable en el terminal 106 hasta que se oprima el interruptor de reposición. Debe observarse que si se oprimen simultáneamente los interruptores de activación y de reposición, se

25     dejará flotando la puerta 58, produciéndose una salida de



413319

uno lógico en el terminal 106. Como se describió previamente, el funcionamiento del circuito biestable ilustrado en la figura 20 puede inhibirse proporcionando una señal de entrada de cero lógico en el terminal 104. Adicionalmente, puede proporcionarse una inmunidad al ruido de corriente alterna incrementada acoplando el terminal 108 a masa. La conexión antes mencionada programada en el terminal 108 interpone un filtro 90, que comprende una resistencia 92 y un condensador 94, en el circuito, para filtrar los impulsos de alta frecuencia asociados con el ruido de corriente alterna y proporciona un retardo de aproximadamente 215 microsegundos entre las puertas 88 y 102. Así, programando el circuito de la figura 2 según se ha diseñado en la figura 19, se produce efectivamente un biestable R-S.

La descripción operacional antes mencionada de un sistema lógico de protección y de seguridad, universal, programable, dada a modo de ejemplo y contemplada por este invento ha demostrado que el mismo proporciona un circuito único que realizará una cualquiera de la pluralidad de funciones básicas requeridas en los sistemas de protección y de seguridad de un reactor nuclear. Entre las funciones que pueden realizarse por la disposición de circuitos de este invento se encuentran las funciones lógicas básicas 1/1, 1/2, 1/3, 1/4, 2/2, 2/3, 2/4 y un bies-



413319

table R-S. Además, el circuito descrito puede ser utilizado como bloque constructivo básico en la construcción de funciones mucho más complejas que las que se requieren normalmente mediante la conexión conjunta de dos o  
5 más de tales circuitos en los terminales programados designados para obtener la coincidencia lógica o la disyunción lógica. Debe reconocerse adicionalmente, que pueden ser construidas disposiciones de circuito alternativas para proporcionar las múltiples funciones lógicas cuya  
10 realización se propone este invento. En la Figura 21 está ilustrado uno de tales circuitos.

La Figura 21 representa un diagrama esquemático de un circuito capaz de realizar una pluralidad de las funciones lógicas antes descritas. El circuito de la  
15 Figura 21 es menos versátil que el circuito descrito anteriormente con referencia a la Figura 2 y es capaz de realizar las funciones 1/1, 1/2, 2/2, 2/3 y un circuito biestable R-S. Las funciones no proporcionadas incluyen las funciones 1/3, 1/4 y 2/4. Sin embargo, deberá observarse que pueden conseguirse estas funciones conectando  
20 en conjunto una pluralidad de tales circuitos para obtener la coincidencia o la disyunción lógica de un modo similar al anteriormente descrito con relación a las Figuras 17 y 18. El circuito básico de la Figura 21 incluye  
25 tres entradas que están mantenidas en los terminales 120,



# 413319

122 y 124, respectivamente. Están dispuestas tres puer-  
tas NAND 130, 136 y 142 para realizar la función lógica  
básica del circuito y puede establecerse una analogía con  
la función realizada por las puertas 50, 58, 66 y 74, ilus-  
5 tradas en el circuito de la Figura 2. La entrada 120 está  
conectada en el circuito de la Figura 2. La entrada 120  
está conectada a las correspondientes entradas 126 y 132  
de las puertas 130 y 136, respectivamente. La entrada 122  
está conectada a las correspondientes entradas 128 y 138  
10 de las puertas 130 y 142, respectivamente. La entrada  
124 está conectada a las correspondientes entradas 134  
y 140 de las puertas 136 y 142, respectivamente. Las sa-  
lidas de las puertas 130, 136 y 142, respectivamente, son  
suministradas a diodos 144, 146, y 148 que están dispues-  
15 tos para funcionar como puerta "Y" 150. Puede establecerse  
una analogía entre la puerta "Y" 150 y la puerta "Y"  
76 ilustrada en la Figura 2. La salida de la puerta "Y"  
150 está conectada, a través de un diodo 152 de bloqueo,  
para alimentar la puerta NAND 158 que suministra la sali-  
20 da de función lógica en el terminal 156 a través del dio-  
do 160 de bloqueo. El terminal 154 está dispuesto como  
entrada de inhibición a la puerta NAND 158 y funcionará  
de un modo similar al que se ha descrito para el terminal  
104, ilustrado en el circuito de la Figura 2. Los conve-  
25 nios de señal adoptados son los mismos que los anterior-



413319

mente descritos con referencia a la Figura 2 porque será aceptado un cero lógico en la entrada del circuito como indicador de un estado de avería que requiere accionamiento en la salida y será aceptado un uno lógico como  
5 indicador de un estado de ausencia de avería en la entrada cuyo estado no requiere accionamiento de los mecanismos de control. Los diodos 168, 166 y 164 dispuestos en las respectivas entradas 120, 122 y 124 y los diodos 152 y 160 funcionan como diodos de bloqueo de acuerdo con  
10 los convenios de señal adoptados. Además, el diodo 160 actúa en combinación con diodos correspondientes sobre salidas similares de circuitos similares para proporcionar la conexión de terminal de salida de suma lógica de un modo similar al descrito con referencia al circuito  
15 de la Figura 2. Similarmente, el terminal 162 proporciona la conexión de producto lógico en un modo de funcionamiento en que se desea que varios de tales circuitos estén conectados entre sí para obtención de la coincidencia lógica.

20 Las conexiones programadas ilustradas en la Figura 21 en los terminales 122 y 124 están dispuestas para producir la función lógica 1/1. Es decir, con una sola entrada de vigilancia aplicada al terminal 122 y con el terminal 124 puesto a masa, un estado de avería indicado por un cero lógico en el terminal 122 proporcionará  
25



413319

un cero lógico en el terminal 156 de salida ordenando el accionamiento de los mecanismos de control.

5 A continuación se da una descripción operacional analítica de la función lógica 1/1. La conexión a masa en el terminal 124 proporciona una entrada de cero lógico a las puertas 142 y 136 cuyo estado requiere una salida de uno lógico respectiva. Por consiguiente, la entrada a la puerta 136 desde el terminal 122 se hace cargo del control. El terminal 120 es dejado flotante y será aceptado como portador del estado de uno lógico proporcionando una entrada de uno lógico al terminal 126 de la puerta 130. Si el terminal 122 recibe una entrada de uno lógico procedente del perceptor, entonces la puerta 130 proporcionará una salida de cero lógico al diodo 144 que aparecerá en la entrada a la puerta 158 como un cero lógico que permite una salida "1" en el terminal 156, que no requiere accionamiento. Recíprocamente, si es recibida una entrada de cero lógico procedente del perceptor en la puerta 122, que indica un estado de avería, aparecerá una entrada de cero lógico en el terminal 128 de la puerta 130, permitiendo que aparezca una salida "1". La salida de la puerta "Y" 150 tomará entonces el estado de uno lógico y aparecerá una salida de cero lógico en el terminal 156 cuya salida requiere accionamiento. Por consiguiente, una señal de entrada de uno lógico procedente



# 413319

del único perceptor, proporcionará una salida de uno lógico en el terminal 156 cuya salida no requiere accionamiento, mientras que una entrada de cero lógico en el terminal 122 procedente del único perceptor proporcionará una salida de cero lógico en el terminal 156 cuya salida requiere accionamiento; produciendo así la función lógica 1/1.

La Figura 22 es un diagrama de circuito esquemático del circuito básico ilustrado y descrito con referencia a la Figura 21, programado para producir la función lógica 1/2. El circuito de la Figura 22 es idéntico al circuito programado de la Figura 21 con la adición de una segunda entrada alimentada desde un segundo perceptor al terminal 120. Como se ha descrito con referencia al circuito de la Figura 21, el terminal 124 proporciona una entrada de cero lógico a las puertas 142 y 136, manteniendo sus respectivas salidas en un estado de uno lógico. Por consiguiente, la salida de la puerta 130 asume el control. La puerta 130 recibe entradas procedentes de los dos perceptores que proporcionan señales a los terminales 120 y 122, respectivamente. Cuando cualquiera de los dos perceptores proporciona una entrada de estado lógico cero que indica que existe un estado de avería, la salida de la puerta 130 tomará el estado de uno lógico proporcionando una entrada de uno lógico a la puerta 158 y una salida de



# 413319

5           cero lógico en el terminal 156, que indica que se requiere una orden de accionamiento. Ambos perceptores que proporcionan entradas a los correspondientes terminales 120 y 122 deben proporcionar una entrada de uno lógico que indica que no existe estado de avería antes de que la puerta 130 produzca una salida de cero lógico que aparecerá como una salida de uno lógico en el terminal 156 cuya salida indica que no se requiere una orden de accionamiento. De este modo, la disposición programada del circuito ilustrado en la Figura 22 proporciona la función lógica 1/2.

10           La Figura 23 ilustra un diagrama de circuito esquemático del circuito de la Figura 21 programado para realizar la función lógica 2/2. El circuito de la Figura 23 es idéntico al circuito de la Figura 22 con la excepción de que el terminal 124 está dejado flotante. De este modo, el terminal 124 será aceptado como portador de una entrada de uno lógico a los terminales 140 y 134 de las puertas 142 y 136, respectivamente.

15           Para que aparezca en el terminal 156 una salida de cero lógico, que indica accionamiento, la entrada a cada uno de los diodos de la puerta "Y" 150 tendrá que adoptar el estado de uno lógico requiriéndose que al menos una entrada a cada una de las respectivas puertas NAND 130, 136 y 142 tome un estado de cero lógico. Para que se presente este estado, ambas entradas en los terminales 120 y



413319

122, respectivamente, tendrán que tomar el estado de ce-  
ro lógico que indica que cada uno de los correspondien-  
tes perceptores asociados con cada una de esas entradas  
ha indicado que existe un estado adverso. De este modo,  
5 será ordenado un accionamiento solamente cuando cada uno  
de los correspondientes perceptores que suministran en-  
tradas a los terminales 120 y 122, respectivamente, pro-  
porcione una entrada de cero lógico, realizándose así  
la función lógica 2/2.

10 La Figura 24 ilustra un diagrama de circui-  
to esquemático del circuito básico ilustrado en la Figu-  
ra 21 programado para realizar la función lógica 2/3. El  
circuito de la Figura 24 es idéntico al circuito de la  
Figura 23 con la adición de una tercera entrada alimen-  
15 tada al terminal 124. En conformidad con las caracterís-  
ticas de la puerta "Y" 150, cada una de las correspon-  
dientes salidas de las respectivas puertas 130, 136 y  
142 tendrán que tomar el estado de uno lógico antes de  
que aparezca una salida de cero lógico en el terminal  
20 156, que requiere accionamiento. Este estado se produci-  
rá solamente si al menos uno de los terminales de entra-  
da a cada una de las tres puertas 130, 136 y 142 respec-  
tivas toma el estado de cero lógico. En conformidad con  
el diseño de acoplamiento de terminal de los terminales  
25 120, 122 y 124 a las puertas 130, 136 y 142, se producirá

413319



este estado cuando dos cualquiera de las tres entradas a los terminales 120, 122 y 124, respectivamente, tomen el estado de cero lógico. De este modo, cuando dos cualesquiera de los tres perceptores proporcionan entradas a los terminales 120, 122 y 124, respectivamente, que indican que existe un estado adverso, aparecerá una señal de accionamiento de cero lógico en el terminal 156, realizándose la función lógica 2/3.

La Figura 25 es un diagrama esquemático de circuito del circuito básico ilustrado en la Figura 21, programado para producir una función de circuito biestable R-S. Las conexiones programadas proporcionan comunicación eléctrica entre el terminal 156 de salida y el terminal 120 de entrada, y conectan a masa el terminal 122 de entrada a través de un interruptor 172 de activación normalmente abierto y el terminal 124 a masa a través del interruptor 170 de reposición normalmente cerrado. Con los interruptores 170 y 172 de reposición y activación en sus posiciones de normalmente cerrado y normalmente abierto, respectivamente, las puertas 136 y 142 recibirán una entrada de cero lógico proporcionando una salida de uno lógico a la puerta "Y" 150. De este modo, la puerta 130 controlará la salida de la puerta "Y" 150. Los dos estados estables del circuito biestable pueden ser ilustrados observando que cuando aparece una salida

413319



de estado cero lógico en el terminal 156, será comunicada por la conexión de programa al terminal 120 de entrada y aparecerá como una entrada de cero lógico en el terminal 126 a la puerta 130. La puerta 130 suministrará una entrada de uno lógico a la puerta 150 cuyo estado será comunicado al terminal de entrada de la puerta NAND 158, haciendo posible que se presente un estado estable de cero lógico en el terminal 156 de salida. Similarmente, si aparece un estado de uno lógico en el terminal 156 de salida, será comunicado por la conexión programada al terminal 120 de entrada y aparecerá como una entrada de uno lógico en el terminal 126 a la puerta NAND 130. La entrada adicional en el terminal 128 a la puerta 130 tomará el estado de uno lógico debido al conmutador 172 de activación normalmente abierto, proporcionando un cero lógico en la salida de la puerta 130 que será comunicado por la puerta "Y" 150 a la entrada de la puerta NAND 158 haciendo posible un estado estable de uno lógico en el terminal 156 de salida. El accionamiento del interruptor 172 de activación conectará a masa el terminal 128 de la puerta 130 proporcionando la entrada adicional de uno lógico a los diodos de la puerta "Y" 150, necesaria para comunicar una entrada de uno lógico a la puerta NAND 158 haciendo posible que aparezca en el terminal 156 una salida de cero lógico, rea-

413319



lizándose la función de activación. Con el interruptor  
172 de activación en su posición normalmente abierta y  
el interruptor 170 de reposición oprimido, las entradas  
138 y 140 a la puerta 142 serán dejadas flotantes pro-  
5 porcionando una salida de cero lógico que será comuni-  
cada por la puerta "Y" 150 a la entrada de la puerta  
NAND 158 y aparecerá como una salida de uno lógico en  
el terminal 156 realizándose la función de reposición.  
El accionamiento de ambos interruptores 172 y 170 de ac-  
10 tivación y reposición, de modo que el interruptor 172  
de activación y el interruptor 170 de reposición estén  
cerrado y abierto, respectivamente, proporcionará una  
entrada de cero lógico a las puertas 130 y 142 que man-  
tienen sus correspondientes salidas en el estado de  
15 uno lógico con la puerta 136 controlando la salida de  
la puerta "Y" 150. La puerta NAND 136 recibe una entra-  
da de uno lógico en el terminal 134 procedente del in-  
terruptor de reposición abierto y el terminal 132 de  
entrada a la puerta 136 controlará la salida de la puer-  
20 ta 136. El terminal 132 de entrada tomará el estado de  
la salida 156 del circuito biestable, de modo que si apa-  
rece un cero lógico en la salida 156 será comunicado a  
la entrada 120 que proporciona un estado de uno lógico  
en la salida de la puerta 136 y un cero lógico en el  
25 terminal 156, no requiriéndose cambio de estado. Simi-

413319



larmente, si aparece un uno lógico en la salida del terminal 156, será comunicado al terminal 120 de entrada y aparecerá en el terminal 132 en la entrada de la puerta 136, haciendo que sea comunicada una salida de cero lógico a la puerta NAND 158 a través de la puerta "Y" 150 y haciendo posible una salida de uno lógico en el terminal 156, que no requiere un cambio de estado. De este modo, las conexiones programadas representadas en la Figura 25 del circuito básico ilustrado en la Figura 21 producen un circuito biestable R-S, Se comprenderá que puede lograrse una inmunidad aumentada contra el ruido de corriente alterna interponiendo un filtro similar al filtro ilustrado por la cifra 90 de referencia en el circuito de la Figura 2 entre la salida de la puerta "Y" 150 y la entrada de la puerta 158 "Y" inversora. Además, puede conseguirse un mayor aislamiento eléctrico incluyendo dos inversores a cada lado del filtro en una disposición similar a la disposición 88 y 98 de inversor ilustrada en el circuito de la Figura 2.

Las señales utilizadas en los módulos básicos de circuito lógico, ilustrados en las Figuras 2 y 21, pueden introducirse en un subsistema de multiplexado como se ilustra en la Figura 26. La disposición de multiplexado ilustrada en la Figura 26 es específicamente adecuada para protección de reactores nucleares y aplicacio-



413319

nes de seguridad, aún cuando ha de entenderse que pueden proporcionarse disposiciones de multiplexado similares para otras aplicaciones. La disposición específica a modo de ejemplo representada en la Figura 26 proporciona

5 tres circuitos 174, 176 y 178 lógicos universales programables, que tienen diversos grados de versatilidad. Los circuitos de los bloques 174 y 176 son idénticos al circuito básico ilustrado en la Figura 21, mientras que

10 el circuito del bloque 178 es idéntico al circuito básico ilustrado en la Figura 2, con la adición de medios de polarización dispuestos para los diodos y puertas a través de las diversas resistencias, diodos y diodos Zener representados para la aplicación específica a sistemas de control de reactor nuclear. Los diodos Zener están

15 dispuestos específicamente para supresión de ruido para proteger las puertas lógicas descritas mientras que están dispuestas las resistencias para la ruptura de la película de contacto dispuesta sobre los contactos mecánicos de entrada utilizados en aplicaciones de instalación nuclear. La disposición de circuito prevista

20 en posición central, como en 180, es una disposición de multiplexado de acuerdo con el estado de la técnica, utilizada para multiplexar cada una de las entradas y salidas de los diversos circuitos 174, 176 y 178 para proporcionar

25 señales 182 de vigilancia seleccionadas en los ter-



12

# 413319

minales M-1, M-2, M-3, M-4, M-5 y M-6, cuyas salidas son transmitidas a la sala de control del reactor nuclear para vigilancia constante del funcionamiento de los sistemas. Los caracteres de referencia iguales se refieren a elementos de circuito similares, anteriormente ilustrados en las Figuras 2 y 21.

De este modo, este invento crea un módulo universal, programable, que produce una pluralidad de funciones lógicas tales como las funciones lógicas requeridas dentro de un sistema de protección y seguridad utilizado en un reactor nuclear. Las diversas funciones lógicas son realizadas mediante conexiones programadas que pueden disponerse de un modo manual mediante un mínimo de redistribución del cableado o de un modo automático mediante contactos móviles automatizados que son bien conocidos en la técnica. El sistema así descrito tiene las siguientes ventajas; fiabilidad aumentada mediante el uso de circuitos integrados; tamaño físico reducido; requerimientos de potencia global reducidos; susceptibilidad reducida a vibraciones sísmicas; costes de mantenimiento reducidos; tiempo de reacción reducido; comprobación y vigilancia más simple; y cableado requerido para programar una función reducido al mínimo. Además, se requiere un número mínimo de disposiciones de tarjeta de circuito impreso para producir el sistema 16-



413319

gico total de protección y seguridad en una aplicación a instalaciones de producción de energía de reactor nuclear.

5 La presente solicitud que corresponde a la presentada en los Estados Unidos de América, el día 4 de Abril de 1972, bajo el número 241.038, se acoge a los beneficios del artículo 51 del vigente estatuto sobre Propiedad Industrial.

10

REIVINDICACIONES

15 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

20 1ª.- Una disposición de módulo lógico universal, programable, especialmente adecuada para controlar condiciones de funcionamiento adversas en un sistema de control para un reactor nuclear, estando caracterizado dicho módulo lógico universal, programable, por comprender: medios lógicos que tienen un número de p medios de puerta de entrada donde p es un número entero mayor que o igual a uno, y primeros medios de puerta de

25

15.6.73

413319



salida, siendo capaces cada uno de dichos medios de puer-  
ta de entrada y salida de tomar indistintamente un pri-  
mer o un segundo estado lógico, respectivamente; n me-  
dios de entrada de señal, donde n es un número entero  
5 menor que o igual a p, conectados operativamente a n de  
dichos p medios de puerta de entrada, para proporcionar  
al menos una señal de entrada lógica a dichos medios ló-  
gicos; y el resto de dichos p menos n medios de puerta  
de entrada dispuestos operativamente para proporcionar  
10 una señal de salida de dicho primer estado en dichos  
primeros medios de puerta de salida siempre que al menos  
m de dichos n medios de entrada de señal tomen dicho  
primer estado, donde m es un número entero determina-  
do menor que o igual a n.

15 2ª.- La disposición de la reivindicación 1ª,  
que incluye: medios programables para disponer dichos  
p menos n medios de puerta de entrada de acuerdo con di-  
cho número m entero predeterminado de dichos n medios  
de entrada de señal requeridos para tomar dicho primer  
20 estado antes de que dichos primeros medios de puerta de  
salida tomen dicho primer estado.

25 3ª.- La disposición de acuerdo con la rei-  
vindicación 1ª, o la reivindicación 2ª, en donde dichas  
n entradas de señal están derivadas de un sistema de con-

413319



5 trol de reactor nuclear que tiene una pluralidad de per-  
ceptores para vigilar el funcionamiento del reactor nu-  
clear, funcionando dichos receptores para proporcionar  
una entrada de dicho primer estado lógico a los respec-  
tivos medios de puerta de entrada cuando dichas salidas  
de perceptor indican un estado adverso del funcionamien-  
to del reactor.

10 4ª.- La disposición de acuerdo con las rei-  
vindicações 1ª, 2ª o 3ª, en donde dichos medios lógi-  
cos conectan operativamente medios de accionamiento al  
sistema de control del reactor nuclear respondiendo di-  
chos medios de accionamiento a dichos primer estado de  
15 la señal de puerta de salida para proporcionar el accio-  
namiento de dichos mecanismos de control de reactor a  
fin de controlar estados adversos de funcionamiento del  
reactor.

20 5ª.- La disposición de acuerdo con la rei-  
vindicación 4ª, que incluye: una pluralidad de dichos  
módulos lógicos universales programables; y medios pa-  
ra multiplexar las respectivas salidas de dichos módu-  
los al sistema de control del reactor.

25 6ª.- La disposición de acuerdo con la rei-  
vindicación 4ª, en donde el reactor tiene una sala de  
control, y dichos medios para multiplexar, conectan una  
pluralidad de las entradas y salidas de dichos módulos

15.6.73

- 51 -

kg



413319

a la sala de control para vigilar el funcionamiento de dicho módulo.

5 7ª.- La disposición de acuerdo con la reivindicación 1ª o la reivindicación 2ª, en donde dichos p medios de puerta de entrada están dispuestos operativamente para formar un circuito biestable binario.

10 8ª.- La disposición de acuerdo con la reivindicación 7ª, en donde dichos primeros medios de puerta de salida están conectados operativamente al menos a unos de dichos p medios de puerta de entrada.

15 9ª.- La disposición de acuerdo con la reivindicación 8ª, en donde están dispuestos dichos r medios de entrada de señal a través de conexiones de masa.

20 10ª.- La disposición de acuerdo con la reivindicación 9ª, en donde n es igual a 2, que incluye: un primer interruptor normalmente cerrado conectado entre masa y un primer conjunto de dichos p medios de puerta de entrada y dispuesto operativamente para proporcionar una señal de reposición a dicho circuito biestable cuando está abierto dicho primer interruptor; y un segundo interruptor normalmente abierto conectado entre masa y un segundo conjunto de dichos p medios de puerta de entrada y dispuesto operativamente para proporcionar una  
25 señal de activación a dicho circuito biestable cuando



413319

dicho segundo interruptor está cerrado y dicho primer interruptor está abierto.

5                    11ª.- La disposición de acuerdo con la reivindicación 7ª, que incluye: un filtro de ruido conectado operativamente a dichos primeros medios de puerta de salida para filtrar impulsos de duración relativamente corta debidos al ruido a fin de evitar cambios en el estado de dichos primeros medios de puerta de salida provocados por dichos impulsos.

10                   12ª.- La disposición de acuerdo con la reivindicación 11ª, en donde dicho filtro comprende: una resistencia conectada en serie con dichos primeros medios de puerta de salida y un condensador conectado en la salida de dicha resistencia, entre dicha resistencia  
15                    y masa.

                    13ª.- La disposición de acuerdo con cualquiera de las reivindicaciones 1ª, 2ª, 3ª, o 4ª, que incluye: medios para impedir que dicha primera salida tome dicho primer estado.

20                   14ª.- La disposición de acuerdo con la reivindicación 13, en donde dichos medios de inhibición comprenden: una puerta lógica que tiene una pluralidad de entradas estando conectada al menos una primera de dichas entradas de puerta a dichos primeros medios de puerta de  
25                    salida; y medios de señal de inhibición conectados al me-

413319



nos a una segunda de dichas entradas de puerta, capaces de funcionar bajo orden para proporcionar una señal a dicha puerta lógica de un estado lógico suficiente para mantener dicha salida de puerta lógica en dicho segundo estado.

5

15ª.- La disposición de acuerdo con cualquiera de las reivindicaciones 1ª, 2ª, 3ª, 4ª, 13ª o 14ª, en donde las entradas de señal a dichos medios lógicos no conectadas, dejadas flotantes, serán aceptadas como entradas que toman dicho segundo estado.

10

16ª.- La disposición de acuerdo con cualquiera de las reivindicaciones 1ª, 2ª, 5ª o 6ª, en donde dichos medios lógicos incluyen: una segunda puerta de salida situada entre dichos medios de puerta de entrada y dichos primeros medios de puerta de salida, que pueden funcionar para estar conectados a segundas puertas de salida similares sobre módulos lógicos sustancialmente similares para producir una función de coincidencia lógica de dichos módulos en dichos primeros medios de salida.

15

20

17ª.- La disposición de acuerdo con cualquiera de las reivindicaciones 1ª, 2ª, 5ª o 6ª, que incluye: una pluralidad de módulos sustancialmente similares, cada uno de los cuales tiene primeros medios de puerta de salida, en donde la interconexión de dichos

25

17.6.73

- 54 -

413319



primeros medios de puerta respectivos proporciona una función de disyunción lógica de dicha pluralidad de módulos en cada uno de dichos primeros medios de puerta de salida respectivos.

5                   18ª.- La disposición de acuerdo con cualquiera de las reivindicaciones 1ª, 2ª, 5ª o 6ª, en donde se obtiene la conjunción lógica de una pluralidad de dichos p medios de puerta de entrada para formar una entrada común a dichos medios lógicos.

10                   19ª.- La disposición de acuerdo con la reivindicación 1ª o la reivindicación 2ª, en donde dichos medios lógicos comprenden: una puerta "Y" que tiene una pluralidad de entradas procedentes de las respectivas salidas de dichos medios de puerta de entrada; y un inversor que tiene una entrada procedente de la salida de dicha puerta "Y" y constituyendo la salida de dicho inversor dichos primeros medios de puerta de salida.

15                   20ª.- La disposición de acuerdo con la reivindicación 19ª, en donde dicho inversor comprende una puerta NAND (producto lógico con negación) que tiene al menos dos entradas, estando conectada la primera de dichas entradas a la salida de dicha puerta "Y" y tomando normalmente la segunda de dichas entradas dicho segundo estado, capaz de funcionar bajo orden para pro-

17.6.73

- 55 -

413319



porcionar una señal de dicho primer estado para inhibir la salida de dicha puerta NAND y mantener la salida de dicha puerta NAND en dicho segundo estado.

5           21ª.- La disposición de acuerdo con cualquiera de las reivindicaciones precedentes, en donde dichos medios de puerta de entrada y salida comprenden puertas NAND.

10           22ª.- La disposición de acuerdo con las reivindicaciones 19ª y 20ª, en donde dichos p medios de puerta de entrada incluyen cuatro puertas NAND conectadas en paralelo, teniendo cada una de dichas puertas NAND al menos tres entradas, teniendo un primer terminal conexiones paralelas a una primera entrada de una primera, segunda y tercera de dichas cuatro puertas NAND, respectivamente; un segundo terminal que tiene conexiones paralelas a una segunda entrada dispuesta sobre una primera, segunda y cuarta de dichas cuatro puertas NAND, respectivamente; un tercer terminal; un cuarto terminal; una segunda puerta "Y" que tiene entradas procedentes de dichos tercer y cuarto terminales, respectivamente, 20 y una salida conectada en paralelo a una tercera entrada dispuesta sobre dicha primera puerta NAND y una segunda entrada dispuesta sobre dichas tercera y cuarta puertas NAND, respectivamente; un quinto terminal que tiene 25 conexiones paralelas a una tercera entrada dispuesta so-

17.6.73

- 56 -



413319

bre dichas segunda, tercera y cuarta puertas NAND, respectivamente; un sexto terminal; un séptimo terminal; y un diodo conectado entre dichos sexto y séptimo terminales, situado de modo que deja pasar corriente desde dicho séptimo terminal a dicho sexto terminal.

5

23ª.- La disposición de acuerdo con la reivindicación 22ª, en donde dicho quinto terminal está conectado a masa y dichos medios de entrada de señal están acoplados operativamente a dicho primer terminal para proporcionar una señal de salida de dicho primer estado en dichos primeros medios de puerta de salida siempre que dichos medios de entrada de señal proporcionen una señal de entrada de dicho primer estado a dicho primer terminal.

10

15

24ª.- La disposición de acuerdo con la reivindicación 22ª, en donde dicho quinto terminal está puesto a masa, primeros medios de dichos n medios de entrada de señal están acoplados operativamente a dicho primer terminal y segundos medios de dichos n medios de entrada de señal están acoplados operativamente a dicho segundo terminal para proporcionar una señal de salida de dicho primer estado en dichos primeros medios de puerta de salida siempre que al menos cualquiera de dichos primeros y segundos medios de entrada de se--

20

17.6.73

- 57 -

413319

12 J



ñal proporcionen una señal de entrada de dicho primer estado a dicho primer o segundo terminales, respectivamente.

25ª.- La disposición de acuerdo con la  
5 reivindicación 22ª, en donde dicho quinto terminal está conectado a masa, primeros medios de dichos n medios de entrada de señal están acoplados operativamente a dicho primer terminal, segundos medios de dichos n medios de entrada de señal están acoplados operativamente  
10 a dicho segundo terminal y terceros medios de dichos n medios de entrada de señal están acoplados operativamente a dicho cuarto terminal para proporcionar una señal de salida de dicho primer estado en dichos primeros medios de puerta de salida siempre que al menos cualquiera de dichos primeros, segundos o terceros medios  
15 de señal proporcionen una entrada de señal de dicho primer estado a dichos primero, segundo o cuarto terminales, respectivamente.

26ª.- La disposición de acuerdo con la reivindicación 22ª, en donde dicho quinto terminal está  
20 conectado a masa, dicho tercer terminal está conectado a dicho séptimo terminal, primeros medios de dichos n medios de entrada de señal están acoplados operativamente a dicho primer terminal, segundos medios de dichos n medios de entrada de señal están acoplados operativamente a dicho segundo terminal, terceros medios de dichos  
25 n medios de entrada de señal están acoplados operativamente

16.6.73

-58 -

413319



mente a dicho cuarto terminal, y cuartos medios de dichos  
n medios de entrada de señal están acoplados operativa-  
mente a dicho sexto terminal para proporcionar una señal  
de salida de dicho primer estado en dichos primeros me-  
dios de puerta de salida siempre que al menos cualquie-  
5 ra de dichos primeros segundos, terceros y cuartos medios  
de entrada de señal proporcionen una señal de entrada  
de dicho primer estado de dichos primero, segundo, cuar-  
to o sexto terminales, respectivamente.

27ª.- La disposición de acuerdo con la rei-  
10 vindicación 22ª, en donde primeros medios de dichos n  
medios de entrada de señal están conectados operativa-  
mente a dicho primer terminal y segundos medios de dichos  
n medios de entrada de señal están conectados operativa-  
mente a dicho segundo terminal para proporcionar una se  
15 ñal de salida de dicho primer estado en dichos prime-  
ros medios de puerta de salida siempre que ambos prime-  
ros y segundos medios de entrada de señal proporcionen  
una señal de entrada de dicho primer estado a dichos pri-  
mero y segundo terminales, respectivamente.

20 28ª.- La disposición de acuerdo con la rei-  
vindicación 22ª, en donde primeros medios de dichos n  
medios de entrada de señal están conectados operativa-  
mente a dicho primer terminal, segundos medios de di-  
chos n medios de entrada de señal están conectados ope-  
25 rativamente a dicho segundo terminal y terceros medios

16.6.73

- 59 -

*pg*

413319



de dichos n medios de entrada de señal están conectados operativamente a dicho cuarto terminal para proporcionar una señal de salida de dicho primer estado en dichos

5 primeros medios de puerta de salida siempre que dos cualesquiera de dichos primeros, segundos o terceros medios de entrada de señal proporcionen una señal de entrada de dicho primer estado a dichos primero, segundo o cuarto terminales, respectivamente.

29ª.- La disposición de acuerdo con la rei  
10 vindicación 22ª, en donde dicho séptimo terminal está conectado a dicho quinto terminal, primeros medios de dichos n medios de entrada de señal están conectados operativamente a dicho primer terminal, segundos medios de dichos n medios de entrada de señal están conectados  
15 operativamente a dicho segundo terminal, terceros medios de dichos n medios de entrada de señal están conectados operativamente a dicho cuarto terminal y cuartos medios de dichos n medios de entrada de señal están conectados operativamente a dicho sexto terminal para proporcionar  
20 una señal de salida de dicho primer estado en dichos primeros medios de puerta de salida siempre que dos cuales quiera de dichos primero, segundos, terceros o cuartos medios de entrada de señal proporcionen una señal de entrada de dicho primer estado a dichos primero, segun-  
25 do, cuarto o sexto terminales, respectivamente.

16.6.73

-60-

kg

413319

12



30ª.- La disposición de acuerdo con la reivindicación 22ª, en donde dicho tercer terminal está conectado a dichos primeros medios de puerta de salida, dicho quinto terminal está conectado a dicho séptimo terminal y dichos medios de entrada de señal comprenden: un interruptor normalmente abierto conectado entre masa y dicho cuarto terminal; un interruptor normalmente cerrado conectado entre masa y dicho sexto terminal; y funcionando dichos interruptores normalmente abierto y normalmente cerrado, respectivamente, como interruptores de activación y reposición de un circuito biestable R-S que proporciona una salida estable de cualquiera de dicho primero o segundo estado en dichos primeros medios de puerta de salida, respectivamente, cuando son actuados.

31ª.- La disposición de acuerdo con la reivindicación 19ª, o la reivindicación 20ª, en donde dichos p medios de entrada incluyen una primera, segunda y tercera puertas NAND conectadas en paralelo, teniendo cada una de dichas puertas NAND una primera y una segunda entrada, un primer terminal que tiene conexiones paralelas a dichas primeras entradas dispuestas sobre dicha primera y segunda puertas NAND respectivamente; un segundo terminal que tiene conexiones paralelas a dichas segunda y primera entradas dispuestas sobre dichas primera y tercera puertas NAND respectivamente; y un tercer ter-

16.6.73

- 61 -

*Bg*

413319



minal que tiene conexiones paralelas a dichas segundas  
entradas dispuestas sobre dichas segunda y tercera puer-  
tas NAND, respectivamente.

5           32ª.- La disposición de acuerdo con la rei-  
vindicación 31ª, en donde dicho tercer terminal está co-  
nectado a masa y primeros medios de dichos n medios de  
entrada de señal están conectados operativamente a dicho  
segundo terminal para proporcionar una señal de salida  
10 de dicho primer estado en dichos primeros medios de puer-  
ta de salida, siempre que dichos primeros medios de en-  
trada de señal proporcionen una señal de entrada de dicho  
primer estado a dicho segundo terminal.

15           33ª.- La disposición de acuerdo con la rei-  
vindicación 31ª, en donde dicho tercer terminal está co-  
nectado a masa, primeros medios de dichos n medios de  
entrada de señal están conectados operativamente a dicho  
segundo terminal y segundos medios de dichos n medios de  
entrada de señal están conectados operativamente a dicho  
primer terminal para proporcionar una señal de salida  
20 de dicho primer estado en dichos primeros medios de puer-  
ta de salida siempre que cualesquiera de dichos primeros  
medios de entrada de señal o dichos segundos medios de  
entrada de señal proporcionen una señal de entrada de  
dicho primer estado a dichos segundo o primer terminales,  
25 respectivamente.

16.6.73

*De*

413319



34ª.- La disposición de acuerdo con la rei  
vindicación 31ª, en donde primeros medios de dichos n  
medios de entrada de señal están conectados operativamen  
te a dicho segundo terminal y segundos medios de dichos  
5 n medios de entrada de señal están conectados operati-  
vamente a dicho primer terminal para proporcionar una  
señal de salida de dicho primer estado en dichos pri-  
meros medios de puerta de salida siempre que ambos pri-  
meros y segundos medios de entrada de señal proporcio-  
nen una señal de entrada de dicho primer estado a dicho  
10 segundo y primer terminales, respectivamente.

35ª.- La disposición de acuerdo con la rei-  
vindicación 31ª, en donde primeros medios de dichos n  
medios de entrada de señal están conectados operativa-  
mente a dicho segundo terminal, segundos medios de di-  
chos n medios de entrada de señal están conectados ope-  
rativamente a dicho primer terminal y terceros medios  
15 de dichos n medios de entrada de señal están conecta-  
dos operativamente a dicho tercer terminal para propor-  
cionar una señal de salida de dicho primer estado en  
dichos primeros medios de puerta de salida siempre que  
dos cualesquiera de dichos primeros, segundos o terce-  
ros medios de entrada de señal proporcionen una señal  
de entrada de dicho primer estado a dichos segundo, pri-  
20 mero o tercer terminales, respectivamente.

16.6.73

- 63 -

129

413319



36ª.- La disposición de acuerdo con la reivindicación 31ª, en donde dicho primer terminal está conectado a dicho primer terminal de salida y dichos medios de entrada de señal comprenden: un interruptor normalmente abierto conectado entre masa y dicho segundo terminal; un interruptor normalmente cerrado conectado entre masa y dicho tercer terminal; y funcionando dichos interruptores normalmente abierto y normalmente cerrado, respectivamente, como interruptores de activación y reposición de un circuito biestable R-S que proporciona una salida estable de cualquiera de dichos primer o segundo estado, respectivamente, cuando son actuados.

37ª.- La disposición de acuerdo con la reivindicación 1ª, en donde dicho primer estado es un cero lógico y dicho segundo estado es un uno lógico.

38ª.- Una disposición de módulo lógico universal, programable, especialmente adecuado para controlar condiciones de funcionamiento adversas en un sistema de control para un reactor nuclear.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

18.6.73

- 64 -

*Reg*

413319



Esta Memoria consta de sesenta y cinco  
hojas escritas a máquina por una sola cara.

Madrid, 12 JUN. 1973

P.A.

*Arte*

17.6.73

JGA.

- 65 -

*Key*

413319

72 J

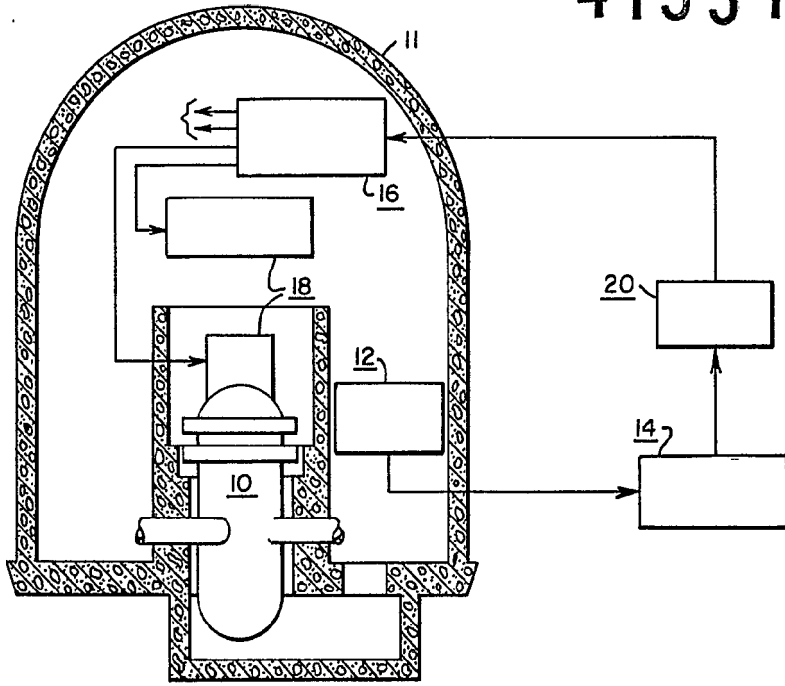


FIG. 1

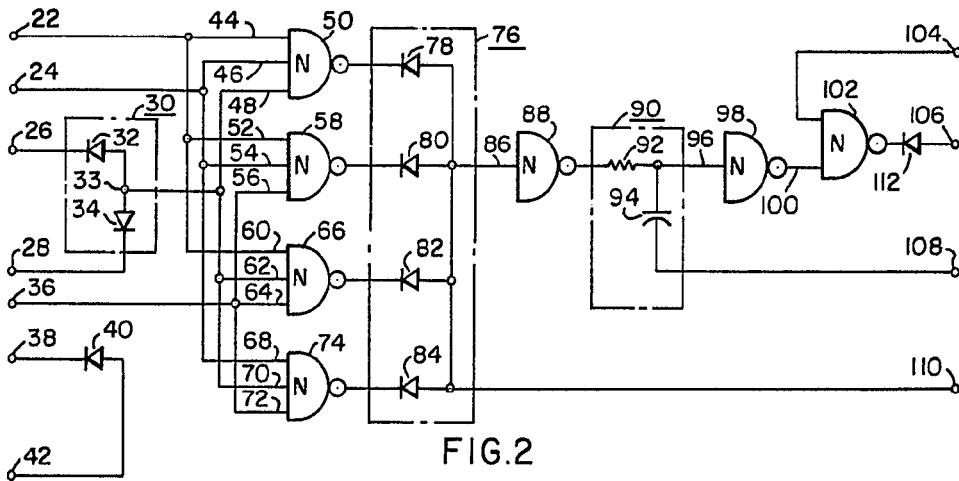


FIG. 2

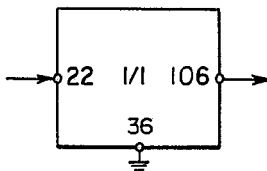
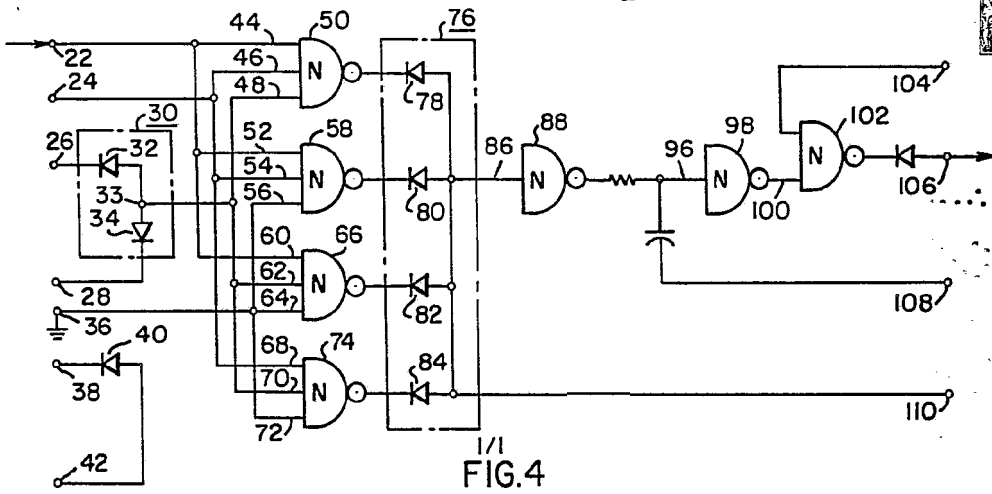


FIG. 3

Albert G. Eiszner  
 For Patent

413319 12



1/1  
FIG. 4

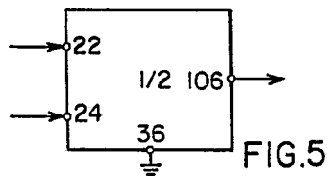
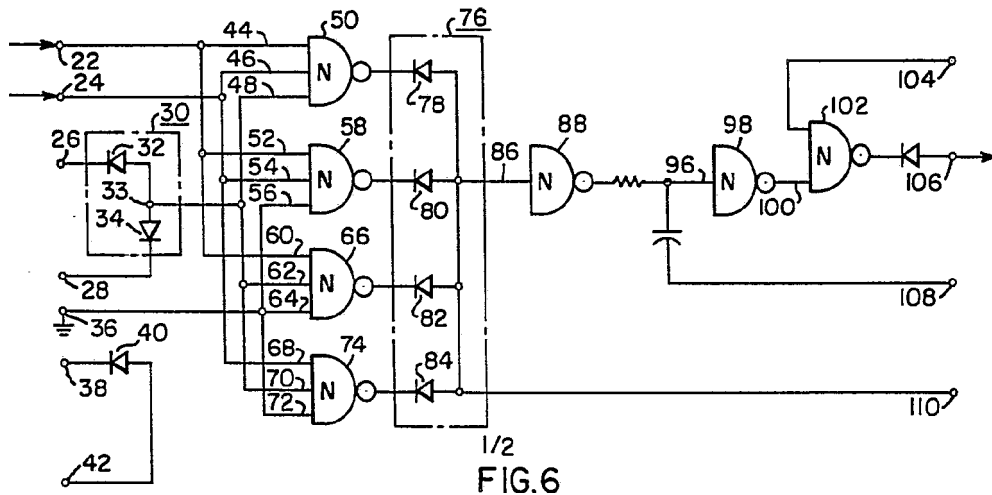


FIG. 5



1/2  
FIG. 6

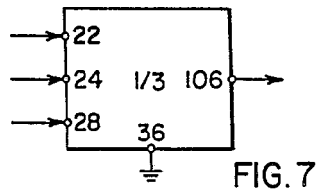


FIG. 7

*[Handwritten signature]*  
ALL RIGHTS RESERVED  
Pat. Pending

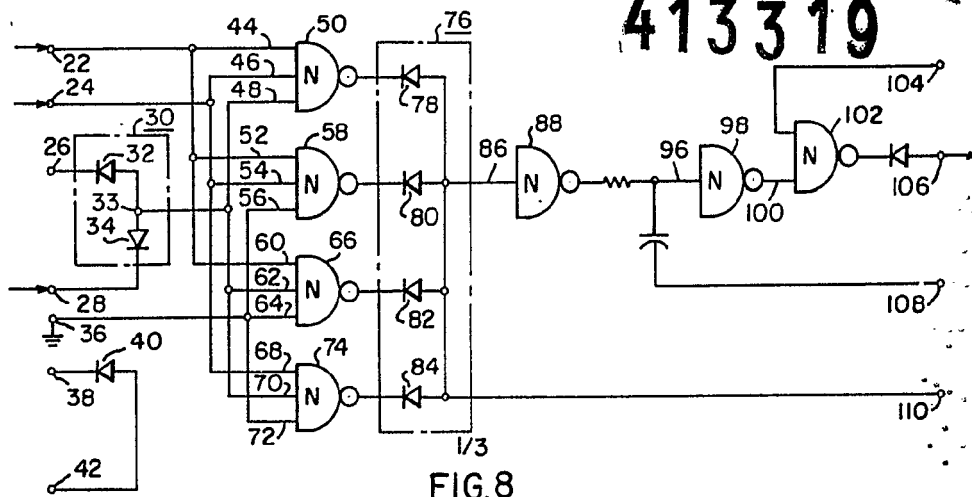


FIG. 8

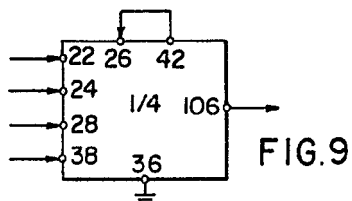


FIG. 9

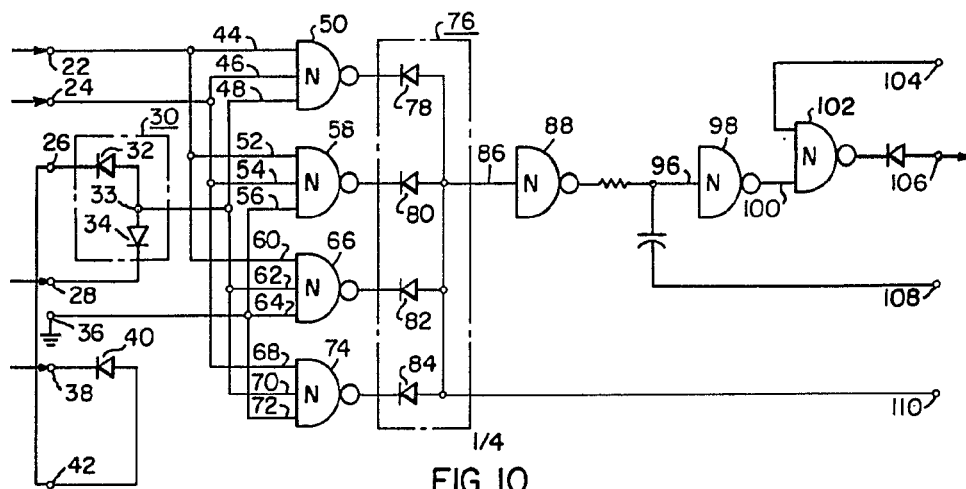


FIG. 10

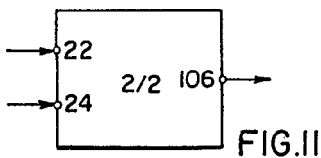


FIG. 11

Alberto de Elizaburu  
Per Fodari

413319 12

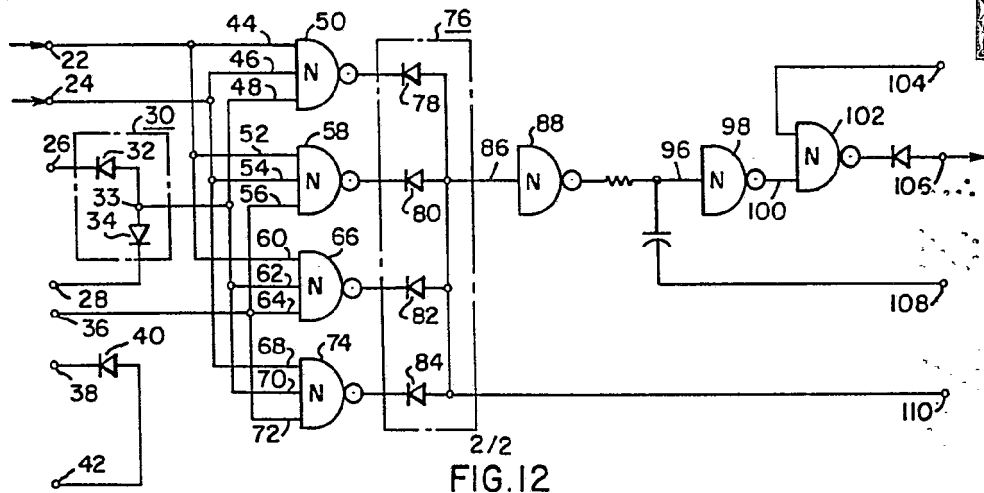


FIG. 12

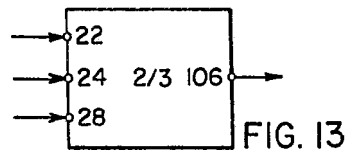


FIG. 13

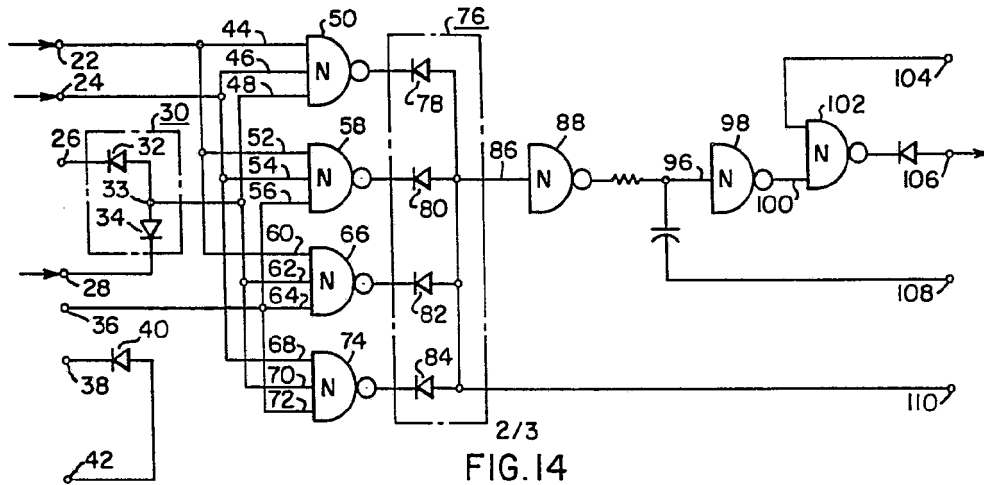


FIG. 14

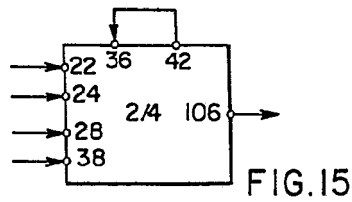


FIG. 15

*[Handwritten signature]*

413319

12

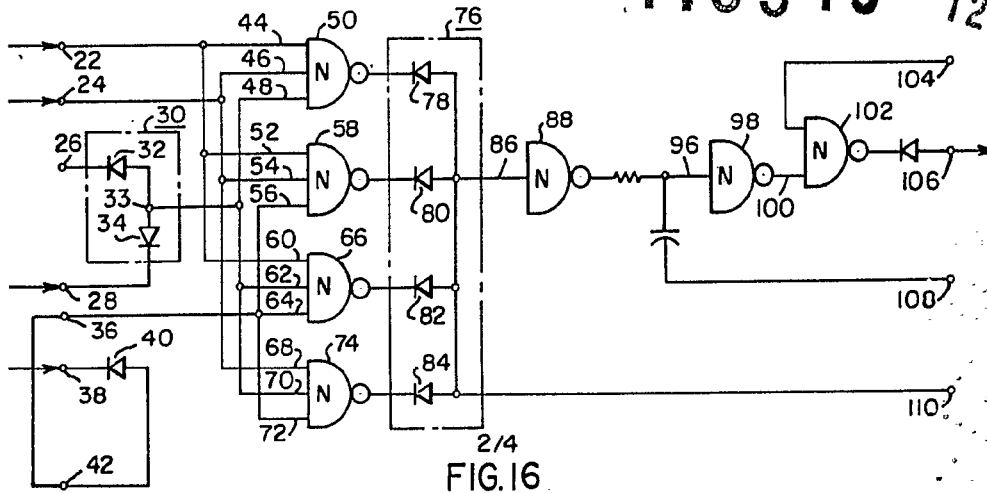


FIG. 16

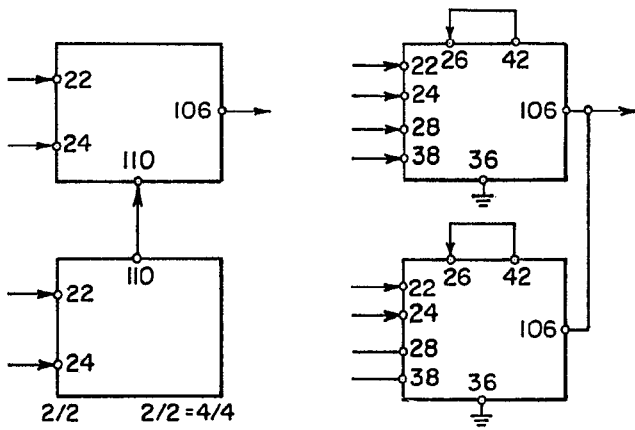


FIG. 17

FIG. 18

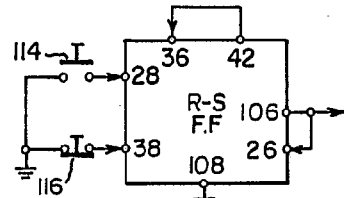


FIG. 19

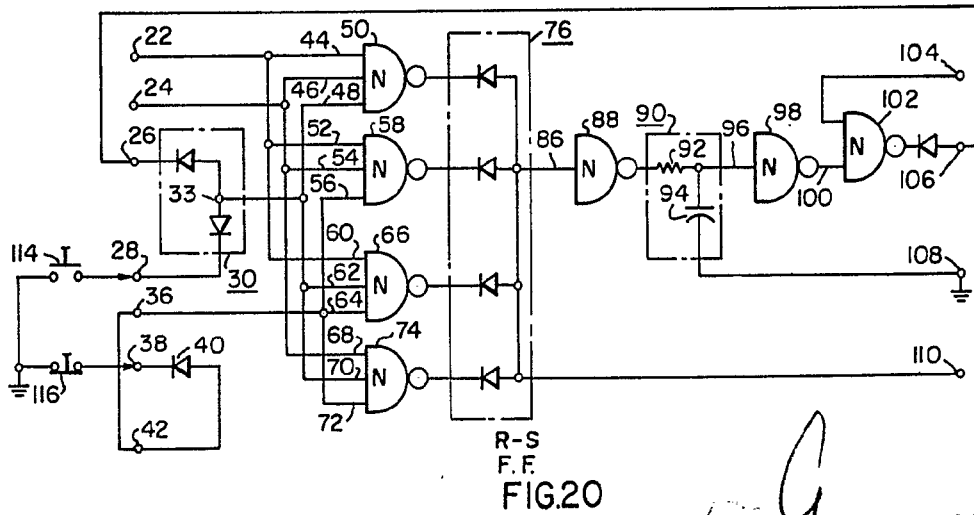


FIG. 20

*Handwritten signature or scribble in the bottom right corner.*

413319

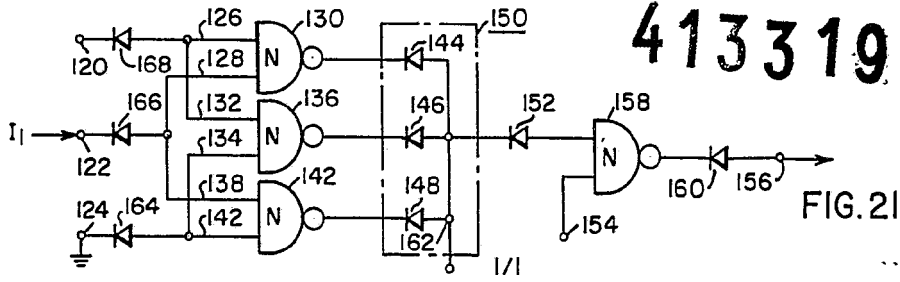


FIG. 21

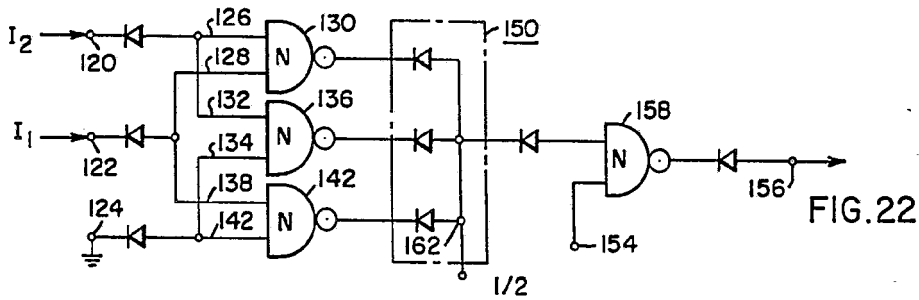


FIG. 22

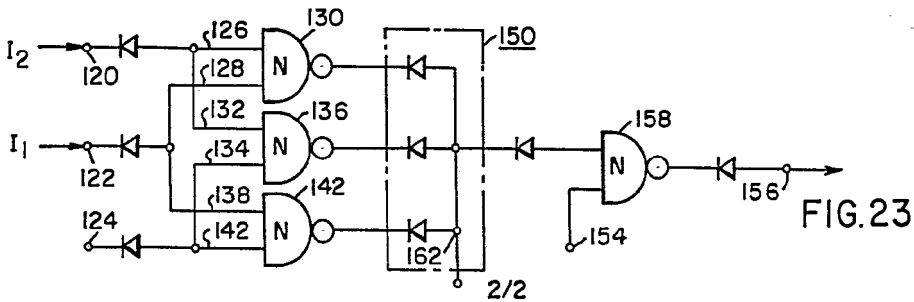


FIG. 23

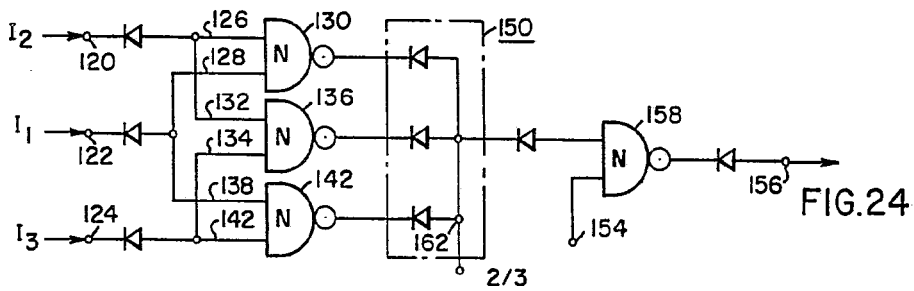


FIG. 24

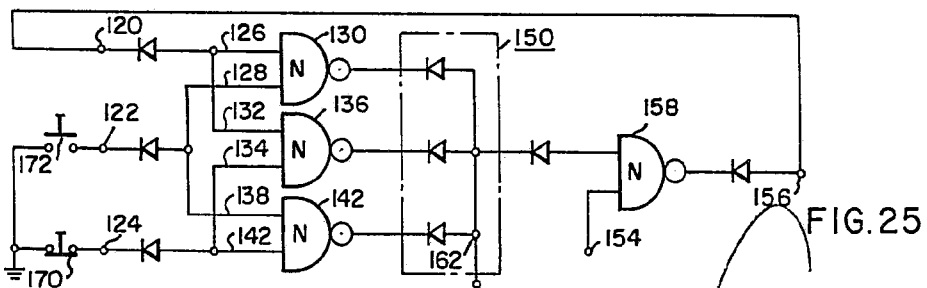


FIG. 25

Albert G. Eshbach  
Per Power

413319

413319

12

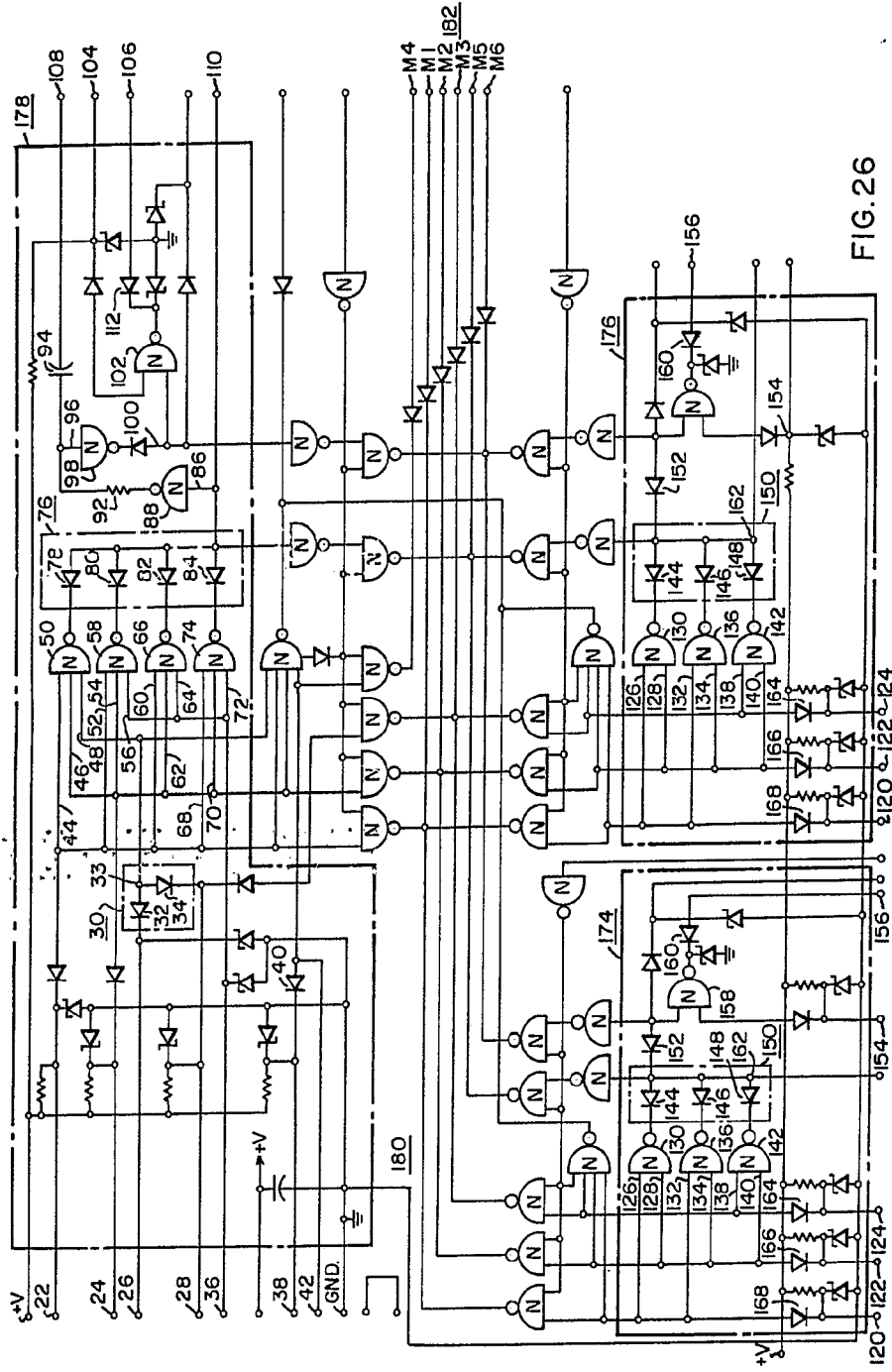
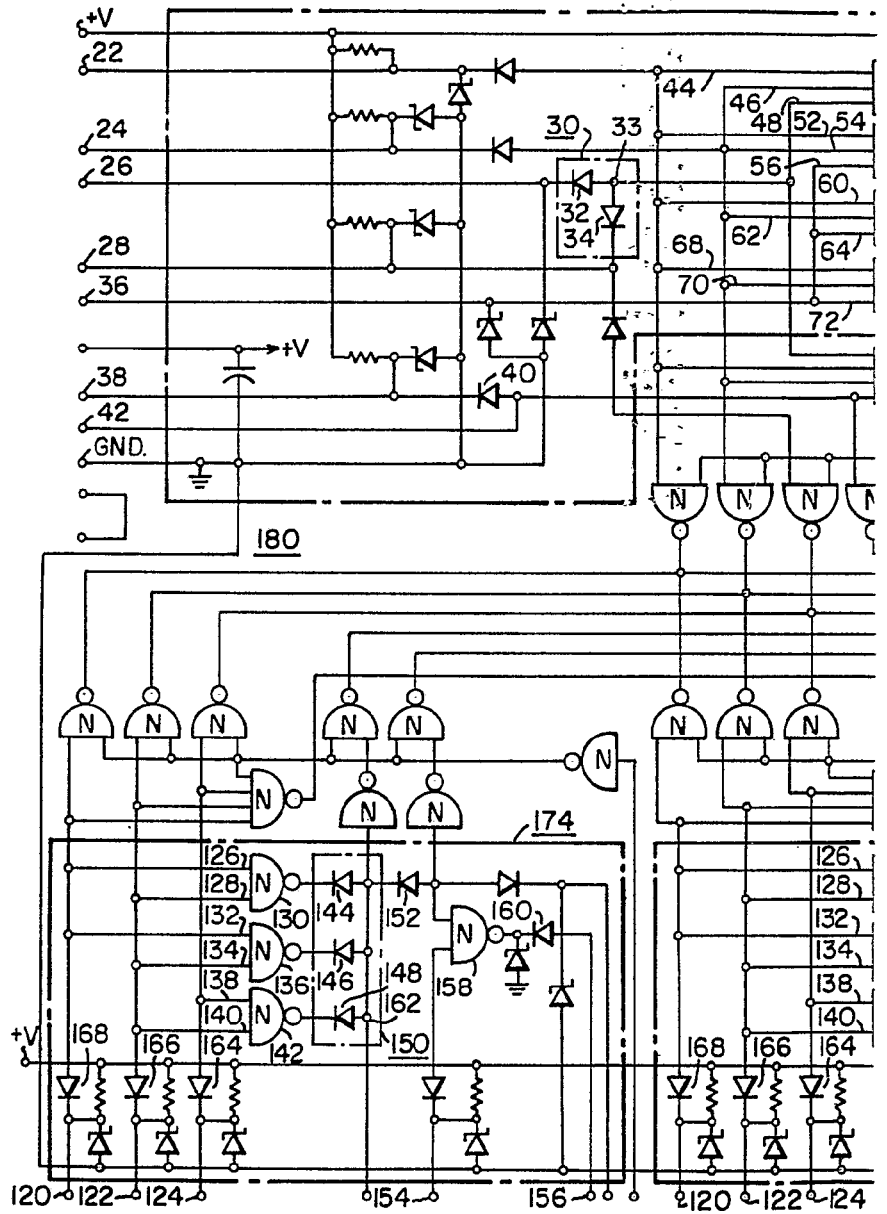


FIG. 26

*Carver*

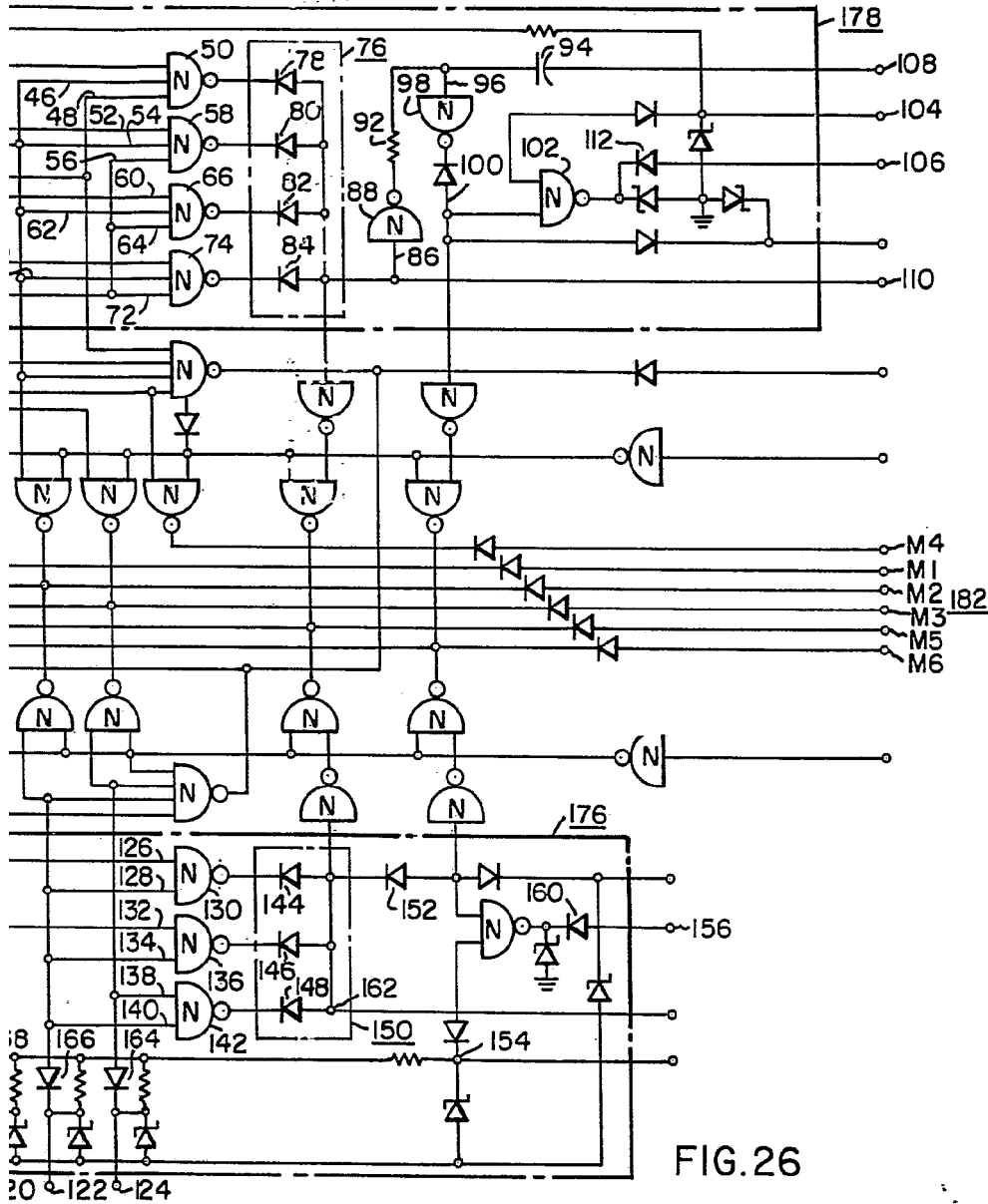
413319



54098

413319

12



Alberto G. ...  
Per Pouch