

413103



413193

Int. Cl. H02M	P.- 53.931
	W.E. Case No 43.663

F.C. 6-5-75

MEMORIA DESCRIPTIVA
para solicitar

PATENTE DE INTRODUCCION

en ESPAÑA

Por DIEZ años

A nombre de WESTINGHOUSE ELECTRIC CORPORATION

entidad norteamericana

establecida en Westinghouse Building, Gateway Center,
Pittsburgh, Pensilvania, Estados Unidos
de América.

por: "APARATO CONVERTIDOR DE CORRIENTE"

(Clase Internacional H02m)

413193



5 El invento se refiere, en general, a aparatos convertidores y, más específicamente, a aparatos convertidores de corriente para intercambiar energía eléctrica entre circuitos de corriente alterna y de corriente continúa.

10 Los aparatos convertidores del tipo que utiliza dispositivos rectificadores controlados, tales como tiristores, conectados para intercambiar energía eléctrica entre circuitos de corriente alterna y de corriente continúa, requieren algún tipo de controlador de fase para regular el ángulo de conducción de los dispositivos rectificadores controlados. El ángulo de conducción se controla para regular un parámetro predeterminado del convertidor de corriente, tal como una corriente de carga o una tensión de carga.

15 Es importante, para el funcionamiento apropiado de aparato convertidor, que se mantenga un funcionamiento síncrono entre el controlador de fase y el convertidor de corriente. En otras palabras, el ángulo de conducción de las señales de activación de puerta aplicadas a los dispositivos rectificadores controlados del convertidor de corriente debe estar restringido dentro de límites predeterminados, que se denominarán topes finales.

20 Las disposiciones anteriores para proporcionar las funciones de tope final son, en general, muy comple-



413193

jas, recurriéndose, frecuentemente, a un comparador por cada canal. Además, la sensibilidad al "ruido" es, a menudo, un problema, y se recurre al filtrado para impedir que un falso disparo degrade la exactitud del circuito.

5 Así, sería deseable proporcionar un nuevo y mejorado aparato convertidor en el que la disposición para restringir el ángulo de conducción es menos compleja, necesitando sólo un único comparador para cada tope final, en lugar de uno para cada canal. Además, sería deseable
10 proporcionar una disposición que tenga una sensibilidad reducida al ruido, sin exigir un filtrado excesivo, con la consiguiente degradación del comportamiento.

RESUMEN DEL INVENTO

15 En pocas palabras, el presente invento es un nuevo y mejorado aparato convertidor del tipo que incluye dispositivos rectificadores controlados, conectados para intercambiar energía eléctrica entre circuitos de corriente alterna y de corriente continua. El convertidor incluye un controlador de fase para regular el ángulo de
20 conducción de los dispositivos rectificadores controlados en respuesta a una señal de error que indica cualquier diferencia entre la operación real del aparato convertidor y la operación deseada.

25 El controlador de fase incluye medios de tope final para restringir el ángulo de conducción entre to-

413193



pes o límites extremos predeterminados de rectificación y de inversión. Los medios de tope final incluyen medios para proporcionar una pluralidad de formas de onda de temporización en respuesta a la fuente de potencial alterno, y medios que responden al ángulo de conducción y a las formas de onda de temporización para proporcionar una única señal de tope final compuesta que se emplea para controlar todos los canales del aparato convertidor. La señal de tope final compuesta está formada por segmentos de la pluralidad de formas de onda de temporización, determinándose los segmentos seleccionados por el ángulo de conducción.

La señal de tope final se aplica a un primero y a un segundo circuitos de umbral, que detectan cuando alcanza al ángulo de conducción sus límites respectivos, y mantienen el ángulo de conducción en estos límites en tanto la señal de error esté pidiendo un funcionamiento fuera del límite.

Las formas de onda de temporización, que son proporcionales a las tensiones reales de la línea de corriente alterna para el convertidor de corriente, representan exactamente la tensión real disponible para conmutar los dispositivos rectificadores controlados del convertidor.

Se reduce la sensibilidad al ruido, sin fil-

413193



trado, incorporando una característica de retardo que reduce los disparos falsos debidos al ruido.

5 En una realización preferida del invento, la disposición de circuitos de tope final, incluye medios osciladores que generan señales de reloj a un régimen que es un múltiplo predeterminado de la frecuencia de la fuente cuando la señal de error es cero, y que aumen
ta y disminuye su régimen para señales de error negati-
vas y positivas, respectivamente, de acuerdo con la mag-
10 nitud de la señal de error. Un contador de anillo proporciona impulsos de control en respuesta a los impulsos de reloj, y estos impulsos de control, junto con las puertas lógicas, controlan la selección de los segmentos de las formas de onda de temporización, así como
15 proporcionan señales para los excitadores de puerta.

La invención puede comprenderse mejor, y pueden apreciarse más fácilmente otras ventajas y otros usos de la misma, considerándola a la luz de la siguien
te descripción detallada de unas formas ilustrativas de
20 realización de la misma, tomadas en relación con los di
bujos adjuntos, en los cuales:

- la figura 1 es un esquema funcional o por blo-
ques que ilustra la disposición general de un aparato
convertidor construido y dispuesto con arreglo al presen
25 te invento;

413193



5 - la figura 2 es un esquema teórico de un selector, un amplificador de conmutación y un amplificador de error, que pueden usarse para las funciones ilustradas en bloque en la fig. 1, y que están contruidos con arreglo a una forma de ejecución del presente invento;

- la figura 3 es un esquema teórico que ilustra una variante del selector representado en la fig. 2, construido y dispuesto con arreglo a otra forma de realización del presente invento;

10 - la figura 4 es un esquema teórico que ilustra una variante del selector indicado en la fig. 3 y del amplificador de error representado en la fig. 2, contruidos y dispuestos con arreglo a otra forma de realización del presente invento;

15 - la figura 5 es una gráfica explicatoria del funcionamiento del aparato convertidor representado en la fig. 1, usando el selector indicado en la fig. 4;

20 - la figura 6 es un esquema funcional de un oscilador de sincronización de fase, que puede usarse en el regulador de fase de la fig. 1;

- la figura 7 es un esquema teórico del oscilador de sincronización de fase representado en la fig. 6;

25 - la figura 8 es un esquema teórico de un contador en anillo que puede usarse en el oscilador de sin-

413193



cronización de fase representado en la fig. 6;

5 - la figura 9 es una gráfica explicatoria del funcionamiento del oscilador de sincronización de fase representado en la fig. 6, incluidos ciertos perfiles de onda, y la actividad de ciertas funciones de circuito en respuesta a éstos, que sirven para desarrollar una señal compuesta de tope final para una señal de error que tenga magnitud cero;

10 - la figura 10 es una gráfica que ilustra ciertos perfiles de onda, y la actividad de ciertas funciones de circuito en respuesta a éstos, incluido el desarrollo de una señal compuesta de tope final para un ángulo de conducción que avanza o se adelanta hasta el tope final de rectificación;

15 - la figura 11 es una gráfica semejante a la representada en la fig. 10, excepto en que ilustra el desarrollo de la señal compuesta de tope final para un ángulo de conducción que se retrasa hasta el tope final de inversión; y

20 - la figura 12 es un esquema teórico de un circuito de excitación de electrodos de mando, que puede usarse para la función excitadora de electrodos de mando representada en la fig. 1.

25 Con referencia ahora a los dibujos, y en particular a la fig. 1, se representa un aparato converti-

413193



dor 10 para proporcionar una corriente continua controlable y reversible para un circuito de carga 12, partiendo de una fuente 14 de potencial de corriente alterna. Si bien la fuente 14 está ilustrada como fuente trifásica, con barras A, B y C, se sobrentiende que la fuente de potencial de corriente alterna puede ser monofásica o de otro número de fases.

El aparato convertidor 10 incluye unos medios convertidores primeros y segundos, 16 y 18 respectivamente, tales como unas disposiciones de rectificador trifásico en puente, de onda completa, conectadas en oposición paralela. También puede usarse, si así conviene, la rectificación de media onda. Cada uno de los convertidores incluye una pluralidad de dispositivos rectificadores controlados, conectados para intercambiar energía eléctrica entre unos circuitos de corriente alterna y de corriente continua representados por la fuente 14 y el circuito de carga 12, respectivamente. Cada puente o convertidor, tal como el convertidor 16, incluye seis dispositivos rectificadores controlados, designados con las letras de referencia SCR seguidas de un número. Los de número par, 2, 4 y 6, tienen interconectados sus electrodos de cátodo; y los de número impar 1, 3 y 5 tienen interconectados sus electrodos de ánodo. Los dispositivos rectificadores controlados del convertidor 16 están

413193



designados con referencias semejantes, distinguidas con un apóstrofo. Para simplificar el dibujo, cada puente de rectificación se ilustra con sus dispositivos rectificadores controlados dispuestos de la manera usual.

5 Los dispositivos se hallan dispuestos de preferencia como se ilustra en la fig. 5B de la patente de EE.UU. número 3.487.279 arriba mencionada, lo que permite compartir ciertos circuitos de supresión.

La disposición de puente doble permite ajustar

10 la tensión de corriente continua aplicada al circuito de carga 12, modificando para ello el ángulo de conducción o de cebado de los dispositivos rectificadores controlados, y permite invertir el sentido de paso de la corriente continua por el circuito de carga, haciendo

15 funcionar para ello selectivamente los medios convertidores. Como se indica en la figura, el convertidor 16, al funcionar, da un paso de corriente $I+$ por el circuito de carga 12 (corriente que, a los fines del ejemplo, se denomina corriente de paso en el sentido directo, o

20 corriente directa); y el convertidor 18, al funcionar, da por el circuito de carga 12 un paso de corriente $I-$, que se denomina aquí corriente inversa. El circuito de carga 12 puede ser el de una carga que requiera una corriente continua reversible y regulable, tal como el

25 campo inductor o el inducido de un motor de corriente

413193



continua de accionamiento.

El aparato convertidor 10 se hace funcionar en un modo de bucle cerrado de corriente, usando una realimentación en intensidad para hacer funcionar el con-
5 vertidor esencialmente como amplificador de corriente. La realimentación de corriente para un convertidor do-
ble suele realizarse utilizando un transductor de corrien-
te continua que vigile la salida de cada convertidor, sumándose las salidas de los dos transductores para pro-
10 ducir una señal bidireccional de realimentación o retroacción; o bien, utilizando un juego de transformado-
res de intensidad de corriente alterna para vigilar la entrada de corriente alterna a cada convertidor, rectificándose y sumándose las salidas de los transformado-
15 res de intensidad para obtener una señal bidireccional de realimentación. Tanto una como otra de estas disposi-
ciones tienen sus desventajas. El transductor de intensidad de corriente continua es complejo, y requiere una excitación exterior. El enfoque a base de transformado-
20 res de intensidad de corriente alterna, si bien fundamentalmente es más sencillo que la disposición de trans-
ductores de intensidad de corriente continua, y más interesante por no requerir excitación exterior, aumenta la complejidad del aparato convertidor por ser preciso
25 disponer ciertos circuitos de supresión para cada con-

413193

-7



vertidor.

La patente de EE.UU. nº. 3.487.279 enseña el uso de un solo juego de transformadores de intensidad de corriente alterna, permitiendo compartir circuitos de su presión, pero no hace uso de la señal unidireccional resultante, de retroacción o realimentación de corriente, para controlar directamente el funcionamiento del convertidor. Además, esta patente describe el cambio de polaridad de esta señal unidireccional de retroacción, cuando está funcionando uno (prefijado) de los dos convertidores, antes de utilizar la señal.

La presente invención revela un aparato convertidor nuevo y perfeccionado, que utiliza la señal unidireccional de realimentación de corriente, sin cambiar su polaridad, como señal de realimentación de corriente para un funcionamiento en el modo de bucle cerrado de corriente.

Más concretamente, la corriente alterna suministrada por la fuente 14, por medio de las barras colectoras A, B y C al convertidor doble, es medida por unos transformadores de intensidad 22, 24 y 26 dispuestos para dar una medida de la intensidad de corriente que circula entre el aparato convertidor 16 y la fuente 14. Las salidas de los transformadores de intensidad 22, 24 y 26 son apropiadamente sumadas o compuestas y rectificadas

413193



por un rectificador de corriente 28, que puede ser un
rectificador trifásico en puente, de onda completa, es-
tando los terminales de salida del rectificador de corrien-
te 28 conectados para dar una señal o tensión unidirec-
5 cional IU de realimentación de corriente en los extremos
de una resistencia 30. La señal unidireccional IU de rea-
limentación de corriente es proporcional a la magnitud
de la corriente que circula por el circuito de carga 12,
sea cual fuere el sentido del paso de corriente por la
10 carga. A los fines del ejemplo, el terminal positivo de
la resistencia 30 se utilizará como barra colectora com-
mún PSC de alimentación de energía, pero puede usarse el
terminal negativo, según convenga.

Hay una referencia 32 de intensidad de corrien-
15 te que da una señal bidireccional RB de referencia, de
una polaridad que indica en qué sentido ha de circular
la corriente por el circuito de carga, esto es, cuál es
el puente que ha de funcionar; y la magnitud de la señal
bidireccional de referencia indicada la magnitud deseada
20 para la corriente de carga. La señal RB de referencia de
intensidad de corriente puede venir proporcionada por un
operador, un generador adecuado, una calculadora o simi-
lar.

La señal bidireccional RB de referencia es con-
25 mutada por unos medios de conmutación 34, en respuesta a

413193



una señal de conmutación \bar{Q}_0 , para dar una señal de referencia RU esencialmente unidireccional. La información para dar la señal de conmutación \bar{Q}_0 para los medios de conmutación 34 viene proporcionada por unos medios selectores 36. Los medios selectores 36 desarrollan la señal de conmutación \bar{Q}_0 , así como el complemento Q_0 , por medio de una circuitería lógica y unos parámetros de sistema prefijados, como se describirá más adelante.

La señal de referencia unidireccional RU y la señal unidireccional IU de realimentación se comparan en unos medios comparadores 38, tales como un amplificador de error, y se desarrolla una señal de error V_c de una magnitud y polaridad que responden a cualquier diferencia que haya entre las dos señales de entrada.

La señal de error V_c se aplica a un regular de fase 40, que da unos impulsos de cebado FPI y FPII para los medios convertidores 16 y 18, respectivamente. Los impulsos de cebado regulan el ángulo de conducción de los dispositivos rectificadores controlados en respuesta a la señal de error V_c . La inversión de grupo y, por lo tanto, la selección del convertidor que haya de estar funcionando, se hace en respuesta a las señales de conmutación Q_0 y \bar{Q}_0 . Para mantener el sincronismo entre el regulador de fase 40 y los convertidores 16 y 18, el ángulo de conducción se mantiene entre unos límites o "topes

413193



5 finales" prefijados, que se denominará aquí topes finales de rectificación e inversión. El regulador de fase da una señal ESP cuando se llega al tope final de inversión, señal que se aplica al selector 36 en una forma de realización del invento, como se describirá más adelante. El selector 36 da también una señal BS que fuerza una condición de tope final, y una señal IB que polariza al amplificador de error 38, en ciertas formas de realización del presente invento.

10 El regulador de fase 40 incluye un oscilador 42 de sincronización de fase y unos excitadores 44 de electrodo de mando. Pueden usarse, para los convertidores 16 y 18, unos excitadores de electrodo de mando por separado, que suministren los impulsos de cebado FPI y
15 FPII para los convertidores 16 y 18, respectivamente, excitados por unas señales de excitación de electrodo de mando designadas en general con la referencia GD; o bien puede usarse un solo excitador de electrodos de mando, conmutándose sus impulsos de cebado de uno de los con
20 vertidores al otro según convenga.

A las barras de corriente alterna A, B y C van conectados unos medios 46 para desarrollar unos perfiles de onda TW de regulación o de marcación de tiempos para el regulador de fase, perfiles de onda que son capaces
25 de responder a las tensiones de línea de la fuente 14.

413193



La fig. 2 es un esquema teórico de un selector 36, un amplificador de conmutación 34 y un amplificador de error 38, contruidos con arreglo a una forma de realización del invento y que pueden usarse para las funciones indicadas en los bloques o recuadros que llevan el mismo número en la fig. 1. En esta forma de realización, los medios selectores 36 hacen uso de la señal IU de realimentación de corriente y de la señal unidireccional RU de referencia para desarrollar las señales de conmutación Q_0 y \bar{Q}_0 .

Más concretamente, el amplificador de conmutación 34 incluye un amplificador operacional 50, un primer divisor de tensión que comprende unas resistencias 52 y 54 conectadas en serie desde el terminal de entrada RB al conductor común de alimentación de energía PSC, un segundo divisor de tensión que comprende unas resistencias 56 y 58 conectadas en serie desde el terminal de entrada RB al conductor PSC, y unos medios de conmutación 66. El punto de unión 60 entre las resistencias 52 y 54 del primer divisor de tensión va conectado a la entrada no inversora del amplificador operacional 50, en tanto que el punto de unión 62 entre las resistencias 56 y 58 del segundo divisor de tensión está conectado a la entrada de inversión. Las resistencias 52, 54, 56 y 58 son todas de igual valor. Desde la salida del amplificador ope

413193



racional a la entrada de inversión del mismo va conectada una resistencia de retroacción o realimentación 64. Desde el punto de unión 60 al conductor PSC están conectados los medios de conmutación 66. Cuando los medios de conmutación 66 están conduciendo, la entrada no inversora del amplificador operacional 50 está directamente conectada al conductor PSC, y la salida del amplificador operacional 50 es proporcional a la señal aplicada al terminal de entrada RB, sólo que de signo contrario. En otros términos, con los medios de conmutación 66 en estado de conducción, el amplificador operacional 50 funciona como amplificador inversor. Cuando los medios de conmutación 66 están sin conducir, la salida del amplificador operacional 50 sigue tanto la magnitud como el signo de la entrada. La salida de \bar{Q}_0 del selector 36 está conectada a los medios de conmutación 34 por medio de la resistencia 68, y su nivel lógico determina el estado de conducción de los medios de conmutación 66.

Los medios de conmutación 66, por ejemplo, pueden incluir un transistor 70 del tipo PNP, que tiene un electrodo de emisor e conectado a una fuente de potencial unidireccional positivo, representada por el terminal de entrada 72, un electrodo de colector c conectado a una fuente de potencial negativo representada por el terminal de entrada 74, por medio de una resistencia 76, y un elec

413193



trodo de base b conectado a la fuente 72 positiva por medio de una resistencia 78, y a la señal de conmutación \bar{Q}_0 que viene del selector 36, por medio de la resistencia 68. Se prevé un transistor de efecto de campo 80,
5 que tiene un electrodo de mando G, un electrodo de entrada S y un electrodo de salida D. El electrodo de salida D está conectado al conductor PSC, el electrodo de entrada S está conectado al punto de unión 60, y el electrodo de mando G va conectado al punto de unión entre el colector c
10 del transistor 70 y la resistencia 76, por medio de un diodo 82 que tiene su polaridad dispuesta de manera que conduzca la corriente que sale del electrodo de mando G. Cuando la señal de conmutación \bar{Q}_0 está al nivel de uno lógico, el transistor 70 no conduce y el transistor de efecto de campo 80 tampoco conduce. Cuando la señal de conmutación \bar{Q}_0 está al nivel de cero lógico, los
15 transistores 70 y 80 están ambos conduciendo.

Cuando la señal bidireccional de referencia RB es positiva, la señal de conmutación \bar{Q}_0 es un uno lógico, cesando la conducción en ambos transistores 70 y 80, y
20 la salida RU del amplificador operacional 50 es también positiva. Cuando \bar{Q}_0 es un uno lógico, se capacitán los excitadores de electrodo de mando asociados al convertidor 16, y por lo tanto el convertidor 16 entra en funcionamiento. Cuando la señal bidireccional de referencia RB
25

413193



disminuya hacia una cantidad negativa y pase por cero, RU será también cero, y la señal de conmutación \bar{Q}_0 cambia al nivel de cero lógico poco después, haciendo que conduzcan ambos transistores 70 y 80. Así, la señal de salida RU del amplificador operacional 50 es entonces de polaridad opuesta a la polaridad negativa de la señal de entrada RB, y la señal RU, aun habiendo seguido a la señal RB negativa durante un breve intervalo de tiempo, cambia volviendo a la polaridad positiva. Cuando la señal bidireccional de referencia RB vuelve a la polaridad positiva, los transistores 70 y 80 dejan de conducir por volver al nivel de uno lógico la señal de conmutación \bar{Q}_0 , y la salida del amplificador operacional 50 sigue la polaridad de la señal de entrada.

La señal unidireccional de referencia RU y la señal unidireccional IU de realimentación de corriente se aplican a los medios comparadores 38, y se desarrolla una señal de error V_e cuya polaridad y magnitud responden a las magnitudes relativas de aquellas. Los medios comparadores 38 pueden incluir un amplificador operacional 84 dotado de una resistencia de realimentación 85, con su entrada de inversión conectada para recibir las señales RU e IU por medio de unas resistencias 86 y 88 respectivamente, y con su entrada no inversora conectada al conductor PSC. Si la señal unidireccional positiva RU de re

413193



ferencia excede o supera a la señal unidireccional negativa IU de realimentación, la señal de error V_c es negativa. Si la señal positiva unidireccional RU de referencia es menor que la señal negativa unidireccional IU de realimentación, la señal de error V_c es positiva. Si las señales RU e IU son de igual magnitud, la señal de error V_c será cero.

El selector 36 para dar las señales de conmutación para el amplificador de conmutación 34, y también para la inversión de grupo, incluye medios para (1) detectar cuando la corriente de carga es cero, esto es, cuando es cero la señal unidireccional IU de realimentación, y para (2) detectar cuando la señal unidireccional RU de referencia es cero, o de polaridad cambiada. La aparición simultánea de estas dos condiciones se utiliza para cambiar los niveles lógicos de las señales de conmutación Q_0 y \bar{Q}_0 .

Más concretamente, los medios para detectar el valor cero de la corriente de carga en el selector 36 incluyen un amplificador operacional 90 que tiene una resistencia de retroacción 92. La entrada no inversora del amplificador operacional 90 va directamente conectada al conductor PSC, y la entrada de inversión está conectada al conductor IU por medio de una resistencia 94. Un transistor 95 del tipo NPN, dotado de electrodos de base,

413193



emisor y colector b, e y c, respectivamente, tiene su electrodo de base b conectado a la salida del amplificador operacional 90 por medio de una resistencia 97, su electrodo de colector c conectado a una fuente de potencial positivo, indicada por el terminal 96, por medio de una resistencia 98, y su electrodo de emisor e está conectado al conductor PSC. Mientras esté circulando la corriente de carga, la señal IU estará por encima de cero, y el amplificador operacional 90 da excitación de base para el transistor 95. Así, el punto de unión 100 entre el electrodo de colector c y la resistencia 98 está al potencial del común de alimentación de energía, que se denominará nivel de cero lógico. Al caer a cero la señal IU de retroacción, indicando un paso de corriente de carga cero, el transistor 95 pierde su excitación de base, y el potencial del punto de unión 100 aumenta a lo que se denominará aquí nivel de uno lógico.

Los medios para detectar cuando la señal de referencia RU ha caído de un valor positivo a cero, o a un valor negativo, incluyen un amplificador operacional 102 y un transistor 104 del tipo NPN, dotado de electrodos de base, colector y emisor b, c y e, respectivamente. La entrada inversora del amplificador operacional 102 está conectada al conductor PSC, su entrada no inversora va conectada al conductor RU por medio de una resistencia

413193



105, y su salida está conectada al electrodo de base b
del transistor 104 por medio de una resistencia 106. El
electrodo de colector c del transistor 104 está conecta-
do a la fuente 96 de potencial positivo por medio de una
5 resistencia 108, y su electrodo de emisor e va conectado
al conductor PSC. Mientras la señal de referencia RU es
positiva, el amplificador operacional 102 da excitación
de base para el transistor 104, y el punto de unión 110
entre el electrodo de colector c del transistor 104 y la
10 resistencia 108 estará al nivel de cero lógico. Cuando
la señal RU es cero o negativa, el transistor 104 pierde
su excitación de base, y el punto de unión 110 cambia al
nivel de uno lógico.

La aparición simultánea de niveles de uno lógi-
cos en los puntos de unión 10C y 110 es detectada por la
15 puerta de coincidencia inversora (puerta NAND) 112 que
tiene sus entradas conectadas a los mismos, viniendo la
salida de la puerta NAND 112 cambiada al nivel de cero
lógico cuando sus entradas son ambas "unos". Este cambio
de nivel lógico, del nivel de "uno" al de "cero", activa
20 un biestable 114 de entradas JK, que cambia los niveles
lógicos de sus salidas Q y \bar{Q} , a las cuales van conecta-
dos los terminales de salida Q_0 y \bar{Q}_0 , respectivamente.
Como el cero de corriente seguirá usualmente a la llega-
da de RU a cero, la señal RU puede ser ligeramente nega-
25

413193



tiva para cuando \bar{Q}_0 pase a cero lógico y vuelva a cambiar a positiva la señal RU. Esta momentánea polaridad negativa de la señal RU es la razón por la cual a la señal RU se le denomina esencialmente unidireccional.

5 La fig. 3 es un esquema teórico similar al representado en la fig. 2, salvo en que ilustra una variante del selector 36. Al selector de la fig. 3 se le designará aquí selector 36', para diferenciar el selector modificado. Los números de referencia coincidentes en las
10 figs. 2 y 3 designan componentes iguales o semejantes. La variante incluye un cambio en los parámetros de circuito seleccionados para producir o activar el cambio en los niveles lógicos de las señales de conmutación Q_0 y \bar{Q}_0 . En lugar de usarse la señal de retroacción IU y la
15 señal de referencia RU esencialmente unidireccional para activar el selector 36', el selector 36' se dispara o activa en respuesta a la anulación (paso por cero) de la señal de retroacción IU, y a un impulso ESP de tope final procedente del regulador de fase 40 representado en
20 la fig. 1.

 Más concretamente, cuando la señal RB pase por cero y se haga luego negativa, partiendo de una cantidad positiva, la señal de referencia RU la sigue, lo cual lleva a la señal de error V_c a un valor muy positivo al
25 tratar de invertir el sentido del paso de corriente por

413193



la carga, lo que no puede hacer el convertidor en ese mo-
mento conectado. La señal de error positiva retrasa el
ángulo de conducción hasta que se alcanza el tope final
de inversión, momento en el cual aparece la señal ESP de
5 tope final, es decir, la señal ESP toma el nivel de uno
lógico. La entrada a la puerta NAND 112, en lugar de es-
tar conectada al punto de unión 110 como en la fig. 2,
está ahora conectada para recibir el impulso ESP de tope
final. El impulso ESP de tope final está conectado al
10 conductor PSC por medio de un diodo 120 y una resisten-
cia 118 conectados en serie, habiendo una entrada de la
puerta NAND 112 conectada al punto de unión 116 entre la
resistencia 118 y el diodo 120. Así, el selector 36' pro-
porciona una señal de conmutación \bar{Q}_0 para el amplifica-
15 dor de conmutación 34, que hace volver la señal de refe-
rencia RU a la polaridad positiva cuando ésta empieza a
hacerse negativa, y unas señales de conmutación Q_0 y \bar{Q}_0
para el regulador de fase que efectúa la inversión de
grupo, cuando la corriente de carga es cero y el ángulo
20 de conducción ha sido llevado al tope final de inversión.

El impulso ESP de tope final de inversión pue-
de aparecer varios centenares de milisegundos después
del cero de corriente de carga, lo cual es indeseable en
ciertas aplicaciones, pues este tiempo muerto representa
25 un período durante el cual el convertidor no está siguien

413193



do a la señal de referencia, y al final del espacio muer
to la señal de referencia puede ya tener una magnitud
apreciable, dando lugar a un aumento en escalón de la co
rriente de carga proporcionada por el convertidor entra
5 nte en conducción. Ahora bien, es conveniente utilizar el
impulso ESP de tope final como impulso activador o de
disparo para la inversión de grupo, pues esto da la segu
ridad de que los dispositivos rectificadores controlados
del convertidor que haya estado suministrando corriente
10 cesan completamente en su conducción, antes de activarse
los dispositivos rectificadores controlados del conver
ti
dor entrante en conducción.

La fig. 4 es un esquema teórico de un selector
36" que ilustra una variante de los selectores 36 y 36'
15 representados en las figs. 2 y 3, variante que permite
al impulso ESP de tope final activar la inversión de gru
po y el amplificador de conmutación, reduciendo en tanto
el tiempo muerto a sólo unos 8 a 16 milisegundos. En las
figuras 2, 3 y 4 se indican con los mismos números los
20 elementos componentes semejantes.

Más concretamente, la puerta NAND 112 está conec
tada a los puntos de unión 100 y 110, como se indica en la
fig. 2, dando la señal de cero lógico cuando la señal IU
es cero, y cuando la señal RU es cero o negativa. Ahora
25 bien, en lugar de activar la inversión de grupo y hacer

413193



funcionar el amplificador de conmutación 34, la puerta NAND 112 tiene su salida conectada al regulador de fase 40 representado en la fig. 1, por medio de un terminal de salida \overline{BS} . La señal \overline{BS} , cuando está al nivel de cero lógico, polariza o fuerza al regulador de fase a llegar al tope final de inversión más rápidamente de como normalmente lo haría. A continuación, al recibirse el impulso ESP de tope final de inversión, este impulso se usa, en unión de la señal de cero de corriente de carga que viene del punto de unión 100, para conmutar el amplificador de conmutación y también efectuar la inversión de grupo. Para esta función se prevé una puerta NAND 122 que tiene sus entradas conectadas a los puntos de unión 100 y 116, y su salida a la entrada de activación o disparo del biestable 114 del tipo de entradas JK.

Cuando el selector 36" da la señal pidiendo la inversión de grupo el mismo selector 36" da también una señal de polarización IB, que polariza la entrada al amplificador de error, dando una señal de error V_c que adelanta más rápidamente el ángulo de conducción, apartándolo del tope final de inversión y reduciendo el tiempo necesario para que el convertidor entrante en conducción suministre la corriente de carga. Una vez detectada la corriente de carga, se termina la señal de polarización IB.

Estas funciones se habilitan utilizando la sa-

413193



lida de la puerta NAND 122 para activar otro biestable 124 de entradas JK. La salida Q del biestable 124 se pone a nivel alto al ser activada por una salida de nivel bajo de la puerta NAND 122, estando la salida del biestable 124 conectada para polarizar la entrada de inversión del amplificador operacional 84 por medio del diodo 126 y la resistencia 128, llevando rápidamente la señal de error V_c a un valor negativo, y adelantando el ángulo de conducción rápidamente en el sentido de alejarlo o apartarlo del tope final de inversión. El punto de unión 100 está conectado a la entrada de reposición \bar{R} del biestable 124, reponiendo el biestable y eliminando la señal de polarización IB cuando el convertidor entrante en conducción suministra la corriente de carga y lleva el punto de unión 100 al nivel de cero lógico. Así se reduce sustancialmente el tiempo muerto, obligando al regulador de fase a ir rápidamente al tope final de inversión y apartarse luego rápidamente del tope final de inversión, lo que reduce sustancialmente el tiempo durante el cual no circula corriente alguna de carga durante la inversión de grupo.

La fig. 5 es una gráfica ilustrativa de las diversas funciones del selector 36" y del efecto del selector 36" en el funcionamiento del aparato convertidor 10. A los fines de la ilustración, se supondrá que la señal

413193



bidireccional RB de referencia es positiva y decreciente a lo largo de la parte curva 130, hacia una cantidad negativa. En el instante T1, la señal de referencia RB pasa por cero y se hace luego negativa. La señal de referencia esencialmente unidireccional RU sigue a la señal de referencia bidireccional RB a lo largo de una parte de curva semejante 132, pasando también por cero en el instante T1 y haciéndose negativa. El transistor 104 deja de conducir también en el instante T1, y la señal de error V_c empieza a aumentar en sentido positivo. La corriente de carga I sigue de cerca a la señal bidireccional RB de referencia, pasando por cero en el instante T2, poco después del instante T1. La corriente de carga I permanece entonces en cero hasta que el otro grupo funciona. El transistor 95 deja de conducir en el instante T2. Por estar la combinación de ambos transistores 95 y 104 inactiva o sin conducir, se tiene una señal \overline{BS} de nivel bajo, lo que fuerza al regulador de fase a su tope final de inversión en el instante T3, y genera una señal ESP de nivel alto en el instante T3. La señal ESP de nivel alto, en unión del hecho de estar el transistor 95 sin conducir, conmuta los estados lógicos de las señales de conmutación Q_0 y \overline{Q}_0 . La señal \overline{Q}_0 de nivel bajo conmuta la señal de referencia RU haciéndola positiva en el instante T3, lo cual pone en conducción al transistor

413193



104 y de fin a la señal \overline{BS} . El convertidor 16 queda efec-
tivamente desconectado y el convertidor 18 puesto en con-
ducción. Se genera la señal de polarización IB, y la se-
ñal de error V_c se hace negativa. En el instante T4, la
5 corriente de carga I viene proporcionada por el converti-
dor 18 entrante en conducción, se pone a conducir el tran-
sistor 95, se termina la señal de polarización IB y la
señal de error V_c vuelve a su valor de cuando no hay po-
larización. El tiempo muerto que va del instante T2 al
10 instante T4, durante el cual no está pasando corriente
de carga, se reduce a un valor de 8 a 16 milisegundos,
lo que reduce sensiblemente la magnitud del escalón 134
de la corriente de carga I, en comparación con la magni-
tud del escalón de corriente de carga que resultaría con
15 un tiempo muerto de varios centenares de milisegundos.

La fig. 6 es un esquema funcional o por bloques
de un nuevo oscilador 42 de sincronización de fase que
puede usarse en el regulador de fase 40 de la fig. 1, a
fin de suministrar señales GDI y GDII para los excitado-
res 44 de electrodo de mando. El oscilador 42 de sincro-
20 nización de fase incluye unos medios de oscilador 140
del tipo que da una frecuencia de reloj de salida capaz
de responder a la magnitud de la señal de error V_c . Los
medios de oscilador 140 se ajustan de tal manera que una
25 señal de error de magnitud cero da una determinada fre-

413193



5 cuencia de reloj, seleccionada para que resulte múltiplo prefijado de la frecuencia de la fuente 14 de potencial de corriente alterna. Una señal de error negativa aumenta la frecuencia de reloj respecto de esta magnitud prefijada, y una señal de error positiva reduce dicha frecuencia de reloj.

10 La salida del oscilador 140 se aplica a unos medios 142 de impulsos de control. Los medios de impulsos de control 142 dan unos impulsos de control espaciados o separados en respuesta a los impulsos de reloj, y la separación de los mismos determina el ángulo de conducción de los dispositivos rectificadores controlados en el grupo convertidor seleccionado. Los impulsos de control se aplican a los excitadores 44 de electrodos de mando, y
15 son unas señales iguales a las designadas con las letras GDI y GDII en la fig. 1.

20 Los impulsos de control se aplican también a unos medios 144 de tope final que, en unión de los perfiles de onda TW de regulación de tiempos, desarrollan una señal compuesta CES de tope final, constituida por segmentos de los perfiles de onda de regulación de tiempos. Los segmentos de los perfiles de onda de regulación de tiempos que se seleccionan dependen del lugar de situación y de la separación de los impulsos de control respecto a los perfiles de onda TW de regulación de tiempos.
25

413193



5 Cuando los lugares de situación de los impulsos de control respecto a los perfiles de onda TW de regulación de tiempos sean tales que se seleccionen las crestas de los perfiles de onda de regulación de tiempos, la señal compuesta CES de tope final tiene su magnitud máxima. Si la
10 señal de error V_c cambia partiendo de cero en sentido negativo, aumentando la frecuencia de reloj de los medios de oscilador 140 y reduciéndose así la separación entre los impulsos de control, los segmentos de los perfiles de onda de regulación de tiempos que se seleccionan bajan de la cresta del borde de ataque, o borde izquierdo, de la onda sinusoidal de regulación de tiempos, reduciéndose así la magnitud de la señal compuesta CES de tope final. Si la señal de error cambia partiendo de cero en
15 sentido positivo, disminuyendo la frecuencia de reloj de los medios de oscilador 140 y aumentando de ese modo la separación entre los impulsos de control, los segmentos de los perfiles de onda de regulación de tiempos que se seleccionen bajarán de la cresta por el lado de salida, o borde derecho, de los perfiles de onda TW de regulación de tiempos, reduciéndose también la magnitud de la señal compuesta CES de tope final.

25 La señal compuesta CES de tope final se aplica a unos medios de umbral 146, que incluyen un circuito de umbral 148 para detectar el tope final de rectificación,

413193



esto es, el momento en que el ángulo de conducción se adelanta hasta un ángulo prefijado, y un circuito de umbral 150 para detectar el tope final de inversión, es decir, el momento en que el ángulo de conducción se retrasa hasta un ángulo prefijado. Al alcanzarse el tope final de rectificación, el circuito de umbral 148 da una señal ESR para los medios de oscilador 140, señal que reduce la frecuencia del reloj al valor prefijado correspondiente a una señal de error de magnitud cero. Al alcanzarse el tope final de inversión, el circuito de umbral 150 da una señal ESI para los medios de oscilador 140, señal que aumenta la frecuencia del reloj al valor prefijado correspondiente a una señal de error de magnitud cero. Así, el regulador de fase 40 permanece en sincronismo con el convertidor de potencia, asegurando un funcionamiento adecuado del convertidor.

La fig. 7 es un esquema teórico de un oscilador 42 de sincronización de fase que desempeña las funciones ilustradas en bloques en la fig. 6. El oscilador 140 incluye un transistor de mono-unión programable 160, designado en lo sucesivo como un PUT 160, y una resistencia ajustable 162, unas resistencias fijas 164, 165 y 166, un condensador 168, un expansor o alargador de impulsos 170 y una puerta inversora 172. El PUT 160 incluye unos electrodos de ánodo, cátodo y de mando a, c y g, respec-

413193



5 tivamente, y está conectado con las resistencias y el condensador formando un oscilador de relajación. El electrodo de ánodo a está conectado a un conductor 174 y un terminal de entrada 176 por medio de la resistencia ajustable 162, y el terminal de entrada 176 va conectado a una fuente de potencial unidireccional positivo. El electrodo de cátodo c está conectado a un conductor 178 y a un terminal de entrada 180 por medio de la resistencia 164, y el terminal de entrada 180 va conectado a una

10 fuente de potencial unidireccional negativo. El electrodo de mando g está conectado al terminal de entrada V_c por medio de la resistencia 165, y el terminal de entrada V_c recibe la señal de error V_c procedente del amplificador de error 38'.

15 Como el PUT 160 se pone en conducción cuando el electrodo de mando g está a un potencial negativo respecto al ánodo en poco más que la tensión de neutralización del diodo, la magnitud de la tensión aplicada al electrodo de mando g controla la frecuencia de los impulsos de tensión que aparecen en los extremos de la resistencia de carga 164. Estos impulsos, que tienen un frente de formación brusco debido al brevísimo tiempo de puesta en conducción del PUT 160, son alargados hasta adquirir una anchura uniforme por el alargador de impulsos 170, y los impulsos alargados son invertidos por

20

25

413193



la puerta inversora 172 de tal modo que el tiempo de alar
gamiento uniforme está al nivel de cero lógico, y el tiem
po variable está al nivel de uno lógico. La salida de la
puerta inversora 172 constituye el "reloj" (CLOCK) del
5 sistema.

La frecuencia de reloj es ajustada por la resis
tencia ajustable 162, cuando la señal de error V_c es cero,
dando una frecuencia de repetición que es un múltiplo
prefijado de la frecuencia de la fuente de potencial de
10 corriente alterna. Este múltiplo prefijado depende de
que la fuente sea monofásica o polifásica, y de que los
convertidores en puente sean rectificadores de onda com
pleta o de media onda. Con una alimentación trifásica de
60 Hz y un rectificador trifásico en puente de onda com
15 pleta para los convertidores 16 y 18, se necesitan seis
canales de cebado para un convertidor, y el múltiplo
prescrito es 6. Así, la frecuencia de reloj es de 60 x 6,
o sea de 360 Hz. Con rectificadores trifásicos en puente
de media onda, el múltiplo sería 3, y la frecuencia de
20 reloj sería de 180 Hz. Con un puente monofásico de media
onda, el múltiplo sería 2 y la frecuencia de reloj sería
de 120 Hz. Así, en el ejemplo expuesto, la resistencia
162 se ajustaría de tal modo que con una señal de error
 V_c igual a cero la frecuencia de reloj fuese de 360 Hz.

25 Los impulsos de control GD para los excitadores

413193



44 de electrodos de mando vienen proporcionados por un contador en anillo 190. El contador de anillo da tres ondas lógicas de perfil cuadrado o rectangular A, B y C, desplazadas en 120 grados eléctricos cuando la señal de error V_c es cero, y sus complementos \bar{A} , \bar{B} y \bar{C} .

La fig. 8 es un esquema teórico de un contador de anillo, que dará los impulsos de control GD deseados. Se prevén unos circuitos biestables primero, segundo y tercero 192, 194 y 196, de entradas JK, que se activan con el borde de salida o posterior del impulso de reloj. El reloj está conectado a las entradas T de activación o disparo de los tres biestables JK. Las salidas Q_a y \bar{Q}_a del biestable 192 están conectadas a las entradas K y J, respectivamente, del biestable 194; las salidas Q_b y \bar{Q}_b del biestable 194 están conectadas a las entradas J y K, respectivamente, del biestable 196; y las salidas Q_c y \bar{Q}_c del biestable 196 van conectadas a las salidas J y K, respectivamente, del biestable 192. Como esta disposición tiene ocho estados posibles, y solamente se usan seis estados, se prevén unas puertas NAND primera y segunda, 198 y 200, para forzar al contador de anillo 190 a salir de un estado no permitido, si es que se produce, pasando a un estado permitido. La puerta NAND 198 tiene sus entradas conectadas a las salidas Q_a y \bar{Q}_c , y su salida va conectada a la entrada de reposición R del biestable 194.

413193



Así, si las salidas A y \bar{C} están ambas al nivel de "uno", el biestable 194 se repone inmediatamente. La puerta NAND 200 tiene sus entradas conectadas a las salidas \bar{Q}_a y \bar{Q}_b , y su salida está conectada a la entrada de reposición \bar{R} del biestable 196. Así, si las señales \bar{A} y \bar{B} están ambas al nivel de "uno", el biestable 196 se repone inmediatamente.

Los impulsos de control A , \bar{A} , B , \bar{B} , C y \bar{C} se usan, en unión de los perfiles de onda TW de regulación de tiempos, para desarrollar la señal compuesta CES de tope final. Las ondas TW de regulación de tiempos se desarrollan partiendo de la fuente trifásica de potencial de corriente alterna 14, a través de unos medios 46, que pueden incluir tres devanados con toma central conectados de línea a línea. Así se desarrolla un perfil de onda de regulación de tiempos que va de cada toma central a las dos líneas asociadas a cada devanado, suministrando las ondas de regulación de tiempo CA, CB, AB, AC, BC y BA, sucesivamente desplazadas una de otra en 60 grados eléctricos.

Los impulsos de control A , \bar{A} , B , \bar{B} , C y \bar{C} se usan para seleccionar sucesivamente unos segmentos de las ondas de regulación de tiempo por medio de seis puertas lógicas o NAND 202, 204, 206, 208, 210 y 212, (fig. 7) y un circuito subastador 214. El circuito subastador

413193



214 incluye seis terminales 216, 218, 220, 222, 224 y
226, llevando cada terminal conectados tres diodos y una
resistencia. El terminal 216 tiene conectados los elec-
trodos de cátodo de tres diodos 228; 230 y 232, en unión
5 de una resistencia 234. El terminal 218 tiene conectados
tres diodos 236, 238 y 240, en unión de una resistencia
242. El terminal 220 tiene conectados unos diodos 244,
246 y 248, en unión de una resistencia 250. El terminal
222 tiene conectados unos diodos 252, 254 y 256, en
10 unión de una resistencia 258. El terminal 224 tiene conec-
tados unos diodos 260, 262 y 264, en unión de una resis-
tencia 266. El terminal 226 tiene conectados unos diodos
268, 270 y 272, en unión de una resistencia 274.

Los electrodos de ánodo de los diodos 228, 236,
15 244, 252, 260 y 268 están conectados a las salidas de las
puertas NAND 202, 204, 206, 208, 210 y 212, respectiva-
mente. Los electrodos de ánodo de los diodos 230, 238,
246, 254, 262 y 270 están conectados al terminal de sali-
da CES, que da la señal compuesta CES de tope final. Los
20 diodos 232, 240, 248, 256, 264 y 272 van conectados a
los terminales de entrada BC, CA, CB, AC, AB y BA, res-
pectivamente, que reciben ondas de regulación de tiempos
con las mismas letras de referencia; y los extremos res-
tantes de las resistencias 234, 242, 250, 258, 266 y 274
25 están conectados a la barra colectora negativa 178.

413193



La puerta NAND 202 tiene sus entradas conectadas a las salidas A y B del contador de anillo 190; la puerta NAND 204 tiene sus entradas conectadas a las salidas A y \bar{C} , la puerta NAND 206 tiene sus entradas conectadas a las salidas \bar{A} y \bar{B} , la puerta NAND 208 tiene sus entradas conectadas a las salidas \bar{A} y C, la puerta NAND 210 tiene sus entradas conectadas a las salidas \bar{C} y B, y la puerta NAND 212 tiene sus entradas conectadas a las salidas C y \bar{B} .

Sólo una de las puertas NAND conectadas al contador de anillo 190 tiene una salida baja o de cero lógico en un momento dado cualquiera. Las salidas de uno lógico de las demás puertas NAND dan un nivel lógico más alto que la tensión de cresta de las ondas de regulación de tiempo, medida respecto al conductor común PSC. Por ejemplo, el nivel de salida de uno lógico puede ser de 15 voltios, en tanto que la tensión de cresta de las ondas de regulación de tiempo, respecto al conductor PSC, puede ser de 10 voltios. La tensión en el terminal de salida CES del circuito subastador 214 sigue el nivel de tensión más negativo aplicado a los terminales 216, 218, 220, 222, 224 y 226. Así, el perfil de onda de regulación de tiempos que aparece en el terminal de salida CES es el que tiene asociada una puerta NAND con una salida de cero lógico.

413193



Antes de describir de qué modo la señal compues-
ta CES de tope final se usa para generar los tope-
les de rectificación y de inversión, será útil hacer re-
ferencia a la fig. 9, que es una gráfica ilustrativa del
5 desarrollo de algunas de las señales del oscilador 42 de
sincronización de fase. Las señales de salida 300 son ge-
neradas por el PUT 160 en los extremos de la resistencia
164, y el expansor o alargador de impulsos 170 alarga
los impulsos o señales 300, dando unas señales 302 que
10 tienen un tiempo de actividad (tiempo en conducción) uni-
forme. Los impulsos 302 son invertidos por una puerta in-
versora 172, dando unos impulsos de reloj 304, que tienen
un tiempo fijo de cero lógico y un tiempo variable de uno
lógico.

15 El contador de anillo da los impulsos de onda
rectangular A, B, C, \bar{A} , \bar{B} y \bar{C} espaciados o separados,
siendo terminado un impulso e iniciado otro por el bor-
de de salida de cada impulso de reloj 304. Por ejemplo,
al final del primer impulso de reloj se termina la señal
20 A y se genera la señal \bar{A} , al final del siguiente impul-
so se genera la señal B y se termina la señal \bar{B} . Cada im-
pulso dura lo que tres impulsos de reloj, antes de fina-
lizar. Las señales \bar{Q}_0 y Q_0 representan las señales
de conmutación proporcionadas por el selector de grupo
25 36 indicado en la fig. 1. El desarrollo de los impulsos

413193



de cebado o activación que vienen de la salida del conta
dor de anillo para regular el cebado de los dispositivos
rectificadores controlados se ilustra también, y se hará
referencia al mismo en lo que sigue cuando se vaya a ex-
5 explicar el circuito de excitación de electrodos de mando
que puede usarse. A continuación se ilustran los perfi-
les de onda TW de regulación de tiempo, que incluyen los
perfiles CA, CB, AB, AC, BC y BA, y se ilustra luego la
señal compuesta CES de tope final. La fig. 9 ilustra una
10 frecuencia de reloj para una señal de error de magnitud
cero, siendo el ángulo de conducción de $\pi/3$. Así, los
segmentos de los perfiles de onda TW de regulación de
tiempos que se seleccionan para constituir los perfiles
de onda de la señal compuesta CES de tope final son las
15 crestas positivas de las ondas de regulación de tiempo,
esto es, 30° a cada lado de cada cresta positiva.

La señal compuesta CES de tope final se apli-
ca a los circuitos de umbral de rectificación y de inver-
sión, 148 y 150 respectivamente, por medio de un amplifi-
20 cador separador 310. El objeto del amplificador separa-
dor o "buffer" 310 es el de reducir al mínimo la carga
ejercida en la señal compuesta CES de tope final por los
circuitos de umbral 148 y 150. El amplificador compensa-
dor o separador 310 incluye un transistor 312 del tipo
25 NPN que tiene su electrodo de colector c conectado al

413193



conductor 174 y su electrodo de base b conectado al punto de unión 314 de un divisor de tensión resistivo que incluye una resistencia 316 conectada entre el conductor 174 y el punto de unión 314. La señal CES de tope final que viene del circuito subastador 214 va conectada al electrodo de base b en el punto de unión 314, y la parte restante del divisor de tensión resistivo incluye las resistencias contenidas en el circuito subastador 214. El electrodo de emisor e del transistor 312 está conectado a los circuitos de umbral de rectificación y de inversión 148 y 150 por medio del conductor 320, y también al conductor 178 por medio de la resistencia 318.

El circuito de tope final de rectificación 148 incluye un comparador 322 que comprende unos transistores primero y segundo 324 y 326 del tipo NPN, unas resistencias 328, 330, 332, 334, 336 y 338, un condensador 340 y un diodo 342 regulador de tensión, tal como un diodo de Zener. El transistor 324 tiene su electrodo de colector c conectado al conductor 174 por medio de la resistencia 328; su electrodo de emisor e conectado al conductor 178 por medio de la resistencia 330; y su electrodo de base b conectado a un divisor de tensión que incluye las resistencias 332 y 334 conectadas en serie entre el conductor 174 y el conductor común PSC de alimentación de energía. La resistencia 334 puede ser ajustable,

413193



con el electrodo de base b conectado al brazo selector o de cursor de aquella.

5 El transistor 326 tiene su electrodo de colector c conectado al conductor 174 por medio de la resistencia 336, su electrodo de emisor e conectado el electrodo de emisor e del transistor 324, y su electrodo de base b conectado al conductor 320 que viene del amplificador separador 310, por medio de la resistencia 338. El condensador 340 y el diodo 342 regulador de tensión están conectados desde el electrodo de base b del transistor 326 al conductor PSC, teniendo el diodo regulador de tensión 342 su electrodo de cátodo c conectado al electrodo de base b, y su electrodo de ánodo a conectado al conductor PSC. El diodo 342 limita la tensión positiva del emisor del transistor 326 de manera que no se sobrepasa la tensión máxima inversa de base a emisor del transistor 324.

20 El circuito de tope final 148 de rectificación incluye también un transistor 346 del tipo PNP, unas resistencias 348 y 350 y unos diodos 352, 354, 356 y 358. El electrodo de emisor e del transistor 346 está conectado al conductor 174 y los diodos 352, 354 y 356 van conectados en serie desde el electrodo de colector c del transistor 346 a un punto de unión 360. El punto de unión 25 360 está conectado al conductor PSC por medio de la re-

413193



5 sistencia 348, y también al punto de unión 362 entre el electrodo de mando g del PUT 160 del oscilador 140 y la resistencia 165, por medio de un conductor ESR. El conductor ESR suministra la señal de tope final ESR de rec-

5 tificación cuando el transistor 346 conduce y desarrolla en los extremos de la resistencia 348 una tensión de igual magnitud que la tensión de fuente positiva conectada al terminal de entrada 176 menos la caída de tensión en los diodos 352, 354 y 356.

10 El electrodo de base b del transistor 346 está conectado al electrodo de colector c del transistor 324 y también, por medio del diodo 358 y de la resistencia 350, al terminal de entrada \overline{BS} , que está conectado al se-

15 lector 36" indicado en la fig. 4. El diodo 358 tiene su polaridad dispuesta de tal modo que su electrodo de ánodo a va conectado al electrodo de base b del transistor 346.

20 Para describir el funcionamiento del circuito de umbral de rectificación 148 que proporciona el tope final de rectificación, se hará referencia a la gráfica de la fig. 10.

25 Con una señal de error V_c de magnitud cero, ilustrada en 370 en la fig. 10, y un ángulo de conducción o cebado de $\pi/3$, los impulsos de reloj 372 y 374 están situados, respecto a sus perfiles de onda de regulación

413193



de tiempo CA y CB asociados, de tal manera que las crestas de estos perfiles son las que se seleccionan para la señal compuesta CES de tope final. La señal compuesta CES de tope final da para el transistor 326 del comparador 322 una tensión positiva más alta que la tensión suministrada por el punto de ajuste elegido en la resistencia ajustable 334 para el transistor 324 del comparador. Así, el transistor 326 está conduciendo, como se ilustra en 364, y los transistores 324 y 326 no conducen, como se indica en 366. Supóngase ahora que se desea aumentar la tensión de carga: la señal de error V_c se hace negativa en 376, lo que lleva a un valor negativo el punto de unión 362 y el electrodo de mando g del PUT 160, aumentando así la frecuencia de reloj del oscilador 140. Los impulsos de control A, B, C, \bar{A} , \bar{B} y \bar{C} , pues, avanzan o se adelantan respecto a los perfiles de onda de regulación de tiempo; el ángulo de conducción se adelanta desde $\pi/3$ y los segmentos de los perfiles de onda de regulación de tiempo que se seleccionan para la señal compuesta CES de tope final empiezan a bajar de las crestas de los perfiles de onda de regulación de tiempo, por los bordes de salida o posteriores de éstos. Los perfiles de onda AB, AC, BC y BA se van hundiendo progresivamente a magnitudes cada vez más bajas, y el perfil de onda CA alcanza el nivel de tensión TR de umbral de rectificación,

413193



fijado por la resistencia ajustable 334 de la fig. 7. El transistor 326 deja de conducir en 378 y los transistores 324 y 346 entran en conducción en 380. Cuando el transistor 346 se pone a conducir en respuesta al comparador 322, el punto de unión 360 y, por tanto, el punto de unión 362 en el electrodo de mando del PUT 160, se ponen a nivel alto en 382. Ahora bien, la frecuencia de reloj sigue aumentando, aun cuando se ha alcanzado la tensión de umbral TR, pues el PUT sólo deja de producir impulsos de salida mientras la señal CES de tope final está por bajo del nivel de TR. Con tal que la señal CES vuelva a un nivel superior al TR a tiempo, haciendo que la frecuencia de reloj responda a la magnitud de la señal de error, la frecuencia de reloj continuará aumentando y el ángulo de conducción se seguirá adelantando. El verdadero tope final de rectificación, pues, no llega cuando la tensión CES de tope final baja hasta el nivel TR, sino cuando la frecuencia de reloj alcanza un punto en que la tensión de tope final está por bajo del nivel TR, momento en que el oscilador 140 produciría normalmente un impulso, retrasándose la producción del impulso hasta que el valor instantáneo de la señal CES aumenta sobrepasando el nivel de umbral TR. En la fig. 10, el tope final de rectificación se alcanza en el perfil de onda BA. Los perfiles de onda CA, CB, AB y AC que siguen al

413193



perfil de onda BA retrasan la generación de un impulso hasta que se sobrepasa el nivel TR. Como al mismo punto de cada perfil de onda de regulación de tiempos se llega ahora antes de iniciarse un impulso de reloj, se sigue
5 de ello que la frecuencia de reloj vuelve a ser la misma que cuando la señal de error era cero, manteniéndose la frecuencia de reloj en el tope final de rectificación, independientemente de lo negativa que se haya hecho la señal de error V_c . El ángulo de conducción, pues, permanece
10 nece en el valor correspondiente al umbral de tope final de rectificación TR seleccionado, hasta que la señal de error V_c se hace positiva.

Como se ilustra en la fig. 10, la señal compuesta CES de tope final no necesita seguir a los perfiles de
15 onda de regulación de tiempo en sus oscilaciones negativas, indicadas por las líneas de trazo interrumpido, con lo cual se limita la magnitud del potencial negativo presentado a las salidas de las puertas NAND asociadas al contador de anillo 190. Este "recorte" o limitación de
20 las partes negativas de los perfiles de onda de regulación de tiempo a un nivel prefijado, indicado por la flecha 384, se realiza seleccionando adecuadamente la relación o razón de la resistencia 316 respecto a las resistencias 234, 242, 250, 258, 266 y 274. Cuando la resistencia
25 tencia 316 es mayor que los valores de las resistencias

413193



5 contenidas en el circuito subastador 214, se limita la os
cilación negativa. Según se ha visto en la práctica, es
posible encontrar una relación conveniente cuando la re-
sistencia 316 es de 18,2 kilohmios y las resistencias
del circuito subastador son de 15 kilohmios; pero pueden
usarse otros valores.

10 Si la señal de retroacción que viene del apara
to convertidor pide ahora trabajar fuera del tope final
de rectificación, yendo hacia el tope final de inversión,
la señal de error se hace positiva, permitiendo a la se-
ñal compuesta CES de tope final subir o ascender por los
perfiles de onda de regulación de tiempo al otro lado
del nivel de umbral TR de rectificación. Al alcanzarse
el funcionamiento deseado para el convertidor, la señal
15 de error V_c se hará cero, y la frecuencia de reloj volve
rá al valor que mantiene la frecuencia de repetición de
los impulsos de control igual a la de los perfiles de on
da de regulación de tiempo.

20 Cuando la señal \overline{BS} pasa a un nivel bajo, indi-
cando que hay que forzar el convertidor a un tope final
de inversión, el transistor 346 se pone a conducir, inde-
pendientemente del nivel que tenga la señal de error V_c ,
inhibiendo al oscilador 140 e impidiéndole que genere im
pulsos de reloj hasta que se alcance el tope final de in
25 versión, como se describirá más adelante. Al ser puesto

413193

-7



5 en conducción el transistor 346 por la señal \overline{BS} , el comparador 322 es superado y, salvo en lo relativo a las oscilaciones negativas antes mencionadas, la señal compuesta de tope final sigue el perfil de onda de tiempos particular al que estaba fijada o mantenida en el momento en que la señal \overline{BS} pasó al cero lógico, hasta que se alcanza el tope final de inversión, lo que reduce grandemente el tiempo normalmente necesario para llegar al tope final de inversión.

10 El circuito de umbral de inversión 150 para suministrar el tope final de inversión incluye un transistor 400 del tipo NPN, unas resistencias 402, 404 y 406 y un condensador 408. El electrodo de colector c del transistor 400 está conectado al conductor 174 por medio de
15 la resistencia 402, su electrodo de emisor e está conectado al conductor PSC, el condensador 408 va conectado desde el electrodo de base b al conductor PSC, la resistencia 404 va conectada desde el electrodo de base b al conductor 178 y el electrodo de base b del transistor
20 400 está también conectado al conductor 320 por medio de la resistencia 406 y, por tanto, al amplificador separador 310. La resistencia 406 es ajustable, para proporcionar un nivel de umbral TI que fija el tope final de inversión.

25 Hay dispuesto un biestable 410 de entradas JK,

413193



que tiene su entrada de activación T conectada al electrodo de colector c del transistor 400 a través de una puerta inversora 412. Su entrada J está conectada al conductor 174, sus entradas \bar{Q} y K están interconectadas, y su entrada de reposición \bar{R} va conectada al reloj.

Hay asimismo dispuesto un transistor 414 del tipo NPN, en unión de unas resistencias 416, 417, 418, 419 y 420, un condensador 422 y unos diodos 424 y 426. El electrodo de colector c del transistor 414 está conectado al conductor 174 por medio de las resistencias 419 y 417 conectadas en serie, su electrodo de emisor e está conectado al conductor PSC y su electrodo de base b va conectado a un divisor de tensión resistivo que incluye las resistencias conectadas en serie 420, 416 y 418, que están conectadas en la secuencia indicada desde el conductor 174 hasta el conductor 178. El electrodo de base b va conectado al punto de unión entre las resistencias 416 y 418. El condensador 422 está conectado por un lado al punto de unión 421 entre las resistencias 420 y 416, yendo el otro lado del condensador 422 conectado al conductor PSC. Los diodos 424 y 426 tienen sus electrodos de ánodo a conectados al punto de unión 421, estando el electrodo de cátodo c del diodo 424 conectado al electrodo de colector c del transistor 400, y estando el electrodo de cátodo c del diodo 426 conectado a la entrada Q

413193



del biestable 410 de entradas JK.

Se prevé asimismo un transistor 430 del tipo PNP, en unión de un condensador 415, un diodo 432 y una resistencia 434. El electrodo de emisor e del transistor 430 está conectado al conductor 174, su electrodo de base b está conectado al punto de unión entre las resistencias 417 y 419, el condensador 415 va conectado desde el electrodo de base b al conductor 174, y su electrodo de colector c está conectado al electrodo de ánodo a del PUT 160 a través del diodo 432 y de la resistencia 434. Esta conexión al oscilador 140 desde el circuito de tope final de inversión 150 suministra la señal ESI de tope final de inversión. El terminal de salida ESP que suministra la señal ESP de tope final de inversión al alcanzarse el tope final de inversión, y al que se ha hecho referencia anteriormente al describir las figuras 3 y 4, va también conectado al colector del transistor 430.

Al describir el funcionamiento del circuito de tope final de inversión 150, se hará referencia a la gráfica de la fig. 11. Se supondrá que la señal de error V_c empieza al nivel cero, indicado en 450 en la figura, y que los segmentos de los perfiles de onda de regulación de tiempo seleccionados para la señal compuesta CES de tope final son las crestas de éstos, es decir, que el ángulo de conducción es $\pi/3$. Supóngase ahora que se desea

413193



reducir la tensión de carga, esto es, que la señal de error V_c se hace positiva en 452. La frecuencia de reloj proporcionada por el oscilador 140 se reduce, y los impulsos de control procedentes del contador de anillo 190 se retrasan, respecto a los perfiles de onda de regulación de tiempo. Los segmentos seleccionados para la señal compuesta CES de tope final empiezan a bajar por los bordes posteriores o de salida de los perfiles de onda de regulación de tiempo, partiendo de sus posiciones primitivas en las crestas de los mismos. Cuando la señal de tope final CES cae hasta el nivel de umbral TI, según lo indicado en 454, el transistor 400 cambia de un estado conductivo a un estado no conductivo, en 456. Al dejar de conducir el transistor 400, la salida de la puerta inversora 412 cae del uno lógico al cero lógico, activando al biestable 410. Al activarse el biestable 410, la salida Q pasa a nivel alto en 458 y el condensador 422 empieza a cargarse con una constante de tiempo RC prefijada, lo cual está indicado con el número de referencia 459. Si la señal compuesta de tope final no permanece por bajo del nivel de umbral TI durante un tiempo suficiente para cargar el condensador a una magnitud prefijada, tiempo que puede ser de unos 100 microsegundos, el punto de unión 421 no alcanzará el nivel de tensión necesario para hacer conductivo al transistor 414 y, por tanto, el



413193

transistor 430 no pasa a su estado conductivo. Este re-
tardo, proporcionado por la acción de carga del condensa
dor 422, hace el funcionamiento insensible a las crestas
agudas de tensión presentes en los perfiles de onda de
5 regulación de tiempo, las cuales tienen una duración de
menos de 100 microsegundos y que, de lo contrario, podrían
producir funcionamiento en falso.

En el siguiente segmento (BA) del perfil de on
da de regulación de tiempos, la señal CES permanece por
10 debajo del nivel TI durante el tiempo requerido para car
gar el condensador 422 a la tensión necesaria para conmu
tar o cambiar el transistor 414 a su estado de conducción,
y el transistor 430 también a su estado de conducción. Es
to se indica en 460. Al conducir el transistor 430, la
15 corriente aplicada al electrodo de ánodo a del PUT 160
obliga a éste a producir un impulso de salida que hace
avanzar en un paso el contador de anillo. El impulso de
reloj resultante, que se aplica a la entrada de reposi-
ción \bar{R} del biestable 410, repone la salida Q del biesta-
20 ble 410 al estado de cero lógico, lo que hace que los
transistores 414 y 430 dejen de conducir. Así, la señal
compuesta CES de tope final cae por bajo del nivel de um
bral TI, indicado en 462, sólo por el tiempo requerido
para cargar el condensador 422 al nivel de tensión nece-
25 sario para cambiar o conmutar los transistores 414 y 430

413193



5 a sus estados conductivos, y a continuación se fuerza el impulso de reloj, que repone el circuito de umbral de in versión. Como el impulso de reloj aparece ahora en el mismo punto, en perfiles de onda sucesivos, la frecuencia de reloj forzada es la misma que para una señal de error de magnitud cero, manteniendo el funcionamiento del convertidor en el ángulo de cebado correspondiente al tope final de inversión seleccionado.

10 Si la señal de error se hace negativa, según lo indicado en 464, la frecuencia de reloj aumenta y el perfil de onda de la señal compuesta CES de tope final empieza a subir por los perfiles de onda hacia su cresta, según lo indicado en la gráfica, y el ángulo de cebado o conducción se adelanta, apartándose del tope final de in versión.

15 Entre los dos circuitos de tope final no existe interferencia. Cuando el ángulo de conducción está avanzando hacia el tope final de rectificación, si se al canza el nivel de umbral de inversión TI y el transistor 20 400 deja de conducir, activando al biestable 410, el biestable 410 será inmediatamente repuesto por el impul so de reloj al ir éste al estado de cero, dando por su salida Q una salida de cero, y quedando de ese modo sin producir efecto el circuito de umbral de inversión.

25 Cuando el ángulo de conducción se esté retra-

413193



sando hacia el tope final de inversión, y el punto de
unión 360 se lleve a un nivel alto a consecuencia de la
caída de la señal compuesta CES de tope final al nivel
de umbral TR, la tensión aplicada al electrodo de mando
5 g del PUT 160 por el conductor ESR será varios voltios
inferior a la tensión que está forzando la entrada de co
rriente en el electrodo de ánodo a del PUT 160, debido a
la caída de tensión producida en los extremos de los di
odos conectados en serie 352, 354 y 356. Así, al conducir
10 el transistor 430, éste seguirá obligando al PUT 160 a
producir un impulso de salida. La señal BS que obliga al
circuito a llegar a un tope final de inversión es igual-
mente superada, una vez alcanzado el tope final de inver-
sión, y el transistor 430 conduce forzando un impulso de
15 salida.

La fig. 12 es un esquema teórico de un circui-
to 44 excitador de electrodos de mando, que puede usarse
para ejercer la función indicada con el mismo número de
referencia en la fig. 1. La fig. 12 ilustra un canal de
20 cebado para cada rectificador controlado de cada uno de
los circuitos rectificadores de los puentes. Ahora bien,
sólo se necesitaría la mitad de canales si el excitador
de electrodos de mando hubiera de disponerse de tal modo
que se conmutase de un convertidor al otro, según necesi-
25 dades.

413193



Más concretamente, se ilustran los canales de cebado 500, 502, 504, 506, 508 y 510 para los rectificadores controlados SCR1, SCR3, SCR5, SCR6, SCR2 y SCR4, respectivamente, del puente convertidor 16. Se ilustran
5 asimismo los canales 512, 514, 516, 518, 520 y 522 para los rectificadores controlados SCR1', SCR3', SCR5', SCR6', SCR2' y SCR4', respectivamente, para el puente convertidor 18. Para los canales 500, 502, 504, 506, 508, 510, 512, 514, 516, 518, 520 y 522 se disponen unas puertas
10 NAND de cuádruple entrada 524, 526, 528, 530, 532, 534, 536, 538, 540, 542, 544 y 546, respectivamente.

El terminal de entrada de reloj está conectado a una entrada de cada una de las puertas NAND por medio de una puerta inversora 548. Un terminal de entrada \bar{Q}_0
15 correspondiente a la salida del selector 36 va conectado a una entrada de cada una de las puertas NAND 524, 526, 528, 530, 532 y 534 asociadas al convertidor 16; y la salida Q_0 del selector 36 está conectada, por medio de un terminal de entrada Q_0 , a una entrada de cada una de las
20 puertas NAND 536, 538, 540, 542, 544 y 546, asociadas al convertidor 18. Unos terminales de entrada A, \bar{A} , B, \bar{B} , C y \bar{C} , que reciben impulsos de control procedentes del contador de anillo 190 están conectados para seleccionar el
25 rectificador controlado apropiado al cual se vaya a suministrar un impulso de cebado. El terminal de entrada A



413193

5 está conectado a unas entradas de las puertas NAND 524,
530, 536 y 542; el terminal de entrada \bar{A} va conectado a
unas entradas de las puertas NAND 528, 532, 540 y 544;
el terminal de entrada \bar{B} está conectado a unas entradas
de las puertas NAND 526, 530, 538 y 542; el terminal de
10 entrada B está conectado a unas entradas de las puertas
NAND 528, 534, 540 y 546; el terminal de entrada C está
conectado a unas entradas de las puertas NAND 524, 534,
536 y 546; y el terminal de entrada \bar{C} va conectado a
15 unas entradas de las puertas NAND 526, 532, 538 y 544.

 Como cada uno de los canales está construido
de la misma manera, sólo se ilustra el canal 500 en la
fig. 12. El canal 500 incluye un transistor 550 del tipo
NPN, un transformador de impulsos 552 dotado de devana-
15 dos primario y secundario, 554 y 556 respectivamente,
unas resistencias 558, 559 y 560, unos diodos 562 y 564
y unos diodos reguladores de tensión 566 y 568 tales co-
mo unos diodos de Zener. El electrodo de colector c del
transistor 550 está conectado a un terminal 571 por me-
20 dio del devanado primario 554 del transformador 552, y
de la resistencia 558. El terminal 571 va conectado a
una fuente de potencial unidireccional positivo (no re-
presentada). El devanado secundario 556 del transforma-
dor de impulsos 552 está conectado a unos terminales de
25 salida G y K que van conectados a los electrodos de man-

413193



do y de cátodo, respectivamente, del dispositivo rectificador controlado SCRL. El electrodo de colector c está asimismo conectado al electrodo de ánodo a del diodo 562. El electrodo de cátodo c del diodo 562 va conectado al

5 electrodo de cátodo c del diodo regulador de tensión 566. El diodo regulador de tensión 566 puede usarse para limitar la tensión de colector-emisor de los transistores de los demás canales, conectando para ello el cátodo del diodo 566 al diodo 562 correspondiente de los demás canales. El electrodo de emisor e del transistor 550 va conectado al conductor PSC y al electrodo de ánodo a del diodo regulador de tensión 566. El electrodo de base b está conectado a la salida de la puerta NAND 524 por medio del diodo regulador de tensión 568 y del diodo 564.

10 El diodo regulador de tensión 568 tiene su electrodo de ánodo a conectado al electrodo de base b del transistor 550, y su electrodo de cátodo c está conectado al electrodo de ánodo a del diodo 564. Al punto de unión entre los electrodos de cátodo y de ánodo de los diodos 568 y

15 564 va conectada, por medio de la resistencia 559, una fuente positiva de potencial unidireccional, habiendo una fuente negativa de potencial unidireccional conectada al electrodo de ánodo a del diodo regulador de tensión 568, por medio de la resistencia 560.

25 En el funcionamiento del canal 500, cuando la

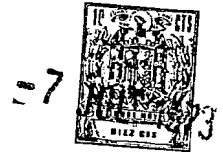


413193

salida de la puerta NAND 524 esté a nivel alto el transistor 550 es conductivo y pasa corriente por el devanado primario 554 del transformador de impulsos 552. Cuando todos los impulsos aplicados a la puerta NAND 524 estén al nivel de uno lógico, la salida de ésta adquiere el de cero lógico, y el transistor 550 deja de conducir. La corriente del devanado primario 554 se "transfiere" entonces al devanado secundario 556, y este impulso ceba o activa el rectificador controlado SCRL. La disposición de puertas NAND representada en la fig. 12 proporciona impulsos de cebado para los rectificadores controlados del convertidor 16 y 18, como se ilustra en la fig. 9.

En resumen, se ha descrito un aparato convertidor nuevo y mejorado, que tiene un convertidor de corriente y un controlador de fase. El controlador de fase incluye medios de parada extrema que hacen uso de una única señal de parada extrema, compuesta, para controlar las paradas extremas de rectificación y de inversión, asegurando que el controlador de fase y el convertidor de corriente permanecen en sincronismo.

413193



REIVINDICACIONES

5 Los puntos de invención propia, no nueva, pero no establecida, practicada ni divulgada en España, que se presentan para que sean objeto de esta solicitud de Patente de Introducción, por DIEZ años, son los que se recogen en las reivindicaciones siguientes:

10 1ª.- Aparato convertidor de corriente, que comprende: medios para proporcionar una pluralidad de formas de onda de temporización que responden a dicha fuente de potencial alterno, medios convertidores que tienen dispositivos rectificadores controlados, conectados para intercambiar energía eléctrica entre una fuente de potencial alterno y un circuito de carga, medios que proporcionan una señal de realimentación en respuesta a un parámetro predeterminado de dichos medios convertidores, 15 medios que proporcionan una señal de referencia indicación del funcionamiento deseado de dichos medios convertidores, medios que proporcionan una señal de error en 20 respuesta a dicha señal de realimentación y a dicha señal de referencia, medios controladores de fase que regulan el ángulo de conducción de dichos dispositivos rectificadores controlados en respuesta a dicha señal de error, 25 incluyendo dichos medios controladores de fase medios de



413193



5 tope final para mantener el funcionamiento síncrono entre dichos medios controladores de fase y dichos medios convertidores, limitando el ángulo de conducción entre un primero y un segundo tope finales, proporcionando dichos medios de tope final una señal de tope final, compuesta, en respuesta a dichas formas de onda de temporización y al ángulo de conducción, estando formada dicha señal de tope final compuesta por segmentos de dichas formas de onda de temporización, estando determinados
10 los segmentos seleccionados por el ángulo de conducción, incluyendo dichos medios de tope final un primero y un segundo medios de umbral que responden a dicha señal de tope final compuesta para proporcionar dichos tope finales primero y segundo, respectivamente.

15 2ª.- El aparato de la reivindicación 1ª, en el que el controlador de fase incluye medios osciladores que proporcionan una frecuencia de reloj predeterminada en respuesta a una señal de error de magnitud cero, y frecuencias superiores e inferiores para señales de error
20 negativas y positivas, y que incluyen medios que responden a la frecuencia de reloj para controlar el ángulo de conducción de los dispositivos rectificadores controlados.

25 3ª.- El aparato de la reivindicación 2ª, que incluye medios que devuelven la frecuencia de reloj de los medios osciladores a la frecuencia predeterminada



413193



cuando el ángulo de conducción alcanza un tope final.

4ª.- El aparato de la reivindicación 2ª, en el que la frecuencia de reloj predeterminada es un múltiple predeterminado de la frecuencia de la fuente de potencial alterno.

5

5ª.- El aparato de la reivindicación 2ª, que incluye medios que proporcionan una señal de inhibición cuando el ángulo de conducción alcanza el primer tope final, que inhibe a los medios osciladores para no proporcionar una señal de reloj hasta que la señal de tope final compuesta alcance una primera magnitud predeterminada.

10

6ª.- El aparato de la reivindicación 2ª, que incluye medios que proporciona una señal obligatoria cuando el ángulo de conducción alcanza el segundo tope final, proporcionándose la señal obligatoria cada vez que la señal de tope final cae por debajo de una segunda magnitud predeterminada, aplicándose dicha señal obligatoria a dichos medios osciladores que generan un impulso en respuesta a ello.

15

20

7ª.- El aparato de la reivindicación 6ª, en el que los medios que obligan a los medios osciladores a generar una señal de impulsos, incluyen medios que responden al período de tiempo en que la señal de tope final compuesta se encuentra por debajo de la magnitud prede-

25



413193



terminada, proporcionando dichos medios la señal obligatoria solamente cuando la señal de tope final compuesta se encuentra por debajo de dicha segunda magnitud predeterminada, durante un período predeterminado de tiempo.

5 8a.- Aparato convertidor, que comprende: medios convertidores que tienen dispositivos rectificadores controlados conectados para intercambiar energía eléctrica entre una fuente de potencial alterno y un circuito de carga, medios de realimentación que proporcionan una señal de realimentación en respuesta a un parámetro predeterminado de dichos medios convertidores, medios de referencia que proporcionan una señal de referencia indicativa del funcionamiento deseado de dichos medios comparadores, medios comparadores que proporcionan una señal de error en respuesta a dichas señales de realimentación y de referencia, medios que proporcionan una pluralidad de formas de onda de temporización en respuesta a dicha fuente de potencial alterno, y medios controladores de fase que responden a dicha señal de error y a dichas formas de onda de temporización para controlar el ángulo de conducción de los dispositivos rectificadores controlados, incluyendo dichos medios controladores de fase medios osciladores, medios de impulsos de control, medios de activación, medios de tope final y medios de umbral, proporcionando dichos medios osciladores señales

10

15

20

25



413193



de reloj a una frecuencia predeterminada en respuesta a una señal de error de magnitud cero, y frecuencias más elevadas y más bajas a magnitudes de señal de error a la
5 dos opuestos predeterminados respecto al cero, proporcionando dichos medios de impulsos de control, impulsos de control en respuesta a señales de reloj, proporcionando dichos medios de activación señales de activación de
10 puerta para dichos dispositivos rectificadores controlados en respuesta a dichos impulsos de control, respondiendo do dichos medios de tope final a dichos impulsos de control y a dichas formas de onda de temporización, proporcionando una señal de tope final compuesta, constituida por segmentos de dichas formas de onda de temporización, respondiendo los segmentos seleccionados a la frecuencia
15 de dichos impulsos de control, y proporcionando dichos medios de umbral señales para dichos medios osciladores en respuesta a dicha señal de tope final compuesta, cuyas señales limitan el ángulo de conducción de los dispositivos rectificadores controlados entre límites predeterminados.
20

9ª.- El aparato convertidor de la reivindicación 8ª, en el que los medios de umbral incluyen un primero y un segundo circuitos de umbral para ajustar los límites del ángulo de conducción.

25 10ª.- El aparato de la reivindicación 8ª, en



413193



el que la frecuencia predeterminada de señales de reloj en respuesta a una señal de error de magnitud cero es un múltiplo predeterminado de la frecuencia de la fuente de potencial alterno.

5 11ª.- El aparato de la reivindicación 8ª, en el que la señal proporcionada por los medios de umbral cuando se alcanza un límite predeterminado, modifica los medios osciladores para proporcionar señales de reloj a la frecuencia predeterminada.

10 12ª.- El aparato de la reivindicación 8ª, en el que los medios de umbral incluyen un primer circuito de umbral, proporcionando dicho primer circuito de umbral una señal de inhibición que inhibe los medios osciladores impidiendo que proporcionen una señal de reloj una vez que se ha alcanzado un ángulo de conducción predeter_uminado, mientras la señal de tope final se encuentre por debajo de una magnitud de umbral predeterminada.

15 13ª.- El aparato de la reivindicación 12ª, en el que los medios de umbral incluyen un segundo circuito de umbral, proporcionando dicho segundo circuito de umbral una señal obligatoria que fuerza a los medios osciladores a generar una señal de reloj, una vez que se ha alcanzado un ángulo de conducción predeterminado, cada vez que la señal de tope final cae hasta una segunda mag_unitud de umbral predeterminada.



413193



14a.- El aparato de la reivindicación 13a, en el que los segundos medios de umbral incluyen medios que responden al período de tiempo en que la señal de tope final cae por debajo de la segunda magnitud de umbral, proporcionando los segundos medios de umbral la señal obligatoria solamente cuando el período de tiempo en que la señal de tope final compuesta se encuentra por debajo de la segunda magnitud de umbral, supera un intervalo predeterminado.

15a.- El aparato de la reivindicación 8a, en el que los medios de impulsos de control están constituidos por un contador de anillo.

16a.- El aparato de la reivindicación 8a, en el que los medios osciladores incluyen un transistor unión programable que tiene electrodos de ánodo, de cátodo y de control, aplicándose la señal de error al electrodo del control del mismo.

17a.- El aparato de la reivindicación 8a, en el que los medios de tope final incluyen puertas lógicas que responden a los impulsos de control y medios subastadores que responden a la salida de dichas puertas lógicas y a dichas formas de onda de temporización, seleccionando dichos medios subastadores segmentos de las formas de onda de temporización para proporcionar la señal de tope final compuesta en respuesta a las salidas de dichas puer

413103



413103

tas lógicas.

18ª.- Aparato convertidor de corriente.

Tal y como se ha descrito en la Memoria que an
tecede, representado en los dibujos que se acompañan y
5 con los fines que se han especificado.

Esta Memoria consta de sesenta y cinco hojas
escritas a máquina por una sola cara.

Madrid.

=7 JUL. 1973

P.A.

10

Alberto de Elcortu
For For...
Arta

C G V

29-5-73

- 65 -



413193

413193

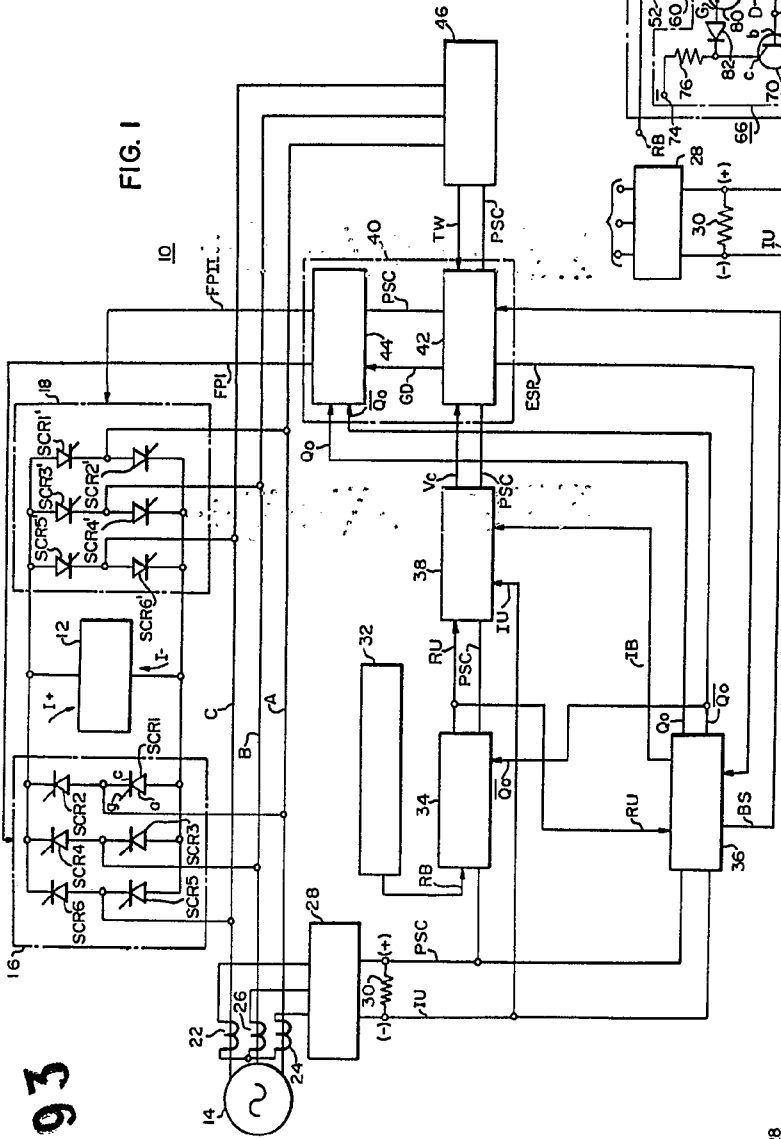


FIG. 1

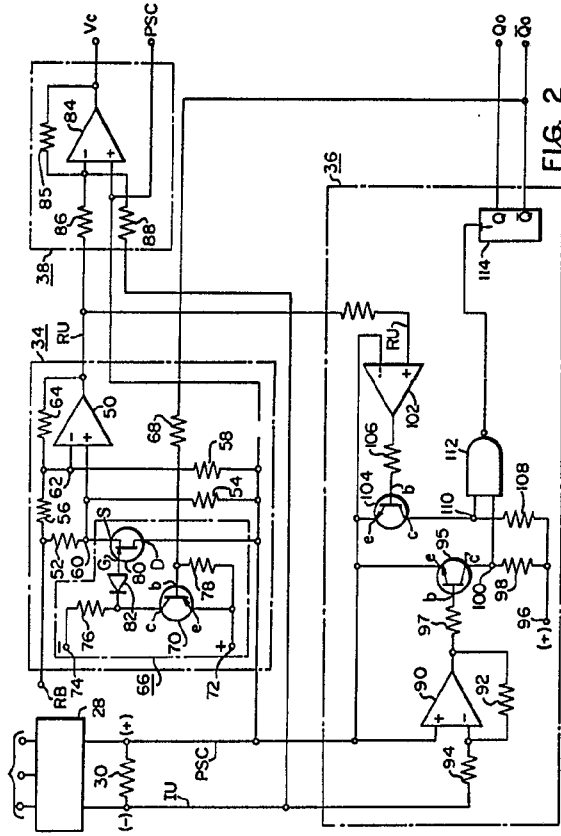


FIG. 2

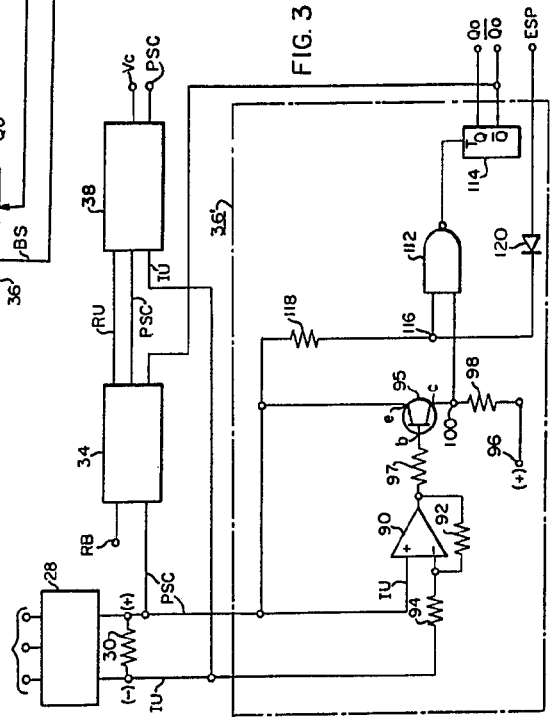


FIG. 3

Alfred G. ...
Patent ...

413193

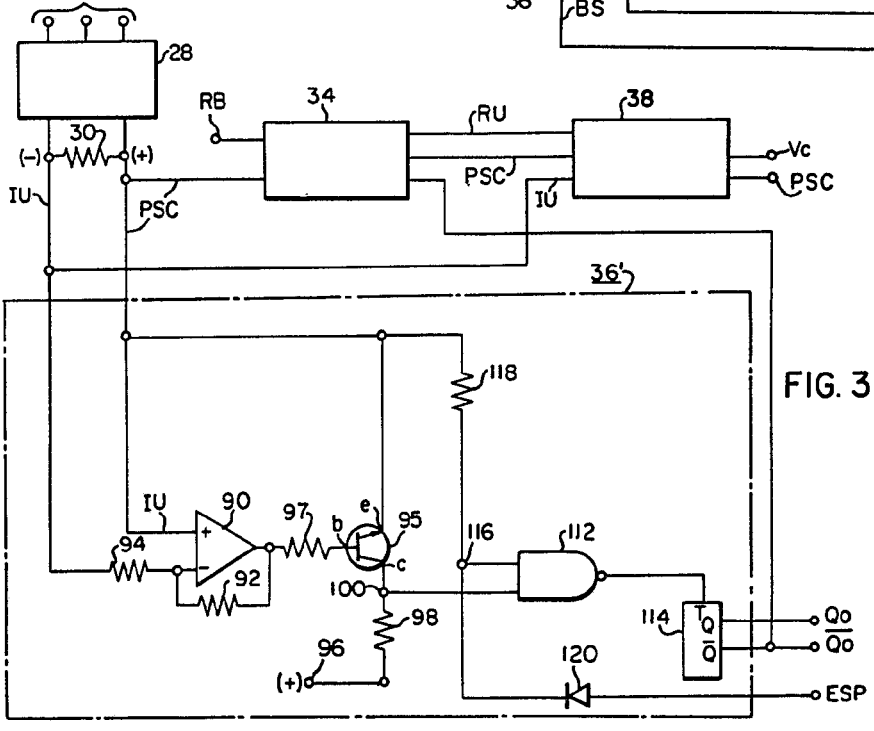
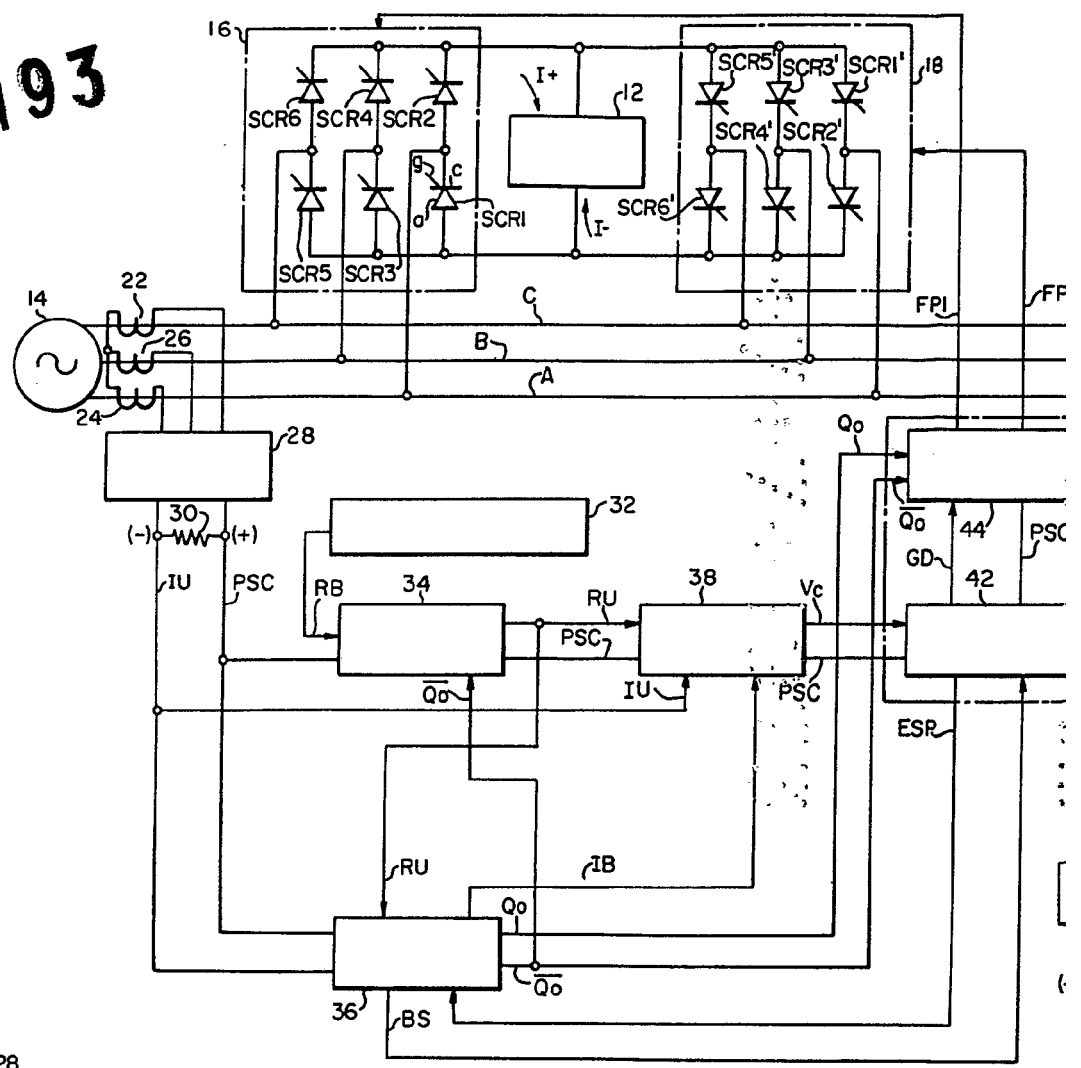


FIG. 3



413193

FIG. 1

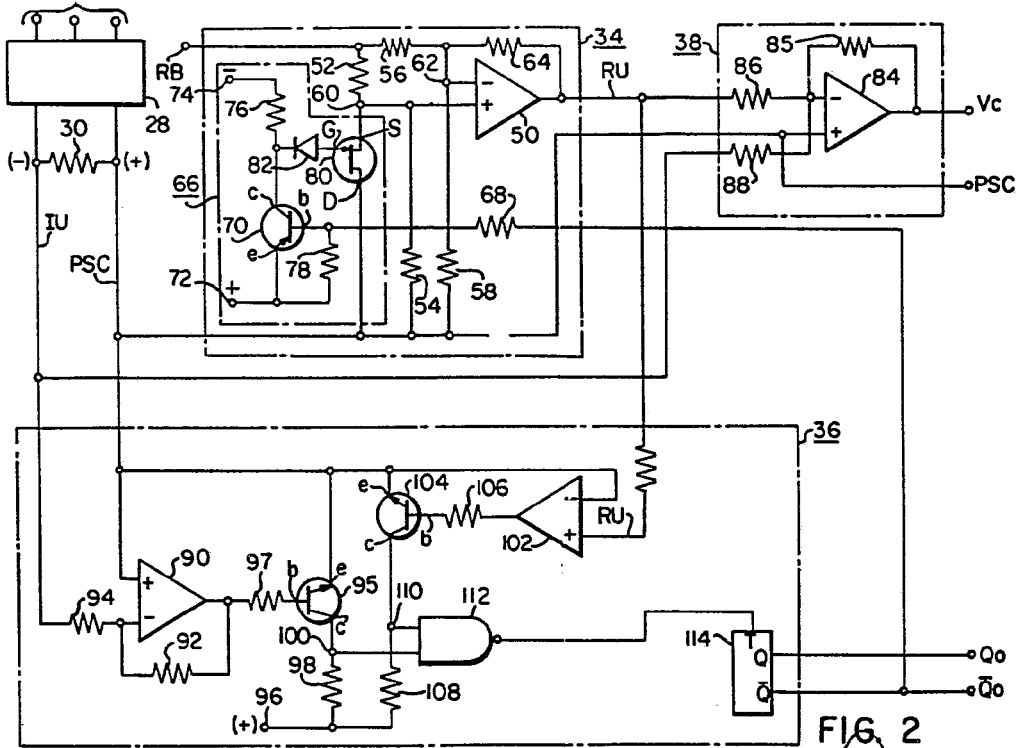
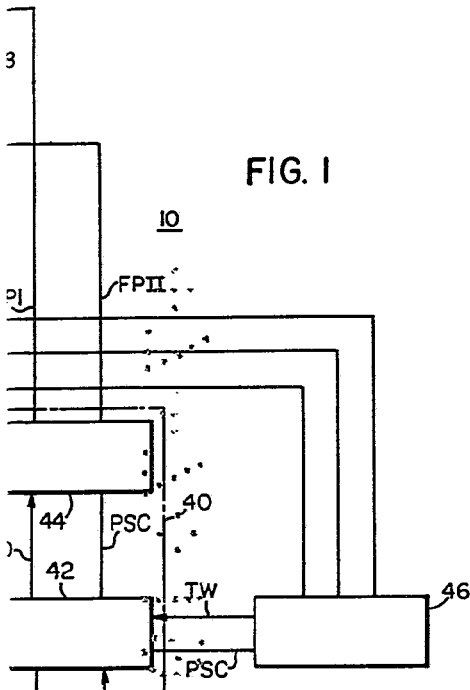
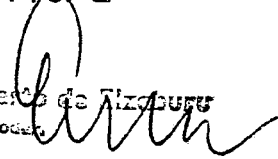


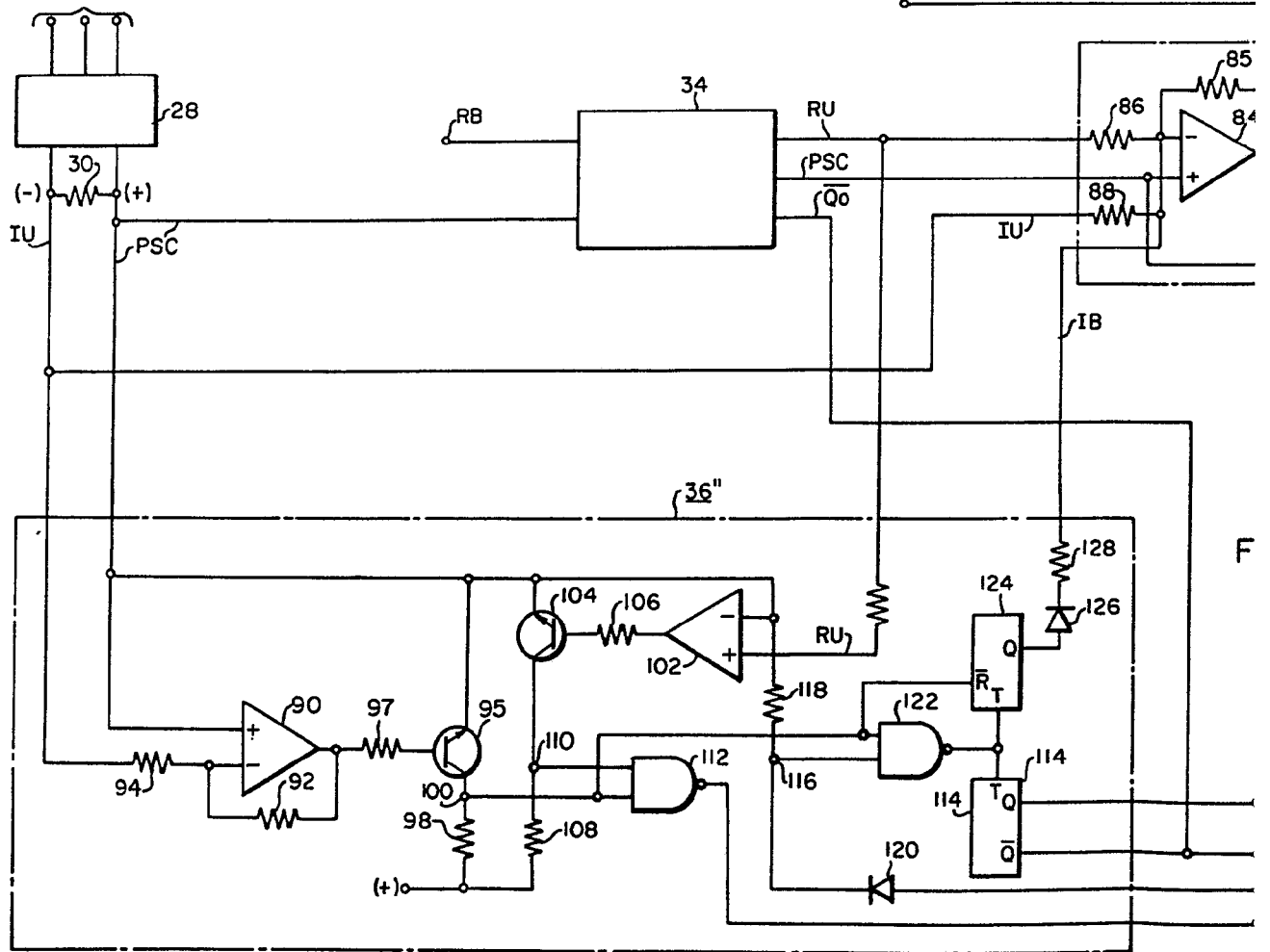
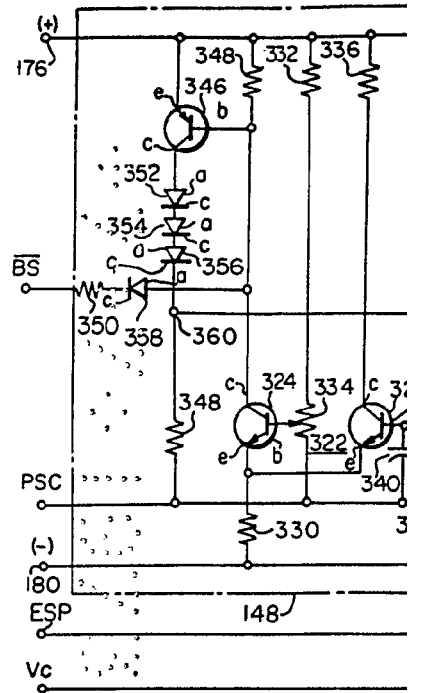
FIG. 2

Alberto de Tizoburu
 Por Poder



413193

FIG. 7



413103

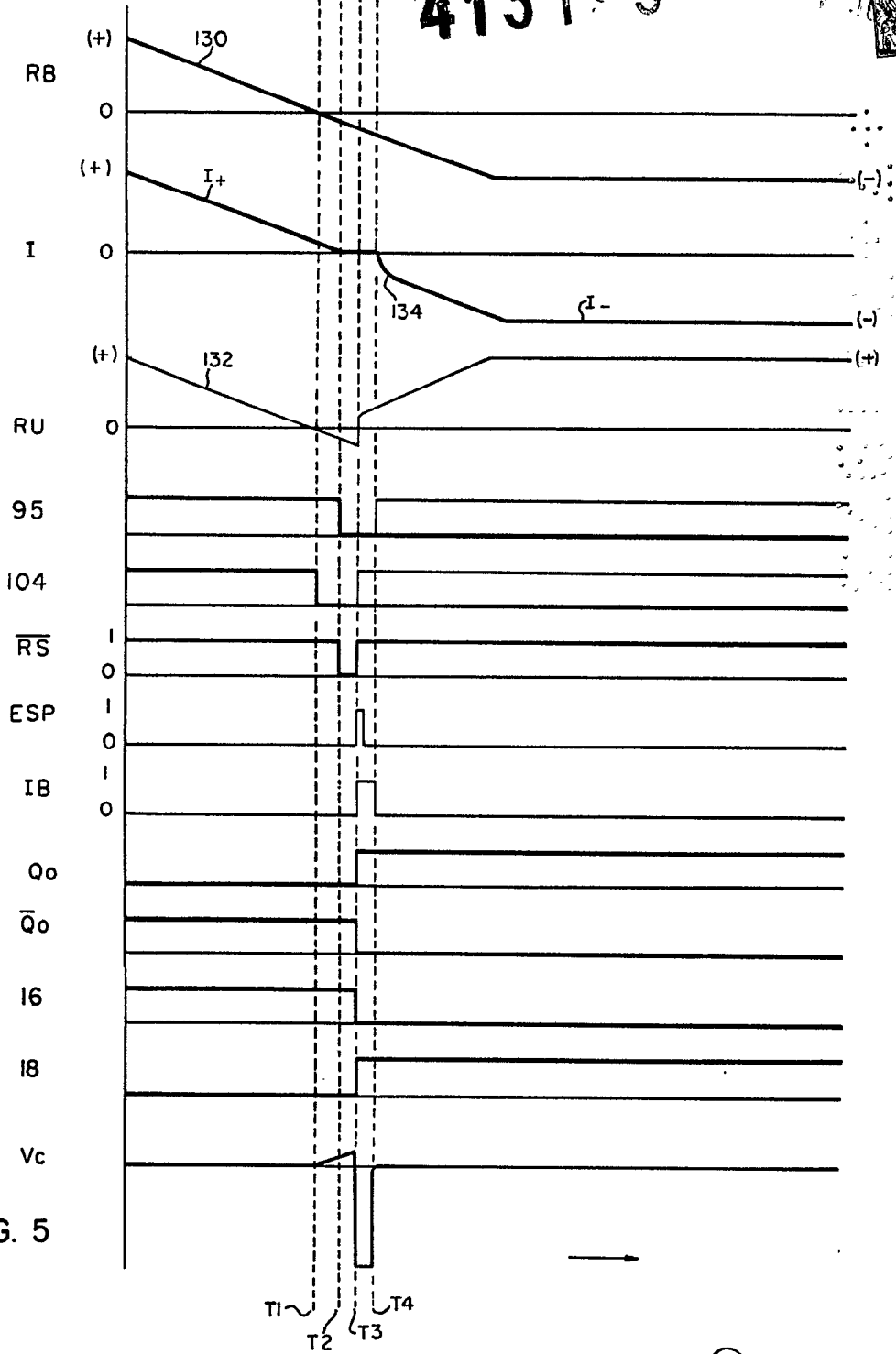


FIG. 5

Allen & ...
Per ...

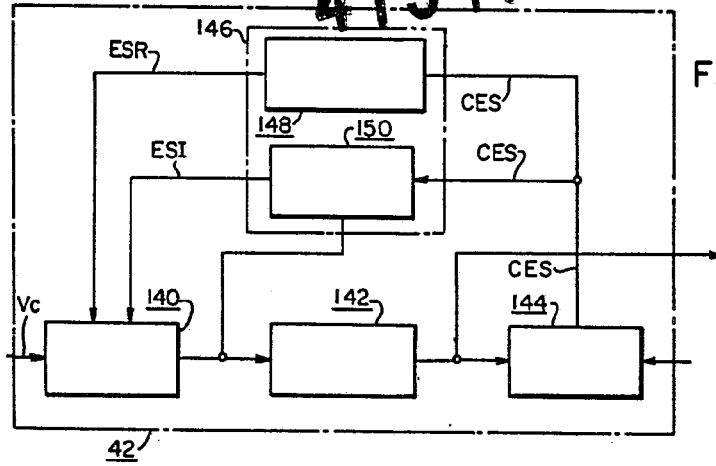


FIG. 6

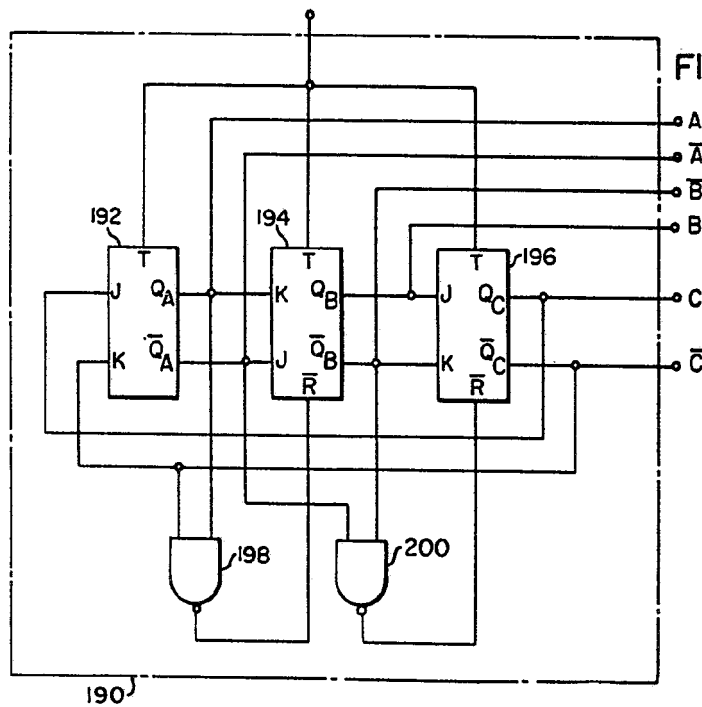


FIG. 8

Alberto de Lencastre
Per Poder.

413193

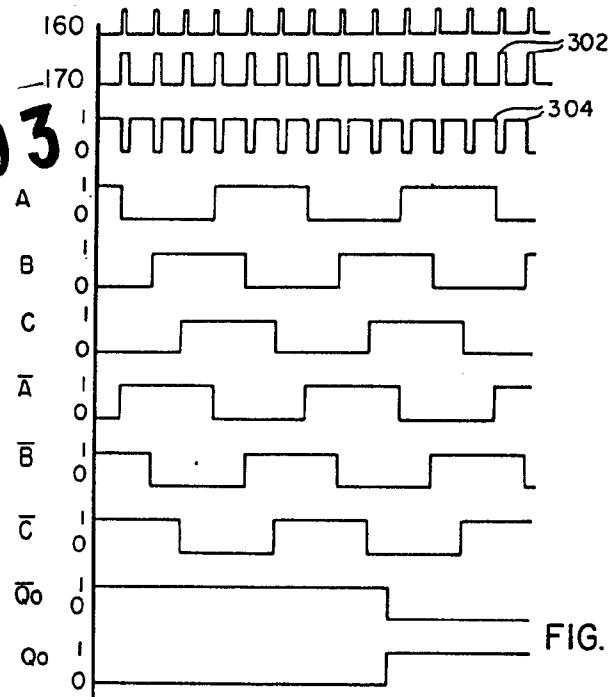
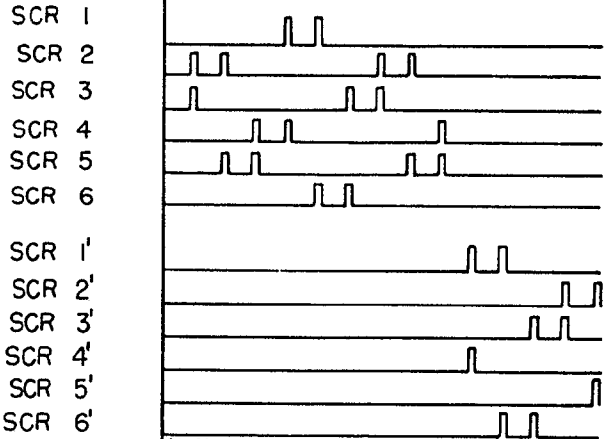
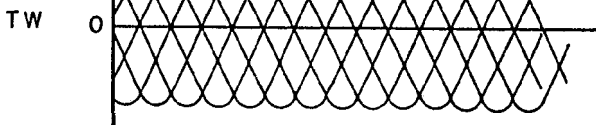


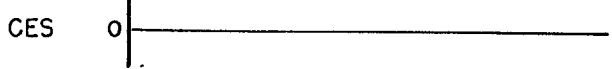
FIG. 9



CA CB AB AC BC BA CA CB AB AC BC BA CA CB



CA CB AB AC BC BA CA CB AB AC BC BA CA CB

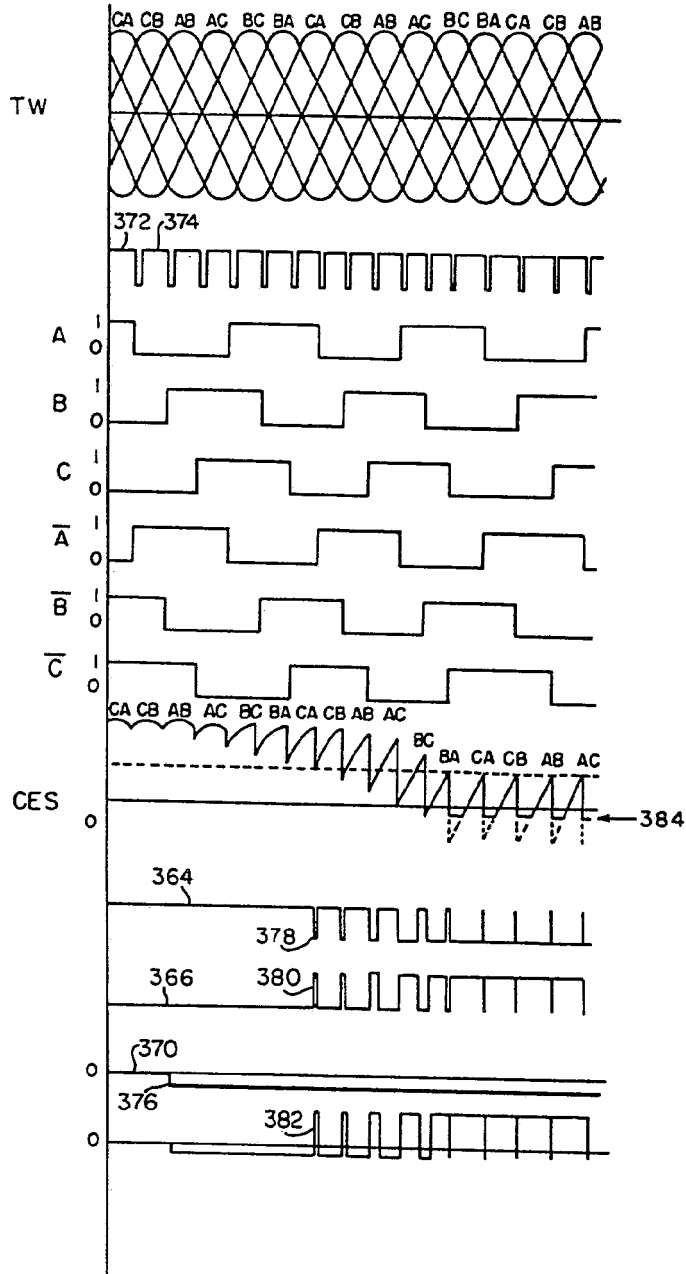


Albert J. ...
Per ...

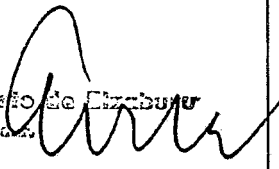
413103



FIG. 10



Alfredo de C. ...
 Per Pca.



413193

413193

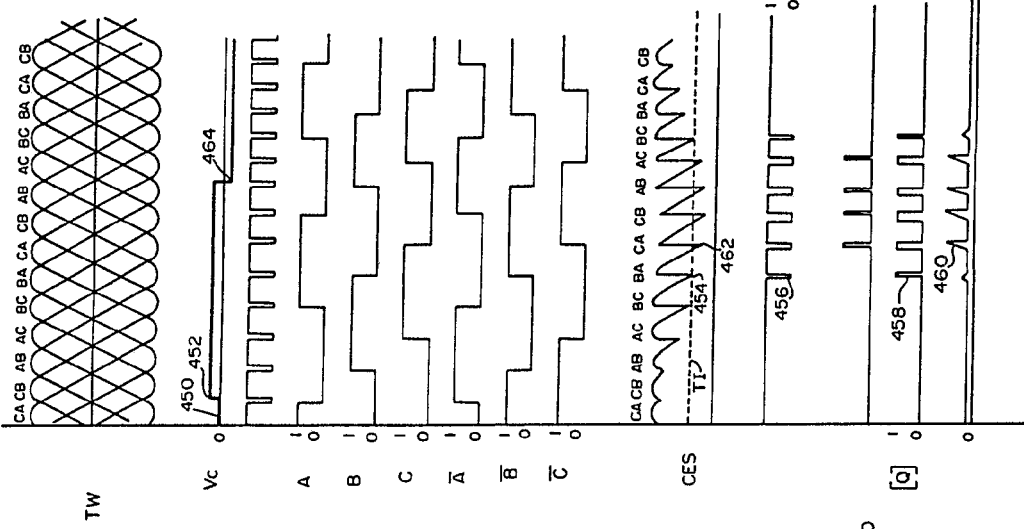
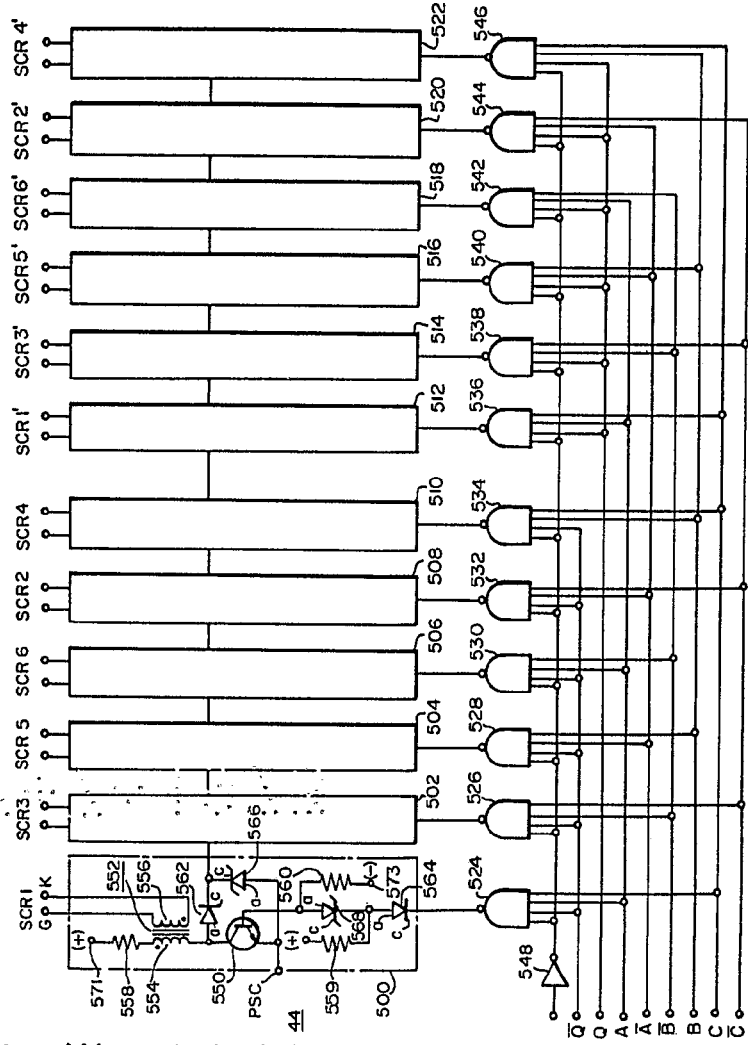


FIG. 11

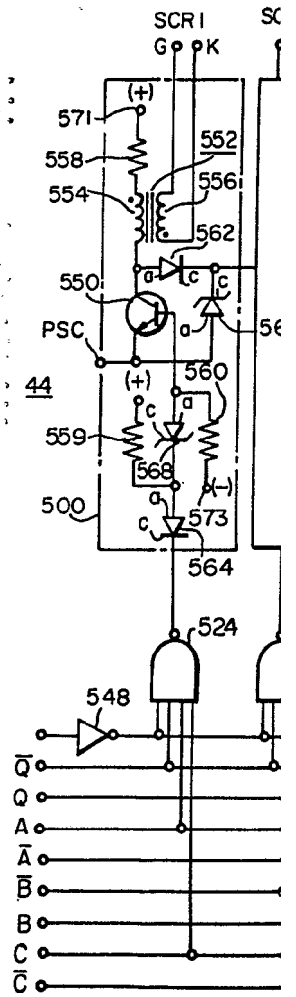
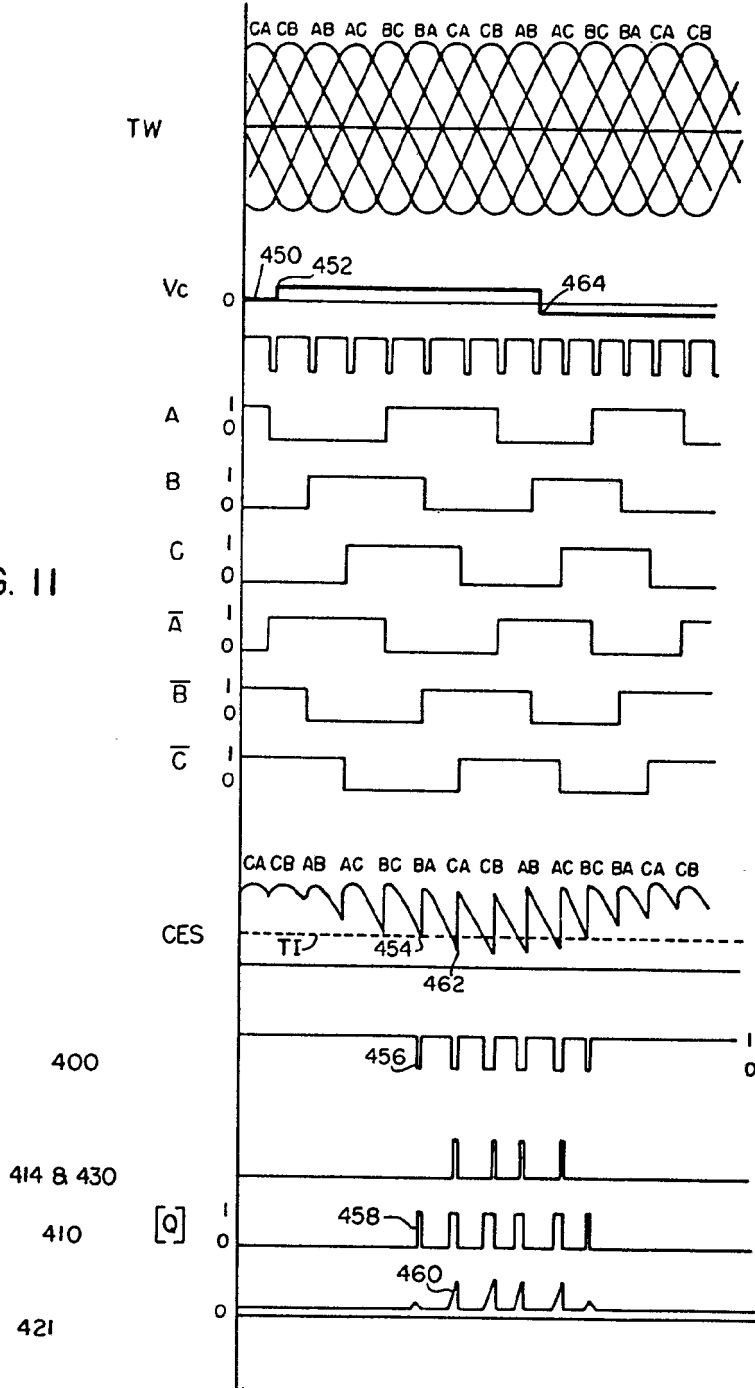
FIG. 12



Carroll

413193

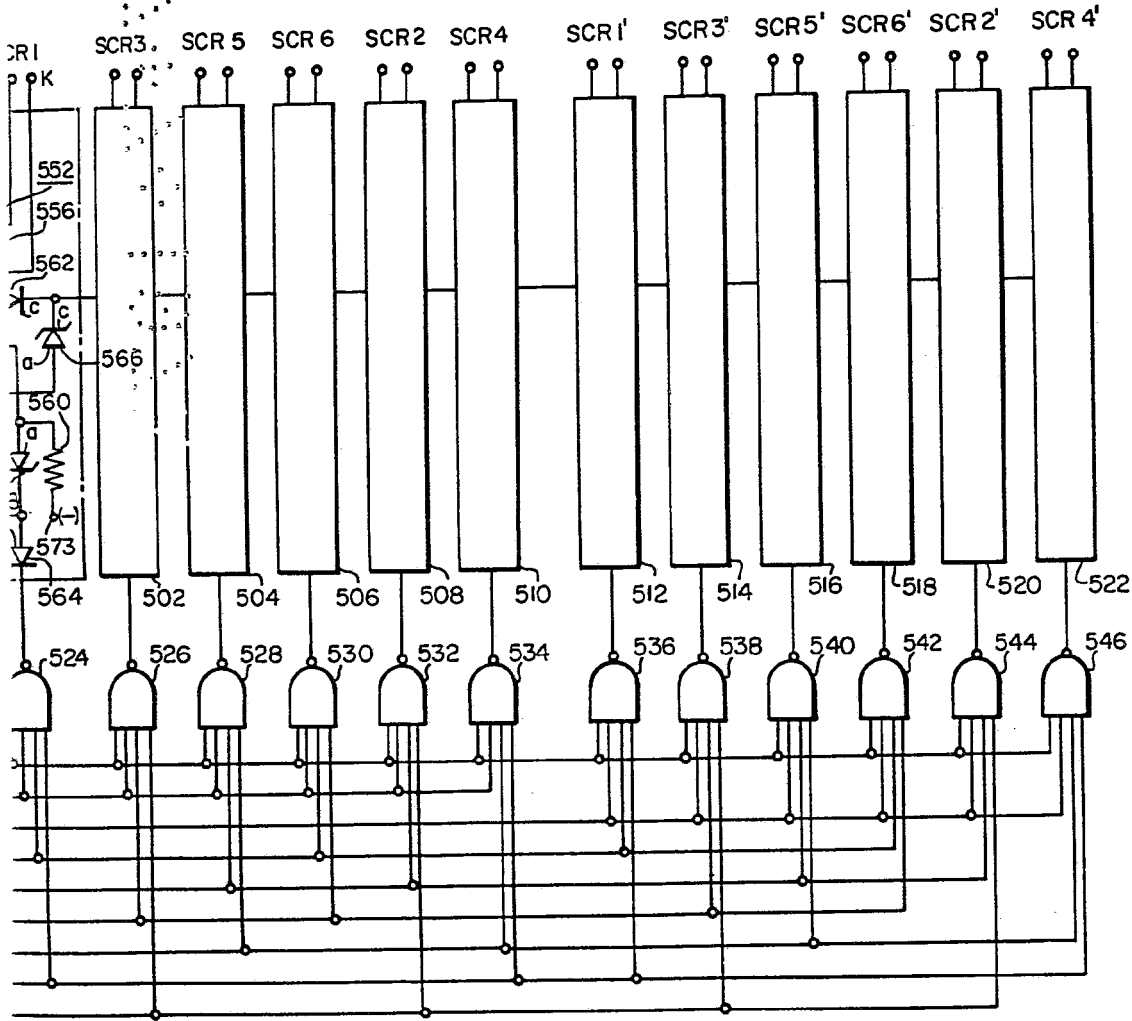
FIG. II



413193



FIG. 12



Curran