

413192

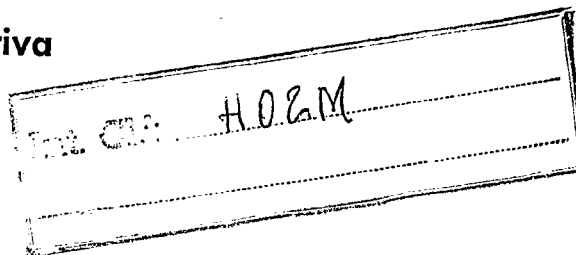
P.- 53.930

W.E. Case Nº 43.650



413192

Memoria descriptiva



para solicitar PATENTE DE INTRODUCCION por 10 años

a nombre de WESTINGHOUSE ELECTRIC CORPORATION

entidad / ~~de nacionalidad~~ norteamericana

con domicilio en Westinghouse Building, Gateway Center,
Pittsburgh, Pensilvania 15222, Estados
Unidos de América.

por: "UN APARATO CONVERTIDOR PARA OBTENER UNA CORRIENTE
CONTINUA REVERSIBLE Y REGULABLE"
(Clase Internacional H02m)

31.5.73

413192



21 JUN 1973

La presente invención se refiere en general a aparatos convertidores y, más concretamente, a aparatos convertidores dobles para intercambiar energía eléctrica entre circuitos de corriente alterna y de corriente cont
nua.

5

Los aparatos convertidores eléctricos para intercambiar energía eléctrica entre circuitos de corriente alterna y de corriente continua se suelen hacer funcionar en un modo de bucle cerrado de corriente, en el cual se utiliza una realimentación de corriente para regular el funcionamiento del aparato convertidor. Un transductor de corriente proporciona una señal de realimentación o retro
acción que se compara con una señal de referencia indicativa del funcionamiento deseado para el aparato convertidor. Un amplificador de error o comparador proporciona una señal de error que regula la salida del convertidor, reduciendo al mínimo la diferencia entre las señales de realimentación y de referencia.

10

15

La realimentación de corriente para un convertidor doble, que incluye unos convertidores primero y segundo conectados en oposición paralela, y que se utiliza frecuentemente para suministrar energía o potencia para motores reversibles de accionamiento, se consigue típicamente utilizando un par de transductores de corriente continua. Cada transductor vigila la salida de uno de los con-

20

25

413192



vertidores, y sus salidas se suman o componen dando una
señal bidireccional de retroacción. Otra disposición con
siste en utilizar dos juegos de transformadores de inten
sidad en corriente alterna, de los cuales cada juego vigi
5 la la corriente alterna de entrada a uno de los converti
dores. Sus salidas se rectifican luego y se suman o compo
nen, dando una señal bidireccional de retroacción.

El enfoque a base de transductores de corriente
continua tiene la desventaja de ser algo complejo, y los
10 transductores requieren una excitación exterior. Además,
las corrientes de avería producidas en y entre los con
vertidores no se reproducen en la salida del transductor.

La disposición a base de transformadores de in
tensidad en corriente alterna también padece la desventa
15 ja de no reproducir en sus salidas las corrientes de ave
ría producidas en y entre los convertidores, pero este en
foque a base de transformadores de intensidad es fundamen
talmente más sencillo, y no requiere excitación exterior.
En cambio, la disposición de transformadores de intensi
20 dad, que utiliza un juego de transformadores de intensi
dad para cada convertidor, aumenta la complejidad del apa
rato convertidor al necesitarse ciertos circuitos de su
presión para proteger del "ruido" los rectificadores con
trolados, y los impulsos agudos de hiperamplitud no son
25 "compartidos" por los dos convertidores.

413192



En la patente de EE.UU. nº. 3.487.279, cedida al mismo cesionario de la presente solicitud, se describe una disposición de convertidor doble en la que sólo se necesita un único transformador de intensidad autoexcitado para un sistema monofásico, o bien sólo un único juego de transformadores de intensidad para un sistema polifásico. Esta disposición tiene la ventaja de poderse compartir los circuitos de supresión, y proporciona asimismo una realimentación de corrientes de avería en y entre los dos convertidores de potencia. En cambio, esta disposición proporciona una señal de retroacción o realimentación de corriente unidireccional, sea cual fuere el convertidor que esté suministrando corriente a la carga. La patente arriba mencionada no enseña el uso de una señal de corriente unidireccional para el control del convertidor, prefiriendo utilizar un regulador de tensión para controlar el funcionamiento del convertidor y la inversión de grupo. La señal de corriente unidireccional de esta patente tiene su polaridad conmutada por un relé, y se usa para alimentar el calefactor de un relé de sobrecarga y para activar un circuito monoestable o de impulso único a los fines de supresión de impulsos de puerta o electrodo de mando.

Sería conveniente disponer de un aparato convertidor nuevo y perfeccionado que utilizase la disposición

413192



simple o de un solo frente de realimentación de corriente
expuesta en la patente anteriormente mencionada, a causa
de su sencillez, siendo capaz la disposición de converti-
dor nueva y perfeccionada de utilizar la señal de retro-
5 acción unidireccional, sin modificación ni cambio de su
polaridad, en un modo de control del tipo de amplificador
de corriente o de intensidad.

Una dificultad común en el funcionamiento de un
aparato convertidor doble, del tipo en el que uno de los
10 convertidores es desconectado antes de permitir el funcio-
namiento del otro, reside en tener que efectuar una inver-
sión suave (sin brusquedades) de la corriente de carga.
Las disposiciones ya conocidas para efectuar con seguri-
dad la inversión de grupo, es decir, cambiar o conmutar
15 un convertidor al otro, después de reducida a cero la co-
rriente proporcionada por uno de los convertidores, y apli-
car luego la excitación de puerta o electrodo de mando al
otro convertidor, puede requerir hasta varios centenares
de milisegundos, dando por resultado una zona muerta du-
20 rante la cual la señal de referencia no ejerce el control
del aparato convertidor. Además, como la señal de refe-
rencia suele estar creciendo durante este tiempo muerto,
cuando el convertidor que va a conducir entra en acción
la señal de referencia puede tener una magnitud sustancial,
25 dando lugar con ello a un apreciable aumento brusco o en

413 192



5 escalón de la corriente de carga. Esta pérdida de control y este sucesivo aumento en escalón de la corriente de carga es recusable en ciertas aplicaciones, tales como los sistemas de ascensores, donde la carga es un motor reversible de corriente continua que controla con precisión la posición del camarín de un ascensor.

10 Un modo de tratar de reducir este período o tiempo muerto sería el de aumentar la ganancia del amplificador de error, de manera que para una diferencia pequeña entre las señales de retroacción y de referencia, la señal de error fuese grande. Ahora bien, el aumento de la ganancia del amplificador de error está sujeto a la limitación de que la ganancia del amplificador debe ser limitada, para mantener un funcionamiento lineal, debido a la
15 tensión de salida limitada del amplificador de error y el probable contenido de ondulación residual de la corriente de carga. Además, la estabilidad del bucle global de corriente es función de la ganancia de este amplificador, y la ganancia debe ser también limitada por esta razón.

20

Resumen de la invención

25 En breves términos, la presente invención reside en un aparato convertidor nuevo y perfeccionado, que interconecta una fuente de potencial de corriente alterna

413192



y un circuito de carga de corriente continua. El aparato
convertidor es del tipo de puente doble, teniendo unos
medios de convertidor primero y segundo conectados en opo
sición paralela, dotados cada uno de ellos de unos dispo
5 sitivos rectificadores controlados, tales como tiristores,
conectados para intercambiar energía eléctrica entre cir
cuitos de corriente alterna y de corriente continua. Hay
unos medios de realimentación de corriente, tales como
unos transformadores de intensidad, dispuestos para dar
10 una señal de retroacción o realimentación unidireccional
capaz de responder a la corriente de carga, independiente
mente de cuál de los convertidores esté en funciones. Unos
medios de referencia dan una señal bidireccional de re
ferencia, indicativa del funcionamiento deseado del aparato
15 convertidor. Hay unos medios de conmutación, tales co
mo un amplificador de conmutación capaces de responder a
unos parámetros de circuito prefijados dando una señal de
referencia esencialmente unidireccional. Esta señal de re
ferencia esencialmente unidireccional se compara con la
20 señal unidireccional de retroacción, dando una señal de
error. Un regulador de fase, que incluye unos medios de
excitación de electrodo de mando, controla el ángulo de
conducción o cebado de los dispositivos de rectificador
controlado, en respuesta a la señal de error.

25 La presente invención incluye también una dis-

413192



posición para reducir el tiempo muerto durante la inversión de grupo, disposición que puede aplicarse a un aparato convertidor doble del tipo que funciona en un modo amplificador de corriente en respuesta a una señal unidireccional de realimentación de corriente, y también a otros tipos de convertidores dobles. La disposición de circuito para reducir el tiempo muerto incluye unos medios capaces de responder a ciertos parámetros de circuito, tales como la anulación de la corriente de carga y el cambio de polaridad de una señal bidireccional de referencia, dando una señal que obligue al ángulo de conducción a retrasarse rápidamente hasta un límite o tope final prefijado. Cuando se llega al tope final, se produce una señal, y esta señal se utiliza para iniciar la inversión del grupo, y también para iniciar una señal que polariza al amplificador de error, dando una señal de error que obliga al regulador de fase a adelantar rápidamente el ángulo de conducción, apartándolo del tope final prefijado. Para finalizar la señal de polarización se usa una señal capaz de responder a la corriente de salida dada por el convertidor que va a entrar en conducción.

La invención puede comprenderse mejor, y pueden apreciarse más fácilmente otras ventajas y otros usos de la misma, considerándola a la luz de la siguiente descripción detallada de unas formas ilustrativas de realización

413192



de la misma, tomadas en relación con los dibujos adjuntos, en los cuales:

5 - la figura 1 es un esquema funcional o por bloques que ilustra la disposición general de un aparato convertidor construido y dispuesto con arreglo al presente invento;

10 - la figura 2 es un esquema teórico de un selector, un amplificador de conmutación y un amplificador de error, que pueden usarse para las funciones ilustradas en bloque en la fig. 1, y que están contruidos con arreglo a una forma de ejecución del presente invento;

15 - la figura 3 es un esquema teórico que ilustra una variante del selector representado en la fig. 2, construido y dispuesto con arreglo a otra forma de realización del presente invento;

20 - la figura 4 es un esquema teórico que ilustra una variante del selector indicado en la fig. 3 y del amplificador de error representado en la fig. 2, contruidos y dispuestos con arreglo a otra forma de realización del presente invento;

- la figura 5 es una gráfica explicatoria del funcionamiento del aparato convertidor representado en la fig. 1, usando el selector indicado en la fig. 4;

25 - la figura 6 es un esquema funcional de un oscilador de sincronización de fase, que puede usarse en el

413192



regulador de fase de la fig. 1;

- la figura 7 es un esquema teórico del oscilador de sincronización de fase representado en la fig. 6;

5 - la figura 8 es un esquema teórico de un contador en anillo que puede usarse en el oscilador de sincronización de fase representado en la fig. 6;

10 - la figura 9 es una gráfica explicatoria del funcionamiento del oscilador de sincronización de fase representado en la fig. 6, incluidos ciertos perfiles de onda, y la actividad de ciertas funciones de circuito en respuesta a éstos, que sirven para desarrollar una señal compuesta de tope final para una señal de error que tenga magnitud cero;

15 - la figura 10 es una gráfica que ilustra ciertos perfiles de onda, y la actividad de ciertas funciones de circuito en respuesta a éstos, incluido el desarrollo de una señal compuesta de tope final para un ángulo de conducción que avanza o se adelanta hasta el tope final de rectificación;

20 - la figura 11 es una gráfica semejante a la representada en la fig. 10, excepto en que ilustra el desarrollo de la señal compuesta de tope final para un ángulo de conducción que se retrasa hasta el tope final de inversión; y

25 - la figura 12 es un esquema teórico de un cir-

413192



cuito de excitación de electrodos de mando, que puede usarse para la función excitadora de electrodos de mando representada en la fig. 1.

5 Con referencia ahora a los dibujos, y en particular a la fig. 1, se representa un aparato convertidor 10 para proporcionar una corriente continua controlable y reversible para un circuito de carga 12, partiendo de una fuente 14 de potencial de corriente alterna. Si bien la fuente 14 está ilustrada como fuente trifásica, con
10 barras A, B y C, se sobrentiende que la fuente de potencial de corriente alterna puede ser monofásica o de otro número de fases.

El aparato convertidor 10 incluye unos medios convertidores primeros y segundos, 16 y 18 respectivamente, tales como unas disposiciones de rectificador trifásico en puente, de onda completa, conectadas en oposición
15 paralela. También puede usarse, si así conviene, la rectificación de media onda. Cada uno de los convertidores incluye una pluralidad de dispositivos rectificadores controlados, conectados para intercambiar energía eléctrica
20 entre unos circuitos de corriente alterna y de corriente continua representados por la fuente 14 y el circuito de carga 12, respectivamente. Cada puente o convertidor, tal como el convertidor 16, incluye seis dispositivos rectificadores controlados, designados con las letras de referen-
25

413 192



5 cia SCR seguidas de un número. Los de número par, 2, 4 y
6, tienen interconectados sus electrodos de cátodo; y los
de número impar 1, 3 y 5 tienen interconectados sus elec-
trodos de ánodo. Los dispositivos rectificadores contro-
5 lados del convertidor 16 están designados con referencias
semejantes, distinguidas con un apóstrofo. Para simplifi-
car el dibujo, cada puente de rectificación se ilustra con
sus dispositivos rectificadores controlados dispuestos de
la manera usual. Los dispositivos se hallan dispuestos de
10 preferencia como se ilustra en la fig. 5B de la patente
de EE.UU. número 3.487.279 arriba mencionada, lo que per-
mite compartir ciertos circuitos de supresión.

15 La disposición de puente doble permite ajustar
la tensión de corriente continua aplicada al circuito de
carga 12, modificando para ello el ángulo de conducción o
de cebado de los dispositivos rectificadores controlados,
y permite invertir el sentido de paso de la corriente con-
tinua por el circuito de carga, haciendo funcionar para
ello selectivamente los medios convertidores. Como se in-
20 dica en la figura, el convertidor 16, al funcionar, da un
paso de corriente I_+ por el circuito de carga 12 (corrien-
te que, a los fines del ejemplo, se denomina corriente de
paso en el sentido directo, o corriente directa); y el
convertidor 18, al funcionar, da por el circuito de carga
25 12 un paso de corriente I_- , que se denomina aquí corrien-

413192



te inversa. El circuito de carga 12 puede ser el de una carga que requiera una corriente continua reversible y regulable, tal como el campo inductor o el inducido de un motor de corriente continua de accionamiento.

5 El aparato convertidor 10 se hace funcionar en un modo de bucle cerrado de corriente, usando una realimentación en intensidad para hacer funcionar el convertidor esencialmente como amplificador de corriente. La realimentación de corriente para un convertidor doble suele realizarse utilizando un transductor de corriente continua que vigile la salida de cada convertidor, sumándose las salidas de los dos transductores para producir una señal bidireccional de realimentación o retroacción; o bien, utilizando un juego de transformadores de intensidad de corriente alterna para vigilar la entrada de corriente alterna a cada convertidor, rectificándose y sumándose las salidas de los transformadores de intensidad para obtener una señal bidireccional de realimentación. Tanto una como otra de estas disposiciones tienen sus desventajas. El transductor de intensidad de corriente continua es complejo, y requiere una excitación exterior. El enfoque a base de transformadores de intensidad de corriente alterna, si bien fundamentalmente es más sencillo que la disposición de transductores de intensidad de corriente continua, y más interesante por no requerir excitación exterior, aumen

10

15

20

25

413192



ta la complejidad del aparato convertidor por ser preciso disponer ciertos circuitos de supresión para cada convertidor.

5 La patente de EE.UU. nº. 3.487.279 enseña el uso de un solo juego de transformadores de intensidad de corriente alterna, permitiendo compartir circuitos de supresión, pero no hace uso de la señal unidireccional resultante, de retroacción o realimentación de corriente, para controlar directamente el funcionamiento del convertidor. Además, esta patente describe el cambio de polaridad de esta señal unidireccional de retroacción, cuando está funcionando uno (prefijado) de los dos convertidores, antes de utilizar la señal.

10

La presente invención revela un aparato convertidor nuevo y perfeccionado, que utiliza la señal unidireccional de realimentación de corriente, sin cambiar su polaridad, como señal de realimentación de corriente para un funcionamiento en el modo de bucle cerrado de corriente.

15

Más concretamente, la corriente alterna suministrada por la fuente 14, por medio de las barras colectoras A, B y C al convertidor doble, es medida por unos transformadores de intensidad 22, 24 y 26 dispuestos para dar una medida de la intensidad de corriente que circula entre el aparato convertidor 16 y la fuente 14. Las salidas de los

20

25

413192



transformadores de intensidad 22, 24 y 26 son apropiadamen
te sumadas o compuestas y rectificadas por un rectifica
dor de corriente 28, que puede ser un rectificador trifá
sico en puente, de onda completa, estando los terminales
5 de salida del rectificador de corriente 28 conectados pa
ra dar una señal o tensión unidireccional IU de realimen
tación de corriente en los extremos de una resistencia 30.
La señal unidireccional IU de realimentación de corriente
es proporcional a la magnitud de la corriente que circula
10 por el circuito de carga 12, sea cual fuere el sentido del
paso de corriente por la carga. A los fines del ejemplo,
el terminal positivo de la resistencia 30 se utilizará co
mo barra colectora común PSC de alimentación de energía,
pero puede usarse el terminal negativo, según convenga.

15 Hay una referencia 32 de intensidad de corrien
te que da una señal bidireccional RB de referencia, de
una polaridad que indica en qué sentido ha de circular la
corriente por el circuito de carga, esto es, cuál es el
puente que ha de funcionar; y la magnitud de la señal bi
20 direccional de referencia indica la magnitud deseada para
la corriente de carga. La señal RB de referencia de inten
sidad de corriente puede venir proporcionada por un ope
rador, un generador adecuado, una calculadora o similar.

La señal bidireccional RB de referencia es con
25 mutada por unos medios de conmutación 34, en respuesta

3

31.5.73

413192



a una señal de conmutación Q_0 , para dar una señal de referencia RU esencialmente unidireccional. La información para dar la señal de conmutación \bar{Q}_0 para los medios de conmutación 34 viene proporcionada por unos medios selectores 36. Los medios selectores 36 desarrollan la señal de conmutación \bar{Q}_0 , así como el complemento Q_0 , por medio de una circuitería lógica y unos parámetros de sistema prefijados, como se describirá más adelante.

La señal de referencia unidireccional RU y la señal unidireccional IU de realimentación se comparan en unos medios comparadores 38, tales como un amplificador de error, y se desarrolla una señal de error V_c de una magnitud y polaridad que responden a cualquier diferencia que haya entre las dos señales de entrada.

La señal de error V_c se aplica a un regulador de fase 40, que da unos impulsos de cebado FPI y FPII para los medios convertidores 16 y 18, respectivamente. Los impulsos de cebado regulan el ángulo de conducción de los dispositivos rectificadores controlados en respuesta a la señal de error V_c . La inversión de grupo, y, por lo tanto, la selección del convertidor que haya de estar funcionando, se hace en respuesta a las señales de conmutación Q_0 y \bar{Q}_0 . Para mantener el sincronismo entre el regulador de fase 40 y los convertidores 16 y 18, el ángulo de conducción se mantiene entre unos límites o "topes

413192



5 finales" prefijados, que se denominarán aquí topes finales de rectificación e inversión. El regulador de fase da una señal ESP cuando se llega al tope final de inversión, señal que se aplica al selector 36 en una forma de realización del invento, como se describirá más adelante. El selector 36 da también una señal BS que fuerza una condición de tope final, y una señal IB que polariza al amplificador de error 38, en ciertas formas de realización del presente invento.

10 El regulador de fase 40 incluye un oscilador 42 de sincronización de fase y unos excitadores 44 de electrodo de mando. Pueden usarse, para los convertidores 16 y 18, unos excitadores de electrodo de mando por separado, que suministren los impulsos de cebado FPI y FPII para los convertidores 16 y 18, respectivamente, excitados por unas señales de excitación de electrodo de mando designadas en general con la referencia GD; o bien puede usarse un solo excitador de electrodos de mando, conmutándose sus impulsos de cebado de uno de los convertidores al otro, según convenga.

15 A las barras de corriente alterna A, B y C van conectados unos medios 46 para desarrollar unos perfiles de onda TW de regulación o de marcación de tiempos para el regulador de fase, perfiles de onda que son capaces de responder a las tensiones de línea de la fuente 14.

413192



La fig. 2 es un esquema teórico de un selector 36, un amplificador de conmutación 34 y un amplificador de error 38, contruidos con arreglo a una forma de realización del invento y que pueden usarse para las funciones indicadas en los bloques o recuadros que llevan el mismo número en la fig. 1. En esta forma de realización, los medios selectores 36 hacen uso de la señal IU de realimentación de corriente y de la señal unidireccional RU de referencia para desarrollar las señales de conmutación Q_0 y \bar{Q}_0 .

Más concretamente, el amplificador de conmutación 34 incluye un amplificador operacional 50, un primer divisor de tensión que comprende unas resistencias 52 y 54 conectadas en serie desde el terminal de entrada RB al conductor común de alimentación de energía PSC, un segundo divisor de tensión que comprende unas resistencias 56 y 58 conectadas en serie desde el terminal de entrada RB al conductor PSC, y unos medios de conmutación 66. El punto de unión 60 entre las resistencias 52 y 54 del primer divisor de tensión va conectado a la entrada no inversora del amplificador operacional 50, en tanto que el punto de unión 62 entre las resistencias 56 y 58 del segundo divisor de tensión está conectado a la entrada de inversión. Las resistencias 52, 54, 56 y 58 son todas de igual valor. Desde la salida del amplificador operacional a la

413192



5 entrada de inversión del mismo va conectada una resistencia de retroacción o realimentación 64. Desde el punto de unión 60 al conductor PSC están conectados los medios de conmutación 66. Cuando los medios de conmutación 66 están
10 conduciendo, la entrada no inversora del amplificador operacional 50 está directamente conectada al conductor PSC, y la salida del amplificador operacional 50 es proporcional a la señal aplicada al terminal de entrada RB, sólo que de signo contrario. En otros términos, con los medios de conmutación 66 en estado de conducción, el amplificador operacional 50 funciona como amplificador inversor. Cuando los medios de conmutación 66 están sin conducir, la salida del amplificador operacional 50 sigue tanto la magnitud como el signo de la entrada. La salida de \bar{Q}_0 del selector 36 está conectada a los medios de conmutación 34
15 por medio de la resistencia 68, y su nivel lógico determina el estado de conducción de los medios de conmutación 66.

20 Los medios de conmutación 66, por ejemplo, pueden incluir un transistor 70 del tipo PNP, que tiene un electrodo de emisor e conectado a una fuente de potencial unidireccional positivo, representada por el terminal de entrada 72, un electrodo de colector c conectado a una fuente de potencial negativo representada por el terminal
25 de entrada 74, por medio de una resistencia 76, y un elec-

413192



trodo de base b conectado a la fuente 72 positiva por medio de una resistencia 78, y a la señal de conmutación \bar{Q}_0 que viene del selector 36, por medio de la resistencia 68. Se prevé un transistor de efecto de campo 80, que tiene un electrodo de mando G, un electrodo de entrada S' y un electrodo de salida D. El electrodo de salida D está conectado al conductor PSC, el electrodo de entrada S está conectado al punto de unión 60, y el electrodo de mando G va conectado al punto de unión entre el colector c del transistor 70 y la resistencia 76, por medio de un diodo 82 que tiene su polaridad dispuesta de manera que conduzca la corriente que sale del electrodo de mando G. Cuando la señal de conmutación \bar{Q}_0 está al nivel de uno lógico, el transistor 70 no conduce y el transistor de efecto de campo 80 tampoco conduce. Cuando la señal de conmutación \bar{Q}_0 está al nivel de cero lógico, los transistores 70 y 80 están ambos conduciendo.

Cuando la señal bidireccional de referencia RB es positiva, la señal de conmutación \bar{Q}_0 es un uno lógico, cesando la conducción en ambos transistores 70 y 80, y la salida RU del amplificador operacional 50 es también positiva. Cuando \bar{Q}_0 es un uno lógico, se capacitán los excitadores de electrodo de mando asociados al convertidor 16, y por lo tanto el convertidor 16 entra en funcionamiento. Cuando la señal bidireccional de referencia RB disminuya



5 hacia una cantidad negativa y pase por cero, RU será tam-
bién cero, y la señal de conmutación \bar{Q}_0 cambia al nivel
de cero lógico poco después, haciendo que conduzcan ambos
transistores 70 y 80. Así, la señal de salida RU del ampli-
10 ficador operacional 50 es entonces de polaridad opuesta
a la polaridad negativa de la señal de entrada RB, y la
señal RU, aun habiendo seguido a la señal RB negativa du-
rante un breve intervalo de tiempo, cambia volviendo a la
polaridad positiva. Cuando la señal bidireccional de re-
15 ferencia RB vuelve a la polaridad positiva, los transisto-
res 70 y 80 dejan de conducir por volver al nivel de uno
lógico la señal de conmutación \bar{Q}_0 , y la salida del ampli-
ficador operacional 50 sigue la polaridad de la señal de
entrada.

15 La señal unidireccional de referencia RU y la
señal unidireccional IU de realimentación de corriente se
aplican a los medios comparadores 38, y se desarrolla una
señal de error V_c cuya polaridad y magnitud responden a
las magnitudes relativas de aquellas. Los medios compara-
20 dores 38 pueden incluir un amplificador operacional 84 do-
tado de una resistencia de realimentación 85, con su en-
trada de inversión conectada para recibir las señales RU
e IU por medio de unas resistencias 86 y 88 respectiva-
mente, y con su entrada no inversora conectada al conduc-
25 tor PSC. Si la señal unidireccional positiva RU de refe-

413192



5 rencia excede o supera a la señal unidireccional negativa IU de realimentación, la señal de error V_c es negativa. Si la señal positiva unidireccional RU de referencia es menor que la señal negativa unidireccional IU de realimen-

5 tación, la señal de error V_c es positiva. Si las señales RU e IU son de igual magnitud, la señal de error V_c será cero.

10 El selector 36 para dar las señales de conmutación para el amplificador de conmutación 34, y también para la inversión de grupo, incluye medios para (1) detectar cuándo la corriente de carga es cero, esto es, cuándo es

15 cero la señal unidireccional IU de realimentación, y para (2) detectar cuándo la señal unidireccional RU de referencia es cero, o de polaridad cambiada. La aparición simultánea de estas dos condiciones se utiliza para cambiar los niveles lógicos de las señales de conmutación Q_0 y \bar{Q}_0 .

20 Más concretamente, los medios para detectar el valor cero de la corriente de carga en el selector 36 incluyen un amplificador operacional 90 que tiene una resistencia de retroacción 92. La entrada no inversora del amplificador operacional 90 va directamente conectada al conductor PSC, y la entrada de inversión está conectada al conductor IU por medio de una resistencia 94. Un transistor 95 del tipo NPN, dotado de electrodos de base, emisor y

25 colector b, e y c, respectivamente, tiene su electrodo de

413192



base b conectado a la salida del amplificador operacional 90, por medio de una resistencia 97, su electrodo de colector c conectado a una fuente de potencial positivo, indicada por el terminal 96, por medio de una resistencia 98, y su electrodo de emisor e está conectado al conductor PSC. Mientras esté circulando la corriente de carga, la señal IU estará por encima de cero, y el amplificador operacional 90 da excitación de base para el transistor 95. Así, el punto de unión 100 entre el electrodo de colector c y la resistencia 98 está al potencial del común de alimentación de energía, que se denominará nivel de cero lógico. Al caer a cero la señal IU de retroacción, indicando un paso de corriente de carga cero, el transistor 95 pierde su excitación de base, y el potencial del punto de unión 100 aumenta a lo que se denominará aquí nivel de uno lógico.

Los medios para detectar cuándo la señal de referencia RU ha caído de un valor positivo a cero, o a un valor negativo, incluyen un amplificador operacional 102 y un transistor 104 del tipo NPN, dotado de electrodos de base, colector y emisor b, c y e, respectivamente. La entrada inversora del amplificador operacional 102 está conectada al conductor PSC, su entrada no inversora va conectada al conductor RU por medio de una resistencia 105, y su salida está conectada al electrodo de base b del tran

413192



sistor 104 por medio de una resistencia 106. El electrodo de colector c del transistor 104 está conectado a la fuente 96 de potencial positivo por medio de una resistencia 108, y su electrodo de emisor e va conectado al conductor PSC. Mientras la señal de referencia RU es positiva, el amplificador operacional 102 da excitación de base para el transistor 104, y el punto de unión 110 entre el electrodo de colector c del transistor 104 y la resistencia 108 estará al nivel de cero lógico. Cuando la señal RU es cero o negativa, el transistor 104 pierde su excitación de base, y el punto de unión 110 cambia al nivel de uno lógico.

La aparición simultánea de niveles de uno lógicos en los puntos de unión 100 y 110 es detectada por la puerta de coincidencia inversora (puerta NAND) 112 que tiene sus entradas conectadas a los mismos, viniendo la salida de la puerta NAND 112 cambiada al nivel de cero lógico cuando sus entradas son ambas "unos". Este cambio de nivel lógico, del nivel de "uno" al de "cero", activa un biestable 114 de entradas JK, que cambia los niveles lógicos de sus salidas Q y \bar{Q} , a las cuales van conectados los terminales de salida Q_0 y \bar{Q}_0 , respectivamente. Como el cero de corriente seguirá usualmente a la llegada de RU a cero, la señal RU puede ser ligeramente negativa para cuando \bar{Q}_0 pase a cero lógico y vuelva a cambiar a posi-

413192



tiva la señal RU. Esta momentánea polaridad negativa de la señal RU es la razón por la cual a la señal RU se le denomina esencialmente unidireccional.

5 La fig. 3 es un esquema teórico similar al re-
presentado en la fig. 2, salvo en que ilustra una varian-
te del selector 36. Al selector de la fig. 3 se le desig-
nará aquí selector 36', para diferenciar el selector modi-
ficado. Los números de referencia coincidentes en las figs.
2 y 3 designan componentes iguales o semejantes. La varian-
10 te incluye un cambio en los parámetros de circuito selec-
cionados para producir o activar el cambio en los niveles
lógicos de las señales de conmutación Q_0 y \bar{Q}_0 . En lugar
de usarse la señal de retroacción IU y la señal de refe-
rencia RU esencialmente unidireccional para activar el se-
lector 36', el selector 36' se dispara o activa en respues-
15 ta a la anulación (paso por cero) de la señal de retro-
acción IU, y a un impulso ESP de tope final procedente del
regulador de fase 40 representado en la fig. 1.

Más concretamente, cuando la señal RB pase por
20 cero y se haga luego negativa, partiendo de una cantidad
positiva, la señal de referencia RU la sigue, lo cual lle-
va a la señal de error V_c a un valor muy positivo al tra-
tar de invertir el sentido del paso de corriente por la
carga, lo que no puede hacer el convertidor en ese momen-
25 to conectado. La señal de error positiva retrasa el ángu-

413192



lo de conducción hasta que se alcanza el tope final de
inversión, momento en el cual aparece la señal ESP de to
pe final, es decir, la señal ESP toma el nivel de uno ló
gico. La entrada a la puerta NAND 112, en lugar de estar
5 conectada al punto de unión 110 como en la fig. 2, está
ahora conectada para recibir el impulso ESP de tope fi-
nal. El impulso ESP de tope final está conectado al con-
ductor PSC por medio de un diodo 120 y una resistencia
118 conectados en serie, habiendo una entrada de la puer-
ta NAND 112 conectada al punto de unión 116 entre la re-
10 sistencia 118 y el diodo 120. Así, el selector 36' propor-
ciona una señal de conmutación \bar{Q}_0 para el amplificador
de conmutación 34, que hace volver la señal de referencia
RU a la polaridad positiva cuando ésta empieza a hacerse
15 negativa, y unas señales de conmutación Q_0 y \bar{Q}_0 para el
regulador de fase que efectúa la inversión de grupo, cuan-
do la corriente de carga es cero y el ángulo de conducción
ha sido llevado al tope final de inversión.

El impulso ESP de tope final de inversión puede
20 aparecer varios centenares de milisegundos después del ce-
ro de corriente de carga, lo cual es indeseable en ciertas
aplicaciones, pues este tiempo muerto representa un perío-
do durante el cual el convertidor no está siguiendo a la
señal de referencia, y al final del espacio muerto la se-
25 ñal de referencia puede ya tener una magnitud apreciable,

413192



5 dando lugar a un aumento en escalón de la corriente de
carga proporcionada por el convertidor entrante en con-
ducción. Ahora bien, es conveniente utilizar el impulso
ESP de tope final como impulso activador o de disparo pa-
ra la inversión de grupo, pues esto da la seguridad de que
los dispositivos rectificadores controlados del converti-
dor que haya estado suministrando corriente cesan comple-
tamente en su conducción, antes de activarse los disposi-
tivos rectificadores controlados del convertidor entrante
10 en conducción.

La fig. 4 es un esquema teórico de un selector
36" que ilustra una variante de los selectores 36 y 36'
representados en las figs. 2 y 3, variante que permite al
impulso ESP de tope final activar la inversión de grupo
15 y el amplificador de conmutación, reduciendo en tanto el
tiempo muerto a sólo unos 8 a 16 milisegundos. En las fi-
guras 2, 3 y 4 se indican con los mismos números los ele-
mentos componentes semejantes.

Más concretamente, la puerta NAND 112 está conec-
20 tada a los puntos de unión 100 y 110, como se indica en
la fig. 2, dando la señal de cero lógico cuando la señal
IU es cero, y cuando la señal RU es cero o negativa. Aho-
ra bien, en lugar de activar la inversión de grupo y hacer
funcionar el amplificador de conmutación 34, la puerta
25 NAND 112 tiene su salida conectada al regulador de fase

413192



40 representado en la fig. 1, por medio de un terminal
de salida \overline{BS} . La señal \overline{BS} , cuando está al nivel de cero
lógico, polariza o fuerza al regulador de fase a llegar
al tope final de inversión más rápidamente de como normal-
5 mente lo haría. A continuación, al recibirse el impulso
ESP de tope final de inversión, este impulso se usa, en
unión de la señal de cero de corriente de carga que viene
del punto de unión 100, para conmutar el amplificador de
conmutación y también efectuar la inversión de grupo. Pa-
10 ra esta función se prevé una puerta NAND 122 que tiene sus
entradas conectadas a los puntos de unión 100 y 116, y su
salida a la entrada de activación o disparo del biesta-
ble 114 del tipo de entradas JK.

Cuando el selector 36" da la señal pidiendo la
15 inversión de grupo, el mismo selector 36" da también una
señal de polarización IB, que polariza la entrada al am-
plificador de error, dando una señal de error V_c que ade-
lanta más rápidamente el ángulo de conducción, apartándo-
lo del tope final de inversión y reduciendo el tiempo ne-
20 cesario para que el convertidor entrante en conducción su-
ministre la corriente de carga. Una vez detectada la co-
rriente de carga, se termina la señal de polarización IB.

Estas funciones se habilitan utilizando la sali-
da de la puerta NAND 122 para activar otro biestable 124
25 de entradas JK. La salida Q del biestable 124 se pone a

413192



nivel alto al ser activada por una salida de nivel bajo de la puerta NAND 122, estando la salida del biestable 124 conectada para polarizar la entrada de inversión del amplificador operacional 84 por medio del diodo 126 y la
5 resistencia 128, llevando rápidamente la señal de error V_c a un valor negativo, y adelantando el ángulo de conducción rápidamente en el sentido de alejarlo o apartarlo del tope final de inversión. El punto de unión 100 está conectado a la entrada de reposición \bar{R} del biestable 124, re-
10 poniendo el biestable y eliminando la señal de polarización IB cuando el convertidor entrante en conducción suministra la corriente de carga y lleva el punto de unión 100 al nivel de cero lógico. Así se reduce sustancialmente el tiempo muerto, obligando al regulador de fase a ir
15 rápidamente al tope final de inversión y apartarse luego rápidamente del tope final de inversión, lo que reduce sustancialmente el tiempo durante el cual no circula corriente alguna de carga durante la inversión de grupo.

La fig. 5 es una gráfica ilustrativa de las diversas funciones del selector 36" y del efecto del selector 36" en el funcionamiento del aparato convertidor 10. A los fines de la ilustración, se supondrá que la señal bidireccional RB de referencia es positiva y decreciente a lo largo de la parte curva 130, hacia una cantidad ne-
20 gativa. En el instante T1, la señal de referencia RB pa-
25

413192



sa por cero y se hace luego negativa. La señal de referencia esencialmente unidireccional RU sigue a la señal de referencia bidireccional RB a lo largo de una parte de curva semejante l32, pasando también por cero en el instante T1 y haciéndose negativa. El transistor 104 deja de conducir también en el instante T1, y la señal de error V_c empieza a aumentar en sentido positivo. La corriente de carga I sigue de cerca a la señal bidireccional RB de referencia, pasando por cero en el instante T2, poco después del instante T1. La corriente de carga I permanece entonces en cero hasta que el otro grupo funciona. El transistor 95 deja de conducir en el instante T2. Por estar la combinación de ambos transistores 95 y 104 inactiva o sin conducir, se tiene una señal \overline{BS} de nivel bajo, lo que fuerza al regulador de fase a su tope final de inversión en el instante T3, y genera una señal ESP de nivel alto en el instante T3. La señal ESP de nivel alto, en unión del hecho de estar el transistor 95 sin conducir, conmuta los estados lógicos de las señales de conmutación Q_0 y \overline{Q}_0 . La señal \overline{Q}_0 de nivel bajo conmuta la señal de referencia RU haciéndola positiva en el instante T3, lo cual pone en conducción al transistor 104 y da fin a la señal \overline{BS} . El convertidor 16 queda efectivamente desconectado y el convertidor 18 puesto en conducción. Se genera la señal de polarización IB, y la señal de error V_c se

413192



hace negativa. En el instante T4, la corriente de carga I viene proporcionada por el convertidor 18 entrante en conducción, se pone a conducir el transistor 95, se termina la señal de polarización IB y la señal de error V_c vuelve a su valor de cuando no hay polarización. El tiempo muerto que va del instante T2 al instante T4, durante el cual no está pasando corriente de carga, se reduce a un valor de 8 a 16 milisegundos, lo que reduce sensiblemente la magnitud del escalón 134 de la corriente de carga I, en comparación con la magnitud del escalón de corriente de carga que resultaría con un tiempo muerto de varios centenares de milisegundos.

La fig. 6 es un esquema funcional o por bloques de un nuevo oscilador 42 de sincronización de fase que puede usarse en el regulador de fase 40 de la fig. 1, a fin de suministrar señales GDI y GDII para los excitadores 44 de electrodo de mando. El oscilador 42 de sincronización de fase incluye unos medios de oscilador 140 del tipo que da una frecuencia de reloj de salida capaz de responder a la magnitud de la señal de error V_c . Los medios de oscilador 140 se ajustan de tal manera que una señal de error de magnitud cero da una determinada frecuencia de reloj, seleccionada para que resulte múltiplo pre-fijado de la frecuencia de la fuente 14 de potencial de corriente alterna. Una señal de error negativa aumenta la

413192



frecuencia de reloj respecto de esta magnitud prefijada, y una señal de error positiva reduce dicha frecuencia de reloj.

5 La salida del oscilador 140 se aplica a unos medios 142 de impulsos de control. Los medios de impulsos de control 142 dan unos impulsos de control espaciados o separados en respuesta a los impulsos de reloj, y la separación de los mismos determina el ángulo de conducción de los dispositivos rectificadores controlados en el grupo convertidor
10 seleccionado. Los impulsos de control se aplican a los excitadores 44 de electrodos de mando, y son unas señales iguales a las designadas con las letras GDI y GDII en la fig. 1.

15 Los impulsos de control se aplican también a unos medios 144 de tope final que, en unión de los perfiles de onda TW de regulación de tiempos, desarrollan una señal compuesta CES de tope final, constituida por segmentos de los perfiles de onda de regulación de tiempos. Los segmentos de los perfiles de onda de regulación de tiempos que se seleccionan dependen del lugar de situación y de la separación
20 de los impulsos de control respecto a los perfiles de onda TW de regulación de tiempos. Cuando los lugares de situación de los impulsos de control respecto a los perfiles de onda TW de regulación de tiempos sean tales que se seleccionen
25 las crestas de los perfiles de onda de regulación de tiempos,

413192

-7 JUN.



la señal compuesta CES de tope final tiene su magnitud máxima. Si la señal de error V_c cambia partiendo de cero en sentido negativo, aumentando la frecuencia de reloj de los medios de oscilador 140 y reduciéndose así la separación
5 entre los impulsos de control, los segmentos de los perfiles de onda de regulación de tiempos que se seleccionan bajan de la cresta del borde de ataque, o borde izquierdo, de la onda sinusoidal de regulación de tiempos, reduciéndose así la magnitud de la señal compuesta CES de tope final. Si
10 la señal de error cambia partiendo de cero en sentido positivo, disminuyendo la frecuencia de reloj de los medios de oscilador 140 y aumentando de ese modo la separación entre los impulsos de control, los segmentos de los perfiles de onda de regulación de tiempos que se seleccionen bajarán de
15 la cresta por el lado de salida, o borde derecho, de los perfiles de onda TW de regulación de tiempos, reduciéndose también la magnitud de la señal compuesta CES de tope final.

La señal compuesta CES de tope final se aplica a unos medios de umbral 146, que incluyen un circuito de umbral 148 para detectar el tope final de rectificación, esto
20 es, el momento en que el ángulo de conducción se adelanta hasta un ángulo prefijado, y un circuito de umbral 150 para detectar el tope final de inversión, es decir, el momento en que el ángulo de conducción se retrasa hasta un ángulo
25 prefijado. Al alcanzarse el tope final de rectificación,

413192



5 el circuito de umbral 148 da una señal ESR para los medios de oscilador 140, señal que reduce la frecuencia del reloj al valor prefijado correspondiente a una señal de error de magnitud cero. Al alcanzarse el tope final de inversión, el
10 circuito de umbral 150 da una señal ESI para los medios de oscilador 140, señal que aumenta la frecuencia del reloj al valor prefijado correspondiente a una señal de error de magnitud cero. Así, el regulador de fase 40 permanece en sincronismo con el convertidor de potencia, asegurando un funcionamiento adecuado del convertidor.

15 La fig. 7 es un esquema teórico de un oscilador 42 de sincronización de fase que desempeña las funciones ilustradas en bloques en la fig. 6. El oscilador 140 incluye un transistor de mono-unión programable 160, designado en lo sucesivo como un PUT 160, y una resistencia ajustable 162, unas resistencias fijas 164, 165 y 166, un condensador 168, un expansor o alargador de impulsos 170 y una
20 puerta inversora 172. El PUT 160 incluye unos electrodos de ánodo, cátodo y de mando a, c y g, respectivamente, y está conectado con las resistencias y el condensador formando un oscilador de relajación. El electrodo de ánodo a está conectado a un conductor 174 y un terminal de entrada 176 por medio de la resistencia ajustable 162, y el terminal de entrada 176 va conectado a una fuente de potencial unidireccional positivo. El electrodo de cátodo c está conectado a
25

413192



un conductor 178 y a un terminal de entrada 180 por medio de la resistencia 164, y el terminal de entrada 180 va conectado a una fuente de potencial unidireccional negativo. El electrodo de mando g está conectado al terminal de entrada V_c por medio de la resistencia 165, y el terminal de entrada V_c recibe la señal de error V_c procedente del amplificador de error 38'.

Como el PUT 160 se pone en conducción cuando el electrodo de mando g está a un potencial negativo respecto al ánodo en poco más que la tensión de neutralización del diodo, la magnitud de la tensión aplicada al electrodo de mando g controla la frecuencia de los impulsos de tensión que aparecen en los extremos de la resistencia de carga 164. Estos impulsos, que tienen un frente de formación brusco debido al brevísimo tiempo de puesta en conducción del PUT 160, son alargados hasta adquirir una anchura uniforme por el alargador de impulsos 170, y los impulsos alargados son invertidos por la puerta inversora 172 de tal modo que el tiempo de alargamiento uniforme está al nivel de cero lógico, y el tiempo variable está al nivel de uno lógico. La salida de la puerta inversora 172 constituye el "reloj" (CLOCK) del sistema.

La frecuencia de reloj es ajustada por la resistencia ajustable 162, cuando la señal de error V_c es cero, dando una frecuencia de repetición que es un múltiplo pre-

413192⁷ JUN 1973



fijado de la frecuencia de la fuente de potencial de corriente alterna. Este múltiplo prefijado depende de que la fuente sea monofásica o polifásica, y de que los convertidores en puente sean rectificadores de onda completa o de media onda. Con una alimentación trifásica de 60 Hz y un rectificador trifásico en puente de onda completa para los convertidores 16 y 18, se necesitan seis canales de cebado para un convertidor, y el múltiplo prescrito es 6. Así, la frecuencia de reloj es de 60×6 , o sea de 360 Hz. Con rectificadores trifásicos en puente de media onda, el múltiplo sería 3, y la frecuencia de reloj sería de 180 Hz. Con un puente monofásico de media onda, el múltiplo sería 2 y la frecuencia de reloj sería de 120 Hz. Así, en el ejemplo expuesto, la resistencia 162 se ajustaría de tal modo que con una señal de error V_c igual a cero la frecuencia de reloj fuese de 360 Hz.

Los impulsos de control GD para los excitadores 44 de electrodos de mando vienen proporcionados por un contador en anillo 190. El contador de anillo da tres ondas lógicas de perfil cuadrado o rectangular A, B y C, desplazadas en 120 grados eléctricos cuando la señal de error V_c es cero, y sus complementos \bar{A} , \bar{B} y \bar{C} .

La fig. 8 es un esquema teórico de un contador de anillo, que dará los impulsos de control GD deseados. Se prevén unos circuitos biestables primero, segundo y tercero 192,

413192



194 y 196, de entradas JK, que se activan con el borde de salida o posterior del impulso de reloj. El reloj está conectado a las entradas T de activación o disparo de los tres biestables JK. Las salidas Q_a y \bar{Q}_a del biestable 192 están conectadas a las entradas K y J, respectivamente, del biestable 194; las salidas Q_b y \bar{Q}_b del biestable 194 están conectadas a las entradas J y K, respectivamente, del biestable 196; y las salidas Q_c y \bar{Q}_c del biestable 196 van conectadas a las salidas J y K, respectivamente, del biestable 192. Como esta disposición tiene ocho estados posibles, y solamente se usan seis estados, se prevén unas puertas NAND primera y segunda, 198 y 200, para forzar al contador de anillo 190 a salir de un estado no permitido, si es que se produce, pasando a un estado permitido. La puerta NAND 198 tiene sus entradas conectadas a las salidas Q_a y \bar{Q}_c , y su salida va conectada a la entrada de reposición \bar{R} del biestable 194. Así, si las salidas A y \bar{C} están ambas al nivel de "uno", el biestable 194 se repone inmediatamente. La puerta NAND 200 tiene sus entradas conectadas a las salidas \bar{Q}_a y \bar{Q}_b , y su salida está conectada a la entrada de reposición \bar{R} del biestable 196. Así, si las señales \bar{A} y \bar{B} están ambas al nivel de "uno", el biestable 196 se repone inmediatamente.

Los impulsos de control, A, \bar{A} , B, \bar{B} , C y \bar{C} se usan, en unión de los perfiles de onda TW de regulación de tiem-

413192



pos, para desarrollar la señal compuesta CES de tope final. Las ondas TW de regulación de tiempos se desarrollan partiendo de la fuente trifásica de potencial de corriente alterna 14, a través de unos medios 46, que pueden incluir tres devanados con toma central conectados de línea a línea. Así se desarrolla un perfil de onda de regulación de tiempos que va de cada toma central a las dos líneas asociadas a cada devanado, suministrando las ondas de regulación de tiempo CA, CB, AB, AC, BC y BA, sucesivamente desplazadas una de otra en 60 grados eléctricos.

Los impulsos de control A, \bar{A} , B, \bar{B} , C y \bar{C} se usan para seleccionar sucesivamente unos segmentos de las ondas de regulación de tiempo por medio de seis puertas lógicas o NAND 202, 204, 206, 208, 210 y 212, (fig. 7) y un circuito subastador 214. El circuito subastador 214 incluye seis terminales 216, 218, 220, 222, 224 y 226, llevando cada terminal conectados tres diodos y una resistencia. El terminal 216 tiene conectados los electrodos de cátodo de tres diodos 228, 230 y 232, en unión de una resistencia 234. El terminal 218 tiene conectados tres diodos 236, 238 y 240, en unión de una resistencia 242. El terminal 220 tiene conectados unos diodos 244, 246 y 248, en unión de una resistencia 250. El terminal 222 tiene conectados unos diodos 252, 254 y 256, en unión de una resistencia 258. El terminal 224 tiene conectados unos diodos 260, 262 y 264, en unión de

413192



una resistencia 266. El terminal 226 tiene conectados unos diodos 268, 270 y 272, en unión de una resistencia 274.

5 Los electrodos de ánodo de los diodos 228, 236, 244, 252, 260 y 268 están conectados a las salidas de las puertas NAND 202, 204, 206, 208, 210 y 212, respectivamente. Los electrodos de ánodo de los diodos 230, 238, 246, 254, 262 y 270 están conectados al terminal de salida CES, que da la señal compuesta CES de tope final. Los diodos 10 232, 240, 248, 256, 264 y 272 van conectados a los terminales de entrada BC, CA, CB, AC, AB y BA, respectivamente, que reciben ondas de regulación de tiempos con las mismas letras de referencia; y los extremos restantes de las resistencias 234, 242, 250, 258, 266 y 274 están conectados a la barra colectora negativa 178.

15 La puerta NAND 202 tiene sus entradas conectadas a las salidas A y B del contador de anillo 190; la puerta NAND 204 tiene sus entradas conectadas a las salidas A y \bar{C} , la puerta NAND 206 tiene sus entradas conectadas a las salidas \bar{A} y \bar{B} , la puerta NAND 208 tiene sus entradas conectadas a las salidas \bar{A} y C, la puerta NAND 210 tiene sus entradas 20 conectadas a las salidas \bar{C} y B, y la puerta NAND 212 tiene sus entradas conectadas a las salidas C y \bar{B} .

Sólo una de las puertas NAND conectadas al contador de anillo 190 tiene una salida baja o de cero lógico en un momento dado cualquiera. Las salidas de uno lógico de las 25

413192



demás puertas NAND dan un nivel lógico más alto que la
tensión de cresta de las ondas de regulación de tiempo,
medida respecto al conductor común PSC. Por ejemplo, el
nivel de salida de uno lógico puede ser de 15 voltios, en
5 tanto que la tensión de cresta de las ondas de regulación
de tiempo, respecto al conductor PSC, puede ser de 10 vol-
tios. La tensión en el terminal de salida CES del circuito
subastador 214 sigue el nivel de tensión más negativo apli-
cado a los terminales 216, 218, 220, 222, 224 y 226. Así,
10 el perfil de onda de regulación de tiempos que aparece en
el terminal de salida CES es el que tiene asociada una puer-
ta NAND con una salida de cero lógico.

Añtes de describir de qué modo la señal compuesta
CES de tope final se usa para generar los topes finales de
15 rectificación y de inversión, será útil hacer referencia a
la fig. 9, que es una gráfica ilustrativa del desarrollo de
algunas de las señales del oscilador 42 de sincronización
de fase. Las señales de salida 300 son generadas por el PUT
160 en los extremos de la resistencia 164, y el expansor o
20 alargador de impulsos 170 alarga los impulsos o señales 300,
dando unas señales 302 que tienen un tiempo de actividad
(tiempo en conducción) uniforme. Los impulsos 302 son in-
vertidos por una puerta inversora 172, dando unos impulsos
de reloj 304, que tienen un tiempo fijo de cero lógico y un
25 tiempo variable de uno lógico.

-7 JUN.



413192

El contador de anillo de los impulsos de onda rec-
tangular A, B, C, \bar{A} , \bar{B} y \bar{C} espaciados o separados, siendo
terminado un impulso e iniciado otro por el borde de sali-
da de cada impulso de reloj 304. Por ejemplo, al final del
5 primer impulso de reloj se termina la señal A y se genera
la señal \bar{A} , al final del siguiente impulso se genera la se-
ñal B y se termina la señal \bar{B} . Cada impulso dura lo que tres
impulsos de reloj, antes de finalizar. Las señales \bar{Q}_0 y Q_0
representan las señales de conmutación proporcionadas por
10 el selector de grupo 36 indicado en la fig. 1. El desarro-
llo de los impulsos de cebado o activación que vienen de la
salida del contador de anillo para regular el cebado de los
dispositivos rectificadores controlados se ilustra también,
y se hará referencia al mismo en lo que sigue cuando se va-
15 ya a explicar el circuito de excitación de electrodos de man
do que puede usarse. A continuación se ilustran los perfiles
de onda TW de regulación de tiempo, que incluyen los perfi-
les CA, CB, AB, $\bar{A}\bar{C}$, BC y BA, y se ilustra luego la señal com
puesta CES de tope final. La fig. 9 ilustra una frecuencia
20 de reloj para una señal de error de magnitud cero, siendo el
ángulo de conducción de $\pi/3$. Así, los segmentos de los
perfiles de onda TW de regulación de tiempos que se seleccio
nan para constituir los perfiles de onda de la señal compues
ta CES de tope final son las crestas positivas de las ondas
25 de regulación de tiempo, esto es, 30° a cada lado de cada

413192



cresta positiva.

La señal compuesta CES de tope final se aplica a los circuitos de umbral de rectificación y de inversión, 148 y 150 respectivamente, por medio de un amplificador separador 310. El objeto del amplificador separador o "buffer" 310 es el de reducir al mínimo la carga ejercida en la señal compuesta CES de tope final por los circuitos de umbral 148 y 150. El amplificador compensador o separador 310 incluye un transistor 312 del tipo NPN que tiene su electrodo de colector c conectado al conductor 174 y su electrodo de base b conectado al punto de unión 314 de un divisor de tensión resistivo que incluye una resistencia 316 conectada entre el conductor 174 y el punto de unión 314. La señal CES de tope final que viene del circuito subastador 214 va conectada al electrodo de base b en el punto de unión 314, y la parte restante del divisor de tensión resistivo incluye las resistencias contenidas en el circuito subastador 214. El electrodo de emisor e del transistor 312 está conectado a los circuitos de umbral de rectificación y de inversión 148 y 150 por medio del conductor 320, y también al conductor 178 por medio de la resistencia 318.

El circuito de tope final de rectificación 148 incluye un comparador 322 que comprende unos transistores primero y segundo 324 y 326 del tipo NPN, unas resistencias 328, 330, 332, 334, 336 y 338, un condensador 340 y un dio-

413192



do 342 regulador de tensión, tal como un diodo de Zener. El transistor 324 tiene su electrodo de colector c conectado al conductor 174 por medio de la resistencia 328; su electrodo de emisor e conectado al conductor 178 por medio de la resistencia 330; y su electrodo de base b conectado a un divisor de tensión que incluye las resistencias 332 y 334 conectadas en serie entre el conductor 174 y el conductor común PSC de alimentación de energía. La resistencia 334 puede ser ajustable, con el electrodo de base b conectado al brazo selector o de cursor de aquella.

El transistor 326 tiene su electrodo de colector c conectado al conductor 174 por medio de la resistencia 336, su electrodo de emisor e conectado al electrodo de emisor e del transistor 324, y su electrodo de base b conectado al conductor 320 que viene del amplificador separador 310, por medio de la resistencia 338. El condensador 340 y el diodo 342 regulador de tensión están conectados desde el electrodo de base b del transistor 326 al conductor PSC, teniendo el diodo regulador de tensión 342 su electrodo de cátodo c conectado al electrodo de base b, y su electrodo de ánodo a conectado al conductor PSC. El diodo 342 limita la tensión positiva del emisor del transistor 326 de manera que no se sobrepasa la tensión máxima inversa de base a emisor del transistor 324.

El circuito de tope final 148 de rectificación in

413192



cluye también un transistor 346 del tipo PNP, unas resistencias 348 y 350 y unos diodos 352, 354, 356 y 358. El electrodo de emisor e del transistor 346 está conectado al conductor 174 y los diodos 352, 354 y 356 van conectados en serie desde el electrodo de colector c del transistor 346 a un punto de unión 360. El punto de unión 360 está conectado al conductor PSC por medio de la resistencia 348, y también al punto de unión 362 entre el electrodo de mando g del PUT 160 del oscilador 140 y la resistencia 165, por medio de un conductor ESR. El conductor ESR suministra la señal de tope final ESR de rectificación cuando el transistor 346 conduce y desarrolla en los extremos de la resistencia 348 una tensión de igual magnitud que la tensión de fuente positiva conectada al terminal de entrada 176 menos la caída de tensión en los diodos 352, 354 y 356.

El electrodo de base b del transistor 346 está conectado al electrodo de colector c del transistor 324 y también, por medio del diodo 358 y de la resistencia 350, al terminal de entrada BS, que está conectado al selector 36" indicado en la fig. 4. El diodo 358 tiene su polaridad dispuesta de tal modo que su electrodo de ánodo a va conectado al electrodo de base b del transistor 346.

Para describir el funcionamiento del circuito de umbral de rectificación 148 que proporciona el tope final de rectificación, se hará referencia a la gráfica de la fig.

413192

-7 JUN 1974



10.

5 Con una señal de error V_c de magnitud cero, ilustrada en 370 en la fig. 10, y un ángulo de conducción o cebado de $\pi/3$, los impulsos de reloj 372 y 374 están situados, respecto a sus perfiles de onda de regulación de tiempo CA y CB asociados, de tal manera que las crestas de estos perfiles son las que se seleccionan para la señal compuesta CES de tope final. La señal compuesta CES de tope final da para el transistor 326 del comparador 322 una tensión positiva más alta que la tensión suministrada por el punto de ajuste elegido en la resistencia ajustable 334 para el transistor 324 del comparador. Así, el transistor 10 326 está conduciendo, como se ilustra en 364, y los transistores 324 y 346 no conducen, como se indica en 366. Supóngase ahora que se desea aumentar la tensión de carga: la señal de error V_c se hace negativa en 376, lo que lleva a un valor negativo el punto de unión 362 y el electrodo de mando g del PUT 160, aumentando así la frecuencia de reloj del oscilador 140. Los impulsos de control A, B, C, \bar{A} , \bar{B} y \bar{C} , 15 pues, avanzan o se adelantan respecto a los perfiles de onda de regulación de tiempo; el ángulo de conducción se adelanta desde $\pi/3$ y los segmentos de los perfiles de onda de regulación de tiempo que se seleccionan para la señal compuesta CES de tope final empiezan a bajar de las 20 crestas de los perfiles de onda de regulación de tiempo, 25

413192

7 JUN



por los bordes de salida o posteriores de éstos. Los perfiles de onda AB, AC, BC y BA se van hundiendo progresivamente a magnitudes cada vez más bajas y el perfil de onda CA alcanza el nivel de tensión TR de umbral de rectificación, fijado por la resistencia ajustable 334 de la fig. 7. El transistor 326 deja de conducir en 378 y los transistores 324 y 346 entran en conducción en 380. Cuando el transistor 346 se pone a conducir en respuesta al comparador 322, el punto de unión 360 y, por tanto, el punto de unión 362 en el electrodo de mando del PUT 160, se ponen a nivel alto en 382. Ahora bien, la frecuencia de reloj sigue aumentando, aun cuando se ha alcanzado la tensión de umbral TR, pues el PUT sólo deja de producir impulsos de salida mientras la señal CES de tope final está por bajo del nivel de TR. Con tal que la señal CES vuelva a un nivel superior al TR a tiempo, haciendo que la frecuencia de reloj responda a la magnitud de la señal de error, la frecuencia de reloj continuará aumentando y el ángulo de conducción se seguirá adelantando. El verdadero tope final de rectificación, pues, no llega cuando la tensión CES de tope final baja hasta el nivel TR, sino cuando la frecuencia de reloj alcanza un punto en que la tensión de tope final está por bajo del nivel TR, momento en que el oscilador 140 produciría normalmente un impulso, retrasándose la producción del impulso hasta que el valor instantáneo de la señal CES aumenta sobrepasando el



413192

nivel de umbral TR. En la fig. 10, el tope final de rectificación se alcanza en el perfil de onda BA. Los perfiles de onda CA, CB, AB y AC que siguen al perfil de onda BA retrasan la generación de un impulso hasta que se sobrepasa el nivel TR. Como al mismo punto de cada perfil de onda de regulación de tiempos se llega ahora antes de iniciarse un impulso de reloj, se sigue de ello que la frecuencia de reloj vuelve a ser la misma que cuando la señal de error era cero, manteniéndose la frecuencia de reloj en el tope final de rectificación, independientemente de lo negativa que se haya hecho la señal de error V_c . El ángulo de conducción, pues, permanece en el valor correspondiente al umbral de tope final de rectificación TR seleccionado, hasta que la señal de error V_c se hace positiva.

Como se ilustra en la fig. 10, la señal compuesta CES de tope final no necesita seguir a los perfiles de onda de regulación de tiempo en sus oscilaciones negativas, indicadas por las líneas de trazo interrumpido, con lo cual se limita la magnitud del potencial negativo presentado a las salidas de las puertas NAND asociadas al contador de anillo 190. Este "recorte" o limitación de las partes negativas de los perfiles de onda de regulación de tiempo a un nivel prefijado, indicado por la flecha 384, se realiza seleccionando adecuadamente la relación o razón de la resistencia 316 respecto a las resistencias 234, 242, 250, 258, 266 y 274.

413192



Cuando la resistencia 316 es mayor que los valores de las resistencias contenidas en el circuito subastador 214, se limita la oscilación negativa. Según se ha visto en la práctica, es posible encontrar una relación conveniente cuando la resistencia 316 es de 18,2 kilohmios y las resistencias del circuito subastador son de 15 kilohmios; pero pueden usarse otros valores.

Si la señal de retroacción que viene del aparato convertidor pide ahora trabajar fuera del tope final de rectificación, yendo hacia el tope final de inversión, la señal de error se hace positiva, permitiendo a la señal compuesta CES de tope final subir o ascender por los perfiles de onda de regulación de tiempo al otro lado del nivel de umbral TR de rectificación. Al alcanzarse el funcionamiento deseado para el convertidor, la señal de error V_c se hará cero, y la frecuencia de reloj volverá al valor que mantiene la frecuencia de repetición de los impulsos de control igual a la de los perfiles de onda de regulación de tiempo.

Cuando la señal \overline{BS} pasa a un nivel bajo, indicando que hay que forzar el convertidor a un tope final de inversión, el transistor 346 se pone a conducir, independientemente del nivel que tenga la señal de error V_c , inhibiendo al oscilador 140 e impidiéndole que genere impulsos de reloj hasta que se alcance el tope final de inversión, como se describirá más adelante. Al ser puesto en conducción el

413192



5 transistor 346 por la señal \overline{BS} , el comparador 322 es superado y, salvo en lo relativo a las condiciones negativas antes mencionadas, la señal compuesta de tope final sigue el perfil de onda de tiempos particular al que estaba fija da o mantenida en el momento en que la señal \overline{BS} pasó al ce ro lógico, hasta que se alcanza el tope final de inversión, lo que reduce grandemente el tiempo normalmente necesario para llegar al tope final de inversión.

10 El circuito de umbral de inversión 150 para sumi nistrar el tope final de inversión incluye un transistor 400 del tipo NPN, unas resistencias 402, 404 y 406 y un con densador 408. El electrodo de colector c del transistor 400 está conectado al conductor 174 por medio de la resistencia 402, su electrodo de emisor e está conectado al conductor 15 15 PSC, el condensador 408 va conectado desde el electrodo de base b al conductor PSC, la resistencia 404 va conectada des de el electrodo de base b al conductor 178 y el electrodo de base b del transistor 400 está también conectado al conduc tor 320 por medio de la resistencia 406 y, por tanto, al 20 amplificador separador 310. La resistencia 406 es ajusta ble, para proporcionar un nivel de umbral TI que fija el to pe final de inversión.

25 Hay dispuesto un biestable 410 de entradas JK, que tiene su entrada de activación T conectada al electrodo de colector c del transistor 400 a través de una puerta inver-

413192



sora 412. Su entrada J está conectada al conductor 174, sus entradas \bar{Q} y K están interconectadas, y su entrada de reposición \bar{R} va conectada al reloj.

5 Hay asimismo dispuesto un transistor 414 del tipo NPN, en unión de unas resistencias 416, 417, 418, 419 y 420, un condensador 422 y unos diodos 424 y 426. El electrodo de colector c del transistor 414 está conectado al conductor 174 por medio de las resistencias 419 y 417 conectadas en serie, su electrodo de emisor e está conectado al conductor 10 PSC y su electrodo de base b va conectado a un divisor de tensión resistivo que incluye las resistencias conectadas en serie 420, 416 y 418, que están conectadas en la secuencia indicada desde el conductor 174 hasta el conductor 178. El electrodo de base b va conectado al punto de unión entre las 15 resistencias 416 y 418. El condensador 422 está conectado por un lado al punto de unión 421 entre las resistencias 420 y 416, yendo el otro lado del condensador 422 conectado al conductor PSC. Los diodos 424 y 426 tienen sus electrodos de ánodo a conectados al punto de unión 421, estando el elec 20 trodo de cátodo c del diodo 424 conectado al electrodo de colector c del transistor 400, y estando el electrodo de cátodo c del diodo 426 conectado a la entrada Q del biestable 410 de entradas JK.

25 Se prevé asimismo un transistor 430 del tipo PNP, en unión de un condensador 415, un diodo 432 y una resisten

413192



5 cia 434. El electrodo de emisor e del transistor 430 está
 conectado al conductor 174, su electrodo de base b está
 conectado al punto de unión entre las resistencias 417 y
 419, el condensador 415 va conectado desde el electrodo de
10 base b al conductor 174, y su electrodo de colector c está
 conectado al electrodo de ánodo a del PUT 160 a través del
 diodo 432 y de la resistencia 434. Esta conexión al oscila-
 dor 140 desde el circuito de tope final de inversión 150
 suministra la señal ESI de tope final de inversión. El ter-
15 minal de salida ESP que suministra la señal ESP de tope fi-
 nal de inversión al alcanzarse el tope final de inversión,
 y al que se ha hecho referencia anteriormente al describir
 las figuras 3 y 4, va también conectado al colector del
 transistor 430.

15 Al describir el funcionamiento del circuito de to-
 pe final de inversión 150, se hará referencia a la gráfica
 de la fig. 11. Se supondrá que la señal de error V_c empieza
 al nivel cero, indicado en 450 en la figura, y que los seg-
 mentos de los perfiles de onda de regulación de tiempo se-
20 leccionados para la señal compuesta CES de tope final son
 las crestas de éstos, es decir, que el ángulo de conducción
 es $\pi/3$. Supóngase ahora que se desea reducir la tensión
 de carga, esto es, que la señal de error V_c se hace positi-
 va en 452. La frecuencia de reloj proporcionada por el os-
25 cilador 140 se reduce, y los impulsos de control proceden-

413192



tes del contador de anillo 190 se retrasan, respecto a los
perfiles de onda de regulación de tiempo. Los segmentos se
leccionados para la señal compuesta CES de tope final empie
zan a bajar por los bordes posteriores o de salida de los
5 perfiles de onda de regulación de tiempo, partiendo de sus
posiciones primitivas en las crestas de los mismos. Cuando
la señal de tope final CES cae hasta el nivel de umbral TI,
según lo indicado en 454, el transistor 400 cambia de un es
tado conductivo a un estado no conductivo, en 456. Al dejar
10 de conducir el transistor 400, la salida de la puerta inver
sora 412 cae del uno lógico al cero lógico, activando al
biestable 410. Al activarse el biestable 410, la salida Q
pasa a nivel alto en 458 y el condensador 422 empieza a car
garse con una constante de tiempo RC prefijada, lo cual es
15 tá indicado con el número de referencia 459. Si la señal
compuesta de tope final no permanece por bajo del nivel de
umbral TI durante un tiempo suficiente para cargar el con
densador a una magnitud prefijada, tiempo que puede ser de
unos 100 microsegundos, el punto de unión 421 no alcanzará
20 el nivel de tensión necesario para hacer conductivo al tran
sistor 414 y, por tanto, el transistor 430 no pasa a su es
tado conductivo. Este retardo, proporcionado por la acción
de carga del condensador 422, hace el funcionamiento insen
sible a las crestas agudas de tensión presentes en los per
25 files de onda de regulación de tiempo, las cuales tienen una

413192



duración de menos de 100 microsegundos y que, de lo contrario, podrían producir funcionamiento en falso.

5 En el siguiente segmento (BA) del perfil de onda de regulación de tiempos, la señal CES permanece por debajo del nivel TI durante el tiempo requerido para cargar el condensador 422 a la tensión necesaria para conmutar o cambiar el transistor 414 a su estado de conducción, y el transistor 430 también a su estado de conducción. Esto se indica en 460. Al conducir el transistor 430, la corriente aplicada al electrodo de ánodo a del PUT 160 obliga a éste a producir un impulso de salida que hace avanzar en un paso el contador de anillo. El impulso de reloj resultante, que se aplica a la entrada de reposición \bar{R} del biestable 410, repone la salida Q del biestable 410 al estado de cero lógico, lo que hace que los transistores 414 y 430 dejen de conducir. Así, la señal compuesta CES de tope final cae por bajo del nivel de umbral TI, indicado en 462, sólo por el tiempo requerido para cargar el condensador 422 al nivel de tensión necesario para cambiar o conmutar los transistores 414 y 430 a sus estados conductivos, y a continuación se fuerza el impulso de reloj, que repone el circuito de umbral de inversión. Como el impulso de reloj aparece ahora en el mismo punto, en perfiles de onda sucesivos, la frecuencia de reloj forzada es la misma que para una señal de error de magnitud cero, manteniendo el funcionamiento del convertidor en

10

15

20

25

413192



el ángulo de cebado correspondiente al tope final de inversión seleccionado.

5 Si la señal de error se hace negativa, según lo indicado en 464, la frecuencia de reloj aumenta y el perfil de onda de la señal compuesta CES de tope final empieza a subir por los perfiles de onda hacia su cresta, según lo indicado en la gráfica, y el ángulo de cebado o conducción se adelanta, apartándose del tope final de inversión.

10 Entre los dos circuitos de tope final no existe interferencia. Cuando el ángulo de conducción está avanzando hacia el tope final de rectificación, si se alcanza el nivel de umbral de inversión TI y el transistor 400 deja de conducir, activando al biestable 410, el biestable 410 será inmediatamente repuesto por el impulso de reloj al ir éste al estado cero, dando por su salida Q una salida de cero, 15 y quedando de ese modo sin producir efecto el circuito de umbral de inversión.

20 Cuando el ángulo de conducción se esté retrasando hacia el tope final de inversión, y el punto de unión 360 se lleve a un nivel alto a consecuencia de la caída de la señal compuesta CES de tope final al nivel de umbral TR, la tensión aplicada al electrodo de mando g del PUT 160 por el conductor ESR será varios voltios inferior a la tensión que está forzando la entrada de corriente en el electrodo de 25 ánodo a del PUT 160, debido a la caída de tensión producida

413192



7 JUN 1973

en los extremos de los diodos conectados en serie 352, 354 y 356. Así, al conducir el transistor 430, éste seguirá obligando al PUT 160 a producir un impulso de salida. La señal \overline{BS} que obliga al circuito a llegar a un tope final de inversión es igualmente superada, una vez alcanzado el tope final de inversión, y el transistor 430 conduce forzando un impulso de salida.

La fig. 12 es un esquema teórico de un circuito 44 excitador de electrodos de mando, que puede usarse para ejercer la función indicada con el mismo número de referencia en la fig. 1. La fig. 12 ilustra un canal de cebado para cada rectificador controlado de cada uno de los circuitos rectificadores de los puentes. Ahora bien, sólo se necesitaría la mitad de canales si el excitador de electrodos de mando hubiera de disponerse de tal modo que se conmutase de un convertidor al otro, según necesidades.

Más concretamente, se ilustran los canales de cebado 500, 502, 504, 506, 508 y 510 para los rectificadores controlados SCR1, SCR3, SCR5, SCR6, SCR2 y SCR4, respectivamente, del puente convertidor 16. Se ilustran asimismo los canales 512, 514, 516, 518, 520 y 522 para los rectificadores controlados SCR', SCR3', SCR5', SCR6', SCR2' y SCR4', respectivamente, para el puente convertidor 18. Para los canales 500, 502, 504, 506, 508, 510, 512, 514, 516, 518, 520 y 522 se disponen unas puertas NAND de cuádruple entrada 524, 526,

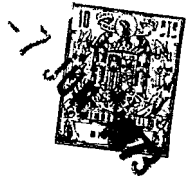
413192



528, 530, 532, 534, 536, 538, 540, 542, 544 y 546, respectivamente.

El terminal de entrada de reloj está conectado a una entrada de cada una de las puertas NAND por medio de una puerta inversora 548. Un terminal de entrada \bar{Q}_0 correspondiente a la salida del selector 36 va conectado a una entrada de cada una de las puertas NAND 524, 526, 528, 530, 532 y 534 asociadas al convertidor 16; y la salida Q_0 del selector 36 está conectada, por medio de un terminal de entrada Q_0 , a una entrada de cada una de las puertas NAND 536, 538, 540, 542, 544 y 546, asociadas al convertidor 18. Unos terminales de entrada A, \bar{A} , B, \bar{B} , C y \bar{C} , que reciben impulsos de control procedentes del contador de anillo 190 están conectados para seleccionar el rectificador controlado apropiado al cual se vaya a suministrar un impulso de cebado. El terminal de entrada A está conectado a unas entradas de las puertas NAND 524, 530, 536 y 542; el terminal de entrada \bar{A} va conectado a unas entradas de las puertas NAND 528, 532, 540 y 544; el terminal de entrada \bar{B} está conectado a unas entradas de las puertas NAND 526, 530, 538 y 542; el terminal de entrada B está conectado a unas entradas de las puertas NAND 528, 534, 540 y 546; el terminal de entrada C está conectado a unas entradas de las puertas NAND 524, 534, 536 y 546; y el terminal de entrada \bar{C} va conectado a unas entradas de las puertas NAND 526, 532, 538 y 544.

413192



Como cada uno de los canales está construido de la misma manera, sólo se ilustra el canal 500 en la fig. 12. El canal 500 incluye un transistor 550 del tipo NPN, un transformador de impulsos 552 dotado de devanados primario y secundario, 554 y 556 respectivamente, unas resistencias 558, 559 y 560, unos diodos 562 y 564 y unos diodos reguladores de tensión 566 y 568 tales como unos diodos de Zener. El electrodo de colector c del transistor 550 está conectado a un terminal 571 por medio del devanado primario 554 del transformador 552, y de la resistencia 558. El terminal 571 va conectado a una fuente de potencial unidireccional positivo (no representada). El devanado secundario 556 del transformador de impulsos 552 está conectado a unos terminales de salida G y K que van conectados a los electrodos de mando y de cátodo, respectivamente, del dispositivo rectificador controlado SCRL. El electrodo de colector c está asimismo conectado al electrodo de ánodo a del diodo 562. El electrodo de cátodo c del diodo 562 va conectado al electrodo de cátodo c del diodo regulador de tensión 566. El diodo regulador de tensión 566 puede usarse para limitar la tensión de colector-emisor de los transistores de los demás canales, conectando para ello el cátodo del diodo 566 al diodo 562 correspondiente de los demás canales. El electrodo de emisor e del transistor 550 va conectado al conductor PSC y al electrodo de ánodo a del diodo regulador de tensión 566.

413192



El electrodo de base b está conectado a la salida de la puerta NAND 524 por medio del diodo regulador de tensión 568 y del diodo 564. El diodo regulador de tensión 568 tiene su electrodo de ánodo a conectado al electrodo de base b del transistor 550, y su electrodo de cátodo c está conectado al electrodo de ánodo a del diodo 564. Al punto de unión entre los electrodos de cátodo y de ánodo de los diodos 568 y 564 va conectada, por medio de la resistencia 559, una fuente positiva de potencial unidireccional, habiendo una fuente negativa de potencial unidireccional conectada al electrodo de ánodo a del diodo regulador de tensión 568, por medio de la resistencia 560.

En el funcionamiento del canal 500, cuando la salida de la puerta NAND 524 esté a nivel alto el transistor 550 es conductivo y pasa corriente por el devanado primario 554 del transformador de impulsos 552. Cuando todos los impulsos aplicados a la puerta NAND 524 estén al nivel de uno lógico, la salida de ésta adquiere el de cero lógico, y el transistor 550 deja de conducir. La corriente del devanado primario 554 se "transfiere" entonces al devanado secundario 556, y este impulso ceba o activa el rectificador controlado SCRL. La disposición de puertas NAND representada en la fig. 12 proporciona impulsos de cebado para los rectificadores controlados del convertidor 16 y 18, como se ilustra en la fig. 9.

413192



En resumen, se ha revelado y expuesto un aparato convertidor doble perfeccionado que permite usar una señal unidireccional de realimentación de corriente con una señal bidireccional de referencia. Además, el tiempo muerto, durante el cual no circula corriente alguna mientras se produce la inversión de grupo, queda sustancialmente reducido por una disposición de circuitos nueva y perfeccionada, sin tener que recurrir a modificar la ganancia del amplificador de error, mediante el recurso de forzar rápidamente el convertidor al tope final de inversión. La inversión de grupo se efectúa al alcanzarse el tope final, y luego se polariza el amplificador de error de tal manera que la señal de error resultante adelanta rápidamente el ángulo de conducción apartándolo del tope final de inversión. La polarización desaparece del amplificador de error cuando el convertidor entrante en conducción suministra corriente de carga.

Reivindicaciones

Los puntos de invención propia, no nueva, pero no

413192



establecida, practicada ni divulgada en España, que se presentan para que sean objeto de esta solicitud de Patente de Introducción, por DIEZ años, son los que se recogen en las reivindicaciones siguientes:

- 5 1ª.- Un aparato convertidor para obtener una corriente continua reversible y regulable, aparato que comprende: unos medios convertidores primeros y segundos conectados en oposición paralela, teniendo cada uno de dichos medios convertidores unos dispositivos rectificadores controlados, conectados para intercambiar energía entre circuitos de corriente alterna y de corriente continua; un circuito de carga conectado a dichos medios convertidores primeros y segundos, dependiendo el sentido de la corriente de carga de cuáles sean los medios convertidores que estén operando; unos medios de realimentación o retroacción que suministren una señal unidireccional de retroacción respondiente a la magnitud de la corriente que circule por dicho circuito de carga, independientemente del sentido de la misma; unos medios de referencia que suministren una señal bidireccional de referencia, indicando la polaridad de dicha señal de referencia cuáles de los medios convertidores han de estar operando; unos medios de conmutación capaces de responder a dicha señal bidireccional de referencia suministrando una señal de referencia esencialmente unidireccional, de una polaridad prefijada respondiente a la magnitud de una
- 10
- 15
- 20
- 25

31.5.73

413192



u otra polaridad de dicha señal de referencia bidireccional;
unos medios de comparador capaces de responder a dicha señal
de retroacción y a dicha señal unidireccional de referencia
dando una señal de error en respuesta a las mismas; y unos
5 medios de regulador de fase capaces de responder a dicha se-
ñal de error controlando o regulando el funcionamiento de di-
chos medios convertidores primeros y segundos.

2ª.- El aparato convertidor de la reivindicación
1ª, en el que los medios de conmutación son capaces de res-
10 ponder a un cambio en la polaridad de la señal bidireccional
de referencia y a un valor cero de la corriente de carga,
conmutando o cambiando su salida durante el cero de corrien-
te de carga que siga a un cambio en la polaridad de la se-
ñal bidireccional de referencia, para dar una señal de re-
15 ferencia que tenga la misma polaridad sea cual fuere la po-
laridad de la señal bidireccional de referencia.

3ª.- El aparato convertidor de la reivindicación
1ª, que incluye unos medios selectores que dan una señal de
conmutación en respuesta a un cambio de polaridad de la se-
20 ñal bidireccional de referencia y a un valor cero de la co-
rriente de carga, y unos medios de aplicar dicha señal de
conmutación (a) a los medios de conmutación, conmutando la
salida de los medios de conmutación para obtener la señal de
referencia de la misma polaridad en respuesta a una u otra
25 polaridad de la señal bidireccional de referencia, y (b) a

~~31.5.73~~

413192



Los medios de regulador de fase, cambiando o conmutando de uno de los medios convertidores al otro para invertir el sentido de paso de la corriente de carga en respuesta al cambio de polaridad de la señal bidireccional de referencia.

5

4ª.- El aparato convertidor de la reivindicación 1ª, en el que la señal de referencia esencialmente unidireccional cambia de polaridad cada vez que la señal bidireccional de referencia cambia de polaridad, siendo los medios de conmutación capaces de responder a este cambio de polaridad de la señal de referencia esencialmente unidireccional, y al cero de corriente de carga, para volver a conmutar a la polaridad precedente, dando una señal de referencia esencialmente unidireccional que sólo momentáneamente cambia de polaridad cada vez que cambia de polaridad la señal bidireccional de referencia.

10

15

5ª.- El aparato convertidor de la reivindicación 1ª, en el que los medios de regulador de fase incluyen unos medios para controlar el ángulo de cebado o conducción de los dispositivos rectificadores controlados entre unos límites primero y segundo, en respuesta a la señal de error, y en el que la señal de referencia esencialmente unidireccional cambia de polaridad en respuesta a un cambio de la polaridad de la señal bidireccional de referencia; en el que la señal de error modifica el ángulo de cebado o conducción has

20

25

413192



ta alcanzar un límite prefijado; y que incluye medios capaces de responder al hecho de que el ángulo de cebado alcance dicho límite prefijado y al cero de corriente de carga dando una señal de conmutación, medios de aplicar dicha
5 señal de conmutación (a) a los medios de conmutación que conmutan la salida de los medios de conmutación volviéndola a su polaridad precedente para dar la señal de referencia esencialmente unidireccional, y (b) a los medios de regulador de fase, para conmutar o cambiar de uno al otro de
10 los medios convertidores.

6ª.- El aparato convertidor de la reivindicación 5ª, que incluye medios capaces de responder al valor cero de la corriente de carga y a un cambio de polaridad de la señal bidireccional de referencia dando una señal que obliga a los medios de regulador de fase a llegar al límite prefijado, reduciendo el tiempo necesario para dar la señal de conmutación.
15

7ª.- El aparato convertidor de la reivindicación 6ª, que incluye medios capaces de responder a la señal de conmutación polarizando los medios de comparador para dar una señal de error que obligue al ángulo de conducción o cebado a apartarse rápidamente del límite prefijado, y medios capaces de responder a la corriente de carga proporcionada por los medios convertidores entrantes en conducción para dar fin a la polarización de los medios de comparador.
20
25

~~31.5.73~~

413192



8ª.- El aparato convertidor de la reivindicación 1ª, en el que dichos medios de realimentación o retroacción suministran una señal de retroacción respondiente a un parámetro prefijado del circuito de carga, dichos medios de referencia suministran una señal de referencia bidireccional, indicando con su magnitud la magnitud deseada de dicho parámetro prefijado e indicando con la polaridad cuáles de los medios convertidores han de estar operando, dichos medios de comparador son capaces de responder a dichas señales de retroacción y de referencia, dando dichos medios de comparador una señal de error en respuesta a la desviación existente entre la magnitud real y efectiva del parámetro prefijado y la magnitud deseada, y dichos medios de regulador de fase para controlar el funcionamiento de dichos medios convertidores primeros y segundos incluyen medios excitadores de electrodo de mando para regular o controlar el ángulo de conducción de los dispositivos rectificadores controlados en respuesta a dicha señal de error; estando previstos además unos medios capaces de responder al valor cero de la corriente de carga y a un cambio en la polaridad de la citada señal bidireccional de referencia, para retrasar rápidamente el ángulo de conducción llevándolo a un tope final prefijado; unos medios de obtener una señal de tope final cuando se alcance dicho tope final prefijado; y unos medios selectores capaces de responder a dicha señal de tope final y al cero de corriente de carga dando

5

10

15

20

25

14-8-75



41319216



una señal de conmutación para dichos medios de regulador de fase, que inicie el cambio o conmutación de uno de los convertidores al otro.

5

10

15

9ª.- El aparato convertidor de la reivindicación 8ª, en el que los medios de retroacción o realimentación proporcionan una señal unidireccional de retroacción respondiente a la corriente de carga, sea cual fuere el sentido de la corriente de carga, y que incluyen medios de cambiar o modificar la señal bidireccional de referencia transformándola en una señal de referencia esencialmente unidireccional antes de aplicarla a los medios de comparador, aplicándose a dichos medios conmutadores la señal de conmutación proporcionada por los medios selectores para cambiar o conmutar su salida cada vez que la señal bidireccional cambie de polaridad, para obtener dicha señal de referencia esencialmente unidireccional en respuesta a la señal bidireccional de referencia.

20

25

10ª.- El aparato convertidor de la reivindicación 8ª, que incluye medios de obtener una señal de polarización en respuesta al cero de corriente de carga y a la señal de tope final, medios de aplicar dicha señal de polarización para modificar la señal de error y adelantar rápidamente el ángulo de conducción apartándolo del tope final prefijado, y medios capaces de responder a la reanudación del paso de corriente de carga para dar fin a dicha



413192



señal de polarización.

5 11ª.- El aparato convertidor de la reivindicación 9ª, que incluye medios de obtener una señal de polarización en respuesta al cero de corriente de carga y a la señal de tope final, medios de aplicar dicha señal de polarización para modificar la señal de error y adelantarlo rápidamente al ángulo de conducción apartándolo del tope final prefijado, y medios capaces de responder a la reanudación del paso de corriente de carga para dar fin a dicha señal de polarización.

10 12ª.- El aparato convertidor de la reivindicación 1ª, que incluye unos medios que suministren una señal de cero de corriente de carga cuando la corriente de carga sea cero; unos medios que suministren una señal de inversión cuando la señal de referencia indique que se solicita una inversión de la corriente que pasa por el circuito de carga; unos medios capaces de responder a la coincidencia o simultaneidad de las señales de cero de corriente de carga e inversión, dando una señal para el regulador de fase, que obligue al ángulo de conducción a llegar a un límite o tope final de inversión prefijado; unos medios que suministren una señal cuando se alcance el tope final de inversión; unos medios que suministren una señal de conmutación en respuesta a la coincidencia o simultaneidad de las señales de tope final de inversión y cero

413192



de corriente; y unos medios capaces de responder a dicha señal de conmutación cambiando o conmutando de uno al otro de los convertidores.

5 13ª.- El aparato convertidor de la reivindicación 12ª, que incluye unos medios capaces de responder a la señal de conmutación dando una señal de polarización que modifique la señal de error de tal modo que el regulador de fase adelante rápidamente el ángulo de conducción alejándolo del tope final de inversión, y unos medios
10 capaces de responder a la reanudación de la corriente de carga dando fin a dicha señal de polarización.

14ª.- Un aparato convertidor para obtener una corriente continua reversible y regulable.

15 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de sesenta y siete hojas escritas a máquina por una sola cara.

20 Madrid, 16 Ago 1975

P.A.

Alberto de Echeburu

Por Poder.

14-8-75
jul

- 67 -





413192

413192

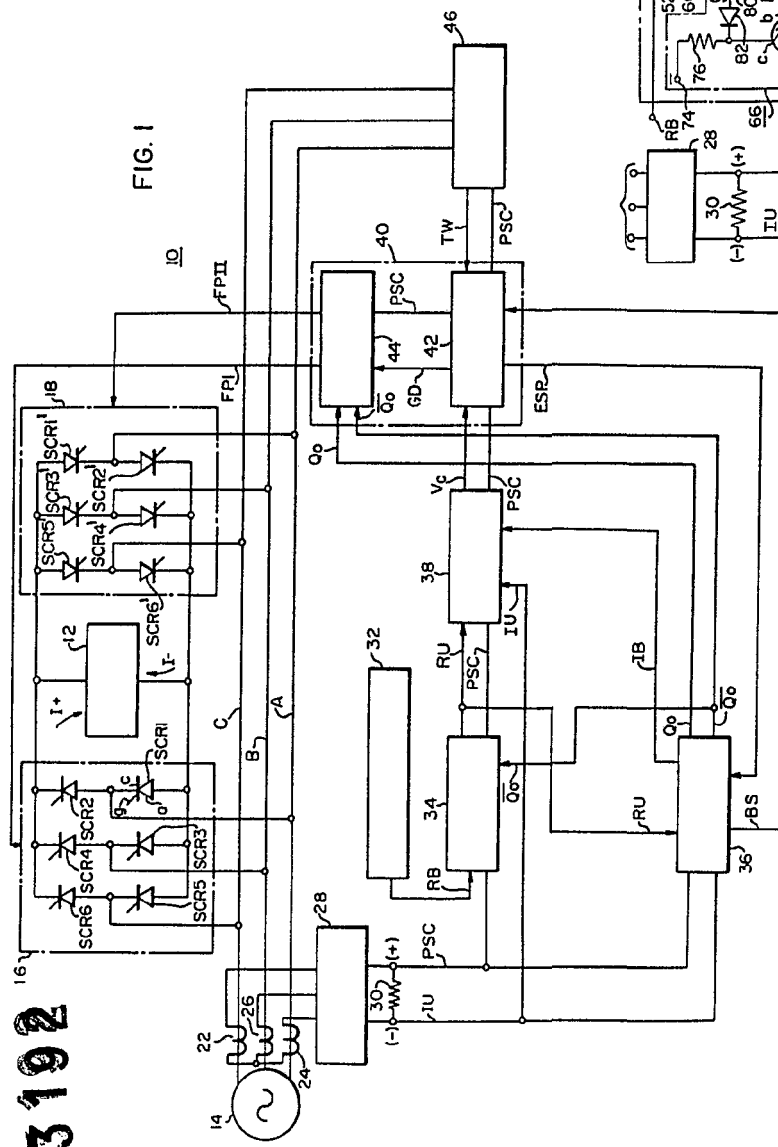


FIG. 1

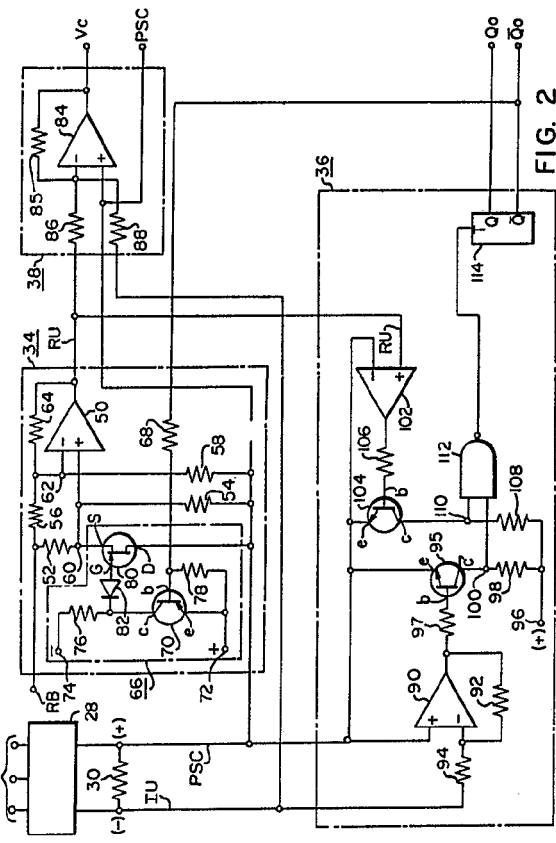


FIG. 2

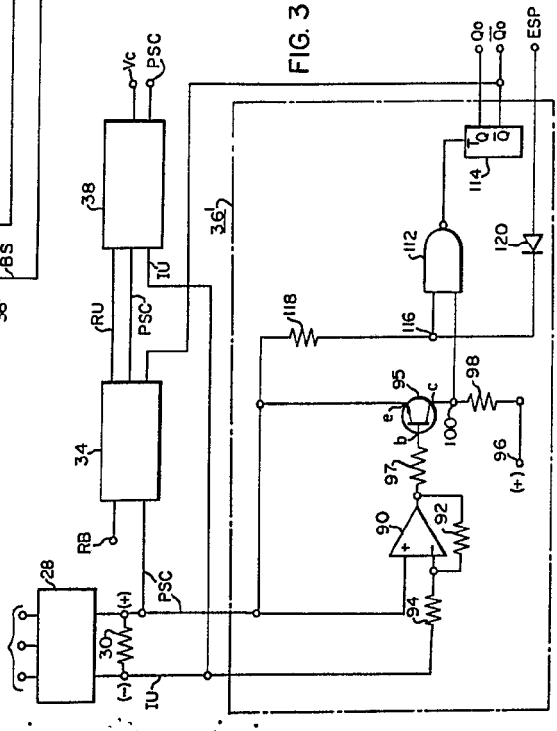


FIG. 3

Alberto de Elizaburu
Per. Pactor.



413192 JUN 27 1964

FIG. 1

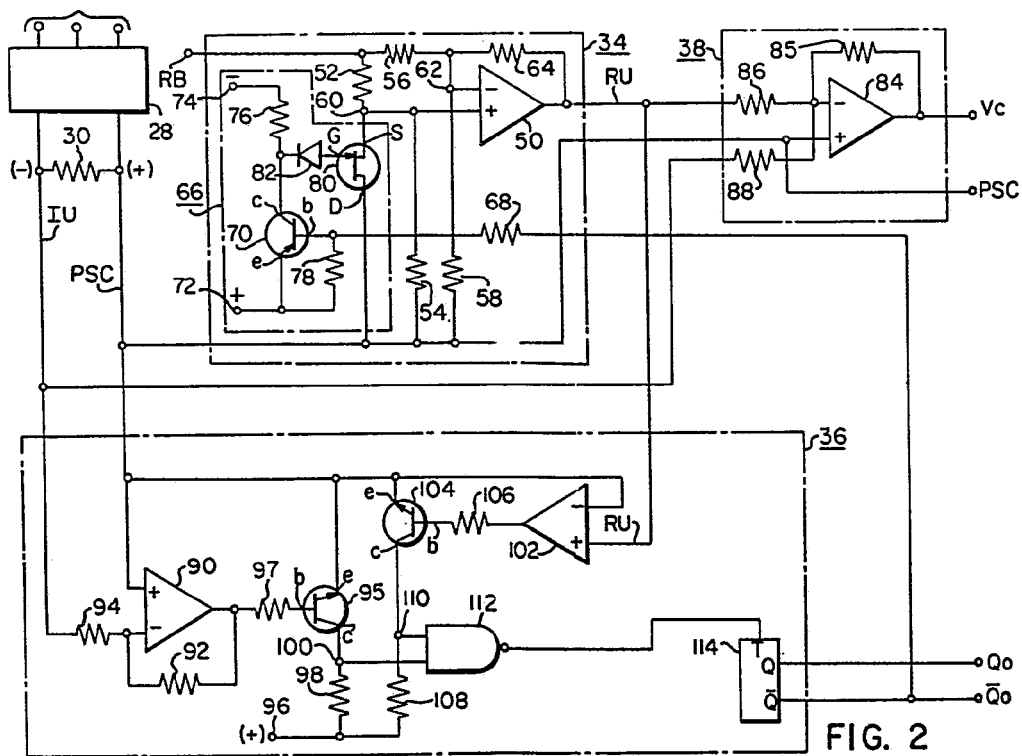
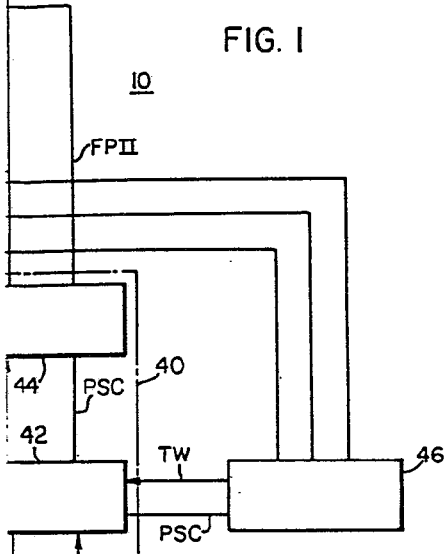
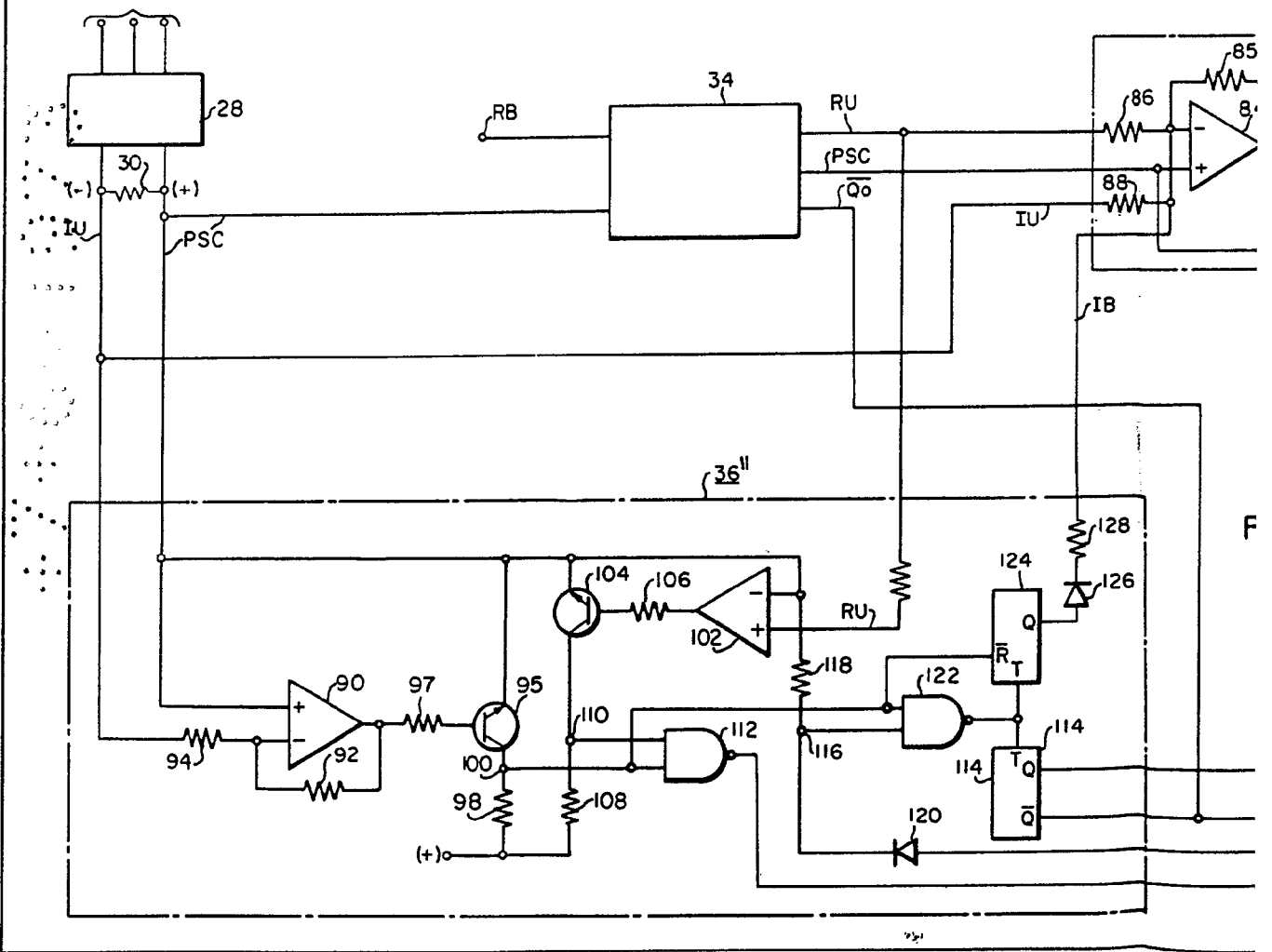
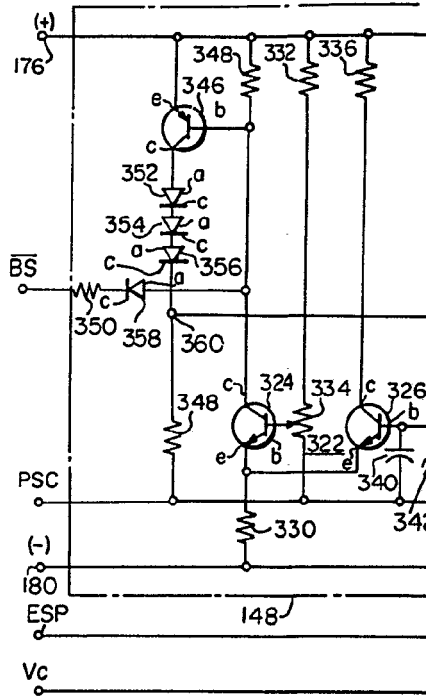


FIG. 2

Alberto de Elizaburt
Per Pader.

413192

FIG. 7



413192

152020

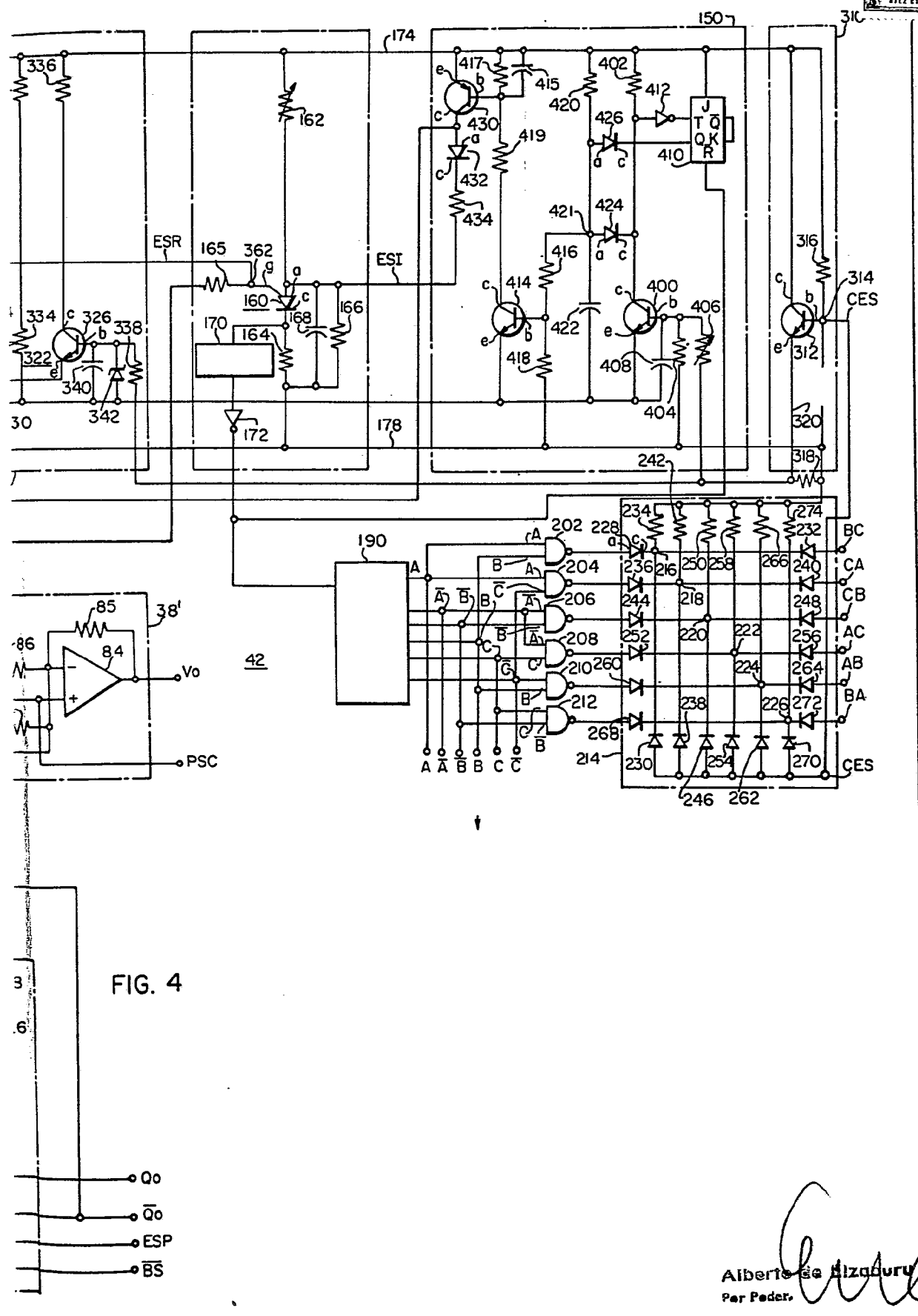


FIG. 4

Alberto de Lizauru
Per Poder.

413192

-7-

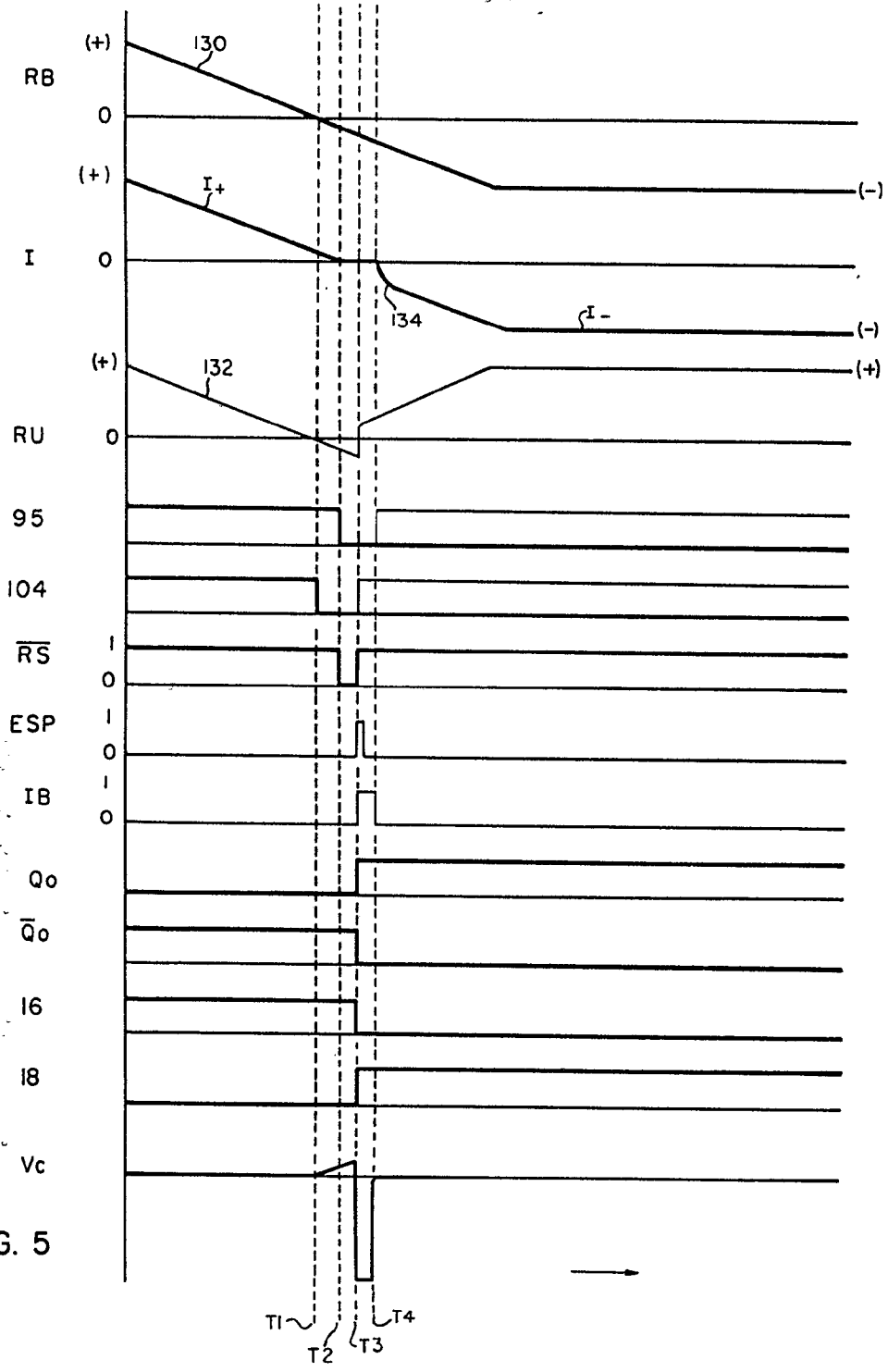
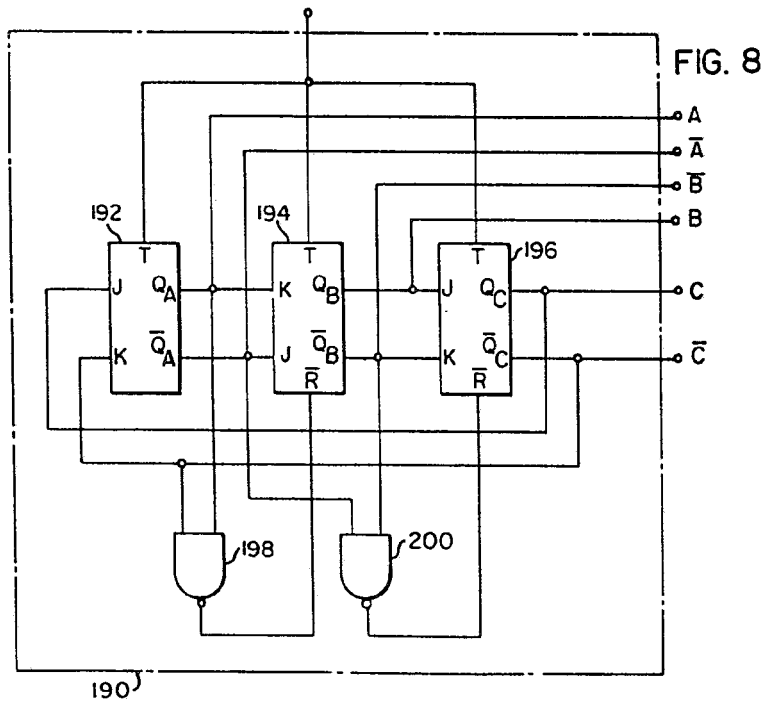
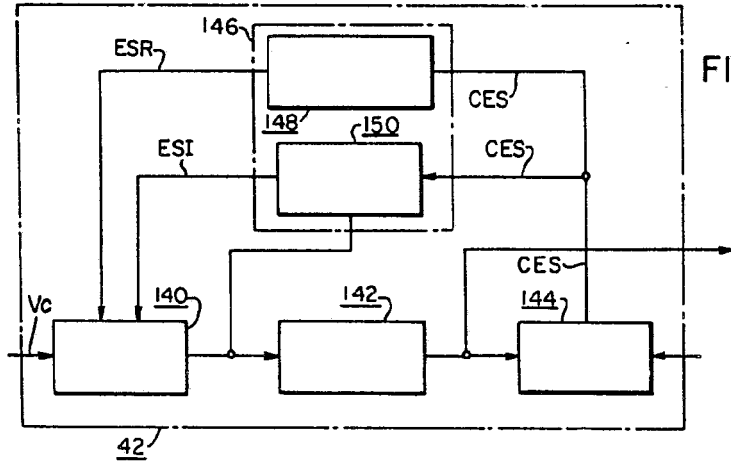


FIG. 5

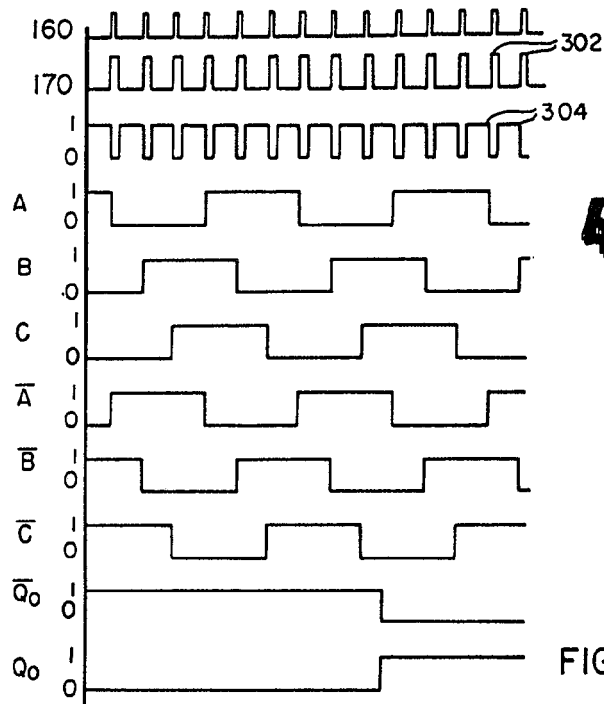
W. G. RIZABURU
des.

53
-7
673

413192

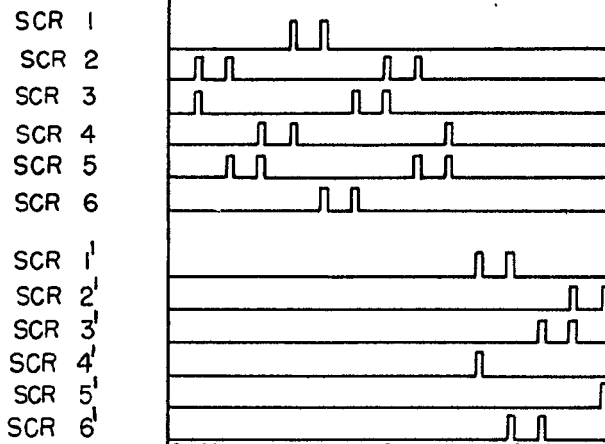


Alberto de Lazaduru
Per Pe...

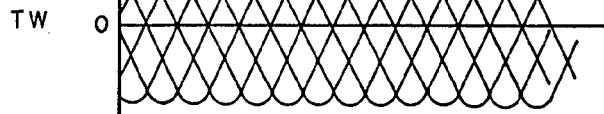


413192

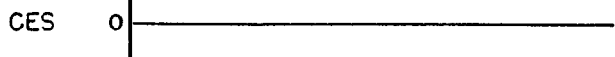
FIG. 9



CA CB AB AC BC BA CA CB AB AC BC BA CA CB



CA CB AB AC BC BA CA CB AB AC BC BA CA CB

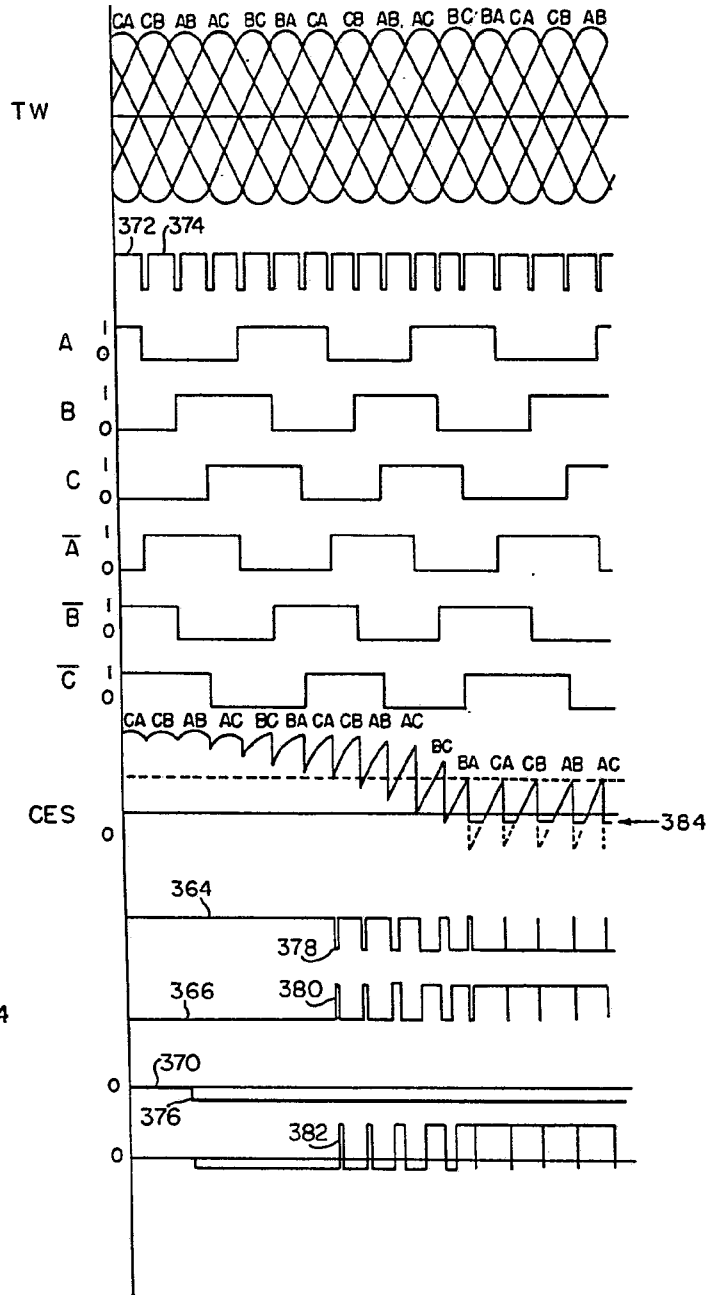


ALBERT G. HAZDUTU
 Per [Signature]



413192

FIG. 10



Approved by *[Signature]*
Pat. 2,211,121

413192

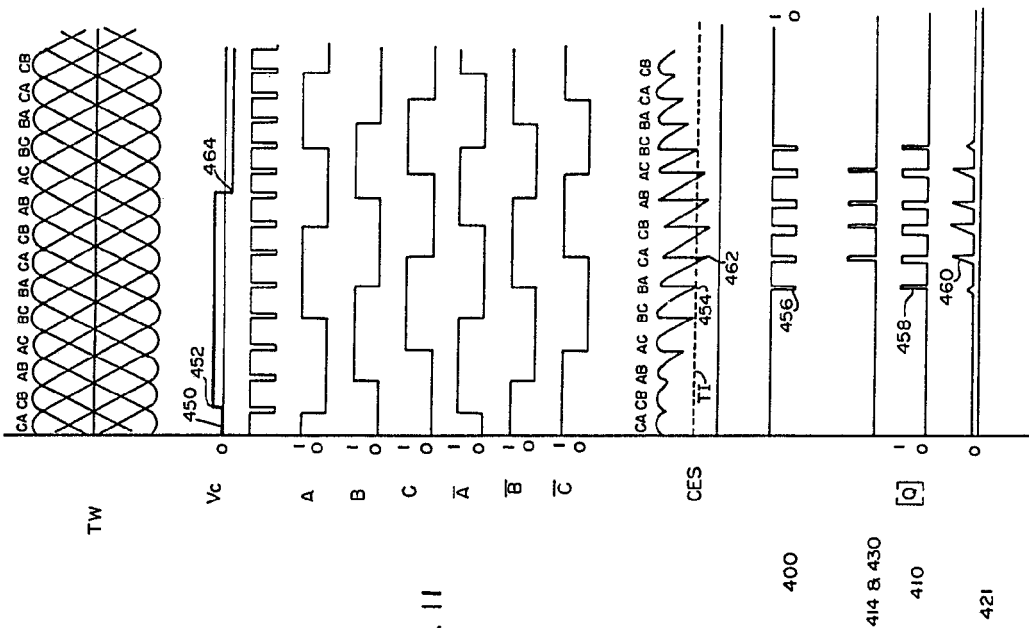
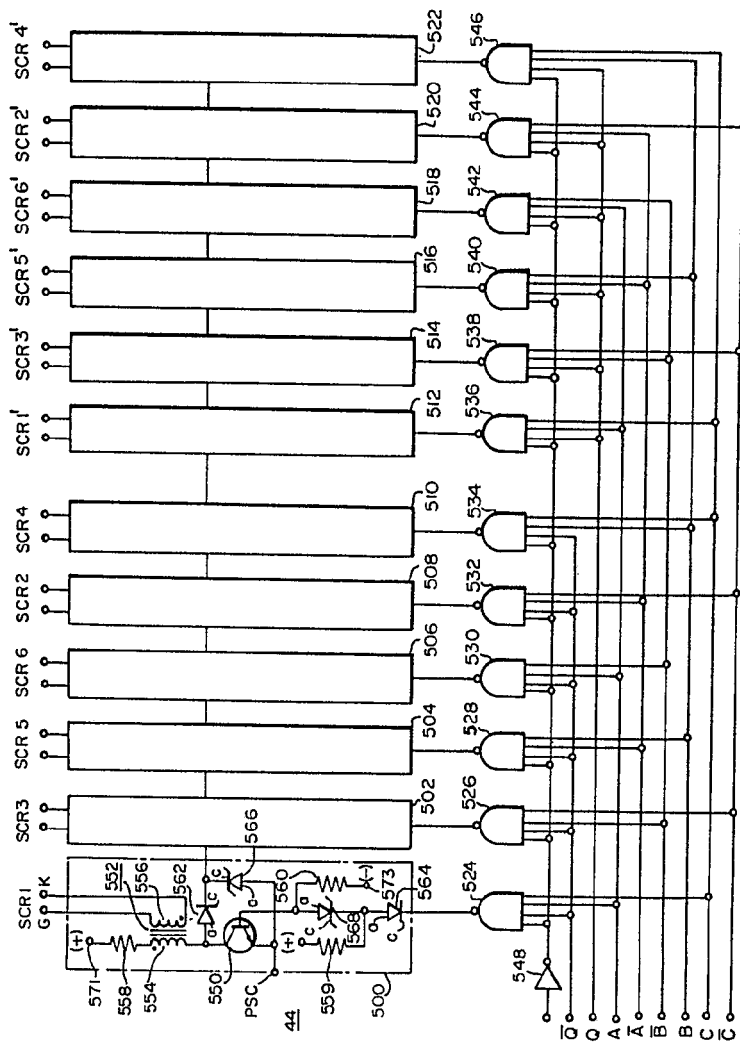


FIG. 11

413192

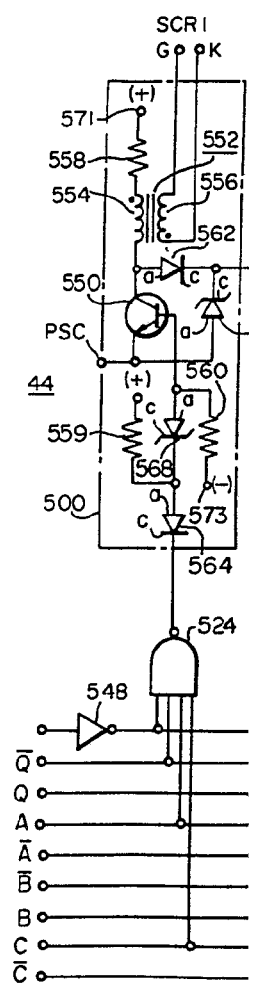
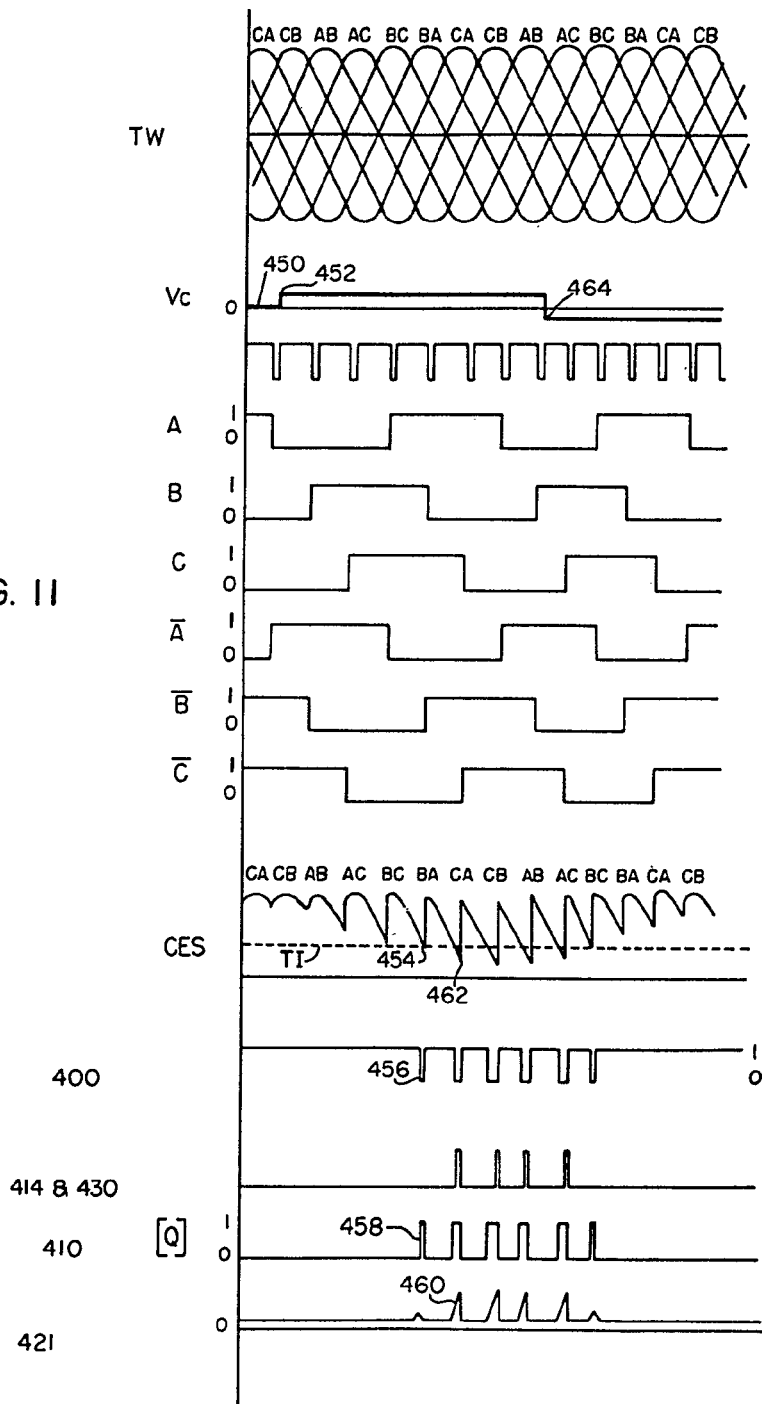
FIG. 12



Alfred del Elizabeth
For Patent

413192

FIG. II

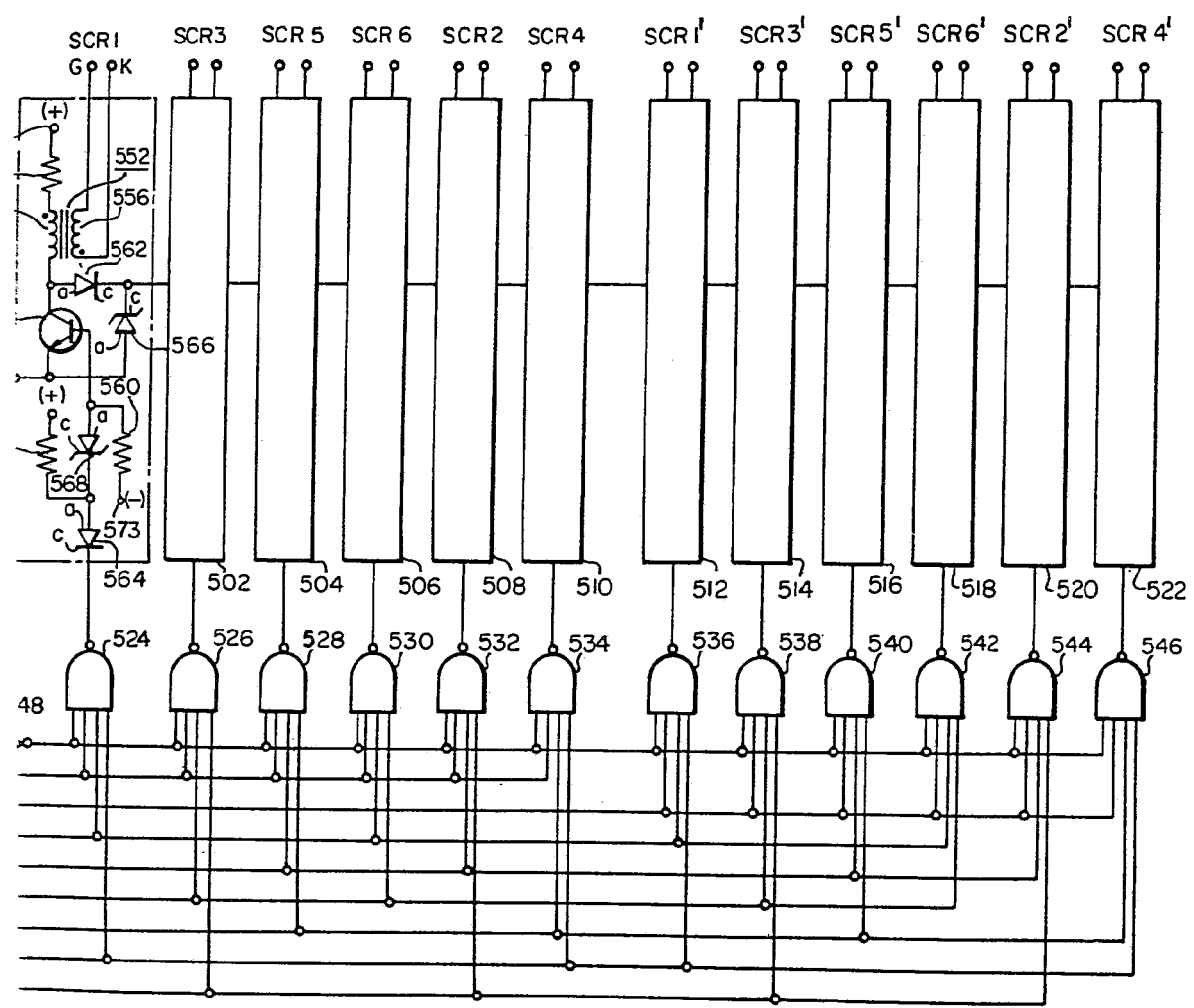


412



413192

FIG. 12



Alberto de Elizaburu
 for Poder

