

J. Janssens 4.



412364

F.E. 7-4-75

H04Q

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "UN SISTEMA DE CONMUTACION PARA TELECOMUNICA-
CION CONTROLADO POR PROCESADOR", A NOMBRE DE STANDARD ELEC-
TRICA, S.A., DOMICILIADA EN MADRID, CALLE DE RAMIREZ DE
PRADO, Nº 5.

El presente invento se refiere a un sistema de
conmutación para telecomunicación controlado por procesador,
que incluye una red de conmutación y está adaptado para es-
tablecer conexiones entre entradas y salidas de dicha red de
5 conmutación, así como para reponer dichas conexiones, bajo
el control de, por lo menos, dos procesadores, cada uno de
los cuales tiene acceso a una memoria para almacenar las
palabras de estado que contienen información acerca de cone-
xiones establecidas a través de la red de conmutación, indi-
10 cando la fase en que se encuentran dichas conexiones, por
ejemplo, comunicación en curso o no. Uno de los procesadores,
después del corte del otro, ejecuta un programa de recupera-
ción que consiste en leer la fase almacenada en las palabras



de estado y reponer las conexiones que no están en fase de comunicación.

Dicho sistema de conmutación para telecomunicación, controlado por procesador, se conoce ya de la patente española nº 349.576 (S.Kobus 19.4.1.2.13). En el sistema descrito por esta patente, el programa de recuperación se efectúa por un procesador que funciona correctamente, después de que el otro falla y se pone fuera de servicio. Las palabras de estado leídas por el procesador que funciona correctamente es la información de almacenamiento recibida del procesador que falla antes de ocurrir dicho fallo y se refiere a conexiones que, normalmente, son procesadas por este último. La ventaja proporcionada por la ejecución de este programa es que se mantienen todas las conexiones que están en fase de comunicación. Pero una desventaja es que se mantienen algunas conexiones aunque la información sobre las mismas almacenadas en las correspondientes palabras de estado del procesador que funciona correctamente pueden ser falsas, ya que se han recibido del procesador que ahora ha fallado. Esta información errónea puede ser una fuente de errores en el procesador que funciona correctamente, y puede conducir a un corte de este procesador.

Un objetivo del presente invento es prevenir esta desventaja.

El presente sistema de conmutación para telecomunicación controlado por procesador esta caracterizado, principalmente, porque la memoria almacena también segundas palabras de estado, que también contienen información acerca de las conexiones. Una de dichas segundas palabras de estado que contiene información acerca de las conexiones, cuya infor-

412364

3.



mación se almacena también en una primera palabra de estado, contiene también información de correlación de la interconexión de las correspondientes palabras de estado. El programa de recuperación comprende los medios para dirigir cada una
5 de las primeras palabras de estado, de ejecutar la operación de lectura de fase y, cuando se encuentra dicha comunicación en fase, dirigir la segunda palabra de estado que corresponda a la primera palabra de estado, verificando si la información de correlación es correcta o no, y reponiendo dicha conexión
10 cuando la operación de verificación no tiene éxito.

De este modo, verificando la información de correlación, se previenen los fallos causados por errores que pueden llevar al corte, a los cuales se les impide tener un efecto erróneo en el funcionamiento del anterior sistema
15 de conmutación.

Otro objetivo del presente invento es proporcionar un sistema de conmutación para telecomunicación, controlado por ordenador, del tipo mencionado anteriormente, que está adaptado para ser actuado, por ejemplo, en el caso de un corte
20 total del sistema de conmutación.

El presente sistema de conmutación para telecomunicación controlada por procesador está también caracterizado porque consiste en alimentar el programa de recuperación en la memoria a partir de una fuente exterior.

25 Todavía otra característica del presente invento está en que, cuando cada uno de los procesadores tiene una memoria asociada, el programa de recuperación se alimenta en las memorias de los procesadores consecutivamente hasta que un procesador se encuentra adaptado para ejecutar dicho programa. La ejecución de este programa se detiene definitiva-
30



mente cuando no puede ser ejecutado por ninguno de los procesadores.

Los objetivos mencionados anteriormente y otras características del invento serán mejor entendidos haciendo referencia a la descripción siguiente y a los dibujos que se acompañan, en los cuales:

La Fig. 1 es un esquemático de un sistema de conmutación para telecomunicación controlado por procesador, según el presente invento;

La Fig. 2 representa, con más detalle, parte de la red de conmutación SN1 de la Fig. 1;

La Fig. 3 muestra parte de la memoria M1 y de la unidad aritmética AUI de la Fig. 1;

Las Figs. 4 y 5 son cartas de flujo FC1 y FC2 que ilustran el funcionamiento del sistema, según la Fig. 1.

Refiriéndonos a la Fig. 1, el sistema de conmutación para telecomunicación controlado por procesador que se muestra, incluye un equipo de conmutación SE y un sistema de control CS que incluye dos procesadores CA y CB, interconectados por registros de comunicación entre computadores IRAB e IRBA, así como un dispositivo de control CA.

El equipo de conmutación SE es del tipo descrito en la patente mencionada anteriormente y está constituido por n módulos periféricos, tal como PM1 y PMn que comprenden, cada uno de ellos, una red de conmutación SN1, SNn acoplados a varias líneas de entrada y salida y enlaces; circuitos periféricos PC1, PCn, y un par de registros periféricos PRAL, PRBL; PRAn, PRBn. Cada multicircuito periférico, tal como PC1, PCn, incluye unidades de exploración (no mostradas), para explorar la red de conmutación y unidades marcadoras (no mos-

412364 5.



tradas) para marcar, establecer y reponer vías en esta red de conmutación. Los registros periféricos PRAl a PRAn se conectan al computador CA a través de la barra de distribución BA, mientras que los registros PRB1 a PRBn se conectan al
5 computador CB a través de la barra de distribución BB.

Los computadores CA y CB son de construcción clásica, y cada uno de ellos incluye una memoria M1, M2. Una unidad de control CUI, CU2, una unidad aritmética AUI, AU2 y un multicircuito de entrada-salida IO1, IO2. Estos elementos
10 se interconectan como indica la Fig. Los multicircuitos de entrada-salida IO1 e IO2 se conectan también a las barras de distribución BA y BB, respectivamente.

Nótese que, cada computador puede ser considerado también como un procesador y una memoria. El procesador
15 incluye la unidad de control, la unidad aritmética y el multicircuito de entrada-salida.

El dispositivo de control CA incluye una unidad de control CU adaptada para controlar la unidad de cinta magnética MTU, estando conectados CU y MTU a las barras de distribución BA y BB. La unidad de control es del tipo descrito
20 en la patente española nº 349.578 (R. Salade 2.2.1) y está adaptada para controlar la ejecución de un programa de recuperación completo en caso del corte total de ambos computadores CA y CB. En MTU se almacena un corto programa de recuperación.

25 La unidad de control CU puede también comenzar la ejecución de este programa corto de recuperación al tener lugar el corte total, y antes de controlar la ejecución del programa de recuperación completo mencionado anteriormente, habiéndose encontrado que un gran número de cortes totales
30 son debidos a fallos temporales del computador. El programa



de recuperación corto puede ejecutarse solamente cuando el fallo es temporal, y afecta a, por lo menos, uno de los computadores, ya que es ejecutado por uno de los computadores, como se verá más adelante.

5 Como se describe en la patente mencionada anteriormente, los computadores CA y CB funcionan sobre la base de carga compartida, esto es, están adaptados para controlar simultáneamente el establecimiento de comunicaciones a través del equipo de conmutación SE. Pueden también cambiar información acerca de las comunicaciones a través de los registros de comunicación entre computadores IRAB e IRBA. En cada computador, la información de llamadas se almacena en las, así llamadas, memorias intermedias de estado, que forman parte de sus memorias. Consecuentemente, en cada memoria del
10 computador, varias memorias intermedias de estado almacenan información acerca de las llamadas que han de ser procesadas por dicho computador, mientras que otras memorias intermedias almacenan información acerca de las llamadas que han de ser procesadas por el otro computador.

15 Antes de describir el programa de recuperación corto, mencionado anteriormente, que se ejecuta cuando ocurre un corte total (temporal) de ambos computadores CA y CB, describiremos el establecimiento de una llamada local, para poner en claro el tipo de información que, en este caso, está almacenada en las memorias intermedias de estado. Nos referiremos a la Fig. 2, que muestra con más detalle, la parte de la red de conmutación SNI representada en la Fig. 1.

20 Esta parte de la red de conmutación, incluye un dispositivo de conmutación de tres etapas SA1, cuyas entradas están conectadas a los circuitos de línea, tal como
30

412364

7.



LIC1, LIC2, que están, por su parte, acoplados a las estaciones de abonado, tal como SS1 y SS2. Las salidas del dispositivo de conmutación SA1, están conectadas a varios circuitos junctores primeros, tal como OJC, y a diferentes junctores terminales, tal como TJC. Estos circuitos junctores están interconectados por un dispositivo de conmutación de dos etapas SA2. Los junctores primeros están conectados, además, a diferentes circuitos receptores, tales como REC, a través de una red de conmutación de dos etapas SA3.

10 Una llamada local entre un abonado que llama SS1 y otro llamado SS2, se establece como sigue.

Después de que uno de los computadores, por ejemplo, CA, ha detectado la estación SS1 del abonado que llama, el circuito de línea LIC1 se conecta al circuito junctor primero OJC a través del dispositivo de conmutación SA1; este OJC se conecta a un circuito receptor, tal como REC, a través del dispositivo de conmutación SA3. Se envía al abonado que llama el tono de marcar desde el circuito receptor REC, y el número del abonado llamado, marcado por el que llama, se detecta en este circuito receptor REC. Después de esto, el OJC se conecta a un circuito junctor terminal, tal como TJC, a través del dispositivo de conmutación SA2, y este TJC se conecta a la estación del abonado llamado SS2 a través del dispositivo de conmutación SA1. La fase de la llamada descrita anteriormente es la fase del registro. El tono y la corriente de llamada se envían a ambos abonados. Esta fase de la comunicación se denomina de llamada. La fase de conversación o comunicación comienza con la detección de la contestación de la estación del abonado llamado SS2 y termina cuando uno de los abonados interrumpe la conexión. En esta



momento, comienza la fase de supervisión que termina cuando ambos abonados han interrumpido la conexión.

Tan pronto como se captura un OJC, la fase del registrador se inscribe en una correspondiente primera palabra de estado, llamado memoria intermedia de estado del junctor primero OJSB (Fig. 3) que está constituida por una palabra de 16 bits de una tabla OJSBT, que forma parte de la memoria M1 del computador CA. Más concretamente, la fase del registrador (RP) con código 01 se inscribe en las posiciones 13 y 14 de la OJSB, las posiciones de la cual están numeradas del 0 al 15. Normalmente, el código 00, que indica que OJSB está libre (FR), se inscribe en estas posiciones. Durante las fases de llamada (RIP) y supervisión (SP), los códigos 10 y 11 se inscriben en las posiciones 13 y 14 de la OJSB, mientras que, durante la fase de conversación (CP), se inscribe el código 1 en la posición 15 de la OJSB, estando, normalmente, registrado un 0 en esta posición. En la posición 0 de OJSB se almacena un bit que indica que la información registrada en la OJSB es procesada por el procesador CA o por el CB. A este bit, TBMB, se le denomina tratado-por-mi, que, cuando es 0, la OJSB es tratada por CA, y si es 1, es tratada por CB. De esto se deduce que, cuando está almacenada en la memoria M1, la información de llamadas tratadas por el procesador CB, los bits TBMB en las memorias intermedias de este estado de los juncitores primeros, están en la posición 1. De lo anterior también se deduce que, en realidad, el bit TBMB de la memoria M1 indica la identidad del procesador CA o del CB.

Tan pronto como ha sido capturado el TJC, se pone a 0 el bit TBMB de la segunda palabra de estado correspondien-

412364

9.



te, llamada memoria intermedia de estado del junctor terminal TJSB (Fig. 3) que esta constituida por una palabra de 16 bits de una tabla TJSBT, que forma parte de la memoria MI del computador CA, y las direcciones relativas OJSBA y TJSBA de la OJSB y la TJSB, en las tablas OJSB y TJSBT, se inscriben en la TJSB y la OJSB, respectivamente. La OJSB y la TJSB estan enlazadas por la OJSBA, ya que la OJSBA permite encontrar la OJSB asi como la TJSB. Mediante la OJSBA se encuentra la OJSB, y por la TJSBA, almacenada en la misma, se puede encontrar la TJSB. La TJSB y la OJSB estan tambien interconectadas por la TJSBA, ya que la ultima permite encontrar la TJSB, y por la OJSBA, almacenada alli, se puede encontrar la OJSB. La TJSB almacena, ademàs, en su ultimo bit, el tipo de llamada CT.

15 Cuando tiene lugar un corte total de ambos procesadores CA y CB, el fenómeno se registra en la unión de control CU a través de las barras de distribución BA, BB. La unidad CU actúa la unidad de cinta magnética MTU para alimentar el programa de recuperación corto RPR en la parte RPMP de la memoria del computador que ultimamente falló. Se supone que este programa de recuperación se alimenta en la memoria MI del computador CA.

Refiriendonos a las Figs. 3 a 5, la ejecución de este programa de recuperación, bajo el control del computador CA se describirá después con más detalle.

La dirección relativa de la última OJSB de la tabla OJSBT se carga en el registro índice X que forma parte de la unidad aritmética AUL. Se entiende por dirección relativa la dirección con respecto a la dirección de la tabla, esto es, la dirección de la primera palabra de esta tabla.

412364

10.



Combinando la dirección de la tabla OJSBT y la dirección
relativa almacenada en el registro X, se obtiene una dirección
mediante la cual, la última palabra de esta tabla OJSB, se
dirige y carga en el registro acumulador A, que también forma
5 parte de la unidad aritmética AU. Después, el contenido del
registro X se conserva en la parte S1 de la memoria M1 y se
comprueba la situación del bit de fase de conversación CP,
que es el último bit de la palabra almacenada en el registro
A.

10 Cuando el bit de fase de conversación no es 1,
los otros bits de fase, almacenados en las posiciones 13 y 14
del registro A, se leen y se comprueban si los bits 11 que
indican la fase de supervisión, están almacenados o no en
estas posiciones:

15 - en caso negativo, no se modifican OJSB y TJSB y se continúa
el programa del modo que veremos más adelante;
- en caso positivo, el bit de fase de conversación se sitúa
en la posición 1 después de lo cual se continúa el programa
del modo que describiremos después, para el caso en que el
20 bit de conversación sea 1. Esto se hace por la siguiente
razón: después de que una estación de abonado ha interrumpi-
do la conexión, comienza un tiempo muerto para dar la posi-
bilidad al abonado, durante un corto intervalo de tiempo,
de restablecer la conexión. Si ocurre un corte durante este
25 intervalo muerto, esta posibilidad desaparece. Restaurando
la fase de conversación, se está seguro de que la fase de
supervisión y, por tanto, el tiempo muerto, comenzarán desde
el principio, cuando termina el corte.

30 Cuando el bit de fase de conversación es 1, la
dirección relativa de la memoria intermedia del estado del

412364

11.



5 junctor terminal TJSBA, que forma parte de la palabra OJSB
almacenada en el registro A, se registra en el registro X.
Combinando la dirección de la tabla TJSBT y la dirección
relativa almacenada en el registro X, se obtiene: una direc-
ción por medio de la cual la una palabra TJSB, de esta ta-
bla, se dirige y carga en el registro acumulador A. El contenido
del registro A se modifica de tal manera que, solamente la
dirección relativa OJSBA de una OJSB permanece almacenada
allí. Después de esto, la dirección relativa de la OJSB,
10 almacenada en la parte de memoria S1, se transmite al re-
gistro X y se comparan los contenidos de los registros A y
X. Concretamente, se comprueba si estos contenidos son igua-
les o no:

- en caso negativo, no se modifican las palabras OJSB y TJSB;
- 15 - en caso positivo, los bits TMB tratado-por-mí en las pa-
labras OJSB y TJSB en las tablas OJSBT y TJSBT son repuestos
a la dirección 0 para indicar que la información almacenada
allí será procesada por computador CA, después de que haya
terminado el corte.

20 Después de que han terminado estas operaciones,
el contenido del registro X se disminuye en 1, y se comprue-
ba si este contenido es cero o no. En el primer caso, la
dirección relativa almacenada en el registro X corresponde
a la siguiente OJSB, que se procesa del mismo modo a como ya
25 se ha descrito. En el segundo caso, la parte RPMP de la memo-
ria M1 se almacena el programa de recuperación RP no se modi-
fica y el computador CA pasa a estar en línea.

Después de que el computador ha pasado a estar
en línea, los circuitos junciores terminales se exploran por
30 los multicircuitos periféricos PC1 a PCn bajo el control del



computador CA de modo análogo a como se describe en la patente nº 349.576(S. Kobus 19.4.1.2.13), mencionada anteriormente. Después de la detección de una diferencia entre el estado real de un OJC, TJC y el correspondiente OJSB, TJSB, por ejemplo, un OJC ocupado y un OJSB liberado, se repone el correspondiente TJSB.

Nótese que, cuando no puede ser ejecutado el correspondiente programa de recuperación RPR por el computador CA, el dispositivo de control CA será informado y actuará nuevamente la unidad de cinta magnética MTU para alimentar el programa de recuperación RPR al computador CB. Si tampoco este computador puede ejecutar este programa, el dispositivo de control comenzara la ejecución del programa de recuperación completo mencionado anteriormente.

Aunque el programa de recuperación RP se ha descrito en relación con el corte total de todos los computadores, puede ser ejecutado también cuando tiene lugar un corte de uno de los computadores. En este caso, en lugar de almacenar el programa de recuperación RPR en una memoria exterior MTU, puede almacenarse en cada uno de los computadores. Por ejemplo, puede formar parte del programa de relevo ya descrito en la anterior patente Nº 349.576.

Finalmente, nótese que el presente método de proceso es también aplicable a un sistema en el que los computadores tengan una única memoria común.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no ha de considerarse como limitación de su alcance.

Este invento corresponde a una solicitud de pa-



412364

13.

tente formulada en Holanda, el día 6 de Marzo de 1972, señalada con el Nº 72 02936 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

5 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

1. Un sistema de conmutación para telecomunicación, controlado por procesador y adaptado para establecer
10 conexiones entre entradas y salidas de dicha red de conmutación, así como para reponer dichas conexiones, bajo el control de, por lo menos, dos procesadores, cada uno de los cuales tiene acceso a una memoria que almacena las palabras de estado que contienen información acerca de las conexiones estable-
15 cidas a través de la red de conmutación, y que indica la fase de estas conexiones, por ejemplo, si están en fase de comunicación o no. Dicho procesador, cuando tiene lugar el corte de, por lo menos, uno de los otros procesadores, ejecuta un programa de recuperación que consiste en leer la
20 fase almacenada en las palabras de estado y reponer las correspondientes conexiones que no están en fase de comunicación. Caracterizado porque la memoria almacena también segundas palabras de estado (TJSB) que contienen también información (TBMB, OJSBA, CT) acerca de las conexiones, porque dicha se-
25 gunda palabra de estado (TJSB) que contiene información sobre una conexión, de la cual se almacena también información (TBMB, TJSBA, CP) en la primera palabra de estado (OJSB), contiene también información de correlación (OJSBA) para interconectar estas palabras de estado correspondientes. El
30 programa de recuperación (RPR) comprende los medios de enca-

Rg



minar cada una de las primeras palabras de estado, ejecutar la fase de lectura y encontrar la fase de comunicación, dirigiendo la segunda palabra de estado que comprende a dicha primera palabra de estado, verificando si la información de correlación es o no correcta, y reponiendo la conexión cuando
5 esta operación de verificación no tiene éxito.

2. Un sistema de conmutación para telecomunicación, controlado por procesador, según el punto 1, caracterizado porque la información de correlación está constituida
10 por la dirección (OJSBA) de la primera palabra de estado (OJSB) en la memoria.

3. Un sistema de conmutación para telecomunicación, según el punto 2, caracterizado porque la operación de verificación consiste en comparar la dirección por medio
15 de la cual la primera palabra de estado ha sido encaminada, y la dirección (OJSBA) de dicha palabra almacenada en la segunda palabra de estado (TJSB) que corresponde a la primera palabra de estado (OJSB) considerada.

4. Un sistema de conmutación para telecomunicación, controlado por procesador, según el punto 1, caracterizado porque cada una de las primeras y segundas palabras
20 de estado contienen también información (TBMB) que indica la identidad del procesador que maneja la conexión cuya información está almacenada en esta palabra de estado, y porque
25 dicho programa de recuperación, ejecutado por un procesador, comprende también el paso de reemplazar, si fuera necesario, la identidad almacenada en las primeras y segundas palabras de estado por su propia identidad, cuando la operación de verificación ha tenido éxito.

Re 30 5. Un sistema de conmutación para telecomunicación

412364

15.



controlado por procesador, según el punto 1, caracterizado porque consiste en alimentar dicho programa de recuperación en la memoria a partir de una fuente exterior (MTU).

5 6. Un sistema de conmutación para telecomunicación, controlado por procesador, según el punto 5, caracterizado porque, cuando cada uno de los procesadores tiene una memoria asociada, el programa de recuperación se alimenta en las memorias de los procesadores consecutivamente hasta que se encuentra un procesador adaptado para ejecutar dicho
10 programa. La ejecución de dicho programa se detiene definitivamente cuando no puede ser ejecutado por ninguno de los procesadores.

7. Un sistema de conmutación para telecomunicación, controlado por procesador, según el punto 1, caracterizado porque, cuando se encuentra una primera palabra de
15 estado (OJSB) para almacenar la fase de supervisión (SP) que indica que va a ser repuesta la correspondiente conexión, dicha fase de supervisión es sustituida por la fase de comunicación antes de verificar la información de correlación.

20 8. Un sistema de conmutación para telecomunicación, controlado por procesador.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

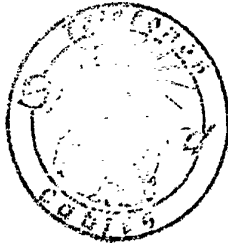
Re

412364 16.



Esta memoria consta de dieciseis hojas escritas
por una sola cara.

Madrid, 6 MAR. 1973



M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

4/1



412364

4 JUL. 1973

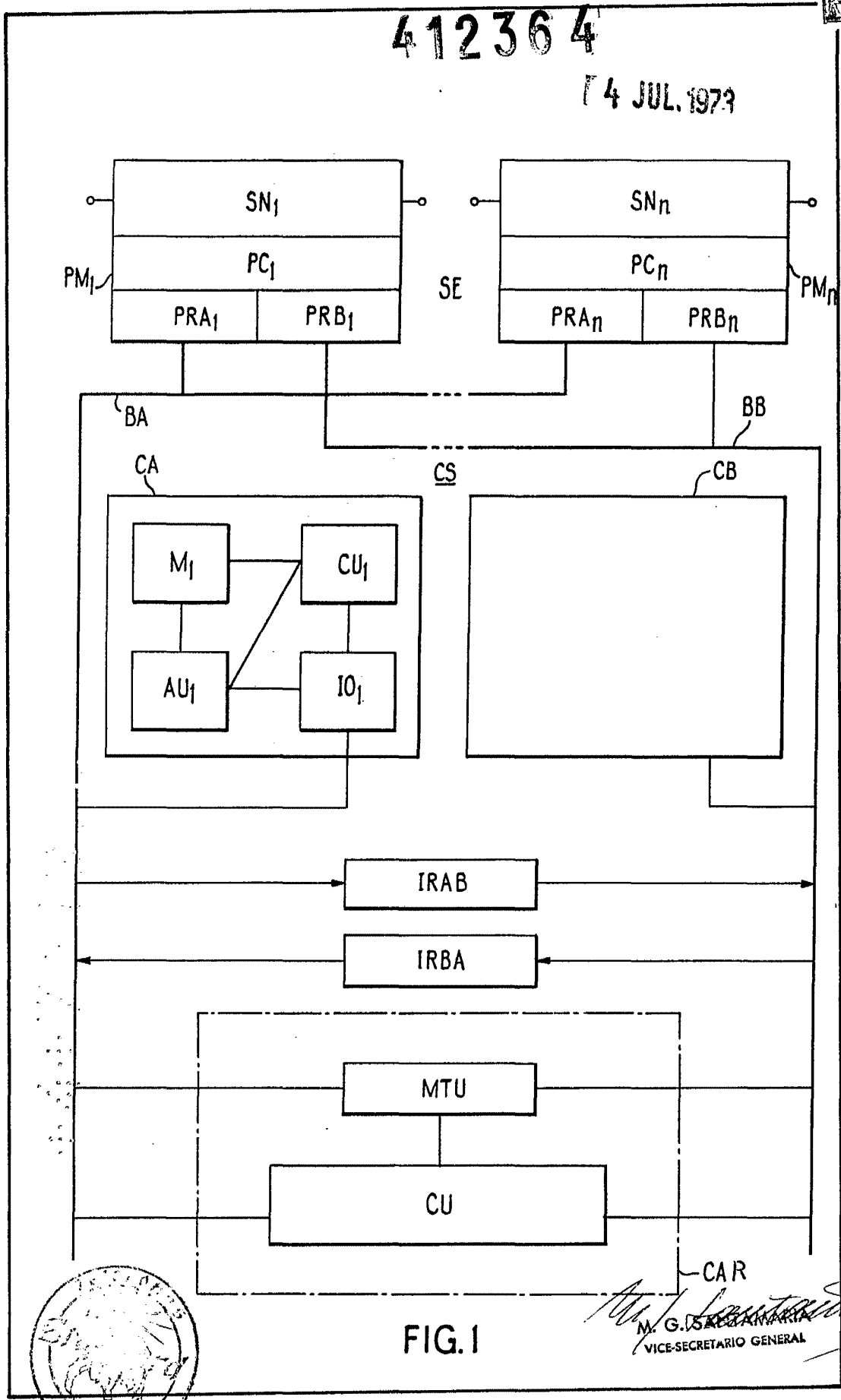
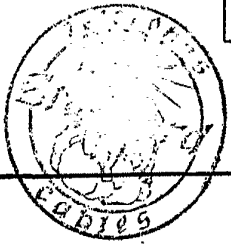


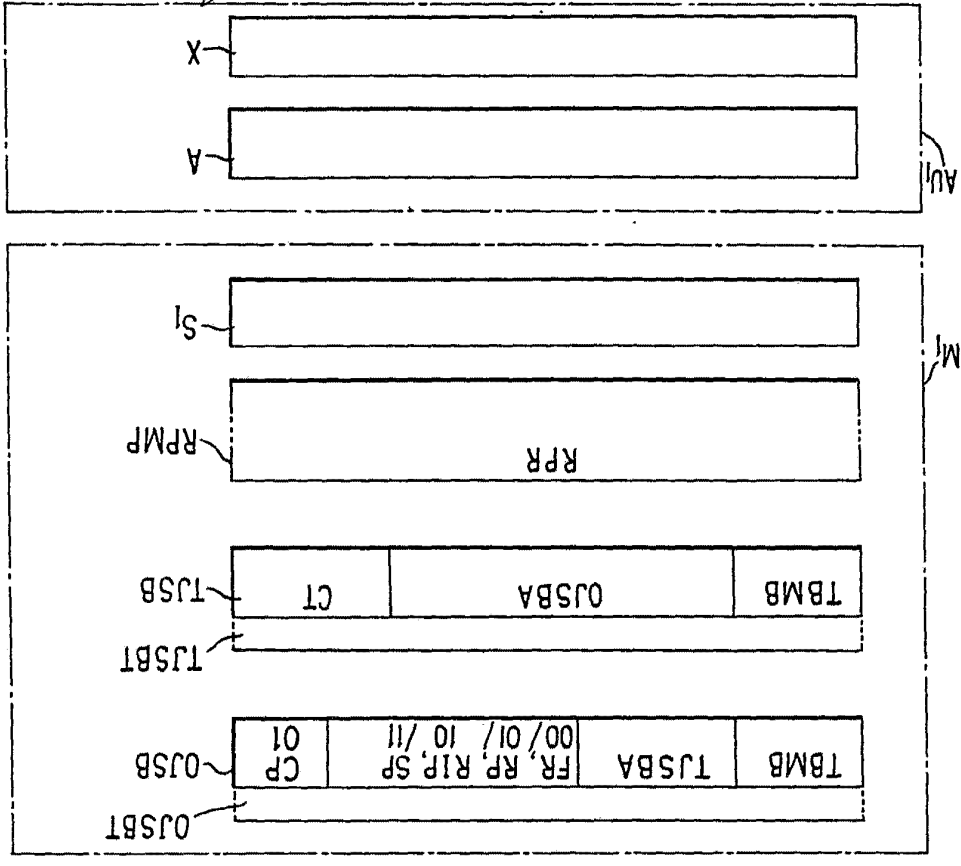
FIG. 1

M. G. SANCHEZ MARTA
 VICE-SECRETARIO GENERAL



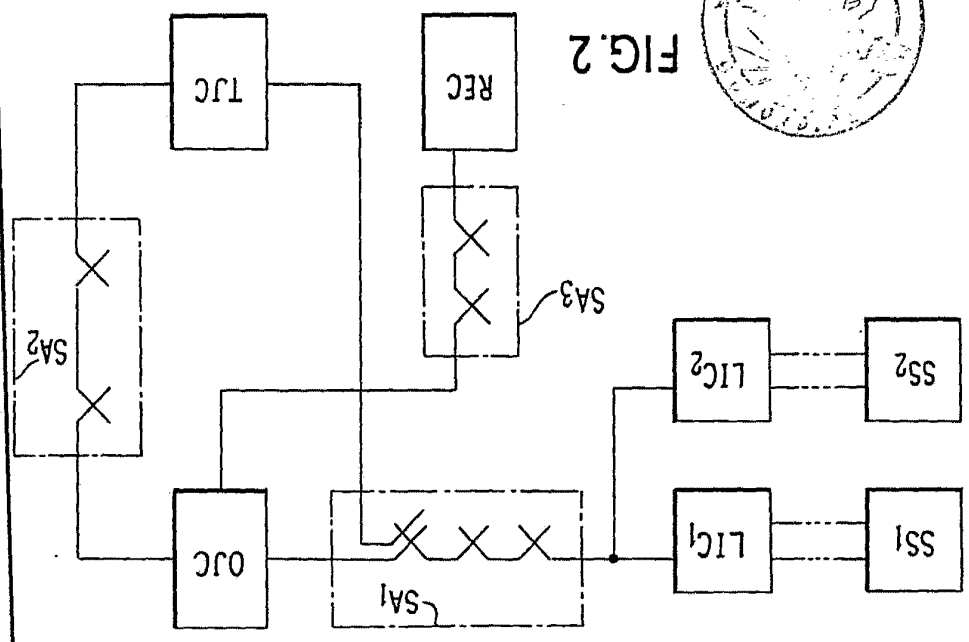
VICE-SECRETARY GENERAL
M. G. SANTAMARIA

FIG. 3



4 JUL 1973

FIG. 2



412364

STANDARD ELECTRICAL, S.A.



4/2



412364

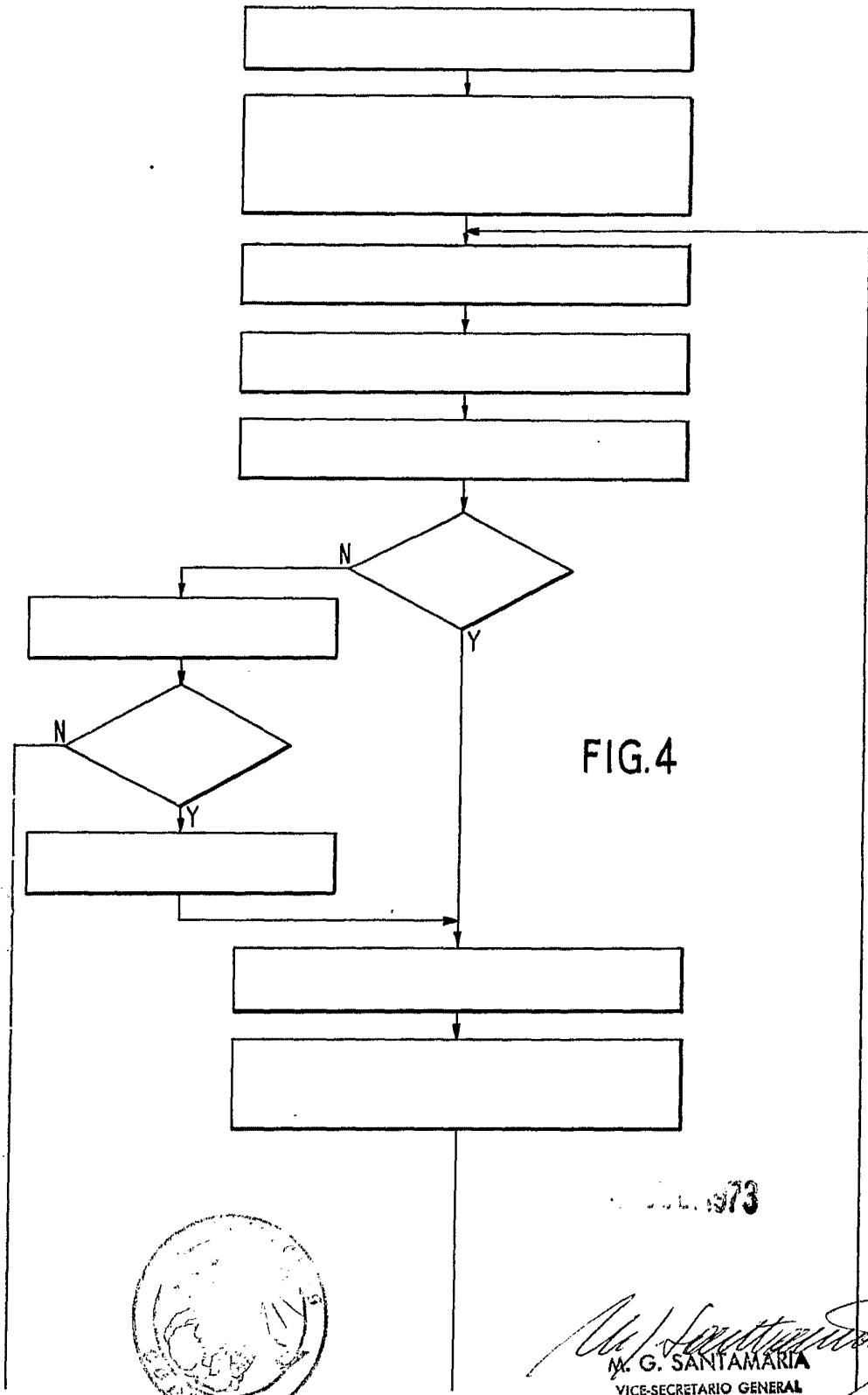
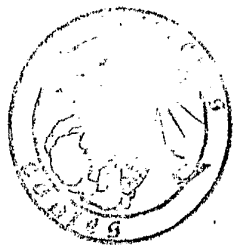


FIG.4

1973



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

4/4



412364

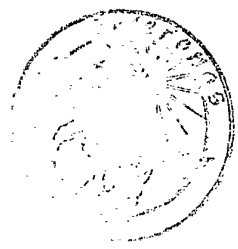
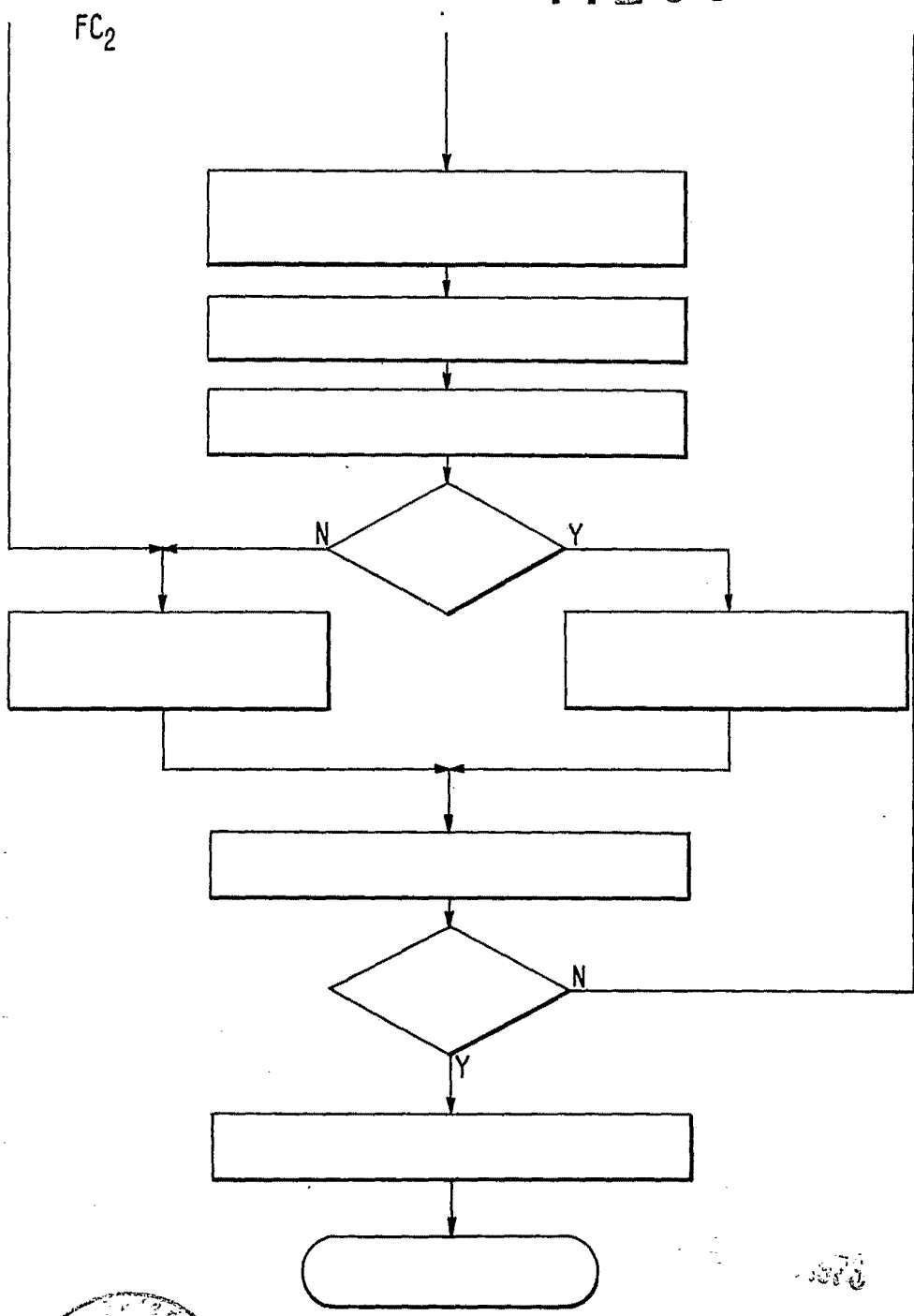


FIG.5

M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL