



411963

411963

Cl. CI.: G06F

F.P. 24-3-75

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "UN SISTEMA PARA PROCESO DE DATOS", A NOMBRE DE
STANDARD ELECTRICA, S.A., DOMICILIADA EN MADRID, CALLE DE
RAMIREZ DE PRADO, Nº 5.

5 El invento se refiere a un sistema para proceso de datos que incluye diferentes procesadores y un dispositivo controlable, por ejemplo, un equipo de conmutación para tele- comunicación. Dichos procesadores controlan el dispositivo mencionado ejecutando diferentes programas.

10 Tal sistema para proceso de datos se conoce ya, por la patente española nº 349.576 (S. Kobus 19.4.1.2.13). En este sistema ya conocido, el dispositivo controlable es un equipo de conmutación para telecomunicación, y cada uno de los procesadores es capaz de ejecutar los programas, controlando todas las operaciones necesarias, por ejemplo, para el establecimiento de una comunicación a través del equipo de conmutación. Aunque cada procesador es capaz de completar una comunicación independientemente del otro, se han previsto medios

411963

2.



de inhibición en cada procesador para evitar que un procesador ejecute un programa simultáneamente con el otro procesador, controlando, por distintas vías la ejecución de operación de conmutación en el equipo correspondiente, lo que conduciría a situaciones conflictivas. Una desventaja de este conocido sistema es que no solamente necesita medios de inhibición, sino que, además, cada procesador tiene que tener en cuenta al otro antes de ser capaz de ejecutar el último programa mencionado.

10 Un objetivo del presente invento es proporcionar un sistema para proceso de datos, del tipo anterior, que no requiere tales medios de inhibición y donde la ejecución del último programa mencionado, al menos por un procesador, es independiente del otro.

15 Según este invento, esto se consigue por el hecho de que dichos programas se dividen de tal manera que, en un primer paso, cada programa se ejecuta por un procesador solamente y, en un segundo paso, cada programa se ejecuta por dos procesadores, por lo menos.

20 Asignando la ejecución del programa mencionado anteriormente a, por ejemplo, uno de los procesadores, no pueden surgir conflictos con otro computador, por lo que no se necesitan elementos de inhibición. Además, la ejecución del mencionado programa por este computador es independiente de otro.

25 Según otra característica de este invento, el presente sistema para proceso de datos se caracteriza también en que, por lo menos uno de dichos procesadores tiene acceso a elementos de memoria, almacenando información seleccionada y
30 calculada por otro procesador, al menos, cuando esté último



falla y ha de continuar el control del dispositivo que ha sido puesto en marcha por aquel procesador.

Según otra característica de este invento, el presente sistema para proceso de datos está caracterizado también en que dichos procesadores están interconectados por medios de comunicación entre procesadores, empleados para transferir información entre dichos procesadores y, desde uno de ellos a los elementos de memoria del otro. Estos elementos de memoria forman parte de una memoria individual de este procesador.

Cuando el sistema de proceso de datos incluye dos procesadores interconectados por los medios indicados anteriormente, y uno de ellos ejecuta el programa mencionado anteriormente, mientras que el otro no interviene, este último puede emplear estos medios de comunicación para requerir que el primer procesador ejecute este programa y recibir información del mismo respecto a esta operación.

Una característica más del presente invento es que dichos elementos de memoria forman parte de una memoria común a la que tiene acceso todos los procesadores.

Nótese que la patente US 3 503 048 ya revela un sistema para proceso de datos que incluye un equipo de conmutación para telecomunicación y diferentes procesadores con una memoria común controlando el establecimiento de comunicaciones a través del equipo de conmutación mediante la ejecución de diferentes programas; cada uno de estos programas se ejecuta, sin embargo, por un procesador solamente; y ninguno de ellos lo es por dos o más procesadores. Tal distribución de programas entre todos los procesadores tiene la desventaja de que para una comunicación que debe establecerse, tienen que funcionar

411963

4.



los procesadores uno a continuación de otro. Ya que la trans-
ferencia de información entre los procesadores se realiza a
través de memoria común, esto conduce a un tiempo de espera y
a un aumento del tiempo requerido para establecer una comunica-
5 ción. También implica la utilización de un, relativamente gran-
de, sistema de colas para regular el acceso de los procesadores
a la memoria común.

Contrariamente a esto, el presente sistema de pro-
ceso de datos permite distribuir los programas entre los proce-
10 sadores de un modo flexible, asignando algunos programas a va-
rios procesadores y otros a un procesador solamente. Tal fle-
xibilidad es útil cuando existe un programa largo que no puede
ser realmente sustituido, en cuanto al tiempo de ejecución se
refiere, por diversos programas más cortos. En este caso, el
15 programa largo puede ser asignado a, por lo menos, dos de estos
procesadores, mientras que otros programas pueden ser distribui-
dos entre ellos.

El presente invento se refiere también a un sis-
tema para proceso de datos que incluye diversos computadores,
20 cada uno de los cuales cuenta con una memoria individual y con
acceso a, por lo menos, una unidad común con una serie de ele-
mentos similares adaptados para ser manejados por dichos com-
putadores. Caracterizado porque, en cada una de dichas memorias
individuales almacena, por lo menos, una tabla de palabra, las
25 indicaciones de las cuales (bits), indican si ó no los elemen-
tos de dichas series deben ser manejados por el computador de
cuya memoria individual forman parte.

El presente invento se refiere, además, a un sis-
tema para proceso de datos que incluye, por lo menos, dos com-
30 putadores capaces de ejecutar, cada uno de ellos, diferentes



programas y, cada uno, con una memoria individual. Caracterizado porque cada una de dichas memorias individuales almacena una primera palabra que indica los programas que estan permitidos realizar al computador correspondiente, y estas palabras almacenadas en las memorias individuales son diferentes unas de otras.

Según otro aspecto del presente invento, el mismo se refiere a un sistema para proceso de datos que incluye, por lo menos, dos computadores, cada uno de los cuales es capaz de ejecutar diferentes programas, teniendo cada uno, una memoria individual para almacenar una tabla de tiempo, cuyas indicaciones (bits) de cada palabra de esta tabla indican programas que son posibles ejecutar durante un intervalo de tiempo determinado. Las sucesivas palabras de esta tabla corresponden a intervalos de tiempo sucesivos, siendo idénticas las tablas de los procesadores. Caracterizado porque cada una de dichas memorias individuales almacena una primera palabra que indica los programas que se permite ejecutar al correspondiente computador. Estas palabras almacenadas en las memorias individuales de los computadores son diferentes unas de otras.

Según otro aspecto del presente invento, el mismo se refiere a un sistema para proceso de datos incluye, por lo menos, dos computadores, cada uno de los cuales es capaz de ejecutar diferentes programas, teniendo cada uno de ellos, una memoria individual para almacenar una tabla de tiempo. Las indicaciones (bits) de cada palabra de esta tabla indican los programas que son posibles ejecutar durante un intervalo de tiempo determinado. Las palabras sucesivas de dicha tabla corresponden a intervalos de tiempo sucesivos, siendo idénticas las tablas de los procesadores. Caracterizado porque dichos computadores tienen una memoria común para almacenar una segunda



411963

6.

palabra común que indica los programas que no serían ejecutados por los computadores porque no existe información disponible para los mismos. Cada uno de dichos computadores es capaz de modificar dicha segunda palabra, cuando la información está disponible.

Según otro aspecto del presente invento, el mismo se refiere a un sistema para proceso de datos que incluye, por lo menos, dos computadores, cada uno capaz de ejecutar diversos programas. Caracterizado porque dichos computadores tienen una memoria común para almacenar diversas terceras palabras, cada una de ellas asociada a un computador. Las indicaciones (bits) de estas palabras se refieren a los programas que serían ejecutados absolutamente por el computador correspondiente. Cada una de estas terceras palabras puede ser modificada por cualquier computador.

Según otro aspecto del presente invento se refiere a un sistema para proceso de datos que incluye, por lo menos, un computador capaz de ejecutar diferentes programas y, proporcionar, para cada uno de diversos intervalos de tiempo sucesivos, una palabra que se almacena en su memoria individual. Los bits que la componen tienen un valor predeterminado que indican los programas que han de ejecutarse durante este intervalo de tiempo. Cada uno de tales bits se repone durante este intervalo de tiempo después de la ejecución del programa correspondiente, por el computador modificando la palabra. Caracterizado porque cada computador se adapta a OR y una palabra proporcionada por un nuevo intervalo de tiempo, así como la palabra modificada por el intervalo de tiempo inmediatamente anterior dan una palabra resultante para un nuevo intervalo de tiempo.

El mencionado anteriormente y otros objetivos y



características del invento serán mejor entendidos refiriendonos a la descripción y Figs. que se acompañan, y en las cuales:

La Fig. 1 es una vista esquemática de un sistema para proceso de datos según el presente invento;

5 La Fig. 2 muestra, con más detalle, el procesador CPA de la Fig. 1 acoplado a las memorias MA y CM y al circuito periférico PC mostrado también en la Fig.;

La Fig. 3 y 4 representan las memorias MA y MB de la Fig.1 con más detalle.

10 La Fig. 5 representa la memoria CM de la Fig. 1 con más detalle;

Las Figs. 6 a 8, dispuestas una debajo de otra, forman una carta de flujo de un programa principal almacenado en cada una de las memorias MA y MB de la Fig. 1.

15 Las Figs. 9 a 13 muestran cartas de flujo de algunos de los programas que forman parte de este programa principal.

Refiriendonos a la Fig. 1, el sistema para proceso de datos que se representa en la misma incluye un sistema de
20 conmutación para telecomunicación SN, PC y dos computadores. Este sistema de conmutación incluye una red de conmutación SN y un circuito periférico PC, que esta conectado a la red de conmutación SN a través de las barras de distribución BBO a BB4. Los dos computadores incluyen los dos procesadores CPA y
25 CPB que se encuentran conectados al multicircuito periférico PC a través de la barra de distribución BB5, una memoria común CM y dos memorias individuales MA y MB. Los procesadores CPA y CPB estan conectados a las memorias BB6 y BB7, respectivamente. La red de conmutación Sn está constituida por diferentes
30 junctores de llegada tales como LJ que estan conectados a otros



411963

8.

de salida tales como OJ, a través de la red de conmutación principal MSN. Los junctores de entrada y salida están conectados a enlaces de entrada y salida, tales como IT y OT, respectivamente, que llevan a centrales distantes. Los junctores de entrada, tal como IJ, están conectados, además, a diferentes unidades de recepción RU, a través de una red de señalización de receptores RSN, mientras que los junctores de salida OJ, están conectados, además, a diferentes unidades emisoras SU a través de una red de señalización de emisores SSN. Las redes de conmutación MSN, RSN y SSN están constituidas, cada una de ellas, por diferentes etapas de conmutación interconectadas por enlaces.

El multicircuito periférico PC incluye probadores de ocupado/libre BFT, unidades marcadoras MDU, probadores para señalar datos SDT, probadores de unidades de señalización SUT y unidades de marcación rápida FDU. El BFT y el MDU están conectados a los junctores de entrada y salida y al RSN, MSN y SSN a través de las barras de distribución BBO y BBL, respectivamente. Las primeras unidades son capaces de probar la condición de libre u ocupado de los circuitos, mientras que las últimas son capaces de marcar estos circuitos y operar elementos tales como los relés de los mismos. Los probadores de datos de señalización SDT están conectados a los junctores de entrada y salida a través de las barras de distribución BB2 y son capaces de probar las condiciones de bucle de estos circuitos, esto es, su conexión a una central distante a través de enlaces de entrada y salida, respectivamente. Los probadores de unidades de señalización SUT están conectados al emisor y al receptor a través de la barra de distribución BB3 y son capaces de probar la condición de libre u ocupado de estos circuitos, así



411963

9.

como la presencia de señales. Finalmente, los FDU están conectados al emisor y receptor a través de la barra de distribución BB4 y son capaces de actuar rápidamente elementos tales como los relés de estas unidades.

5 Nótese que, al igual a como se describe en la mencionada patente US, la red de conmutación SN y el circuito periférico PC están dispuestos en módulos idénticos de unos 2000 junctores de entrada y 2000 de salida, cuando el sistema de conmutación es suficientemente grande. Cada módulo incluye, por lo menos, dos BFT, MDU, SDT y FDU que están acoplados a los procesadores CPA y CPB, respectivamente. Normalmente, solamente se utiliza uno de los dos SDT que forman parte del módulo, quedando el otro como repuesto.

15 Ambos procesadores CPA y CPB son idénticos y muy conocidos en esta técnica, por lo que solamente uno de ellos, por ejemplo, el CPA se muestra con relativo detalle en la Fig. 2. Este procesador incluye una unidad aritmética AU. Una unidad de control CU y un multicircuito de entrada-salida I/O. La unidad de control CU controla las diferentes operaciones de los circuitos CM, MA AU y I/O, estando conectado a estos circuitos. El multicircuito de entrada-salida I/O está conectado al multicircuito periférico PC a través de la barra de distribución BB5. La unidad aritmética AU incluye, entre otros circuitos, un registrador o acumulador A adaptado para almacenar los resultados de las operaciones aritméticas y lógicas, un registrador de índice X que permite modificaciones de direcciones y un multicircuito lógico LC. Las conexiones entre A, X y LC no están indicadas, ya que son clásicas en esta técnica.

20 Refiriéndonos a las Figs. 3 y 4, las memorias de palabras de 32 bits, Ma y Mb del procesador CPA y CPB, respec-

411963

10.



tivamente, incluyen:

- las tablas de dirección de programa PRA y PRB;
- las tablas de control de programa de nivel de reloj CLMTA y CLMTB ó las tablas de tiempo de programa de nivel de reloj;
- 5 - las tablas de control de programa de nivel de base BLMTA y BLMTB ó las tablas de tiempo de programs de nivel base;
- las máscaras de distribución de funciones de nivel base BLFSMA y BLFSMB;
- las tablas-tratado-por-me de los junctores de entrada BLMTA
- 10 (IJ) y BLMTB (IJ);
- las tablas tratado-por-mí del excitador de marcado TMBTA (MD) y TMBTB (MD);
- las tablas tratado-por-mí del probador de datos de señaliza-
ción TMMTA (SDT) y TMBTB (SDT);
- 15 - las máscaras de control de nivel base intermedio BLMMAA y BLMMBA;
- las máscaras de control de nivel base anterior y actual BLMMAC y BLMMAD para el procesador CPA y BLMMBC y BLMMBD para el procesador CPB;
- 20 - las partes de la memoria MPA y MPB que almacenan las palabras S1 a S6.

Las tablas de los programas PRA y PRB son idénticas y almacenan las direcciones de los programas siguientes, solamente algunos de los cuales serán detallados después, los demás los daremos solamente a modo de ejemplo:

Programas de nivel de reloj

CPO: programa de nivel de reloj de la unidad de excitación del marcador;

CPI: programa de nivel de reloj del probador de datos de señalización de los junctores de entrada;

30



411963

11.

- CP2: programa de nivel de reloj del probador de datos de señalización de los junctores de salida;
- CP3: programa de nivel de reloj del probador de las unidades de señalización del receptor;
- 5 CP4: programa de nivel de reloj para explorar la memoria intermedia de entrada de los junctores de llegada.
- CP5: programa de nivel de reloj para explorar la memoria intermedia de entrada de los junctores de salida;
- CP6: programa de nivel de reloj del receptor.
- 10 Programas de nivel base
- BP0: programa de nivel base para explorar el final de operación del excitador del marcador.
- BP1: programa de nivel base para ejecutar órdenes de secuencia y para explorar las requisiciones en la memoria intermedia del
- 15 excitador del marcador.
- BP2: programa de nivel base del receptor
- BP3: programa de nivel base del emisor;
- BP4: programa de nivel base para la exploración a ritmo elevado;
- 20 BP5: programa de nivel base para la exploración de la memoria intermedia del receptor;
- BP6 programa de nivel base para la exploración de la memoria intermedia del emisor;
- BP7: programa de nivel base fuera de tiempo
- 25 BP8: programa de nivel base para decodificar el error del apilador de tarjetas
- BP9: programa de nivel base para poner un elemento fuera de servicio.

Los programas de nivel de reloj son aquellos que

30 deben ser ejecutados regularmente. El comienzo de una serie de



411963

12.

tales programas se da cada 10 milisegundos por un, así llama-
do, interruptor de reloj. La serie de programas de un nivel de
reloj que se ejecutan durante tales intervalos de tiempo suce-
sivos no son los mismos, ya que algunos de estos programas
5 deben ser ejecutados con más frecuencia que otros. Cuando se
han ejecutado los programas de nivel de reloj de una serie,
comienza un programa de nivel base el cual continúa hasta
que tiene lugar una nueva interrupción de reloj, a no ser que
sea interrumpido por un programa de más alta prioridad.

10 Las sucesivas palabras de 32 bits de las tablas
de control de nivel de reloj CLMTA y CLMTB, indican las series
de programas de nivel de reloj que serán ejecutados consecuti-
vamente durante los sucesivos intervalos de interrupción de
reloj en los procesadores CPA y CPB, respectivamente. Después
15 de haberse ejecutado la última serie, pasa a ejecutarse nue-
vamente la primera, etc. Las columnas de estas tablas indican
la frecuencia con que deben ser ejecutados los programas.

Por ejemplo:

- 20 - las primeras palabras de las tablas indican que los progra-
mas de nivel de reloj CP0, CP1, CP3 y CP4 deben ser ejecutados
consecutivamente durante un intervalo de tiempo de interrupción
de reloj;
- las segundas palabras de las tablas indican que los programas
de nivel de reloj CP0, CP2, CP5 y CP6 deben ser ejecutados
25 consecutivamente durante el siguiente intervalo de tiempo de
interrupción del reloj.

Las sucesivas palabras de 32 bits de las idénti-
cas tablas de control de nivel base BLMTA y BLMTB indican la
serie de programas de nivel base que deben ser ejecutados con-
secutivamente en los procesadores CPA y PCB durante sucesivos
30



intervalos de tiempo de nivel base; cada uno de tales intervalos de tiempo comienza después de haberse ejecutado el programa de nivel de reloj que se desea, y termina cuando tiene lugar la siguiente interrupción de reloj.

5 Por ejemplo:

- las primeras palabras de las tablas indican que los programas de nivel base BP0, BP1, BP3, BP6 y BP8 deben ser ejecutados durante un intervalo de tiempo de nivel base;
- las segundas palabras de las tablas indican que los programas de nivel base BP0, BP1, BP2, BP4, BP5, BP7 y BP8 deben ser ejecutados durante el siguiente intervalo de nivel base.

Los procesadores tienen las mismas tablas de control de nivel base y las mismas tablas de control de nivel de reloj, por razones de seguridad, esto es, a fin de que estas tablas estén disponibles cuando una de las memorias MA, MB, falla.

Nótese que la posición de un bit en una palabra de las tablas de control es la dirección relativa del programa correspondiente en las tablas de dirección de programa PRA y PRB. Por ejemplo, la posición del bit 7 en la BLMTA es la dirección relativa del programa BP6 en la tabla PRA.

Las máscaras de distribución de funciones de nivel base BLFSMA y BLFSMB están constituidas, cada una, por una palabra de 32 bits. Los bits 1 y bits 2 de esta palabra indican los programas de nivel base que pueden ejecutarse (bit 1) y los que no pueden ejecutarse (bit 0) por el procesador CPA, CPB durante cualquier intervalo de tiempo de nivel base.

Por ejemplo:

- la máscara de distribución de función de nivel base BLFSMA, indica que el procesador CPA es capaz de ejecutar todos los



411963

14.

programas de nivel base BPO a BP9;

- la máscara de distribución de función de nivel base BLFSMB indica que el procesador CPB no puede ejecutar los programas de nivel base BPO y BP1, pero es capaz de ejecutar los otros programas de nivel base BP2 a BP9.

Ya que se han considerado solamente 7 programas de nivel base de reloj y 10 programas de nivel base, es claro que los bits 7 a 31 y 10 a 31 son 0 en CLMTA, CLMTB y BLMTA, BLMTB, BLFSMA, BLFSMB, respectivamente.

De lo indicado anteriormente, se deduce que los diferentes programas BPO a BP6 y CPO a CP9 han sido divididos en dos series:

- una primera serie en la que cada uno de sus programas se ejecuta por un procesador solamente, esto es, el programa BPO, BP1 ejecutado por el procesador CPA. Aunque esto no es el caso aquí, es claro que en algunos casos, los programas pueden ser distribuidos entre ambos procesadores CPA y CPB de tal modo que dichos procesadores ejecuten diferentes programas;
- una segunda serie en la que cada programa se ejecuta por, al menos, dos procesadores, esto es, cada uno de los programas BP2 a BP6 y CPO a CP9 se ejecutan por los procesadores CPA y CPB.

Aunque no se utilizan aquí máscaras de distribución de programas de nivel de reloj, es claro que esto puede ser útil en algunos casos. La ventaja de tales máscaras de distribución de programas o funciones está en que permiten distribuir fácilmente estas funciones o programas entre los procesadores, por ejemplo, para igualar la carga de tráfico, y para modificar esta distribución cuando se requiera,



Las tablas tratado-por-mi de junctores de entrada TBMTA (IJ) y TBMTB (IJ) estan constituidas por palabras de 32 bits, en las que cada bit corresponde a un junctor de entrada y a la entrada asociada de la memoria intermedia, así como
5 al estado de dicha memoria, que son porciones de memoria que almacenan información acerca del junctor de entrada. Cada uno de tales bits indica que la información que se refiere al junctor de entrada correspondiente debe (1-bit) o no debe (0-bit) ser procesada por un procesador CPA, CPB. Cada una de estas
10 tablas es complementaria de otra.

Por ejemplo:

- las palabras de 32 bits primera y última mostradas de la tabla TVMTA (IJ) indican que la información que se refiere al junctor correspondiente debe y no debe procesarse, respectivamente por el procesador CPA;
- 15 - la primera y última palabra de 32 bits mostradas en la tabla TBMTB(IJ) indican que la información que se refiere al junctor correspondiente debe no ser y debe ser manejada, respectivamente, por el procesador CPB.

20 Las tablas tratadas-por-mi del excitador de marcador TBMTA(MD) y TBMTB(MD) estan constituidas, cada una, por una palabra en la que cada bit corresponde a un apilador excitador de marcador distinto, que es una porción de memoria empleada para almacenar información acerca de las operaciones
25 que debe ejecutar la unidad de excitación del marcador MDU. Cada uno de tales bits indica que el apilador excitador de marcador correspondiente debe (1-bit) o no debe (0-bit) ser procesado por un procesador CPA, CPB. Estas tablas son complementarias una de otra.

30 Las tablas tratada-por-mi del probador de datos

411963

16.



de señalización TEMTA (SDT) y TBMTB(SDT) estan constituidas, cada una, por una palabra en la que cada bit corresponde a un distinto probador de datos de señalización. Cada uno de tales bits indica que el correspondiente probador de datos de señalización debe (1-bit) o no debe (0-bit) ser procesado por un procesador CPA, CPB. Estas tablas son complementarias una de otras y estan constituidas, por ejemplo, por 16 bits-1 seguidos de 16 bits-0 y por 16 bits-0 seguidos de 16bits-1, respectivamente. Nótese que los bits homólogos de estas tablas corresponden a probadores de datos homólogos, esto es, a los dos probadores de datos que forman parte de un mismo módulo, siendo uno de tales probadores activo y quedando el otro como repuesto.

La posición de cada bit en una tabla tratada-por-mi de probador de datos de señalización o en una tabla tratada-por-mi de excitador de marcador, que estan constituidas cada una por una palabra única, es la dirección relativa del correspondiente probador y excitador de marcador en un grupo de un máximo de 32 de tales elementos, mientras que la posición de cada bit en una tabla tratada-por-mi de junctores de entrada, que comprende varias palabras, es la dirección relativa del correspondiente junctor de entrada, y entrada asociada, así como el estado de las memorias intermedias, en un conjunto que comprende varios grupos de 32 junctores de entrada.

Ya que el programa BPO, BPI se ejecuta por el procesador CPA solamente, dicha ejecución no puede ocasionar conflictos con el otro procesador. Sin embargo, este no es el caso con algunos de los programas que son ejecutados en ambos procesadores y, por esta razón, se utilizan las anteriores tablas tratada-por-mi. Ya que cada tabla indica, para una serie



de elementos similares, los que deben y los que no deben ser procesados por un procesador, y ya que dos tablas que se refieren a elementos similares son complementarias, no existe peligro de conflicto. Además, estas tablas también permiten distribuir fácilmente el procesamiento de estos elementos entre los procesadores, por ejemplo, en función de la carga de tráfico.

Las tablas tratada-por-mi son también particularmente útiles cuando, por ejemplo, uno de los procesadores falla, y el otro tiene que hacerse cargo de su trabajo. Poniendo a l todos los bits de las tablas tratada-por-mi del procesador correcto, este último procesará automáticamente todos los elementos indicados por estas tablas.

El motivo de lo anterior, las máscaras de control de nivel base actuales e intermedias, así como las partes de la memoria MPA y MPB, serán explicadas después con más detalle.

Refiriendonos a la Fig. 5, la memoria común CM que allí representa esquemáticamente, incluye:

- un conjunto de palabras de 32 bits empleadas para almacenar la condición de libre/ocupado de los junctores de entrada y salida, receptores y emisores de los enlaces que constituyen los RSN, MSN y SSN,
- las tablas de las memorias intermedias de entrada de los junctores de llegada anterior y presente, tales como la IJIBCT e IJIBDT. Las memorias intermedias tales como la IJIBC y IJIBD están constituidas, cada una de ellas, por una palabra de 32 bits y se emplean para almacenar las condiciones de bucle anterior y actual de los 32 junctores de entrada;
- una tabla de estado de la memoria intermedia de los junctores de entrada IJSBT, donde, cada memoria intermedia, tal



411963

como la IJSB, esta constituida por una palabra de 32 bits y asociada a un junctor de entrada, y se emplea para almacenar toda la información que se refiere a una comunicación en la que esté emplificado este junctor;

- 5 - una tabla de memoria intermedia para requisición del excitador de marcado MDRBRT en la que, cada palabra, que forma una memoria de requisición del excitador de marcador, está constituida por una palabra formada por 32 bits de requisición del excitador de marcador, tal como MDRB. Cada uno de tales
- 10 MDRB esta asociado a un junctor de entrada, y cuando está en la condición-1, indica que el computador requiere una unidad de excitación de marcador para procesar este junctor de entrada;
- una palabra del apilador del excitador de marcador MDHW en
- 15 la que cada bit corresponde a un apilador del excitador de marcador, e indica si debe (bit-1) o no debe (bit-0) ser tratado dicho apilador;
- una tabla de apilador del excitador de marcador MDHT en que cada apilador, tal como el MDH, forma una lista de espera de
- 20 información que debe ser procesada por una unidad del excitador del marcador;
- una lista de prioridad del excitador del marcador MDPL que indica la prioridad de la información que debe ser procesada por una unidad del excitador del marcador;
- 25 - una máscara efectiva de nivel base BLEM constituida por una palabra que se emplea para indicar mediante bits-0, aquellos programas de nivel base que no deben ser ejecutados debido a que no existe nueva información disponible. El BLEM esta almacenado en la memoria común debido a que es válido para ambos
- 30 procesadores, y ambos procesadores deben ser capaces de modi-



411963 19.

ficarlo. Un ejemplo de un programa para el que, normalmente, no existe información disponible es el BP8, que es un programa de errores;

- las máscaras de requisición de nivel base BLRMA y BLRMB constituidas por palabras de 32 bits se emplean para indicar los programas de nivel base que deben ser ejecutados, tan pronto como sea posible, por los procesadores CPA y CPB, respectivamente, e independientemente de otras condiciones. Por ejemplo, el BLRMB indica que el programa de nivel base BP9 debe ser ejecutado, tan pronto como sea posible, por el procesador CPB.

A fin de explicar claramente el invento, el establecimiento de una conexión entre un junctor de entrada que llama, por ejemplo IJ, y una unidad de recepción libre RU, a través de la red de señalización del receptor RSN, y bajo el control del procesador CPA, está considerada con más detalle en lo que sigue a continuación. Por, junctor de entrada que llama, queremos decir que este junctor de entrada está conectado, a través de un enlace de llegada IT, a una central distante en donde se ha cerrado un bucle en dirección a este junctor de entrada.

Se supone que el programa de nivel base ha sido interrumpido en ese momento por una interrupción de reloj de 10 ms (Fig. 7). Este intervalo de tiempo de interrupción de reloj comienza al mismo tiempo que un programa principal MP (Figs. 6,7). Primeramente, la dirección relativa de una palabra en la tabla de control de nivel de reloj CLMTA (Fig.3), se carga, desde la localización de memoria S1 (Fig. 4) de la parte MPA de la memoria MA, en el registro índice X y, después, la dirección de la tabla CLMTA, esto es, de la primera palabra de esta tabla, se combina con esta dirección relativa

411063

20.



para encontrar la dirección de la palabra mencionada anteriormente en la tabla CLMTA. Esta palabra se carga en el registro A. Se supone que esta palabra es la primera de la tabla CLMTA. Esta palabra indica que solamente la serie de programas de nivel de reloj CPO, CP1, CP3 y CP4 serían ejecutados en sucesión durante el intervalo de tiempo correspondiente. Los contenidos del registro índice X se incrementan entonces por 1 y se comprueba si este registro indica un número máximo, esto es, el número total de palabras en la tabla CLMTA, o no. Si se ha alcanzado ya este máximo, el contenido del registro índice X se repone a cero antes de continuar el programa, mientras que si no se ha alcanzado todavía el máximo (como es ahora el caso), el programa continúa directamente. El programa se continúa almacenando el contenido del registro índice X en la localización de memoria S1 mencionada anteriormente, de la memoria MA, a fin de que quede disponible para su utilización posterior.

Se comprueba entonces si el contenido de la anterior palabra almacenada en el registro A es cero o no. En caso positivo, el programa salta a una instrucción que será descrita más adelante, mientras que en caso negativo, se ejecuta la instrucción encontrar el primer uno FFO. Esta instrucción se describe ya en la patente nº 409.420 (S. Kobus 26.3.2) y se utiliza para encontrar la posición del primer bit-1 de la palabra almacenada en el registro A, para combinar este bit de posición con el contenido del registro índice y reponer este bit-1 en el registro A. Ya que los contenidos del registro X son cero, solamente el bit de posición encontrado se registra.

Los contenidos del registro A se guardan en la



localización S2 de la parte MPA de la memoria MA, y, después, la posición del bit-1, que está almacenada en el registro índice X, se utiliza para cargar en el registro A la dirección en la tabla PRA del programa de nivel de reloj que corresponde a esta posición del bit-1. Ya que el primer bit-1 de la palabra encontrada, sobre el que fué ejecutada la instrucción FFO, corresponde al programa de nivel de reloj DPo, es claro que la dirección de este programa CPo aparecerá en el registro A.

Mediante esta dirección se encuentra el programa de nivel de reloj CPo representado en la Fgi. 9, siendo entonces ejecutado. Después, los contenidos de la localización S2 de la memoria, esto es, 01011 seguido por bits-0, se transfieren al registro A, después de lo cual, se comprueba nuevamente si los contenidos del registro A son cero o no.

Del mismo modo, serán encontrados y ejecutados los programas CP1, CP3 y CP4, sucesivamente. Después de haber ejecutado el último programa CP4 de esta serie, los contenidos de la localización S2 de la memoria, se transfieren de nuevo al registro A, donde su comprobación indicará si son cero, en caso afirmativo, se continuara el programa principal del modo que se describiera después.

De lo anterior se deduce que los programas de nivel de reloj CPo, CP1, CP3 y CP4 se ejecutan a continuación de otro.

El programa de nivel de reloj de la unidad de excitación del marcador CPo (Fig. 9) controla el envío de información desde un apilador excitador del marcador, tal como el MDH (Fig. 5), para ser tratado por el CPA, a una unidad excitadora del marcador MDU (Fig. 1) y controla la operación



siguiente MDU. Ya que en el caso presente se supone que no hay información inscrita en el apilador excitador del marcador (todos los bits del MDHW son 0) no se ejecuta el programa CPO. Aunque este programa se muestra con relativo detalle en la Fig. 9, no se explica aquí porque carece de importancia para el presente invento.

El programa CPI de nivel de reloj del probador de datos de señalización del junctor de entrada (Fig. 10) empieza cargando la tabla tratado-por-mi TBMTA del probador de datos de señalización (SDT) (Fig. 3), en el registro A. Comprobando si los contenidos del registro A son cero o no, se sabe que ningún probador, o al menos uno SDT, deben ser operados por el procesador CPA. En el primer caso el programa CPI se da por finalizado, mientras que en el segundo caso se ejecuta una instrucción de encontrar el primer uno en el contenido del registro A para encontrar un probador a ser operado. Por esta operación, el primer bit-1 encontrado en el registro A se repone, y la posición de bit-1 encontrada se combina con el contenido cero del registro índice. El contenido del registro A así modificado se almacena en la localización S3 (fig. 4) de la parte MPA de la memoria MA, y la dirección del probador SDT a ser procesada por el CPA se deduce del contenido del registro índice X. El CPA envía entonces una orden de prueba a este probador de datos de señalización SDT para probar las condiciones de bucle de los junctores de entrada en grupos de 32, y espera 15 microsegundos el resultado, el cual se almacena en un registro intermedio (no mostrado) del multicircuito periférico PC.

Cuando no aparece resultado, se inscribe un bit-1 en la posición correspondiente al programa de nivel base BP9



de la máscara BLRMB de requisición de nivel base (Fig. 5) del procesador CPB, y, en el TBMTA(SDT), el bit que corresponde al probador SDT que falla, se repone a 0. Los contenidos de la localización S3 de la memoria se almacenan en el registro A y se continúa el programa comprobando los contenidos de este registrador, como se ha descrito anteriormente. Nótese que, por el BLRMB modificado, el procesador CPB es requerido para ejecutar el programa BP9 de nivel base dispositivo-fuera-de-servicio, como explicaremos más adelante. El bit de la TBMTB (SDT) que corresponde al SDT, que es el homólogo del SDT averiado, será repuesto a 1 por la CPB, durante la ejecución de este programa BP9.

Por el contrario, cuando aparece un resultado, la palabra resultante de 32 bits se lee y almacena en un compensador de entrada de junctor de llegada actual, que corresponde al grupo probado de 32 junctores de llegada. Debe suponerse que el junctor de entrada IJ mostrado en la Fig. 1, es el primero y el único en situación de llamada del grupo de los 32 probados; una palabra formada por un bit-1 seguido por 31 bits-0 se almacena en la IJIBD mostrada. La operación de prueba se repite para todos los grupos de 32 junctores de llegada después de que se comprueba si existe aún un probador para ser actuado, comprobando los contenidos del registro A después de que se ha transferido al mismo los contenidos de la localización de memoria S3.

Cuando todos los probadores indicados por el TBMTA (SDT) han sido procesados, se termina el programa CPL y se continúa con el programa CP3 de nivel de reloj para la prueba de datos de señalización del junctor de salida. Este programa de nivel de reloj CP3 no lo consideramos aquí, ya

411963

24.



que no se ejecuta en el establecimiento de una conexión entre el junctor de llegada que llama IJ y una unidad receptora, tal como RU.

El programa CP4 (Fig. 11) de nivel de reloj para
5 explorar el acumulador de entrada del junctor de llegada, y que se ejecuta después del CP3, comienza cargando la dirección relativa de las palabras correspondientes en la IJIBDT y en la IJIBCT, desde la localización de memoria S4 (Fig. 4) de la parte MPA de la memoria MA, en el registro índice X. Después,
10 la dirección de la tabla IJIBDT, esto es, de la primera palabra de esta tabla, se combina con esta dirección relativa para encontrar la dirección de la palabra mencionada anteriormente en la tabla IJIBDT. Esta palabra se carga en el registro A. Se supone que esta palabra es la primera IJIBD de la tabla
15 IJIBDT. Esta palabra indica que solamente para el primer junctor de llegada, que se supone ser el IJ de la Fig. 1, se registra un 1 en el registro A. Del mismo modo, la primera palabra IJIBC del IJIBCT se carga en otro registro (no mostrado) del AU. Estas palabras son encontres OR-ed exclusivas para encontrar los juncitores de entrada que están llamando. La palabra
20 resultante almacenada en el registro A indica que, entre un grupo de 32 juncitores de llegada considerados, solamente el IJ está en esta situación de llamada. La palabra del TBMTA (IJ) que corresponde a los acumuladores IJIBD e IJIBC se carga en
25 otro registro (no mostrado) del AU y dicha palabra, que es la primera de la tabla TBMTA (IJ) es una AND-ed con la anterior palabra resultante; el resultado se almacena en el registro A. Este resultado es una palabra constituida por un bit-1 seguido por 31 bits-0, que indica que el junctor de llegada
30 IJ debe ser procesado por un procesador CPA.



Se comprueba entonces si los contenidos del registro A son cero o no:

- en caso negativo, se ejecuta la instrucción mencionada anteriormente encontrada el primer uno, y la posición resultante del bit-1 se emplea para encontrar un acumulador de estado del junctor de llegada IJSB (Fig. 5) que corresponde al junctor de llegada que llama IJ. Ya que por esta instrucción la posición del primer bit-1 encontrado se combina con el contenido del registro índice, almacenando la dirección relativa de una palabra en las tablas IJIBCT e IJIBDT, el contenido del registro índice que resulta indica la posición de este primer bit-1 en las tablas IJIBCT y IJIBDT. Es necesario proceder de esta manera, ya que el número de acumuladores de estado del junctor de llegada y de salida es mucho mayor que 32. Después de que, el contenido de registro A ha sido almacenado en la localización S4 de la memoria MA, y en el IJSB encontrado, se comprueba si un bit de trabajo MDJB del excitador de marcador, almacenado allí, se encuentra en condición-1 ó no. Este bit, en condición-1 indica que debe ser, o esta siendo ejecutada una operación de marcación en el junctor de llegada IJ al que esta asociado el IJSB. Si este bit está en la condición-1, se ejecutan otras operaciones que no tienen importancia para el presente invento, mientras que si el bit MDJB esta en la condición 0, se continúa el programa CP4 como describiremos más tarde;
- en caso positivo, se comprueba si la palabra en el registro A es la última que debe ser procesada o no. Cuando esto es verdad, el programa CP4 se termina, mientras que si no lo es, el contenido del registro índice se incrementa en 1, Se comprueba entonces si el contenido es o no máximo, y, en caso positivo.

411963

26.



dicho contenido se repone. En ambos casos, las palabras que siguen de las últimas tablas mencionadas, se tratan del mismo modo a como se ha descrito.

Después de que se ha encontrado el bit MDJB, en el IJSB considerado, en la condición-0, el contenido del IJIBD se transfiere al IJIBC, esto es, el último es actualizado, comprobándose entonces si ó no la información de fase P, almacenada en el IJSB, indica ó no una fase inactiva. En caso negativo, se ejecutan otras operaciones sin importancia para el presente invento, mientras que en caso positivo, se alcanza un acumulador de registro libre (no mostrado), donde se inscribe, además de un apilador excitador de marcador MDM (Fig. 5), la dirección JA del junctor de llegada que llama IJ asociado al IJSB. Se escriben también en el IJSB la dirección RBA del acumulador de registro, la fase de registro de esta llamada, un bit-1 de trabajo del excitador de marcador y una orden de secuencia S0. El MDJB indica que tiene que ser ejecutada una tarea del excitador de marcador, mientras que el S0 se emplea para encontrar dicha tarea en la memoria. Después, se escribe en un acumulador MDRBR (Fig. 5) de requisición del excitador del marcador, un bit MDRB de requisición del excitador de marcador, y en una posición que corresponde al junctor de llegada que llama IJ. Este MDRB indica que se requiere la intervención del MDU para este junctor de llegada particular IJ.

Se comprueba entonces si la dirección MDRBRA del acumulador de requisición del excitador de marcador MDRBR se ha inscrito ya ó no en la lista de prioridad del excitador de marcador MDPL.

- en caso negativo, esta dirección MDRBRA se escribe en la MDPL, la información se transfiere desde S5 a A y el contenido



de registro X se modifica para que este registro almacene nuevamente la misma información que la que tenía antes de la ejecución de la instrucción encontrar el primer uno;

5 - en caso positivo, se ejecuta el mismo programa que en el caso negativo, excepto para la inscripción del MDRBRA en la MDPL.

Volviendo ahora al programa principal MP de la Fig. 7, cuando se han ejecutado sucesivamente los programas CPO, CP1, CP3 y CP4, se carga la dirección relativa de una palabra en la tabla de control de nivel base BLMTA (Fig. 4), en el registro índice X. Después, la dirección de esta tabla BLMTA, esto es, la primera palabra de esta tabla, se combina con la dirección relativa almacenada en el registro X para encontrar la dirección de la palabra mencionada anteriormente en la tabla BLMTA, y esta palabra se carga en el registro A. 15

Se supone que esta porción de palabra es la primera de la tabla BLMTA mostrada (Fig. 4). Esta palabra indica que solamente los programas de nivel base BPO, BP1, BP3, BP6 y BP9 tienen que ser, si es posible, ejecutados en sucesión durante la porción que resta, o intervalo de tiempo de nivel base, del intervalo 20 de tiempo de nivel de reloj mencionado anteriormente, durante el cual han sido ejecutados los programas anteriores de nivel de reloj. La última palabra mencionada es AND-ed con la máscara de distribución de función de nivel base BLFSMA (Fig. 4), 25 y con la máscara efectiva de nivel base BLEM (Fig. 5) a fin de obtener, en el registro A, la máscara de control de nivel base intermedio BLMAA (Fig. 4). Los posibles 0 de la máscara efectiva de nivel base BLEM, indican aquellos programas de nivel base que no serían ejecutados, ya que no existe nueva información que pueda ser procesada por estos programas. Las palabras 30



411963

BLMTA, BLFSMA y BLEM están indicadas en las Figs. 4 y 5. La BLMMAA, mostrada en la Fig. 4, indica que los programas BPO, BP1, BP3 y BP6 deben ser ejecutados, si es posible, durante la porción que queda del intervalo de tiempo de interrupción de reloj, que estamos considerando.

La BLMMAA es entonces OR-ed con la BLRMA para tener en cuenta urgentemente los programas requeridos de nivel base. Uno de tales programas es por ejemplo, el BP9, como ya se ha mencionado anteriormente.

El nuevo BLMMAA obtenido de esta manera, que se denomina BLMMAA' es inclusivo OR-ed con la anterior BLMMAC para obtener la BLMMAC presente, y, la última, pasa a ser la nueva BLMMAC previa. Ya que se supone que la BLRMA y la BLMMAC previa son palabras todo-cero, es claro que la BLMMADA o la nueva BLMMAC' es idéntica a BLMMAA, e indica que los programas BPO, BP1, BP3 y BP6 se ejecutarían uno a continuación de otro si fuera posible.

De lo anterior se deduce que se calculan las siguientes funciones Boolean:

$$20 \quad \text{BLMTA} \cdot \text{BLFSMA} \cdot \text{BLEM} + \text{BLRMA} = \text{BLMMAA}'$$

$$\text{BLMMAA}' + \text{BLMMAC} = \text{BLMMAB}$$

Como aclararemos más adelante, cada vez que se ejecuta uno de los programas de nivel base indicados por la BLMMAC, se repone a 0 el bit correspondiente en esta BLMMAC.

La razón de la últimamente mencionada inclusive OR-ing es la siguiente: puede ocurrir que, durante un intervalo de tiempo de nivel base previo, no ha sido posible ejecutar todos los programas indicados por la máscara de control de nivel de base. Estos programas están indicados por 1's en la máscara de control previo BLMMAC. Mediante la operación OR-



ing, se da una oportunidad a estos programas para ser ejecutados durante el intervalo de tiempo de nivel base presente, ya que aparecen en la máscara de control de nivel base presente BLMMAD.

5 Los contenidos del registro índice X se incrementan en 1 y se comprueba si ó no este registro indica un número máximo, esto es, el número total de palabras en la tabla BLMTA. Si ya se ha alcanzado este número, los contenidos del registro índice se reponen a cero antes de continuar el programa, mientras que si dicho máximo no ha sido aún alcanzado, el programa
10 continúa. El programa continúa pasando los contenidos del registro índice X a la localización de memoria MA, a fin de que quede disponible para su utilización posterior. Termina entonces la parte de nivel de reloj del programa principal MP.

15 Después, se da comienzo a los programas de nivel base cargando la nueva máscara de control de nivel base BLMMAC en el registro A, siendo esta BLMMAC la BLMMAD de la Fig. 4.

Primeramente se comprueba si el contenido de este registro A es ó no cero. En caso positivo, se continúa el programa de una manera que no será detallada, mientras que, en
20 caso negativo, se ejecuta una instrucción de encontrar el primer uno. Dicha instrucción encuentra el primer bit-1 almacenado en el registro A y, después, repone este bit a 0. Los contenidos del registro A así modificados, se conservan en la
25 BLMMAC y, después, la posición del bit-1 almacenado en el registro índice X se utiliza para cargar, en el registro A, la dirección, en la tabla PRA, el programa de nivel base que corresponde a esta posición del bit. Ya que el primer bit-1 de la palabra anterior corresponde al programa BPO de nivel base
30 para explorar el final de tarea del excitador del marcador,

411963

30.



la dirección de este programa será cargado en el registro A.

Por medio de esta dirección, se encuentra y ejecuta el programa de nivel base BPO, y, después, la BLMMAC se transfiere al registro A, después de lo cual, se comprueba
5 nuevamente si los contenidos de este registro A son ó no son cero.

De este modo, los programas BPO, BP1, BP3 y BP6 serán, sucesivamente, encontrados y ejecutados. Después de haber ejecutado el último programa BP6 de esta serie, los
10 contenidos de la localización de memoria S6 se transfieren de nuevo al registro A, donde su comprobación indicará nuevamente que son cero, como consecuencia de lo cual, los programas de nivel base que no han sido descritos aquí, serán posiblemente ejecutados antes de que tenga lugar una nueva interrupción de reloj.
15

De lo anterior se deduce que los programas de nivel base BPO, BP1, BP3 y BP6 se ejecutan uno a continuación de otro.

El programa de nivel base BPO es el programa de nivel base de exploración de final de tarea del excitador de
20 marcador, y no lo describiremos aquí.

El programa de nivel base BP1 (Fig. 13), es el programa de ejecución de orden de secuencia y exploración del acumulador de requisición del excitador de marcador. Este programa comienza cargando la dirección relativa MDRBRA de un
25 acumulador de requisición del excitador de marcador MDRBR, desde la prueba de prioridad del excitador de marcador, en el registro índice X. Después, la dirección de la tabla MDRBRT, en la que se encuentra almacenada esta MDRBR, o sea, de la primera palabra de esta tabla, se combina con la dirección relativa anterior para encontrar la dirección de la MDRBR, en la
30



tabla MDRBRT. Este acumulador se carga en el registro A.

Se comprueba entonces si estos contenidos son ó no cero, esto es, si ó no un bit MDRB se encuentra almacenado en este registro A.

5 - en caso negativo, se suprime el MDRBRA del MDPL y se termina el programa BP1.
- en caso positivo, ya que se inscribe un bit MDRB en MDRBR para el IJ que llama, se ejecuta una instrucción de encontrar el primer uno y la posición del bit-1 que aparece en el registro índice X se utiliza para encontrar un correspondiente acumulador de estado del junctor de llegada, tal como el IJSB (Fig. 5). En el IJSB encontrado se lee el orden de secuencia SO que se emplea para determinar, en la memoria CM, la tarea que debe ejecutarse. Esta tarea, en el caso presente, consiste
10 en buscar una vía, en la memoria MAP, entre el junctor de llegada que llama IJ y una unidad receptora libre, almacenando la información encontrada en un apilador del excitador de marcador MDH. Así se termina el programa BP1.
15

Después del programa de nivel base BP1 se ejecutan los programas BP3 y BP6, si queda suficiente tiempo. Estos programas no serán descritos, ya que carecen de importancia para el presente invento.
20

Después de que tiene lugar una nueva interrupción de reloj, se repiten las operaciones descritas anteriormente, pero ahora se ejecutarán los programas de nivel de reloj y base indicados por las segundas palabras de CLMTA y BLMTA.
25

Durante la ejecución del programa de reloj CPO, se establecerá un camino entre el IJ que llama y una unidad receptora libre RU.
30

Se ha descrito ya cómo se inscribe un bit, corres-



pondiente al programa de nivel base BP9, en la máscara de re-
quisición de nivel base BLRMB del procesador CPB, cuando un
probador de datos de señalización no ha proporcionado infor-
mación de la prueba. Por lo tanto, cuando el procesador CPB
5 calcula su máscara de control de nivel base presente BLMMBD,
aparecerá un 1 en la posición que corresponde al programa BP9
de tal manera que este programa será ejecutado seguidamente
por el procesador. Este programa consiste en inscribir un 1
en la tabla tratado-por-mi TEMTB (SDT), y en la posición que
10 corresponde al probador homólogo del que ha fallado. De lo
anterior se deduce que, por medio de las máscaras de requisi-
ción de nivel base, puede intercambiarse información entre am-
bos procesadores CPA y CPB.

Aunque la anterior descripción de un sistema de
15 proceso de datos incluye dos computadores con memorias indi-
viduales y una memoria común, el invento es también aplicable
a un sistema para proceso de datos del tipo descrito en la pa-
tente nº 349.576 (S. Kobus I9.4.1.2.13) que incluye dos computa-
dores interconectados por elementos de comunicación intercom-
20 putador, ya que es suficiente almacenar el contenido de la me-
moria común en cada una de las memorias individuales. En ambos
sistemas un computador puede hacerse cargo del trabajo del otro
cuando éste falla, ya que el procesador que opera correectamen-
te siempre tiene acceso a la información que se refiere a las
25 comunicaciones procesadas por el otro computador. Esta infor-
mación está almacenada en la memoria común o en la memoria
individual del computador correcto, en donde se ha recibido
desde el computador averiado a través de los elementos de comu-
nicación entre computadores durante el funcionamiento correcto
30 de este último computador.



411963

33.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento, se hace a modo de ejemplo y no ha de considerarse como limitación de su alcance.

Este invento corresponde a una solicitud de patente formulada en Holanda el día 25 de Febrero de 1972, señalada con el nº 72 02503 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

1. Un sistema para proceso de datos que incluye varios procesadores y un dispositivo controlable, por ejemplo, un equipo de conmutación para telecomunicación. Dichos procesadores, que controlan el dispositivo ejecutando diversos programas, están caracterizados en que dichos programas (CP0-CP6, BPO-BP9) estan divididos en una primera serie (BPO, BP1), en la que cada programa (BPO, BP1) se ejecuta por un procesador (CPA) solamente, y una segunda serie (CP0-CP6, BP2-BP9) en que cada programa se ejecuta, al menos, por dos procesadores (CPA, CPB).

2. Un sistema para proceso de datos, según el punto 1, caracterizado porque, al menos uno de los procesadores, tiene acceso a elementos de memoria, almacenando información respecto a dicho dispositivo y que es recogida por otro procesador cuando el primero falla, a fin de hacer posible la continuación del control del dispositivo ya comenzado por el primer procesador.

3. Un dispositivo para proceso de datos, según el punto 2, caracterizado porque ambos procesadores estan in-



411963

34.

terconectados por elementos de comunicación entre procesadores y empleados para transferir información entre ambos procesadores, desde uno de ellos a la memoria individual del otro.

4. Un sistema para proceso de datos, según el punto 2, caracterizado porque los elementos de memoria forman parte de una memoria común (CM) a la que todos los procesadores tienen acceso.

5. Un sistema para proceso de datos, según el punto 1, caracterizado porque, cada uno de dichos procesadores (CPA, CPB), cuando ejecutan programas de la segunda serie, incluye elementos para impedir que, la ejecución simultánea de dichos programas, de lugar a situaciones conflictivas, como consecuencia del proceso simultáneo de elementos similares. Dichos elementos de prevención están constituidos por tablas de almacenaje TBMTA (SDT), TBMTA (IJ), TBMTB (SDT), TBMTB(IJ) a las que tienen acceso el procesador, y que indican los elementos que no deben ser procesados por este procesador.

6. Un sistema para transmisión de datos, según el punto 5, caracterizado porque las tablas de almacenaje forman parte de una memoria individual (MA, MB) a la que tiene acceso dicho procesador (CPA, CPB).

7. Un sistema para proceso de datos, según el punto 5, caracterizado porque dichos elementos están constituidos por componentes (SDT) del dispositivo controlable.

8. Un sistema para proceso de datos, según el punto 4 y 5, caracterizado porque dichos elementos están constituidos por porciones de memoria (MDH, IJIBC) que forman parte de dicha memoria común.

9. Un sistema para proceso de datos, según el punto 1, caracterizado porque las indicaciones, por ejemplo

30



bits, de los diferentes programas que deben ser ejecutados por cada procesador durante intervalos de tiempo sucesivos, se almacenan en las correspondientes palabras de una tabla de tiempo (CLMTA, CLMTB, BLMTA, BLMTB) de una memoria individual a la que tiene acceso este procesador. Las indicaciones de cada palabra de esta palabra indican los programas que deben ser ejecutados durante el intervalo de tiempo que corresponde a este palabra.

10. Un sistema para proceso de datos, según el punto 9, caracterizado porque cada uno de dichos procesadores es capaz de ejecutar los programas de nivel de reloj y nivel base, incluyendo una tabla de tiempo (CLMTA, CLMTB) para los programas de nivel de reloj y otra (BLMTA, BLMTB) para los de nivel base. Cada palabra de la tabla de tiempo del programa de nivel de reloj indica los programas de nivel de reloj que se ejecutan en el correspondiente intervalo de tiempo, y cada palabra de la tabla de tiempo del programa de nivel base indica los programas de nivel base que se ejecutan durante el correspondiente intervalo de tiempo, si es posible, y después de haberse ejecutado los programas que, normalmente, tienen que ser ejecutados durante este intervalo de tiempo.

11. Un sistema para proceso de datos, según el punto 9, caracterizado porque cada memoria individual (MA, MB), a la que tiene acceso un procesador, incluye una primera máscara (CLFSMA, CLFSMB, BLFSMA, BLFSMB) cuyas indicaciones (bits) indican los programas que al procesador se le permiten o no se le permiten ejecutar. Este procesador está adaptado a AND, una palabra de dicha tabla de tiempo y dicha primera palabra máscara para obtener una primera palabra máscara resultante que indica los programas que deben ser ejecutados durante el inter-

411963

36.



valo de tiempo que corresponde a esta palabra.

12. Un sistema para proceso de datos, según los puntos 10 y 11, caracterizado porque, cada una de dichas memorias individuales incluye una primera palabra máscara (CLFSMA, CLFSMB) para dichos programas de reloj, y una primera palabra máscara (BLFSMA, BLFSMB) para los programas de nivel base, dicho procesador esta adaptado a AND, una palabra de dicha tabla de tiempo del programa de nivel de reloj y dicha primera palabra máscara del programa de nivel de reloj, así como una palabra de la tabla de tiempo del programa de nivel base y dicha primera palabra máscara del programa de nivel base.

13. Un sistema para proceso de datos, según el punto 4, caracterizado porque cada memoria común almacena una segunda palabra máscara común (BLEM) que puede ser modificada por cualquiera de los procesadores, y cuyas indicaciones (bits) indican los programas que no deben ejecutar los procesadores porque no hay información disponible en estos programas.

14. Un sistema para proceso de datos, según el punto 10 y 13, caracterizado porque los programas indicados por dicha segunda palabra máscara, son de nivel base.

15. Un sistema para proceso de datos, según el punto 12 y 14, caracterizado porque cada procesador está adaptado a AND, una palabra de la tabla de tiempo de programa de nivel base, dichas primeras y segunda palabras máscara del programa de nivel base para obtener una segunda palabra máscara resultante (BLMMAA) que indica los programas que deben ser ejecutados durante el intervalo de tiempo correspondiente a esta palabra.

Handwritten signature
30

16. Un sistema para proceso de datos, según el punto 15, caracterizado porque cada memoria común (CM) almacena



una tercera palabra máscara del programa de nivel base (BLRMA, BLRMB) por cada uno de dichos procesadores (CPA, CPB). Cada una de tales palabras indica aquellos programas de nivel base que deben ejecutarse por el procesador asociado a esta
5 palabra, independientemente de la segunda palabra máscara resultante. Este procesador está adaptado a OR dicha segunda palabra máscara resultante (BLMMAA) con su tercera palabra máscara (BLRM) para obtener una tercera palabra máscara resultante (BLMMAA'), que indica los programas de nivel que, finalmente,
10 serían ejecutados durante un intervalo de tiempo. Cada una de las terceras palabras máscara está adaptada para ser modificada por cualquiera de los procesadores.

17. Un sistema para proceso de datos, según el punto 16, caracterizado porque dicho procesador, después de
15 haber calculado la tercera palabra máscara resultante (BLMMAA) adapta a OR esta palabra máscara con una tercera palabra máscara residual (BLMMAC), de un cálculo precedente, para obtener una palabra máscara final (BLMMAD). El procesador está adaptado para reponer cada bit de dicha palabra máscara final
20 (BLMMAD). El procesador está adaptado para reponer cada bit de dicha palabra máscara final después de que se ha ejecutado el programa de nivel base correspondiente a este bit, obteniendo, de esta manera, el final del intervalo de tiempo, una tercera palabra máscara resultante y residual que indica los
25 programas de nivel base que deben ejecutarse durante el intervalo de tiempo siguiente.

18. Un sistema para proceso de datos que incluye diferentes computadores, cada uno de los cuales tiene una memoria individual y con acceso a, por lo menos, una unidad
30 común que incluye, al menos una serie de elementos similares

411963

38.



adaptados para ser procesados por dichos computadores. Caracterizado porque, cada memoria individual (MA,MB) almacena, por lo menos, una tabla de palabras TBMTA (SDT), TBMTB (SDT), TBMTA (IJ), TBMTB (IJ), TBMA (MD), TBMTB (MD) , cuyas indicaciones (bits) indican si ó no los elementos SDT, IJIBC, MDH, de dicha serie, deben ser procesados por el computador del que la memoria a que nos referimos forma parte.

19. Un sistema para proceso de datos, según el punto 18, caracterizado porque las tablas de las memorias individuales que se refieren a una misma serie de elementos similares, contienen información complementaria.

20. Un sistema para proceso de datos, según el punto 18, caracterizado porque la unidad común es una memoria (CM).

21. Un sistema para proceso de datos, según el punto 18, caracterizado porque la unidad común es un dispositivo (SN, PC) controlable por dichos computadores.

22. Un sistema para proceso de datos que incluye, por lo menos, dos computadores, cada uno capaz de ejecutar varios programas, y con una memoria individual. Caracterizado porque cada memoria individual (MA, MB) almacena una primera palabra máscara (BLFSMA, BLFSMB) cuyas indicaciones se refieren a los programas que le esta permitido ó no ejecutar al computador correspondiente. Estas palabras máscara almacenadas en las memorias individuales, son diferentes unas de otras.

23. Un sistema para proceso de datos que incluye, por lo menos, dos computadores, cada uno capaz de ejecutar diversos programas y con una memoria individual que almacena una tabla de tiempo. Las indicaciones (bits) de cada palabra de tiempo se refieren a programas que serán posiblemente ejecuta-

411963

39.



dos durante un intervalo de tiempo determinado. Las palabras sucesivas de dicha tabla corresponden a intervalos sucesivos de tiempo, y las tablas de todos los procesadores son idénticas. Caracterizado porque las memorias individuales (MA, 5 MB) almacenan también una primera palabra máscara (BLFSMA, BLFSMB) cuyas indicaciones se refieren a los programas que el computador correspondiente esta permitido ó no ejecutar. Estas palabras máscaras almacenadas en las memorias individuales de los computadores, son diferentes unas de otras. 10

24. Un sistema para proceso de datos, según el punto 23, caracterizado porque cada computador esta adaptado a AND una palabra de la tabla de tiempo y la primera palabra máscara almacenada en sus memorias individual, para obtener una primera palabra máscara resultante que indica los programas 15 que debe ejecutar este computador durante el intervalo de tiempo que corresponde a esta palabra de la tabla de tiempo.

25. Un sistema para proceso de datos que incluye, por lo menos, dos computadores, cada uno capaz de ejecutar varios programas y, cada uno, con una memoria individual que almacena una tabla de tiempo. Las indicaciones (bits) de cada palabra de esta tabla de tiempo indican los programas que, posiblemente, serán ejecutados durante el intervalo de tiempo correspondiente. Las palabras sucesivas de dicha tabla corresponden a intervalos de tiempo sucesivos, siendo iguales las tablas de todos los procesadores. Caracterizado porque dichos computadores (CPA, CPB) tienen una memoria común (CM) para almacenar una segunda palabra máscara común (BLEM), cuyas indicaciones se refieren a los programas que no serán ejecutados por los computadores, dado que no existe información disponible para 25 ejecutar estos programas. Cada uno de los computadores es capaz de modificar la segunda palabra máscara cuando la información

RR
30

411963

40.



está disponible.

26. Un sistema para proceso de datos, según el punto 25, caracterizado porque cada computador está adaptado a AND una palabra de la tabla de tiempo y la segunda palabra máscara, para obtener la segunda palabra máscara resultante, que indica los programas que deben ejecutar este computador durante el intervalo de tiempo que corresponde a esta palabra de la tabla de tiempo.

27. Un sistema para proceso de datos, que incluye, por lo menos, dos computadores, cada uno capaz de ejecutar varios programas. Caracterizado porque dichos computadores (CPA, CPB) tienen una memoria común (CM) que almacena varias terceras palabras máscaras (BLRMA, BLRMB), asociadas cada una a un computador, y cuyas indicaciones (bits), se refieren a programas que tienen que ser necesariamente ejecutados por el computador correspondiente. Cada una de dichas terceras palabras máscaras puede ser modificada por cualquiera de los computadores.

28. Un sistema para proceso de datos que incluye, por lo menos, un computador capaz de ejecutar varios programas y que proporciona, para cada uno de los diferentes intervalos de tiempo sucesivos una palabra que se almacena en su memoria individual, y los bits que constituyen un valor predeterminado del mismo, indican los programas que deben ser ejecutados durante este intervalo de tiempo. Cada uno de dichos bits se repone, durante este intervalo de tiempo, después de la ejecución del programa por el computador correspondiente, quedando así modificada la palabra. Caracterizado porque cada computador está adaptado a OR una palabra proporcionada por un nuevo intervalo de tiempo y la palabra modificada por el intervalo de tiempo inmediatamente anterior, para dar una palabra resultante

30



411963

para el nuevo intervalo de tiempo.

29. Un sistema para proceso de datos, según los puntos 24, 26 a 28, caracterizado porque cada uno de los computadores esta adaptado para calcular dicha palabra para un nuevo intervalo de tiempo mediante AND-ing. Dichas primera y segunda palabra máscara resultante y OR-ing con la tercera palabra máscara.

30. Un sistema para proceso de datos.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

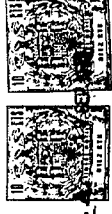
Esta memoria consta de cuarenta y una hojas escritas por una sola cara.

Madrid, 23 FEB. 1973



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

RM



16/1

STANDARD ELECTRICA, S.

411963

411963

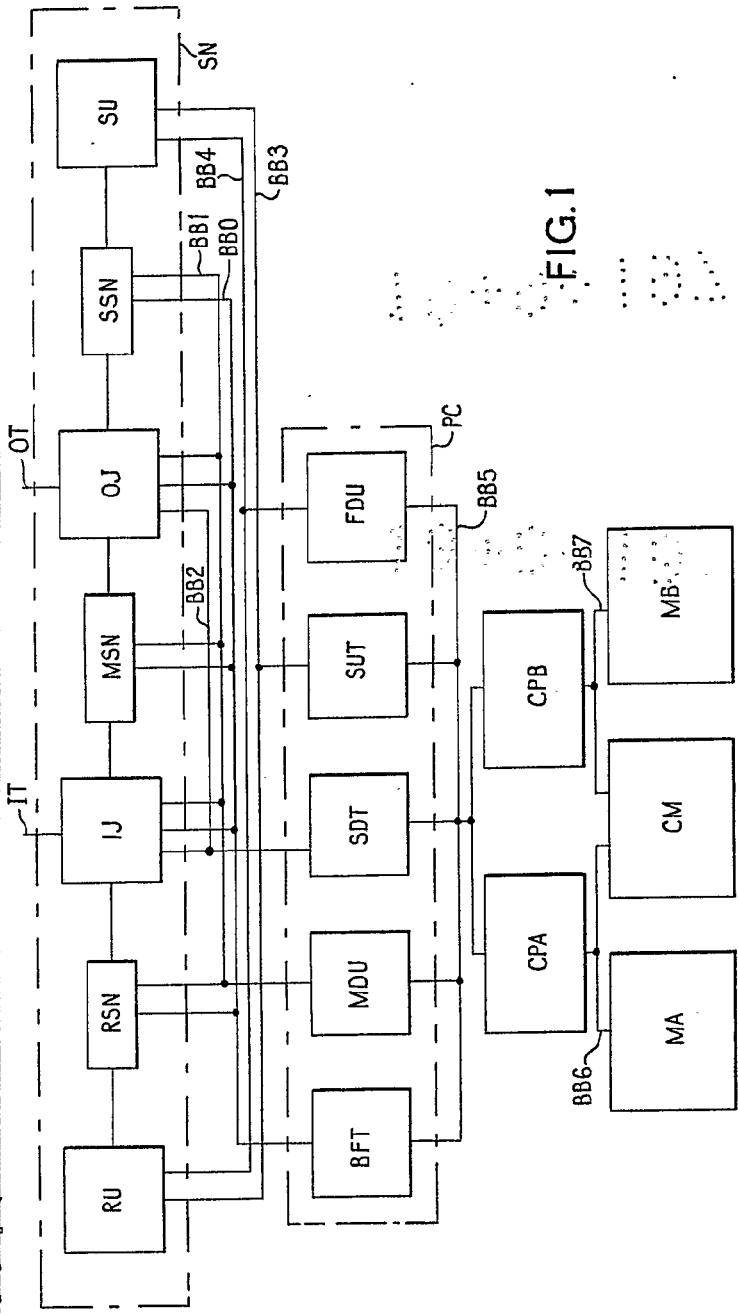


FIG. 1

19 SET. 1973

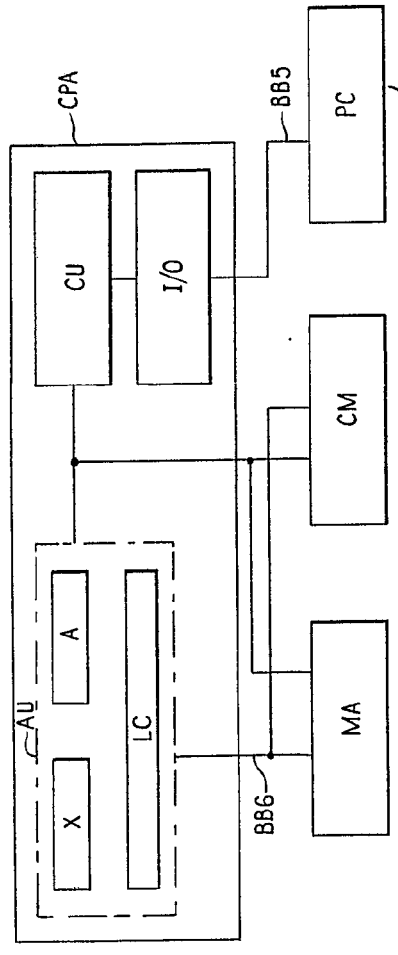
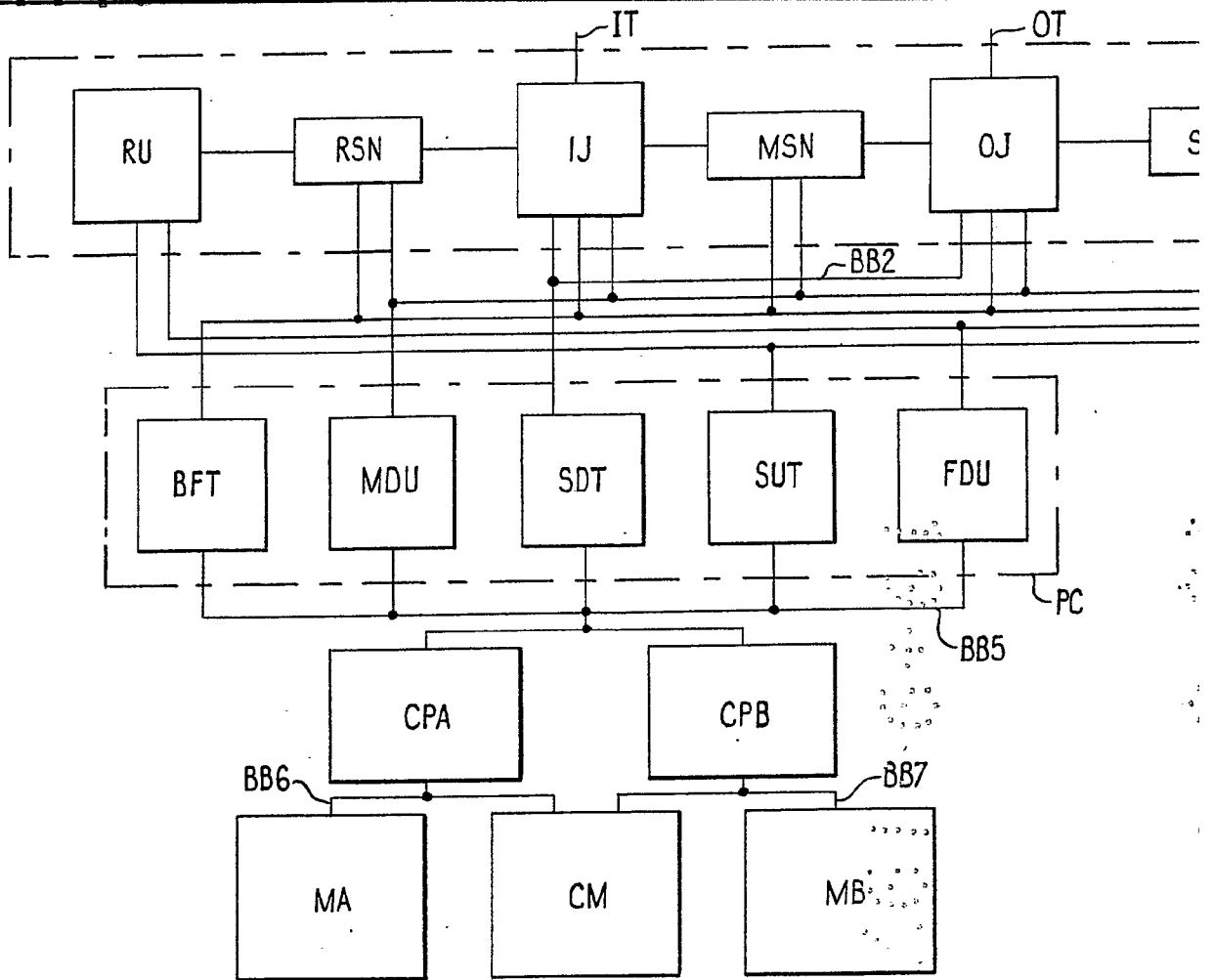


FIG. 2



Eugenio Barroso
 Secretario General

411963



12/1

STANDARD ELECTRICA, S.A.



411063

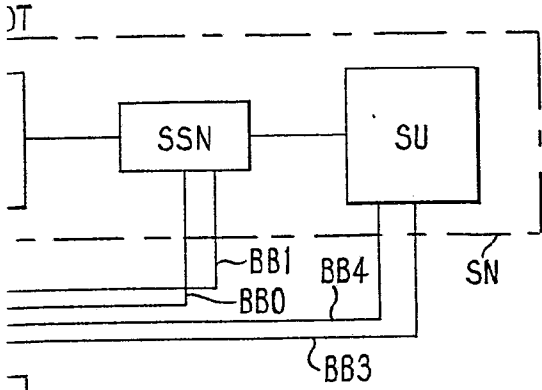


FIG. 1

19 SET. 1973

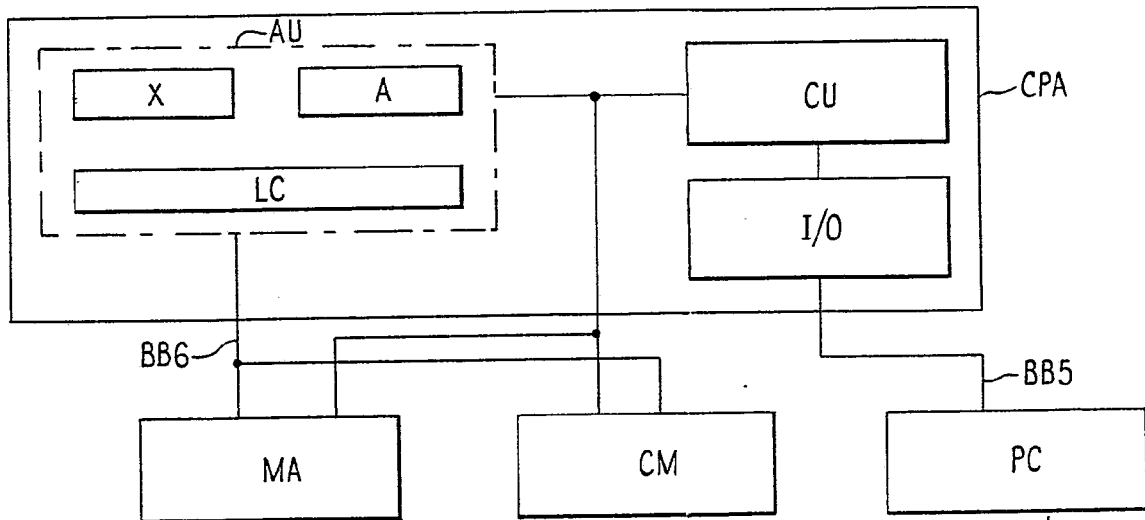


FIG. 2

Eugenio Barroso
EUGENIO BARROSO
 Secretario General

12/2



STANDARD ELECTRICA, S.

411963

411963

CP ₀	CP ₁	CP ₂	CP ₃	CP ₄	CP ₅	CP ₆	MA
1	1	0	1	1	0	0	0
1	0	1	0	0	1	1	0
CLMTA							
1	1	1	1	1	1	1	1
0	0	0	0	0	0	0	0
TBMTA (IJ)							
1	1	1	1	1	1	1	0
TBMTA (MD)							
1	1	1	1	1	1	1	0
TBMTA (SDT)							
PRA							

CP ₀	CP ₁	CP ₂	CP ₃	CP ₄	CP ₅	CP ₆	MB
1	1	0	1	0	1	0	0
1	0	1	0	1	0	1	0
CLMTB							
0	0	0	0	0	0	0	0
1	1	1	1	1	1	1	1
TBMTB (IJ)							
0	0	0	0	0	0	0	1
TBMTB (MD)							
0	0	0	0	0	0	0	1
TBMTB (SDT)							
PRB							



19 SET 1973

FIG.3

EUGENIO BARROSO
Secretario General

411963

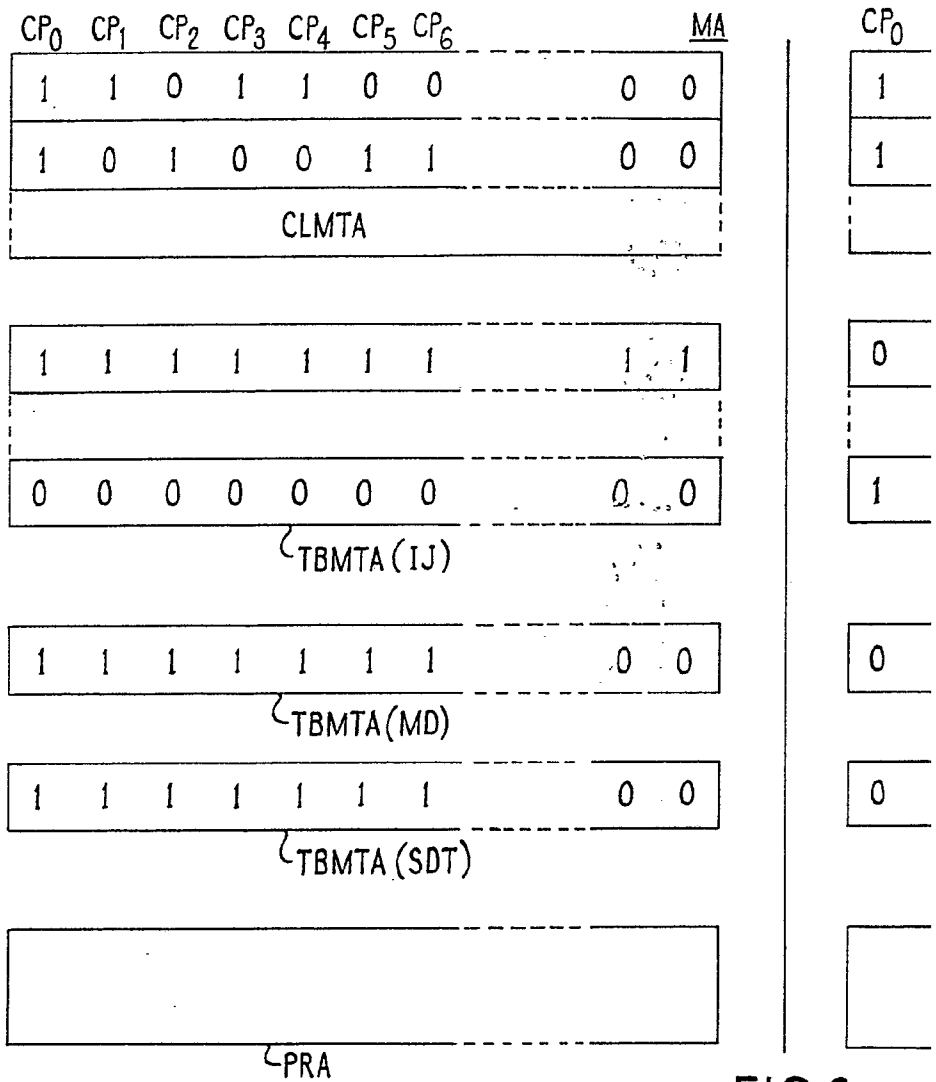


FIG.3



411963

CP ₀	CP ₁	CP ₂	CP ₃	CP ₄	CP ₅	CP ₆	MB	
1	1	0	1	0	1	0	0	0
1	0	1	0	1	0	1	0	0

CLMTB

0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---

1	1	1	1	1	1	1	1	1
---	---	---	---	---	---	---	---	---

TBMTB (IJ)

0	0	0	0	0	0	0	1	1
---	---	---	---	---	---	---	---	---

TBMTB (MD)

0	0	0	0	0	0	0	1	1
---	---	---	---	---	---	---	---	---

TBMTB (SDT)

--	--	--	--	--	--	--	--	--

PRB

G.3



19 JUL 1973

Eugenio Barroso
EUGENIO BARROSO
Secretario General

12/3

STANDARD ELECTRICA, S.

411963

411963

BP ₀	BP ₁	BP ₂	BP ₃	BP ₄	BP ₅	BP ₆	BP ₇	BP ₈	BP ₉	MA
1	1	0	1	0	0	1	0	1	0	
1	1	1	0	1	1	0	1	1	0	
BLMTA										
1	1	1	1	1	1	1	1	1	1	
BLFSMA										
1	1	0	1	0	0	1	0	0	0	
BLMMAA										
0	0	0	0	0	0	0	0	0	0	
BLMMAC										
1	1	0	1	0	0	1	0	0	0	
BLMMAD										
S ₁ · S ₂ · S ₃ · S ₄ · S ₅ · S ₆										
MPA										

BP ₀	BP ₁	BP ₂	BP ₃	BP ₄	BP ₅	BP ₆	BP ₇	BP ₈	BP ₉	MB
1	1	0	1	0	0	1	0	1	0	
1	1	1	0	1	1	0	1	1	0	
BLMTB										
0	0	1	1	1	1	1	1	1	1	
BLFSMB										
BLMMBA										
BLMMBC										
BLMMBD										
S ₁ · S ₂ · S ₃ · S ₄ · S ₅ · S ₆										
MPB										

FIG.4



19 SET. 1973

Albaum
 EDUARDO ALBAUM
 Secretario General

411963

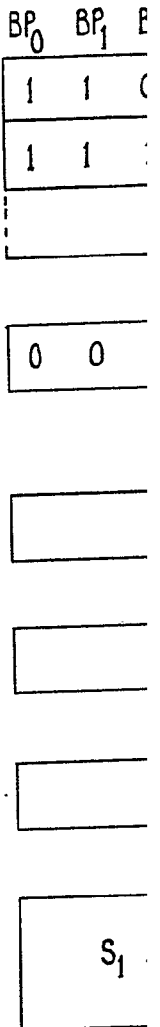
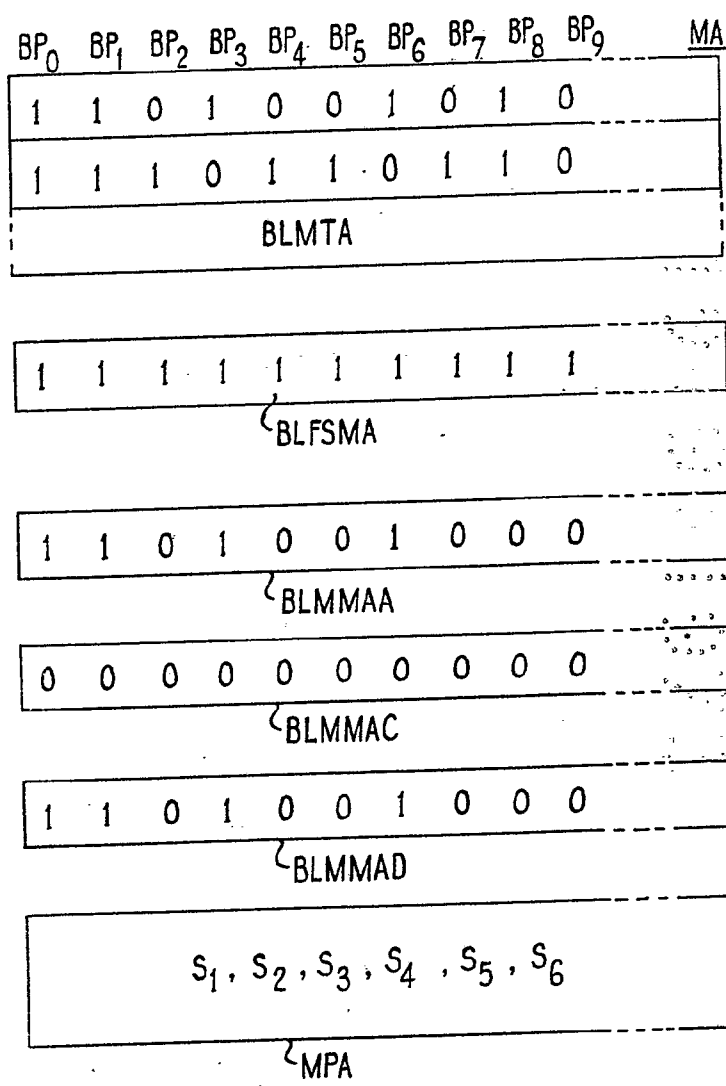


FIG.4

12/3

STANDARD ELECTRICA, S.



411963

BP₀ BP₁ BP₂ BP₃ BP₄ BP₅ BP₆ BP₇ BP₈ BP₉ MB

1 1 0 1 0 0 1 0 1 0

1 1 1 0 1 1 0 1 1 0

BLMTB

0 0 1 1 1 1 1 1 1 1

BLFSMB

[Empty box]

BLMMBA

[Empty box]

BLMMBC

[Empty box]

BLMMBD

S₁ , S₂ , S₃ , S₄ , S₅ , S₆

MPB

4

19 SET. 1973



Eugenio Carrasco
EUGENIO CARRASCO
Secretario General

17/4

STANDARD ELECTRICA, S.

411963

411963

CM

0	0	0	0	0	0	0	0	0	0	0
IJBCT										
IJBCT										
P	MDJB	SO	RBA							
IJSBT										
IJSBT										
JA										
MDHR										
MDHR										
MORBRA										
MDPL										
MDPL										
MDRB										
MDRBT										
MDRBT										
MDRBR										

1	0	0	0	0	0	0	0	0	0	0
IJBDT										
IJBDT										
1	1	1	1	1	1	1	1	1	1	1
BLEM										
BLEM										
BLRMA										
BP0	BP1	BP2	BP3	BP4	BP5	BP6	BP7	BP8	BP9	
0	0	0	0	0	0	0	0	0	0	0
BLRMB										
BLRMB										
MAP										
MAP										
MDHW										
MDHW										

FIG.5

19 SET. 1973



Eugenio Sarroso
EUGENIO SARROSO
Secretario General

411963

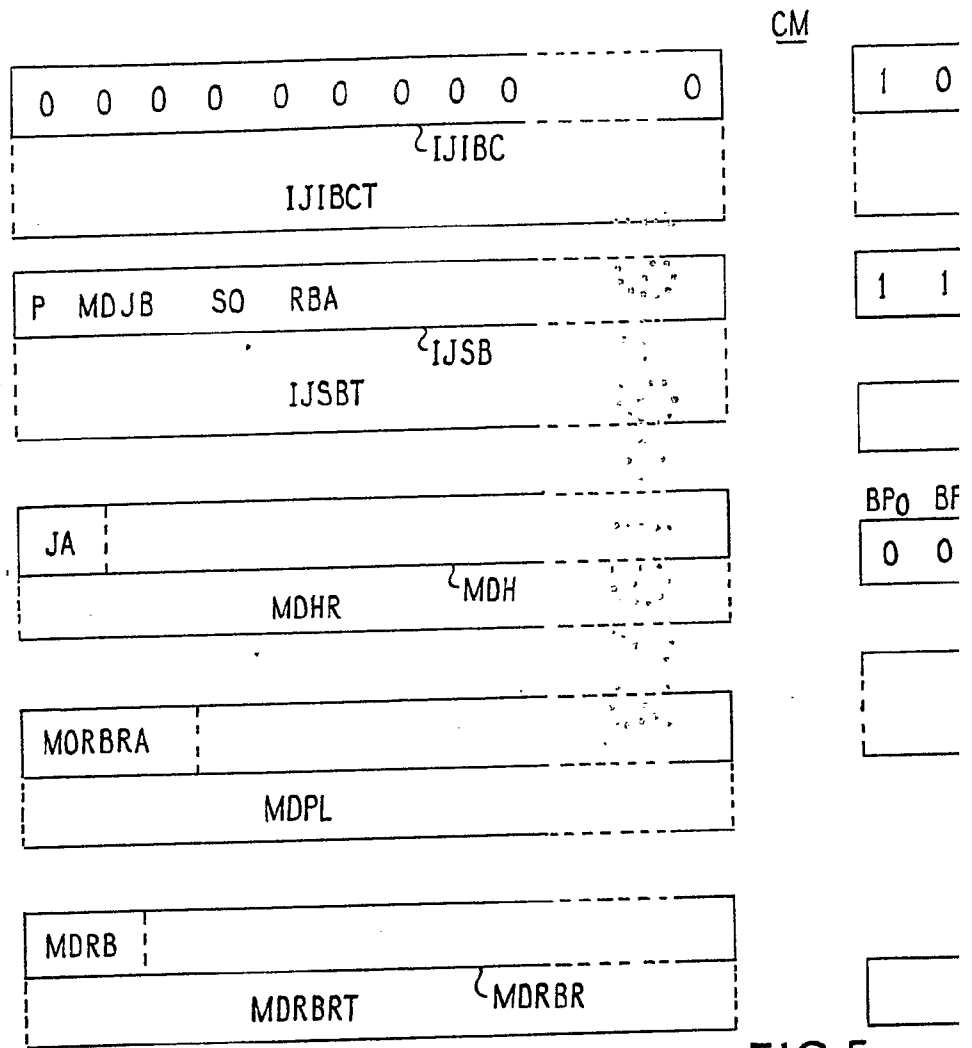


FIG.5

12/4

STANDARD ELECTRICA, S.



411963

1 0 0 0 0 0 0 0 0 0 0

IJIBDT IJIBD

1 1 1 1 1 1 1 1 1 1

BLEM

[Empty box]

BLRMA

BP0 BP1 BP2 BP3 BP4 BP5 BP6 BP7 BP8 BP9

0 0 0 0 0 0 0 0 0 1 0

BLRMB

[Empty box]

MAP

19 SET. 1973



[Empty box]

MDHW

3.5

Eugenio Barroso
EUGENIO BARROSO
Secretario General



MP

411963

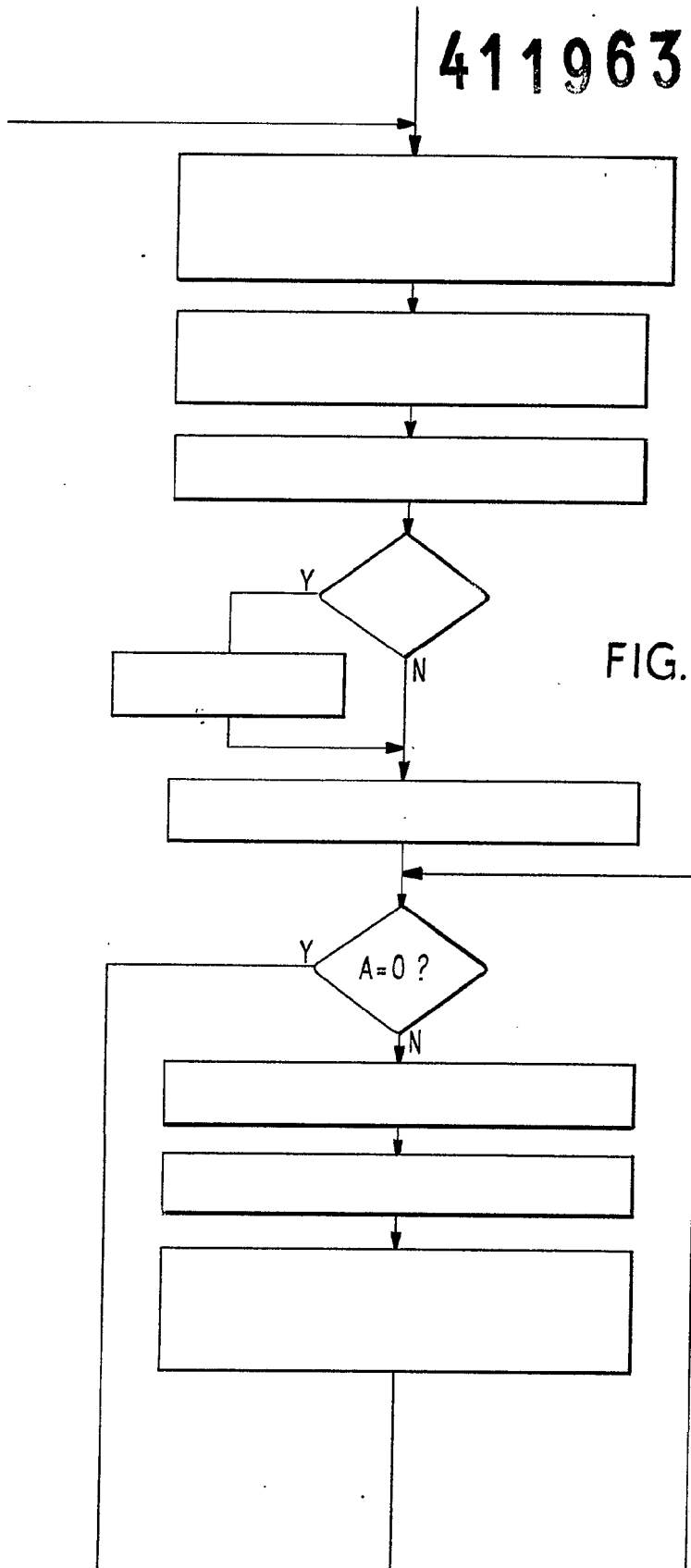
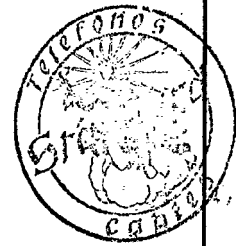


FIG.6



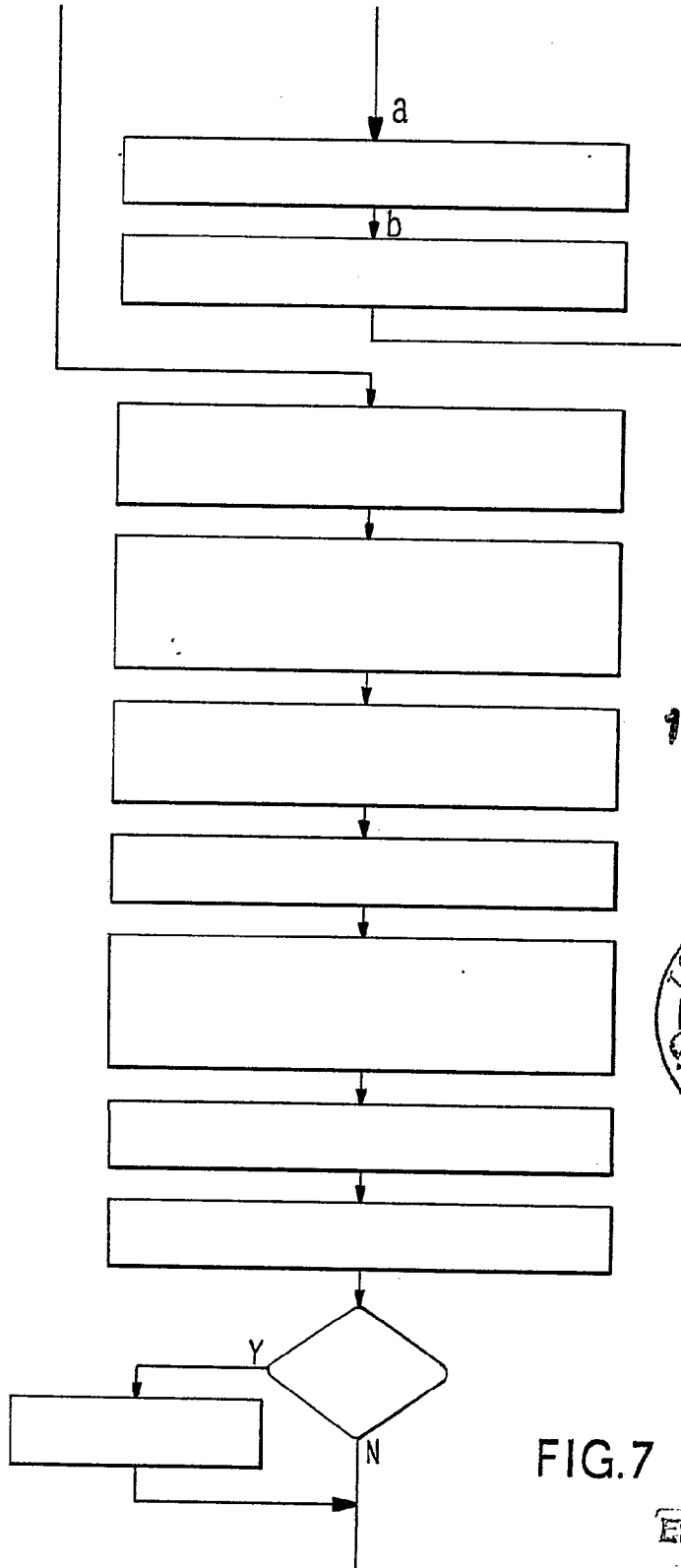
19 SET. 1973

Eugenio Barroso
EUGENIO BARROSO,
Secretario General



411963

MP



19 SET. 1973



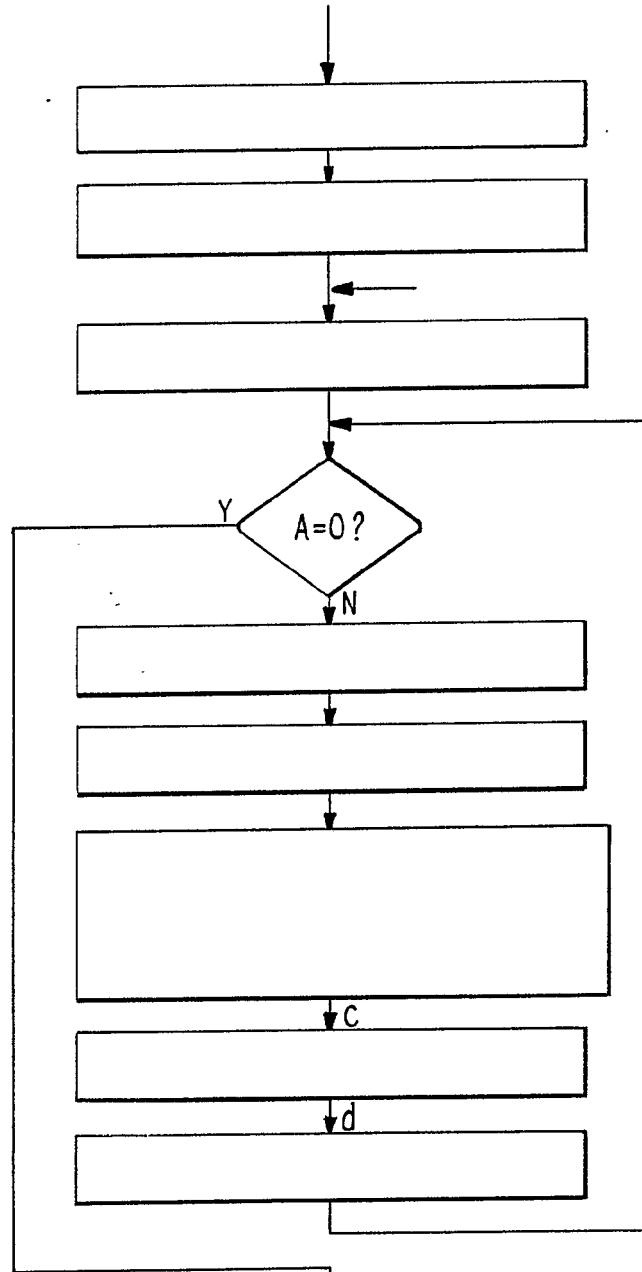
FIG.7

Elbauro
EUGENIO BARROSO
Secretario General



411963

MP



19 SET. 1973

FIG.8



EUGENIO ZANROSO
Secretario General



411963

CPO

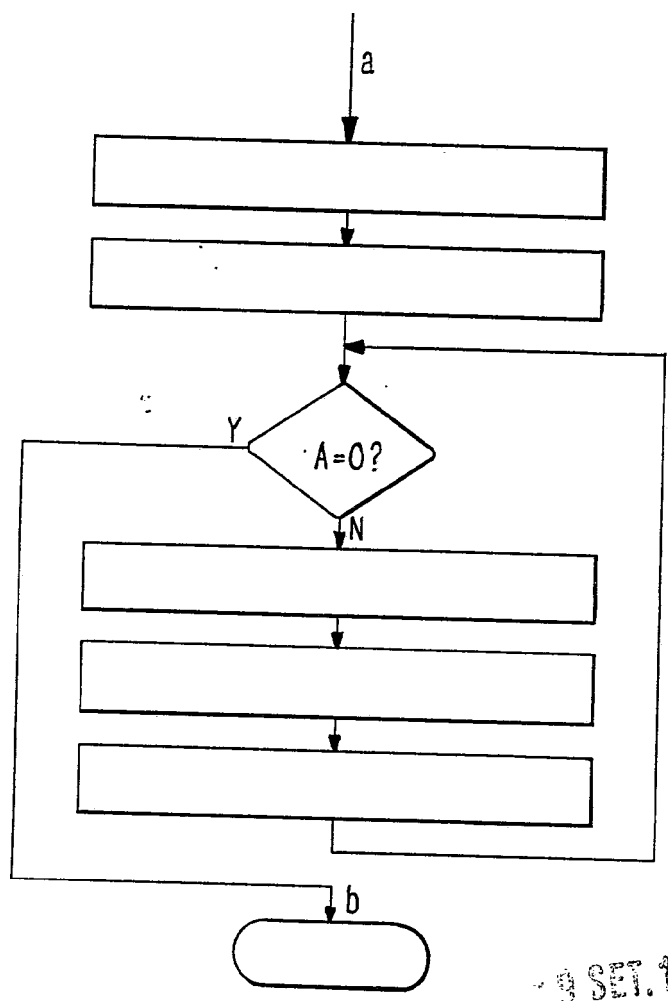
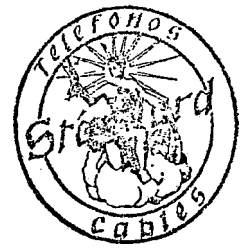


FIG. 9

9 SET. 1973



Eugenio Barroso
EUGENIO BARROSO
Secretario General

14/9

1950



411963

CP1

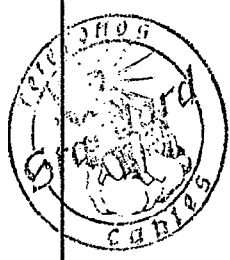
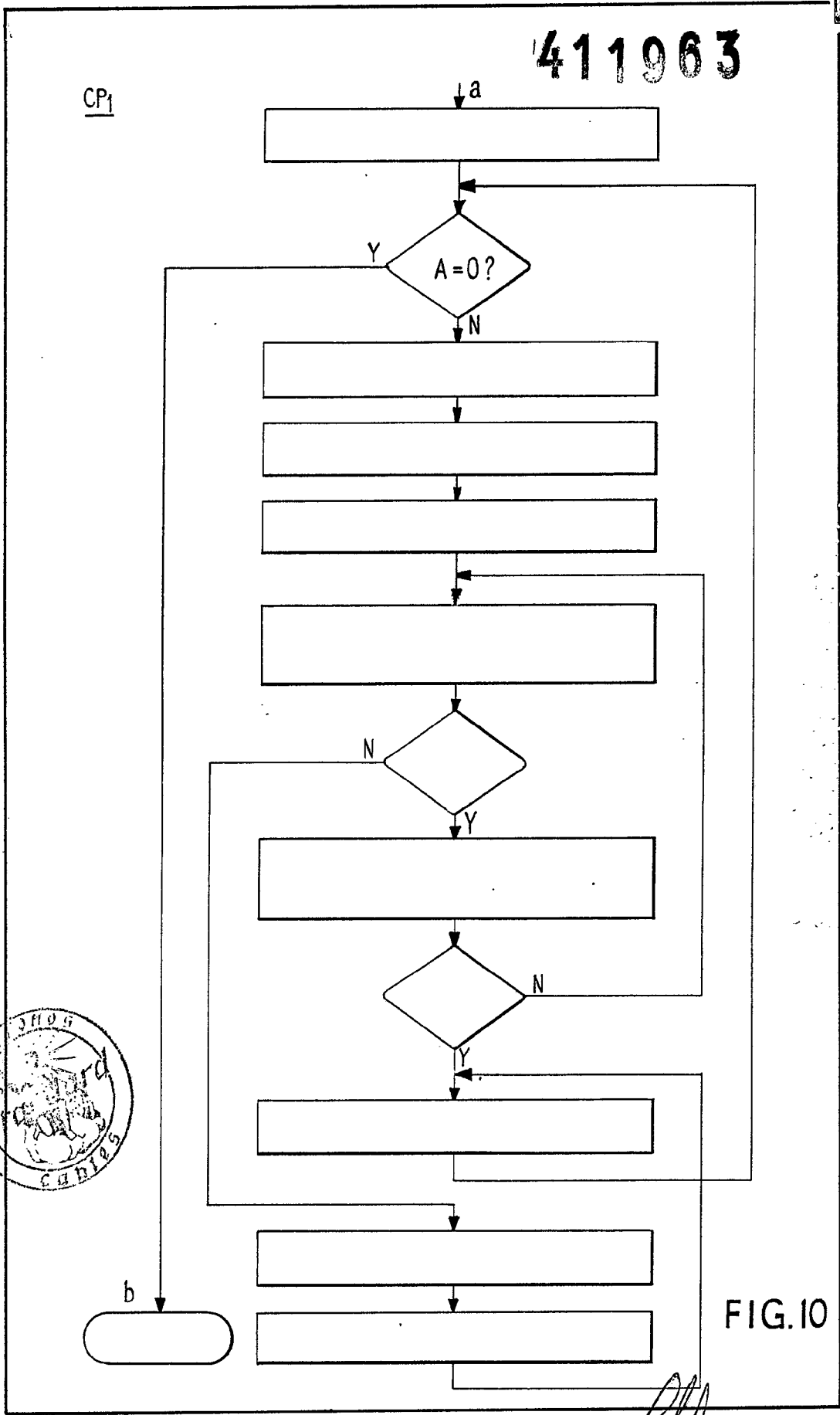


FIG.10

Eugenio Barroso
EUGENIO BARROSO
Secretario General

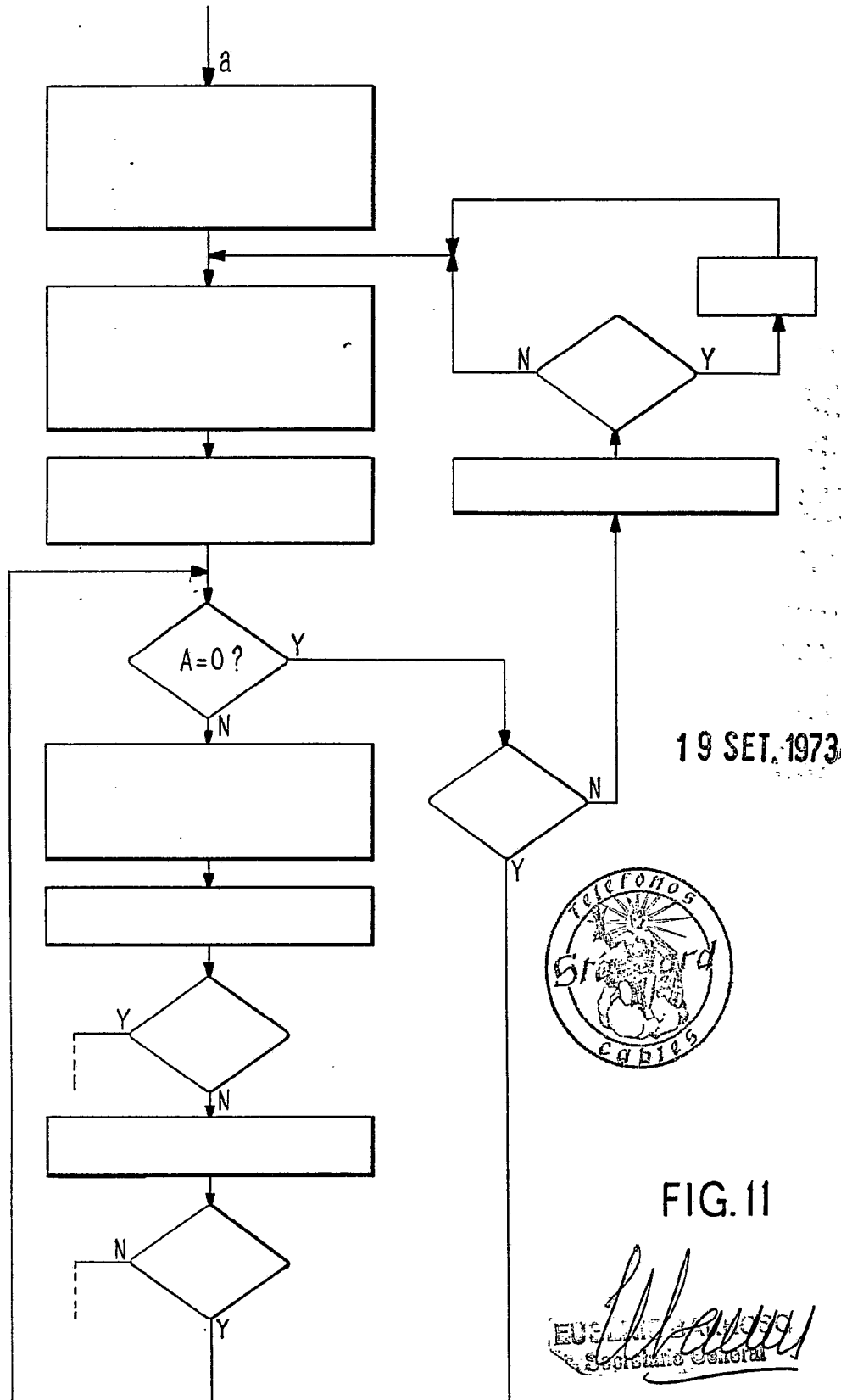
12/10

19 SET 1973



411963

CP4



19 SET. 1973



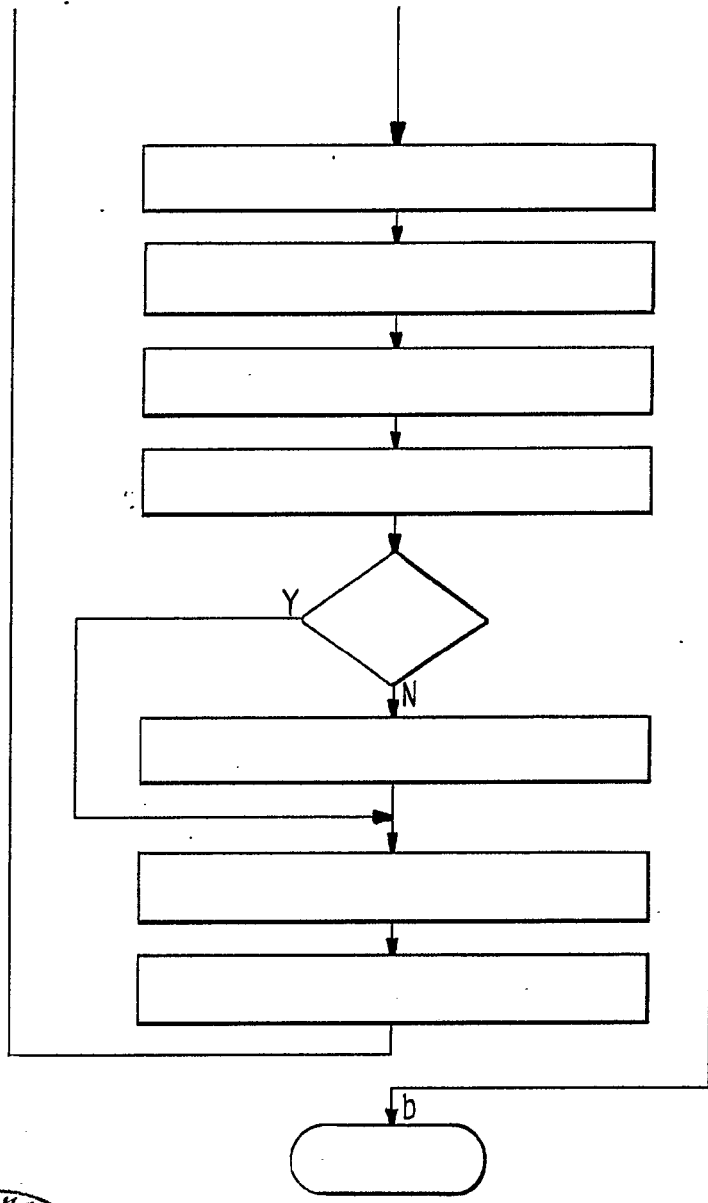
FIG. 11

[Signature]
EUGENIO VILLALBA
Secretario General



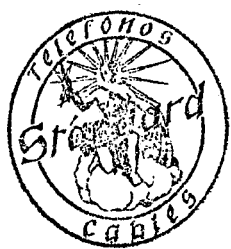
411963

CP4



19 SET. 1973

FIG. 12



Eugenio Carruso
EUGENIO CARRUSO
Secretario General

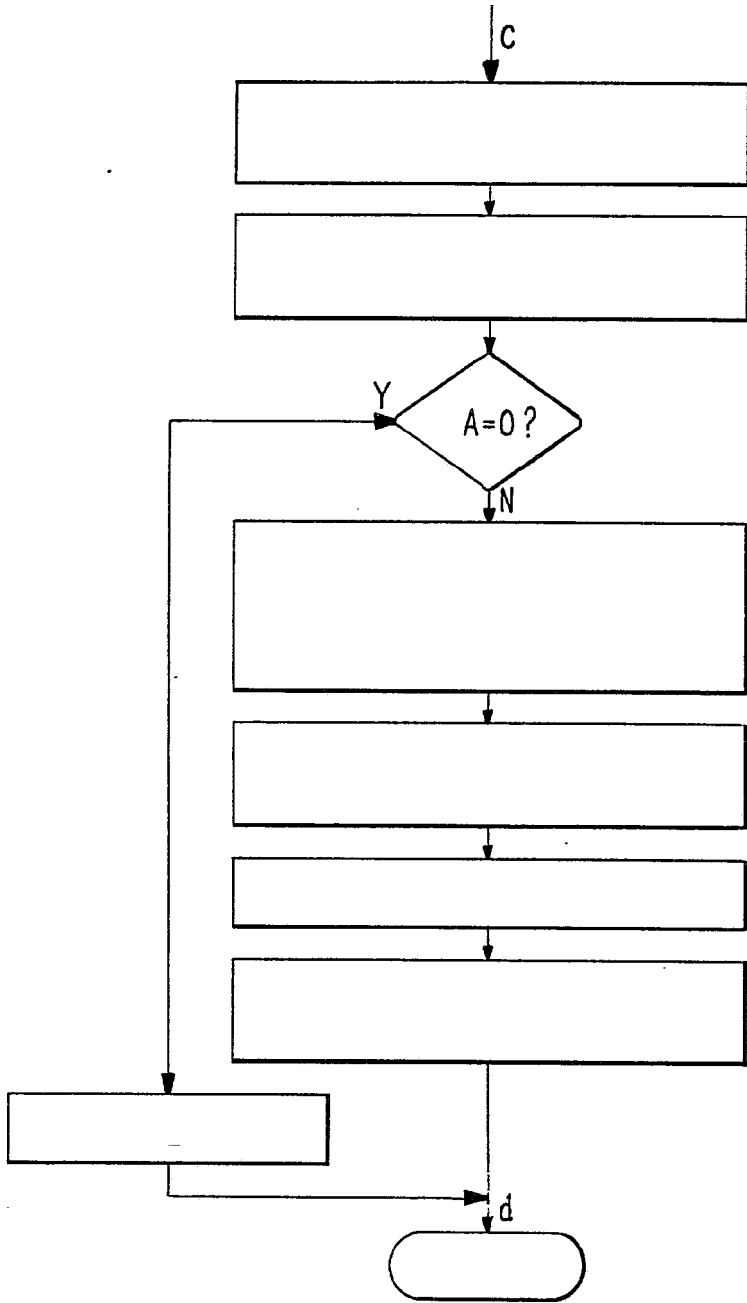
19/12

19



411963

BP1



19 SET. 1973

FIG. 13



[Handwritten signature]
Secretaria General