



Cl. G 0 5 F // H 0 2 J

410938

P A T E N T E
D E
I N V E N C I O N

por "PERFECCIONAMIENTOS EN CIRCUITOS DE IMPULSOS ACTIVADORES DE RELES A TRAVES DE CIRCUITOS LOGICOS Y DECODIFICADORES", a favor de la firma española ELEMENTOS DE INGENIERIA ELECTRONICA S.A., domiciliada en HOSPITALET DE LLOBREGAT (Barcelona), Casanovas, 21 planta 2ª.

= . =

MEMORIA DESCRIPTIVA

- La presente invención se refiere a perfeccionamientos en circuitos de impulsos activadores de relés, que permiten reemplazar ventajosamente los ya conocidos en el mercado ya que comprenden un sistema de puertas lógicas comandadas por un sistema decodificador, excitantes de relés embornados en los circuitos de salida, que sustituye el mecanismo de leva y microinterruptores en los circuitos existentes actualmente, aplicable a dispositivos automaticos para la corrección del factor de potencia en redes electricas industriales.
- 5.
10. En esencia el circuito de la invención comprende: circuito de alimentación al sistema, circuito emisor de



- impulsos de lectura, circuito amplificador de intensidad de impulsos, circuito comparador ordenativo de señales lógicas, circuito transformador de señales lógicas y de corrección de impulsos y circuito decodificador integrado en circuito lógico de activación de relés. Este conjunto de circuitos sucesivamente acoplados constituye el sistema total objeto de la invención, aplicable en los más variados mecanismos de medición electrónicos y de regulación conocidos.
- 5.
- Con objeto de facilitar la descripción hacemos
10. referencia a la lámina de dibujos, en la que se representa un caso de realización que se cita a título de ejemplo.
- En el dibujo:
- La figura 1 representa, esquemáticamente como
15. todas las sucesivas, el montaje del circuito emisor de impulsos de lectura.
- La figura 2 representa el circuito amplificador de los impulsos de lectura recibidos del circuito de la figura 1.
- La figura 3 representa el circuito comparador
20. ordenativo de señales lógicas, receptor de las señales amplificadas en el circuito de la figura 2.
- La figura 4 representa el circuito transformador de las señales lógicas, emitidas por el circuito de la figura 3, en niveles lógicos "0" y "1".
25. La figura 5 representa el sistema de puertas NO-Y constituyentes en receptores del circuito de la figura anterior y del circuito corrector de impulsos de la figura 6, cuyo conjunto remite las órdenes lógicas al sistema amplificador de las mismas y el circuito de contaje de impulsos.
30. La figura 6 representa el circuito corrector



de impulsos en la recepción de posiciones lógicas constantes recibidas en el circuito anterior.

La figura 7 muestra el sistema de puertas lógicas NO-Y, selector de los impulsos de corrección.

5. La figura 8 representa el conjunto de circuito de conteo y circuito decodificador, receptor de las señales lógicas de los circuitos según las figuras 5, 6 y 7 y, respectivamente, emisor a la combinación de puertas lógicas de la figura 9, excitadoras del sistema de relés de salida del circuito.
- 10.

La figura 9 muestra la combinación de puertas NO-Y y O-excluyentes, excitadoras de los relés de salida del equipo.

15. La figura 10 representa el circuito de relés de salida y su embornamiento.

La figura 11 representa el circuito de alimentación total del sistema.

20. En la figura 1, vemos el circuito, cuya misión consiste en crear un impulso llamado "de lectura", con una duración del orden de microsegundos, desplazable a voluntad en el tiempo.

25. La señal que este circuito recibe a la entrada es una tensión alterna sinusoidal, proporcional y equivalente a la tensión compuesta V_{ST} procedente de la red trifásica a que se halla conectado el equipo.

El diodo Zener Z4 recorta la tensión alterna y la transforma en ondas cuadradas, que poseen la particularidad de estar en sincronismo con la red y en particular con la tensión compuesta ST de la trifásica.

30. El transistor T7 está polarizado a tensión



constante en su base y, a través de P11 y P6, recibe una corriente en su circuito de colector-emisor, la cual va cargando el condensador C26 a intensidad constante.

5. Cuando el condensador alcanza tensión suficiente el transistor T37 inicia la conducción bruscamente, creándose a través de R81 y R82 un impulso que ceba el tiristor Th1, el cual, al conducir, cortocircuita la tensión que existía en extremo de Zener Z4. Con ello hemos obtenido un impulso y la imposibilidad de obtener otro dentro de este semiperíodo positivo. Hasta el próximo semiperíodo positivo no existirán las condiciones necesarias para poderse crear un nuevo impulso.
- 10.

- Mediante los potenciómetros P11, P12 y P6 se logra el ajuste necesario de la carga del condensador C26 y, con ella, que el impulso del cebado del tiristor se produzca siempre "al cabo de transcurridos los sucesivos milisegundos después de que se ha iniciado cada semiperíodo positivo de la tensión alterna V_{ST} . Este impulso siempre lo localizamos en las cercanías del centro del semiperíodo, o sea cerca de la cúspide. Zona señalada con trazos en el oscilograma de la figura.
- 15.
- 20.

- El resto del circuito tiene por misión conformar el impulso obtenido en R81 para que tenga una duración y magnitud bien determinada. Mediante los transistores T9 y T11 formamos un monoestable que fija exactamente la duración en microsegundos del impulso y luego con el transistor T12 le damos la ampliación necesaria para que pueda actuar sobre los pasos siguientes.
- 25.

- A este impulso en cascada le llamaremos a partir de ahora "impulso de lectura".
- 30.



Refiriéndose a la figura 2, este circuito tiene como misión evaluar la magnitud de la intensidad medida por un transformador de intensidad situado sobre la fase R de una red trifásica.

5. Esta evaluación se efectúa solo en un instante preciso y que viene determinado por el antes mencionado "impulso de lectura".

10. Los circuitos CI1 y CI2 son dos amplificadores integrados, que tienen como misión amplificar adecuadamente las tensiones alternas presentan entre los bornes 3 y 5 de este esquema.

P4, P9 y P5 tienen como misión ajustar la amplificación que debe tener todo el sistema.

El proceso es pues el siguiente:

15. A los bornes 1 y 2 se conecta el secundario de un transformador de intensidad, que se halla, por ejemplo, en la fase R.

20. A través del ahunt Sh1 circula una intensidad proporcional a la medida sobre la fase de la red industrial de que se trate.

25. Los milivoltios obtenidos sobre Sh1 son aplicados al circuito integrado CI1, que los amplifica varias veces. El ajuste de esta amplificación queda determinado por el valor de P4, P9 y P5 y la red de realimentación R10. Los diodos D27 y D28 limitan un posible exceso de señal a la entrada de este amplificador diferencial.

Sobre R11 tenemos la señal amplificada dispuesta a ser llevada, a través de C9, R13 y R14, al otro paso amplificador.

30. Ahora bien, el transistor MOS-FET, T8 del es-



5. quema, cumple una misión importante. Debido a la polarización que recibe está en estado conductor continuamente, o sea cortocircuitando la señal que amplifica CI1. Solo durante el corto espacio de tiempo que dura el impulso de lectura, el transistor T8 se bloquea y permite el paso de la señal amplificada a la siguiente etapa.

El mismo proceso ocurre respecto al amplificador CI2 y al transistor T10 (MOS-FET).

Resumiendo podemos decir:

10. A través de la resistencia R23 se aplicarán al circuito CI3 unos impulsos de la misma cadencia y duración que el impulso de medida creado anteriormente, pero de magnitud y polaridad variable.

15. Esta magnitud y polaridad será proporcional a las condiciones instantáneas en que se encuentra I_R en un determinado momento de cada período de la corriente alterna.

20. Aclarando, cuando una red trifásica se halla equilibrada y las cargas del circuito son puramente resistivas, o bien está compensada exactamente la energía reactiva, ocurre, por definición, que la intensidad de una fase, por ejemplo I_R se halla a 90° retrasada en el tiempo, respecto a la tensión compuesta de las otras dos fases, por ejemplo V_{ST} .

25. Basándose en lo anterior, si la compensación del reactor se halla en las condiciones deseadas, el impulso de lectura habrá sido situado, mediante el ajuste del mando "Ajuste coseno", (potenciómetro P11, figura 1), de tal modo respecto al tiempo que, cuando permita el paso de la amplificación de CI1 y CI2, la tensión alterna en aquel instante amplificada estará pasando por su valor de 0 voltios.

30. Ahora bien, si la intensidad I_R y, como es lógico, su equivalente la tensión amplificada por CI1 y CI2, se



adelantan o retrasan en el tiempo respecto al sincronismo del impulso de lectura, ocurrirá que, cuando este se produzca, encontrará la tensión en una magnitud positiva o negativa, tanto mayor cuanto mayor sea el desfaseamiento.

5. Este tren de impulsos, de magnitud y polaridad variable, según sea el desfaseamiento de I_R respecto a V_{SP} , es aplicado al circuito CI3, el cual está en montaje integrador, o sea, proporciona a la salida en extremo de R28 una tensión continua de polaridad y magnitud variable, proporcional a los impulsos recibidos a la entrada.

10. Tenemos pues ahora una tensión continua de magnitud y polaridad proporcional al coseno medido que deseamos corregir.

15. Refiriéndonos a la figura 3, comprende el circuito comparador, que tiene por misión proporcionar unos niveles de tensión que llamaremos "orden de conectar" y "orden de desconectar", cuando la tensión proporcional al coseno medido, que se aplica a las entradas, alcance unos niveles de tensión, que predeterminaremos por unos mandos situados en la carátula frontal y que corresponden en el esquema a los potenciómetros P8 y P9.

20. Los transistores T13 y T14 forman un circuito diferencial, al igual que la pareja T16 y T17. A las bases de los transistores T13 y T17, y a través de R33 y R29, mandamos la tensión proporcional al coseno obtenida anteriormente.

25. Observemos que las bases de los otros dos transistores están unidas a los potenciómetros P8 y P9. El transistor T14, a través de R39, al potenciómetro P8, unido por R44 al negativo $-V_1$. Por parte el transistor T16, a través de R43, al potenciómetro P9, unido por R49 al positivo $+V_1$.

30. Con estos dos potenciómetros ajustamos los ni-



410938

veles de insensibilidad que debe poseer el equipo. Así hasta que la tensión proporcional al coseno medido no alcance un valor de tensión positivo o negativo superior al fijado con estos potenciómetros, no podrán conducir los transistores T15 o T18.

5.

Efectivamente, supongamos que la tensión proporcional al coseno medido se hace positiva. Llegará un momento que la base del transistor T17 será ligeramente más positiva que la base del transistor T16, entonces conducirá T17, lo cual polariza a través de R46 de tal modo T18 que lo hará conducir y, en consecuencia, aparece tensión próxima a $+V_1$ en extremos de R47, o sea en el borne 7. Esta tensión de $+V_1$ en el borne 7 representa orden de conectar nuevos circuitos de salida, según veremos a continuación.

10.

15.

Si la tensión proporcional al coseno medido se desplaza hacia valores negativos, llegará un momento en que será la base de T13 más negativa que la de T14, iniciándose la conducción de este último y, como consecuencia, conducirá T15, apareciendo la tensión $+V_1$ en el borne 8, lo cual equivaldrá a la orden de desconectar circuitos de salida.

20.

En conclusión, este circuito recibe tensiones que pueden oscilar desde $+V_1$ pasando por 0, hasta $-V_1$; y, después de fijado unos valores mediante los potenciómetros P8 y P9, proporciona dos salidas siempre de $+V_1$, una de ellas al alcanzarse un nivel positivo a la entrada y otra de ellas al superarse otro nivel negativo a la entrada.

25.

Refiriéndose a la figura 4, este circuito tiene por misión transformar unas señales lógicas "orden de conectar", que llamaremos C y "orden de desconectar", que llamaremos D, que se encuentran en niveles lógicos "0" y "1", cuyos márgenes respectivos de tensión son 0 y 12 voltios ($+V_1$).

30.



La transformación será a unos niveles lógicos "0" y "1" de cero voltios y cinco voltios (+V2), respectivamente, aptos para trabajar con los circuitos integrados de técnica TTL, de que constan los esquemas que veremos a continuación.

5. Si consideramos C y D a la entrada, tendremos a la salida los niveles lógicos \bar{C} y \bar{D} , o sea negación de C y negación de D. Estas señales pasarán al circuito siguiente.

Refiriéndose a la figura 5, el circuito esta formado eminentemente por puertas lógicas, cuya ecuación lógica es la función NO-Y : $S = \overline{A \cdot B}$.

10.

El circuito recibe como información los siguientes datos:

\bar{C} : complemento de orden de conectar

\bar{D} : complemento de orden de desconectar

15.

$\bar{0}$: complemento de posición cero en los circuitos de salida

$\bar{9}$: posición nueva en los circuitos de salida

La puerta 4₁ transforma la señal \bar{C} en C.

La puerta 5₂ transforma la señal \bar{D} en D.

20.

La puerta 5₃ transforma la señal $\bar{0}$ en 0.

La puerta 6₃ establece la condición: $\overline{C \cdot \bar{9}}$

La puerta 6₇ establece la condición: $\overline{C \cdot D}$

La puerta 5₁ establece la condición: $\overline{D \cdot 0}$

La puerta 6₂ reúne estas tres condiciones y establece la condición que llamaremos A y cuya fórmula lógica

25.

$$A = \overline{C \cdot \bar{9}} \cdot \overline{C \cdot D} \cdot \overline{D \cdot 0}$$

la cual transformada queda como sigue:

$$A = C \cdot \bar{9} + \bar{C} \cdot D + D \cdot 0$$

30.

lo cual significa que existirá señal lógica 1 en el punto A

410938



cuando se cumpla:

C.9 Orden de conectar y posición 9

$\bar{C}.D$ Negación de orden de conectar y orden de desconectar

D.0 Orden de desconectar y posición 0.

5. Es evidente que existe nivel lógico 1 en A siempre que no deba hacerse ninguna corrección en la posición de los circuitos de salida y, por el contrario, en A se pasa a nivel lógico "0" cuando debe proceder a la modificación de conexión de los circuitos de salida.
10. Puede modificarse el margen de maniobra del equipo con solo modificar los datos de la ecuación lógica A. Consistiría en tomar la salida lógica 8, 7, 6, etc., en lugar de la 9 y automáticamente quedaría limitado el escalón superior de los relés de salida, que veremos más adelante.
15. Para ello, en lugar de mandar la información 9 a la puerta 6_3 , mandaremos una señal que llamaremos X y que será la salida de una puerta de diodos situada en los circuitos de salida y que determinará automáticamente cuándo la maniobra de conexión no debe proseguir, por haberse terminado los relés o sea, estar todos conectados.
20. Refiriéndonos a la figura 6, este circuito tiene por misión proporcionar un impulso a la salida cuando la entrada permanece en la posición lógica "0", o sea \bar{A} , durante más de un tiempo t_1 determinado en segundos. Si transcurrido este tiempo t_1 la entrada persiste en la posición \bar{A} , al cabo de un tiempo t_2 menor que el anterior, se proporciona un nuevo impulso a la salida. Persistirá esta cadencia de impulsos mientras el nivel lógico "0" se mantenga a la entrada.
25. Este circuito posee la particularidad de no acumular los tiempos menores a t_1 en que pueda permanecer la entrada en posición \bar{A} . Solo si permanece constantemente
- 30.



ésta en posición lógica "0", durante un tiempo superior a t_1 , se producirá un impulso a la salida. A este impulso lo denominaremos "impulso de corrección".

Funcionamiento de este circuito:

5. Mientras persista el nivel lógico "1" en el punto A el transistor T21 permanecerá conductor y, en consecuencia, el condensador C23 descargado completamente a través de R56 y T21.
Cuando A pasa a nivel lógico "0" el transistor T21 se bloquea y se inicia la carga del condensador C23 a través de R57 y el transistor T22 que se halla polarizado por D15, P10 y R58.
10. Si antes de alcanzarse la tensión necesaria en extremos de C23, pasara la entrada A el nivel lógico "1", el transistor T21 descargaría aquél, quedando listo para iniciar un nuevo proceso de carga cuando las condiciones lógicas de la entrada cambiasen.
15. Alcanzada, al cabo de un tiempo t_1 , una tensión E_1 por el condensador C23 el transistor T23 conducirá bruscamente produciendo un impulso en extremo de R62, el cual es transmitido por R61 a la base del transistor T26. El condensador C23 se descargará a una tensión intermedia entre E_1 y cero voltios. Por este motivo el tiempo en que tarde a cargarse de nuevo a E_1 será inferior a t_1 y lo llamamos t_2 .
20. Todos los sucesivos tiempos, mientras persista \bar{A} , serán t_2 .
En conclusión:
T21 descarga completamente el condensador C23
T23 produce un impulso al alcanzarse E_1 y descarga parcialmente el condensador C23.
25. El impulso que recibe T26 es amplificado y, a través de D16, mandado al transistor T25, del cual a partir
- 30.

410938



de su colector obtenemos el impulso que llamaremos de "corrección". Estos dos transistores tienen por misión amplificar el impulso obtenido sobre R62 y darle una magnitud de $+V_2$ voltios.

5. El circuito representado en la figura 7 está formado por dos puertas lógicas NO-Y, y tiene por misión seleccionar los impulsos de corrección para actuar como orden de retroceso u orden de adelanto, según exista señal lógica D o C respectivamente.
10. Llamando al impulso de corrección M, las dos salidas de este circuito responderán a las ecuaciones lógicas:
- $$\text{Orden de retroceso} = \overline{D.M}$$
- $$\text{Orden de adelanto} = \overline{C.M}$$
15. O sea, tenemos nivel lógico "1" permanentemente en las dos salidas, excepto en el instante en que aparecen impulsos de corrección y sólo por la puerta que reúne la condición D o C.
20. Refiriéndonos a la figura 8, este circuito tiene por misión el conteo de impulsos de adelanto y retroceso, así como proporcionar las salidas lógicas que excitarán los circuitos de salida.
25. El circuito CI7 es un contador bidireccional que al recibir impulsos de retroceso va disminuyendo posiciones lógicas y, al recibir impulsos de adelanto va aumentando posiciones lógicas. Las salidas A, B, C, y D atacan un decodificador CI8, el cual posee todas las salidas en posición lógica "1", excepto el número correspondiente en que se halle el contador que se encontrará en posición lógica "0".
30. Esta salida, en posición "0", irá corriendo ha-



cia salida superior o inferiores, según el contador vaya recibiendo impulsos de adelanto o retroceso respectivamente.

5. El transistor T24, junto con las resistencias R63, R65, R66 y el condensador C24, forman un circuito de puerta a cero automática. Al conectarse la alimentación aparece tensión $+V_2$ en el borne 14 del contador, o sea nivel lógico "1", y esto obliga a mantener las cuatro salidas A, B, C y D en posición lógica "0". Transcurridos unos segundos el condensador C24 se ha cargado y el transistor T24 queda en estado de conducción, lo que representa mantener el borne 14 a prácticamente nivel de masa, o sea, nivel lógico "0".

10. En estas condiciones el contador puede ya reaccionar ante los impulsos de avance.

15. Refiriéndonos a la figura 9, este circuito tiene por misión excitar los relés de salida, según la posición lógica en que se encuentren las entradas. Las entradas 1 a 9 procedan del decodificador CI8 y, como ya hemos dicho, se encuentran en nivel lógico "1" todas, menos la seleccionada que está en nivel lógico "0".

20. Los cuatro circuitos puerta indicados en el esquema con el número 9, así como los cuatro con el número 10, son unas puertas lógicas 0-excluyente, cuya fórmula lógica es:

$$S = (A.\bar{B}) + (\bar{A}.B)$$

25. O sea, solo proporcionan salida lógica "1" cuando las entradas son distintas y salida lógica "0" cuando las dos entradas están al mismo nivel lógico.

30. Los demás circuitos puerta son del tipo NO-Y y actúan sólo como inversores de señal. Estas puertas atacan las bases de los transistores T27 a T35 y éstas, al conducir, accionarán los relés o elementos de salida.



Veamos el funcionamiento de la combinación de estas ocho puertas O-excluyente con las nueve puertas NO-Y:

- Las entradas 1 a 9 se encuentran en estado lógico "1" cuando el decodificador está en la cifra cero. Entonces todas las puertas O-excluyente tienen una entrada "1" y la otra en "0", por lo que su salida será "1" y, por lo tanto, las salidas de los NO-Y serán "0". Este nivel "0" es el que encontramos a la entrada de las primeras. Además este nivel "0" no permitirá que ninguno de los transistores T27 a T35 conduzcan.
- 5.
- 10.

- Supongamos que el decodificador CI18 pasa a la cifra 1, con ello todas las entradas estarán en nivel lógico "1", menos la de la cifra 1 que estará en nivel lógico "0". Este "0" con el otro "0" que tiene aplicada a la entrada la puerta 10_4 , dará a la salida un nivel "0", o sea un "1" a la salida de la puerta 4_2 , quedando excitado el transistor T35.
- 15.

- Supongamos que el decodificador pasa a la cifra 2. Entonces esta salida estará a nivel lógico "0" y todas las demás a "1". Este "0" aplicado a la puerta 10_1 con el "0" que tiene a la otra entrada, dará un "0" a la salida y, por lo tanto, un "1" a la salida de la puerta 12_4 , lo cual producirá la excitación del transistor T34.
- 20.

- Veamos ahora el cambio que se ha producido en la puerta 10_4 . Por un lado tiene señal "1", procedente de la cifra 1, y también señal "1", procedente de la salida de la puerta 12_4 , o sea, a la salida mantendrá su nivel "0", lo cual mantendrá el nivel "1" a la salida de la puerta 4_2 .
- 25.

30. Resumen:

La puerta O-excluyente, que corresponde a la puerta seleccionada por el decodificador CI8, se excita

410938



por el nivel "0" de dicha cifra y el nivel "0" de la puerta NO-Y de la cifra siguiente.

5. Las puertas O-excluyente, que corresponden a las cifras anteriores a la seleccionada, se excitan por el nivel "1" de las salidas del decodificador y el nivel "1" de las salidas de la puerta NO-Y de la cifra siguiente.

10. Las puertas O-excluyente, que corresponden a las cifras posteriores a la seleccionada, no se excitan pues, aunque tienen nivel lógico "1" en una entrada, en cambio tienen nivel lógico "0" en la otra, pues la puerta NO-Y posterior se encuentra en dicha posición.

15. La concatenación de estas puertas O-excluyente y NO-Y es lo que permite mantener excitados todos los transistores anteriores a la cifra seleccionada y desexcitados los posteriores.

Esta parte del esquema sustituye la leva mecánica y microrruptor que llevan todos los equipos del mercado.

20. En la figura 10 representamos el circuito correspondiente a los relés de salida y sus correspondientes embornamientos.

25. En este circuito podemos añadir las puertas de dichos citados en la figura 5 y que limitarán el número de escalones a conectar a los relés que tengamos conectados en el equipo.

En la figura 11 representamos el circuito que consta de varias fuentes de alimentación, las cuales proporcionan las tensiones $+V_1$, $-V_1$, $+V_2$, $+V_4$, que alimentan todos los circuitos descritos.

30. La invención, dentro de su esencialidad, se puede llevar a la práctica en otras formas de realización que difieran en detalle de la expuesta en la descripción a



título de ejemplo y a las cuales alcanzará las mismas ventajas que se desean obtener.

= . =

N O T A

5.

Descrito el objeto del presente invento, lo que se declara nuevo y de propia invención comprende las siguientes reivindicaciones:

10. 1. Perfeccionamientos en circuitos de impulsos activados de relés a través de circuitos lógicos y decodificadores, que comprenden circuitos de alimentación al sistema, circuito emisor de impulsos de lectura, circuito amplificador de intensidad de impulsos, circuito comparador ordenativo de señales lógicas, circuito transformador de señales lógicas y de corrección de impulsos y circuito decodificador
15. integrado en circuito lógico de activación de relés, caracterizados porque el circuito emisor de impulsos de lectura comprende un diodo Zener cortocircuito por un tiristor cebado bajo conducciones pulsátiles bruscas de un transistor,
20. en forma tal que los impulsos de cuyo transistor se encuentran localizados en la proximidad de las cúspides del semiperíodo positivo de la tensión compuesta en una corriente alterna trifásica; y porque el circuito amplificador, receptor de los impulsos de lectura, comprende un conjunto de tres amplificadores en serie, respectivamente cortocircuitados
25. los dos primeros por sendos transistores cuyo bloqueo se produce en el período de recepción de cada impulso, en forma tal que, el tercer amplificador se constituye en receptor de los citados impulsos con la misma cadencia, sumandose los impulsos y dando en su salida una tensión continua proporcional en magnitud al defase de la intensidad medida y de valor positivo o negativo según sea esta avanzada o atra-
30. *Key*

410938



- son respecto al coseno el seleccionado; y porque, el circuito comparador ordenativo, receptor de las señales del tercer amplificador, comprende un sistema de potenciómetros predeterminantes de niveles de tensión y reguladores de la conducción de dos parejas de transistores en circuito diferencial, proporcionador de dos salidas siempre en semifases de distinto nivel, constitutivas de dos señales lógicas, transformadas por un circuito adicional en niveles lógicos aptos para el trabajo en circuitos integrados receptores; y por comprender un circuito impulsor de corrección, formado por un sistema de transistores y condensadores, constituido en componente repetidor de impulsos, bajo la recepción constante de una señal lógica en un tiempo predeterminado superior al de recepción del nuevo impulso y un circuito selector de dichos impulsos, formado por dos puertas lógicas, receptor de la anterior y de la señal lógica de adelanto o retroceso procedente del circuito transformador; y porque un circuito, receptor de los impulsos de adelanto o retroceso seleccionados, constituido por un contador bidireccional, con circuito de puerta y cero automático, constituye el componente emisor de señales lógicas de ataque a un circuito decodificador, el cual, a través de dos series de cuatro circuitos puertas, combinados con otras dos series inversoras de señal, mantiene activados los transistores respectivos anteriores a una cifra preseleccionada y desactivados los posteriores, actuando escalonadamente sobre los correspondientes relés de salida embornados en aquéllos.

2. Perfeccionamientos, según la reivindicación anterior, caracterizados porque el circuito emisor de impulsos de lectura comprende un condensador, receptor de la corriente de un transistor polarizado a tensión constan-

30. *Re*

410938



- te, cuyo condensador alcanza periódicamente ciertos niveles de tensión iniciadores de conducciones bruscas en el transistor, creados de los impulsos cebadores del tiristor cortocircuitos del diodo Zener; y porque el citado condensador
5. se encuentra ajustado en su carga por un sistema de pontenciómetros variables, en forma tal que el impulso cebador del tiristor solamente se produzca al iniciar cada semiperíodo positivo de la tensión compuesta en una corriente alterna trifásica, reproduciéndose los impulsos solamente en
10. cada semiperíodo positivo citado; y por comprender un sistema de tres transistores, los dos primeros fijadores de la duración de impulso y el tercero de la amplificación del mismo, en función a su actuación en el circuito subsiguiente.
15. 3. Perfeccionamientos, según la reivindicación 1, caracterizados porque el circuito amplificador, receptor de los impulsos de lectura, comprende en sus dos primeros circuitos amplificadores sendos transistores MOS-FET a la salida, cortocircuitadores de las señales amplificadas por
20. aquéllos, y solamente bloqueables durante el período de cada impulso, cuyo tren de impulsos, aplicado al tercer circuito amplificador, presenta magnitud y polaridad variable, proporcionales al punto sinusoidal en que se encuentra la fase reactiva en un determinado instante de cada período
25. de la corriente alterna trifásica; constituyéndose el tercer amplificador, montado en circuito integrador, en componente proveedor de tensión continua de magnitud y polaridad variable, proporcional a las señales de que es receptor.
30. *Rey* 4. Perfeccionamientos, según la reivindicación 1, caracterizados en que el circuito comparador ordenativo receptor del tren de impulsos del circuito amplificador,



- comprendo un sistema potenciométrico variable, nivelador de las tensiones sinusoidales recibidas en semifase positiva, negativa o cero, en forma tal que los transistores en circuito diferencial, sobre cuya base actúan los citados
5. potenciómetros, proporcionan dos tensiones siempre en semifase positiva, una de ellas correspondiente a la tensión positiva recibida y la otra por superación del nivel negativo de entrada, cuyas tensiones constituyen señales lógicas en orden de conectar o desconectar transformadas en
10. un circuito transistorizado adicional a niveles lógicos "0" y "1", activos sobre circuitos integrados receptores.
5. Perfeccionamientos, según la reivindicación 1, caracterizados porque el circuito integrado, constituido en receptor de los niveles lógicos "0" y "1", comprende un sistema de puertas lógicas inicialmente receptoras de dichas
15. señales, o complemento de orden conectar y complemento de orden desconectar, respectivamente, cuyas puertas son receptoras así mismo de complemento de orden cero y posición nueva en los circuitos de salida, respectivamente procedentes
20. de un circuito decodificador y de un circuito puerta activador de relés; cuyo sistema de puertas lógicas conduce a una salida NO-Y, modificable en función al margen de maniobra del equipo por variación de la entrada correspondiente al circuito puerta activador de relés, limitativo del escalón superior de maniobra de estos últimos.
25. 6. Perfeccionamientos, según la reivindicación 1, caracterizados porque el circuito impulsor de corrección comprende un transistor, conductor de niveles lógicos "1" y bloqueable en niveles lógicos "0", y un condensador, descargable
30. *Dej* totalmente por el citado transistor y parcialmente por dos segundos transistores constituidos en emisores de impulsos sobre sendos sistemas amplificadores, en forma tal que,

410938



- uno de éstos proporciona impulsos, activado por uno de los segundos transistores, cuando el transistor de entrada recibe niveles lógicos variables "1" con períodos predeterminados y que son remitidos al circuito integrado en el contador
5. bidireccional; y en forma tal que el otro segundo transistor activa su correspondiente amplificador, proporcionando impulsos de periodicidad superior a la anterior y no acumulable, cuando el transistor de entrada recibe niveles lógicos constantes "0", cuyos impulsos remiten a un conjunto de
10. dos puertas lógicas, receptores de los anteriores y de las señales lógicas en orden de retroceso y orden de adelanto procedentes del circuito transformador, persistiendo la cadena de estos impulsos de corrección mientras perdura la última circunstancia y desactivándose este circuito cuando
15. el transistor de entrada recibe de nuevo niveles lógicos variables.

7. Perfeccionamientos, según la reivindicación 1, caracterizados porque el circuito receptor de impulsos de adelante y/o retroceso, seleccionados en el corrector de impulsos, comprende un contador bidireccional con circuito adicional de puesta a cero automática, constituido por un sistema transistor-resistencias-condensador, en la descarga de cuyo condensador, por conexión de la alimentación productora de nivel lógico "1" inicial, mantiene las salidas del contador
20. a nivel lógico "0", y que, en su recarga permite la admisión de los niveles lógicos de adelanto y/o retroceso en el contador, que a su salida atacan el decodificador.

8. Perfeccionamientos, según la reivindicación 1, caracterizados en que el circuito decodificador presenta todas sus salidas en posición lógica "1", excepto el número correspondiente a la posición lógica "0" en el contador, la cual
30. *pe* es desplazable a niveles lógicos superiores e inferiores, se-



gún la recepción de impulsos de adelanto o retroceso procedentes del contador.

9. Perfeccionamientos, según la reivindicación 1, caracterizados por comprender una sucesión de puertas NO-Y y O-excluyente, receptores de las salidas del decodificador y coordinadas entre sí en forma tal que la puerta O-excluyente correspondiente a la cifra seleccionada en el decodificador es excitable por el nivel "0" de la misma y el nivel "0" de la puerta NO-Y de la cifra siguiente; en tanto que las puertas O-excluyente, correspondientes a las cifras anteriores a la seleccionada, son excitables por el nivel "1" de la salida del decodificador y el nivel "1" de la puerta NO-Y de cifra consecutiva; mientras que las puertas O-excluyente, correspondientes a las cifras posteriores a la seleccionada, no son excitables por tener nivel lógico "1" en su entrada y nivel lógico "0" procedente de la puerta NO-Y posterior a dicha posición; cuyo conjunto de puertas, así coordinado, constituye el componente mantenedor de excitación en todos los transistores anteriores a la cifra seleccionada y desexcitados los restantes, activadores, por diodos limitativos de escalones del conjunto de relés de salida conectados al equipo.
- 5.
- 10.
- 15.
- 20.

10. Perfeccionamientos en circuitos de impulsos activadores de relés a través de circuitos lógicos y decodificadores.

25. Según se describe y reivindica en la presente memoria descriptiva que consta de 21 página foliadas y escritas a máquina por una sola cara.

Madrid, a 25 ENE. 1973

p.a.

JAIMÉ ISENER

P. S.

Firmado: JOSE F. NI.

410938

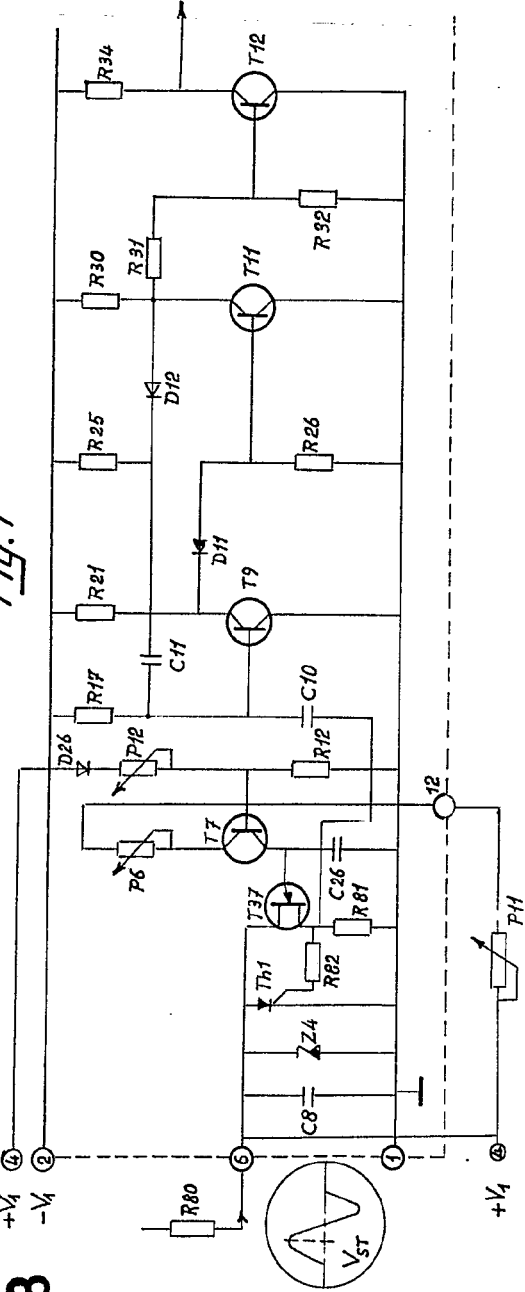
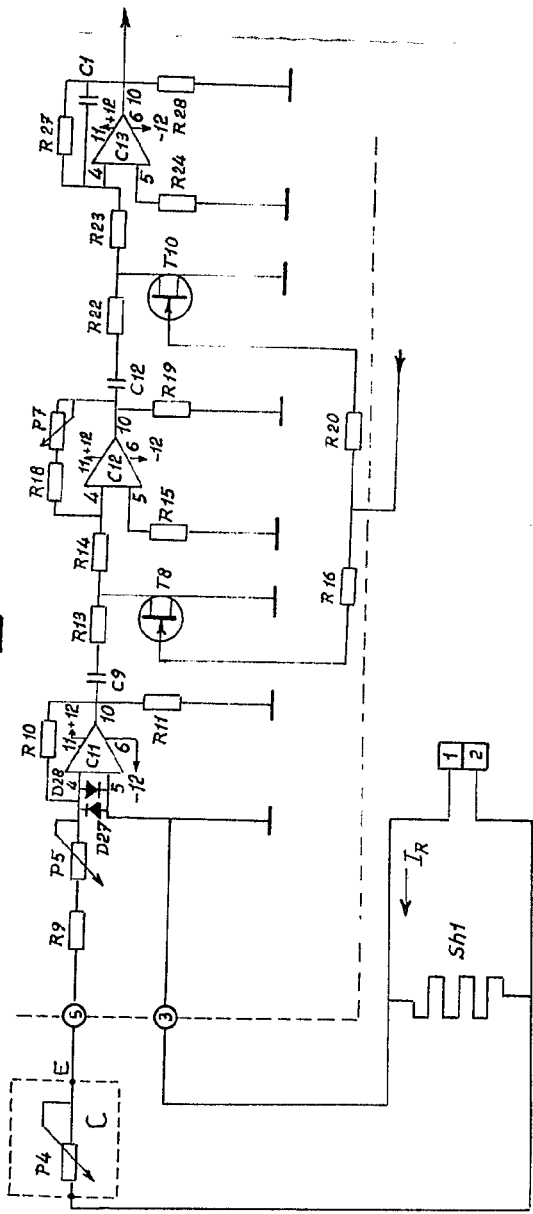


Fig. 1

Fig. 2



Madrid, a 25 ENE. 1973.

P.O. P.P. JAIME ISERN

Elaborado: JOSE F. NIETO

410938

Fig. 1

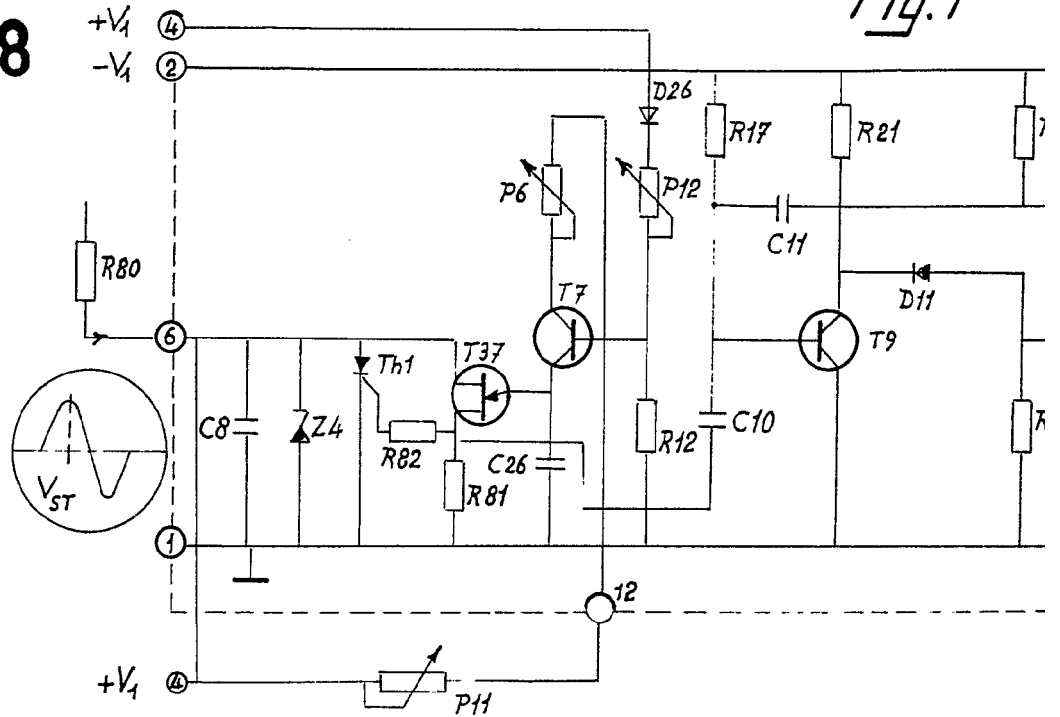
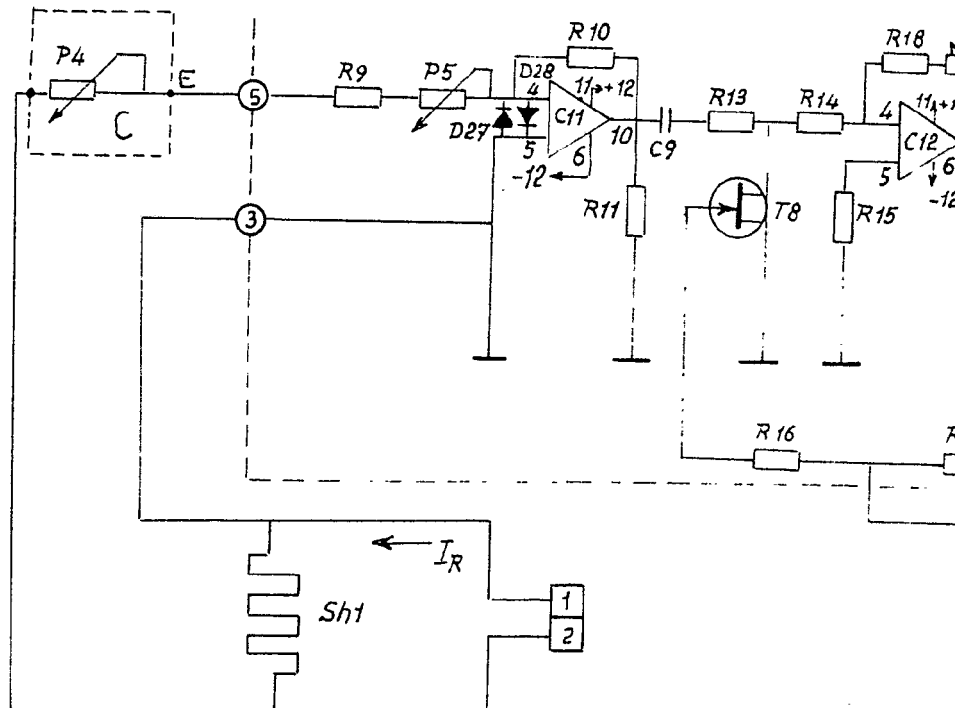
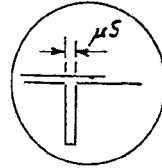
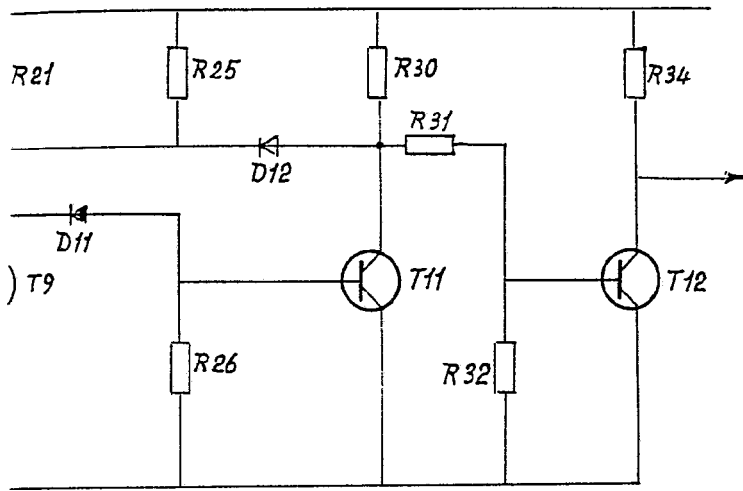


Fig. 2

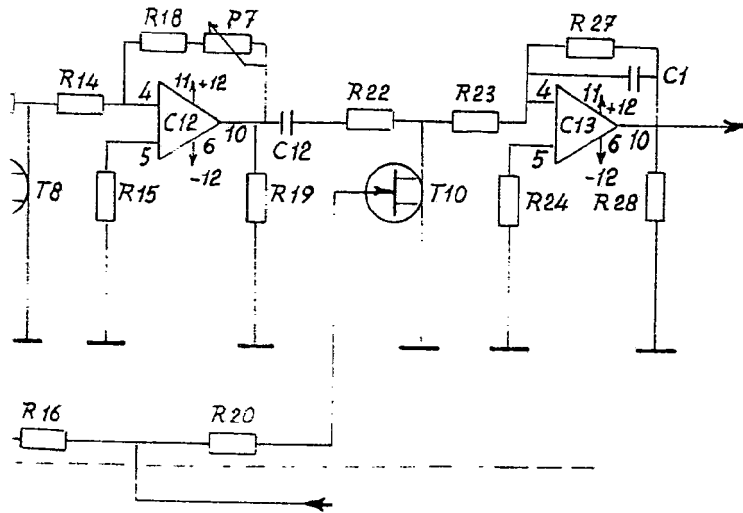


410038

Fig. 1



1. 2



Madrid, a 25 ENE. 1973 .

p.a. JAIME ISERN
P. P.

Firmado: JOSE F. NIETO

410938

Fig. 3

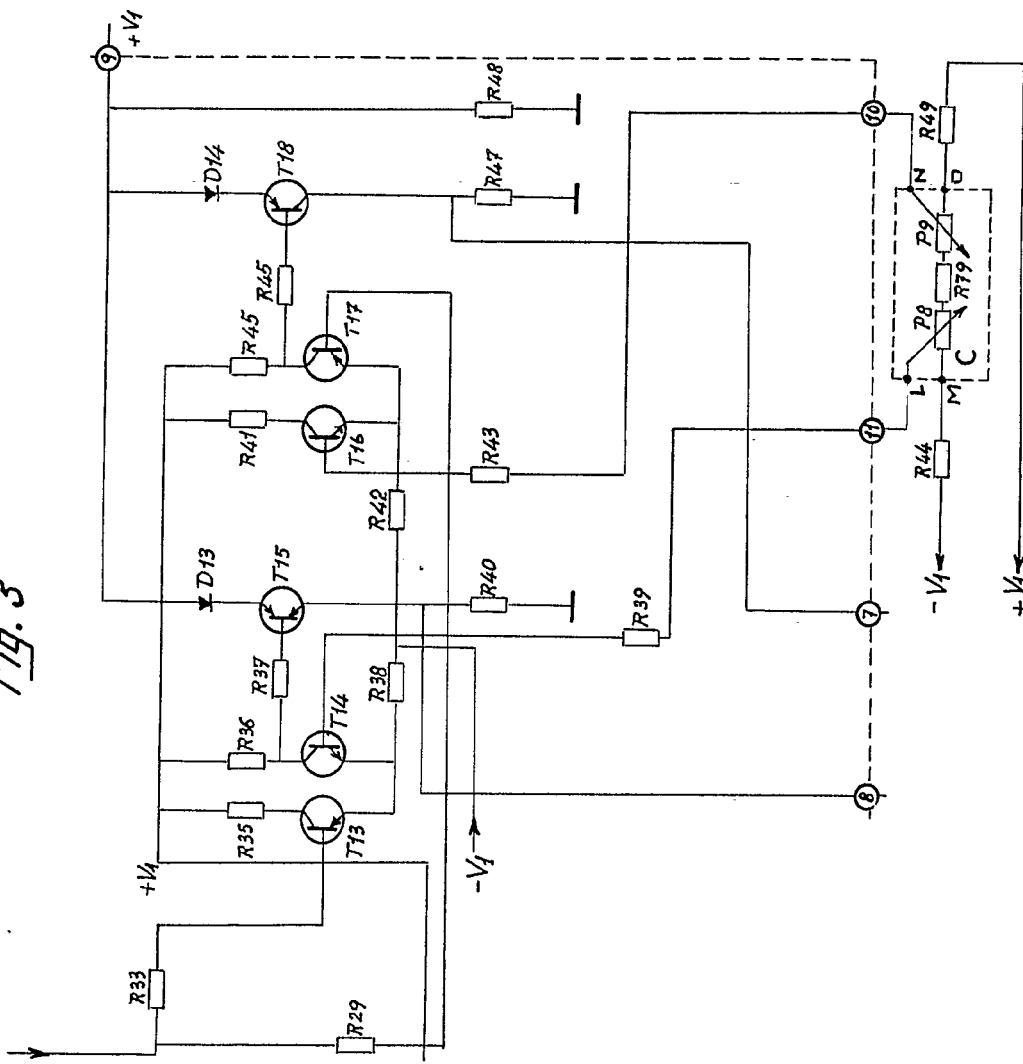


Fig. 4

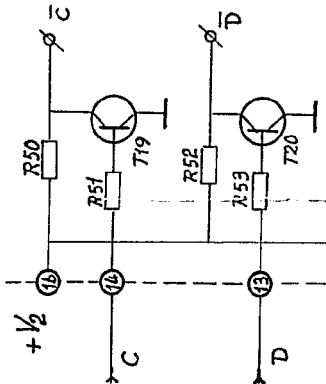
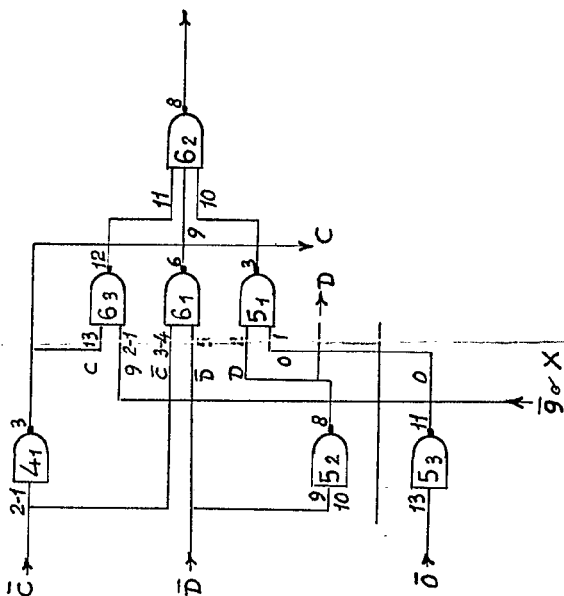


Fig. 5



Madrid, a 25 ENE 1973

P.O. JAIME ISERN

Firmado: JOSE F. NIETO

410938

Fig. 3

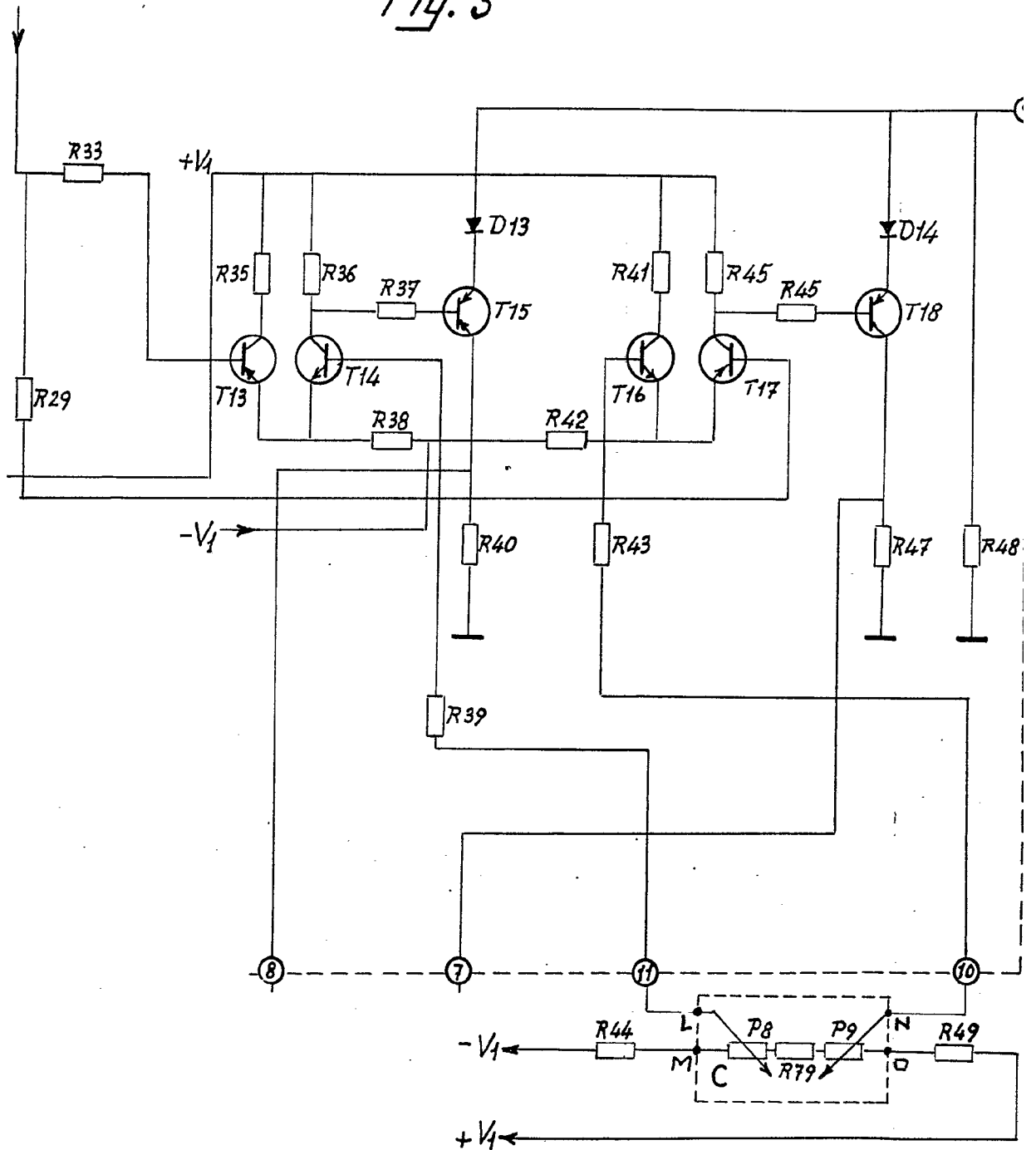




Fig. 4

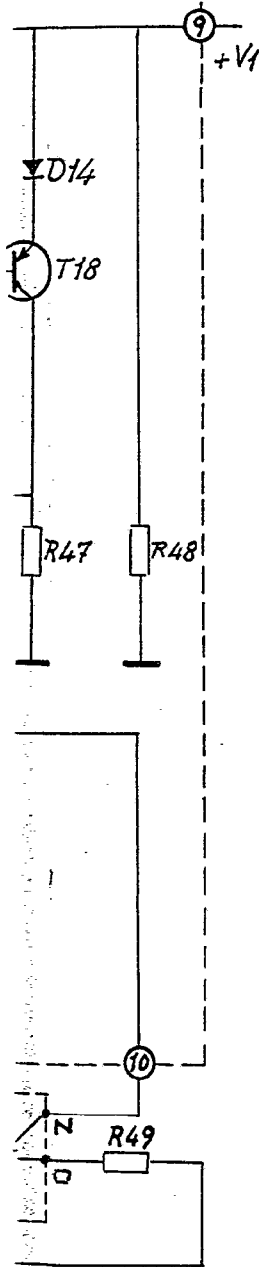
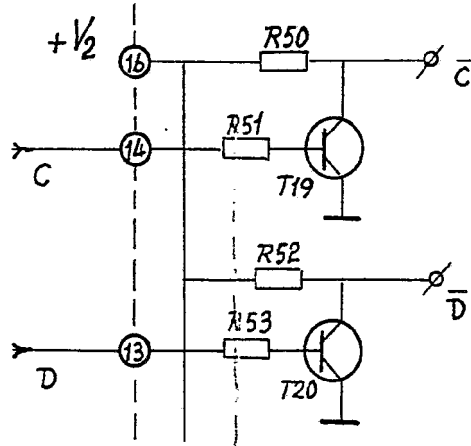
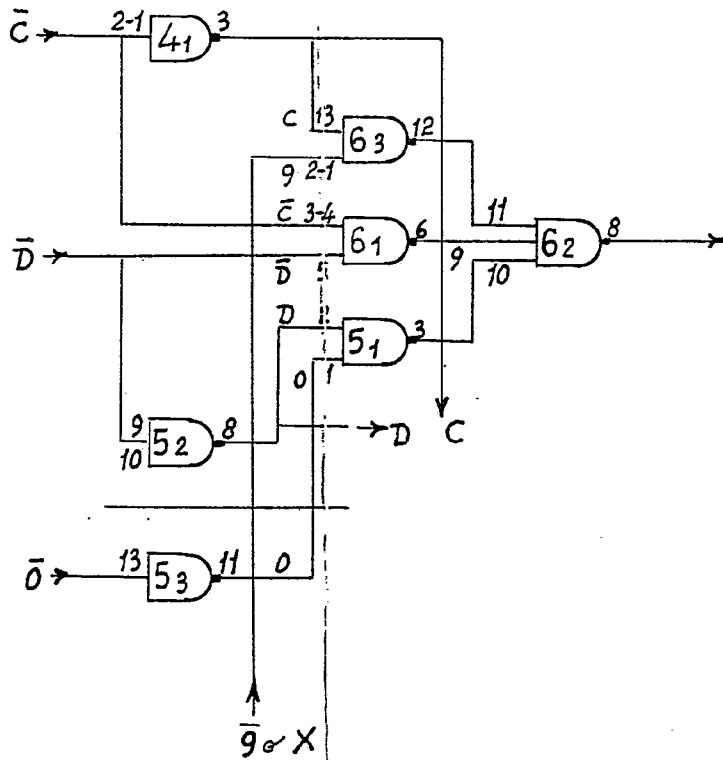


Fig. 5



Madrid, a 25 ENE 1973

p.a. JAIME ISERN
p.p.

Firmado: JOSE F. NIETO

410938

Fig. 6

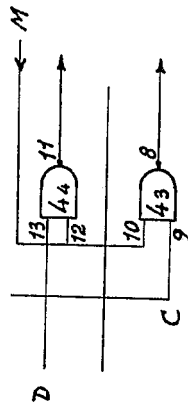
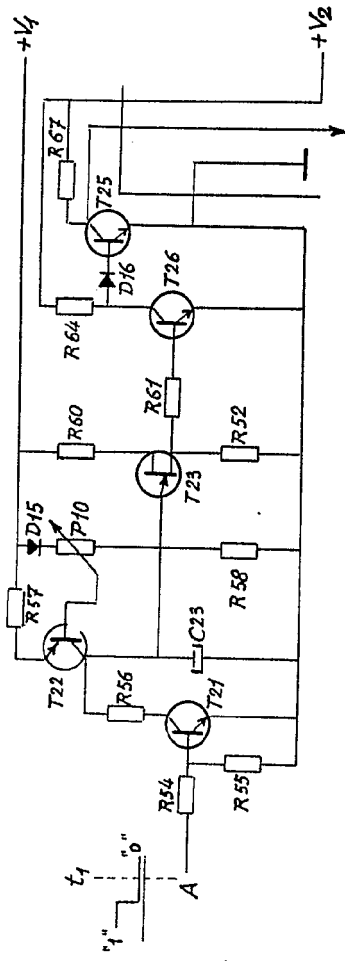
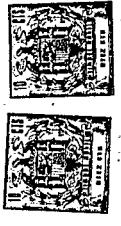
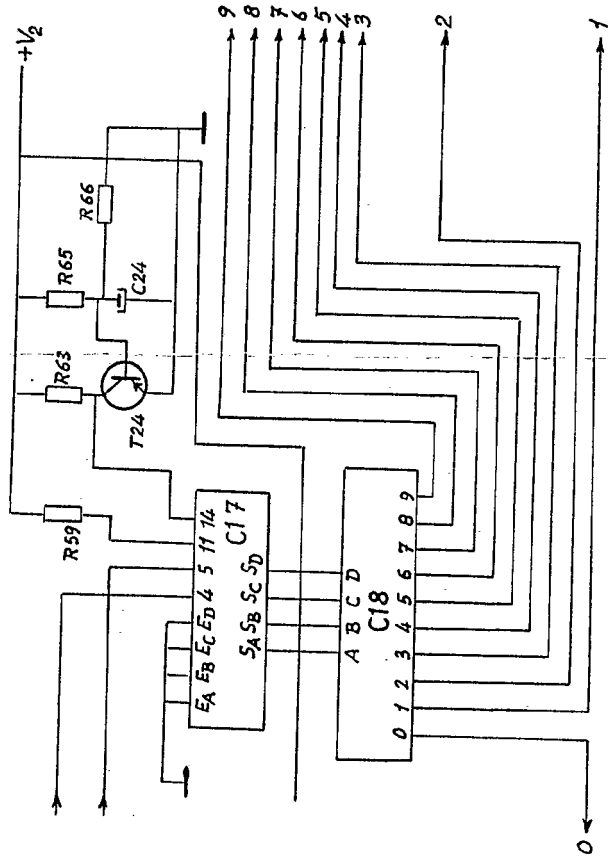


Fig. 7

Fig. 8



Madrid, a 25-ENE 1973

P.R. JAIME ISERN

P.R.

Firmado: JOSÉ F. NIETO

410938

Fig. 6

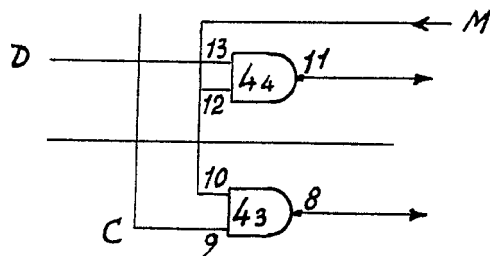
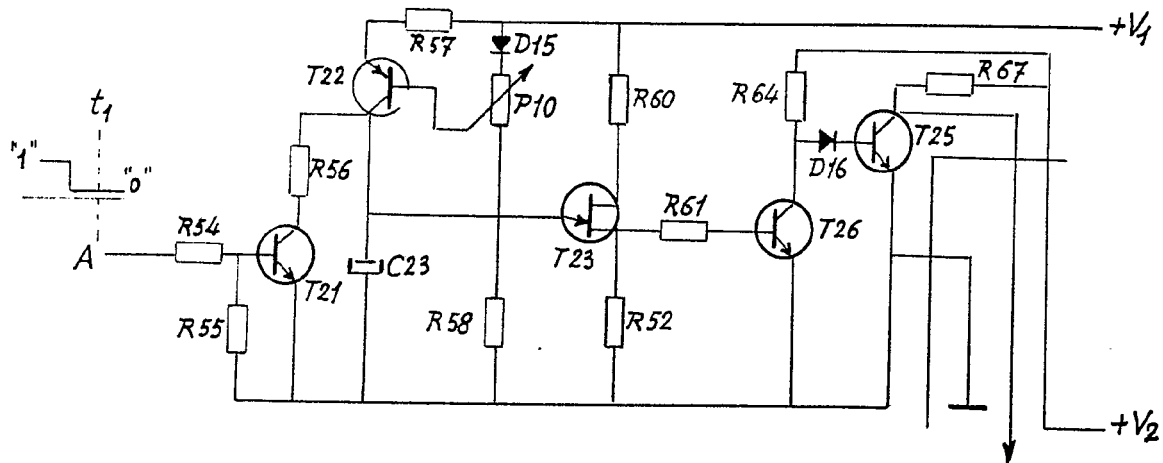


Fig. 7

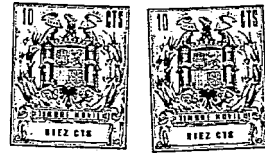
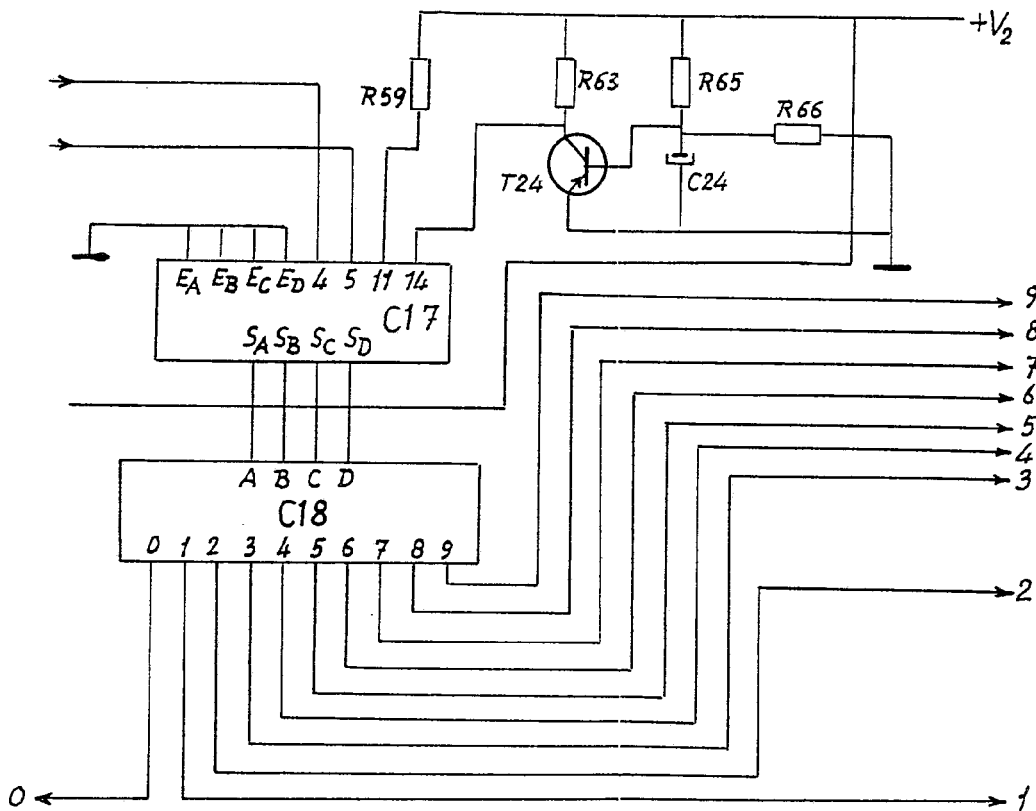


Fig. 8



Madrid, a 21 FEB 1973

p.a.

JAMIE ISERN

D.P.

Firma del Jefe R. NETO

410938

Fig. 9

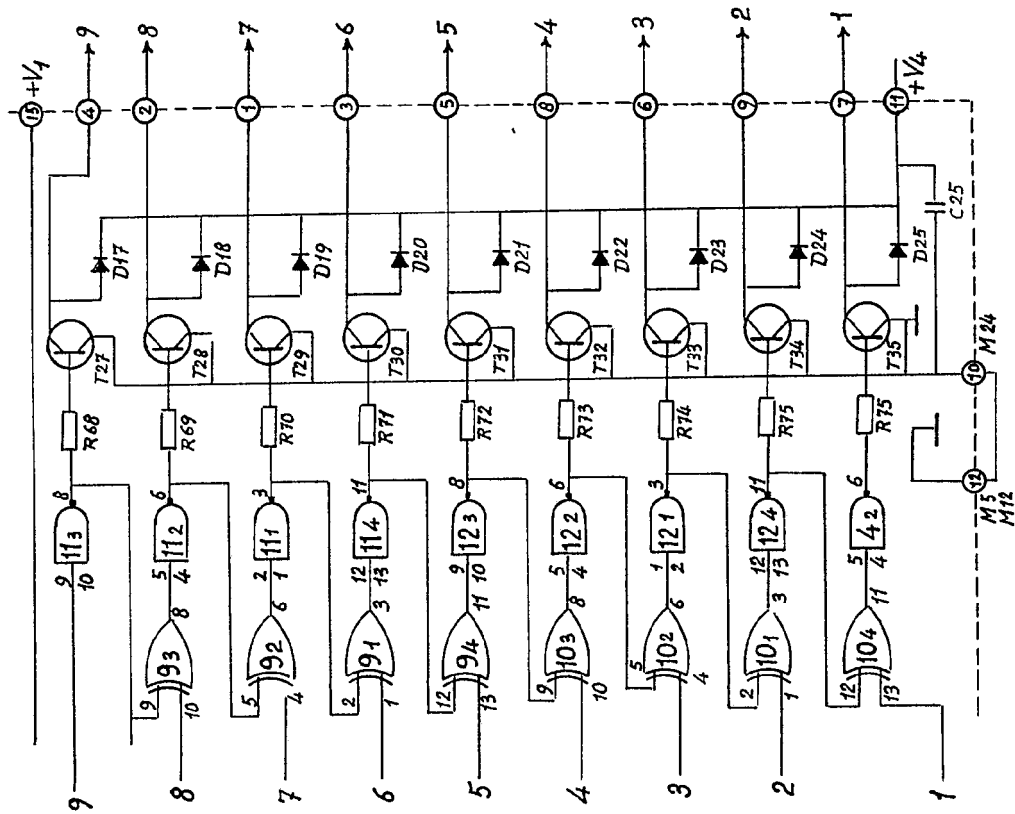
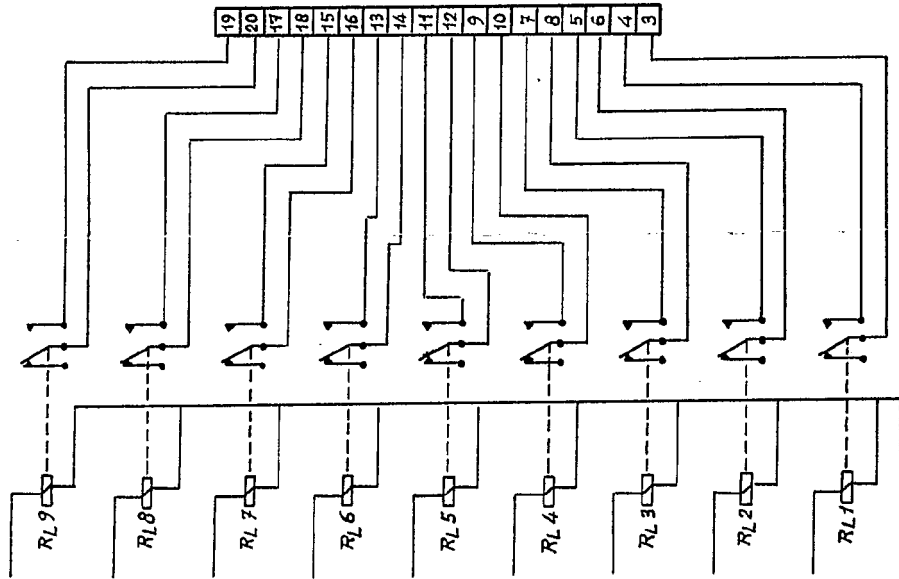


Fig. 10



Madrid, 25 F.M.C. 1973

P.O. P.P.

J.A.I.M.E. I.S.E.R.N. 73

Firmado JOSÉ F. NIETO

410938

Fig. 9

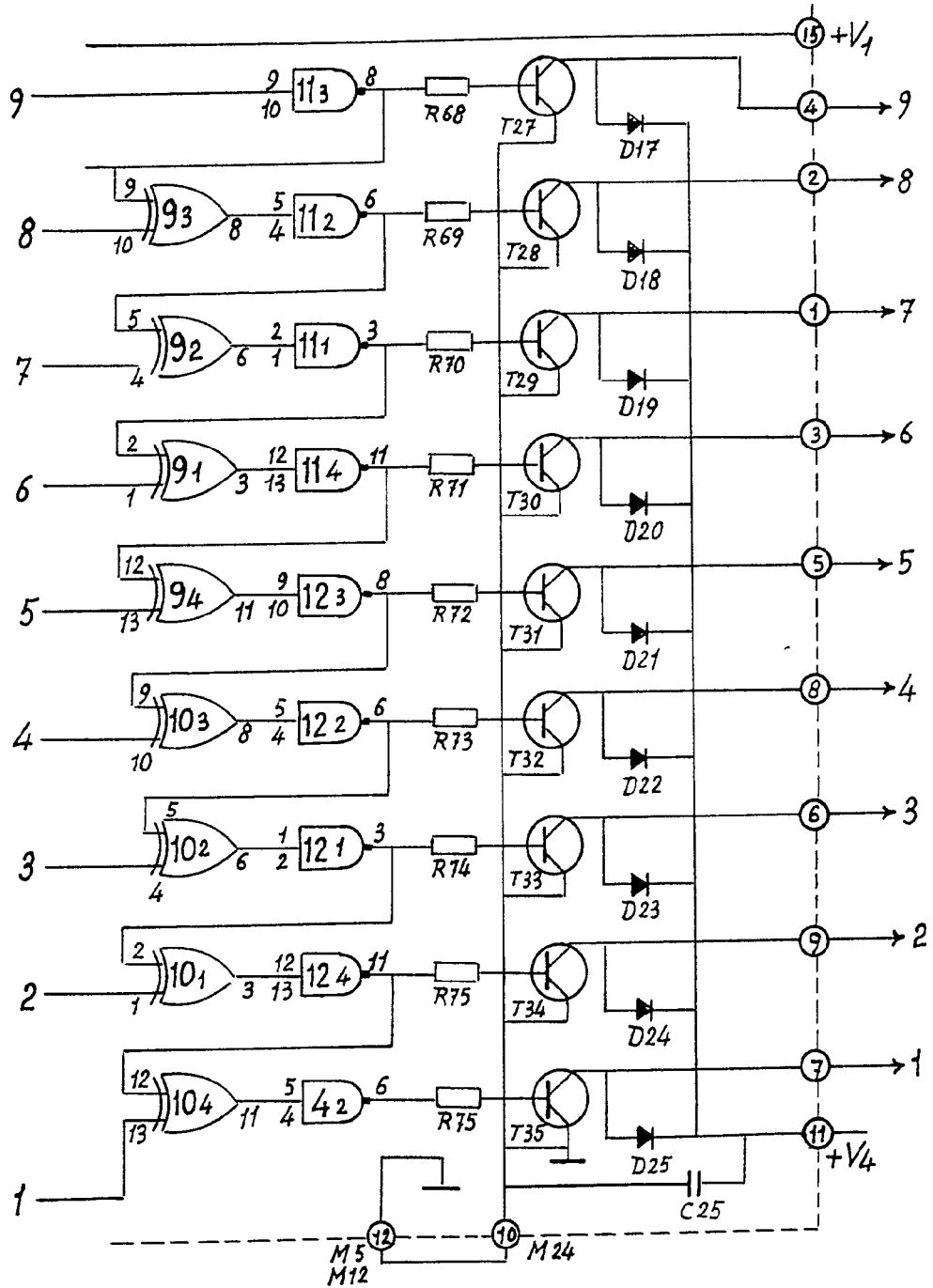
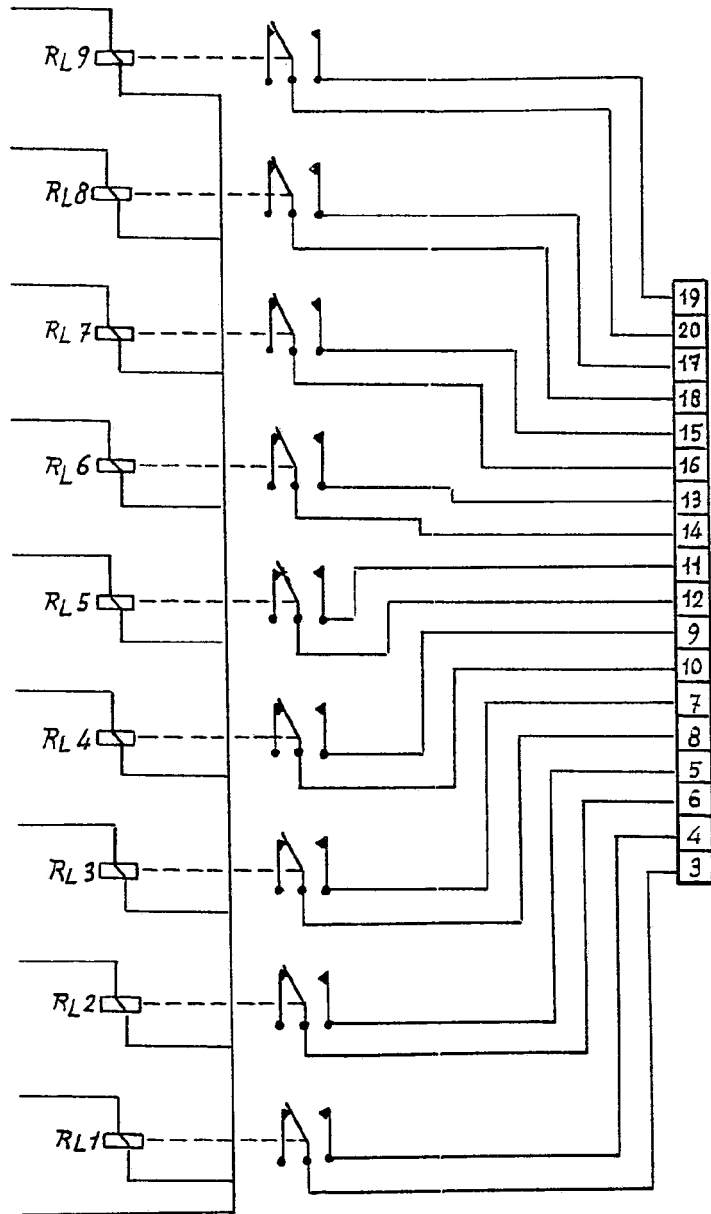


Fig. 10



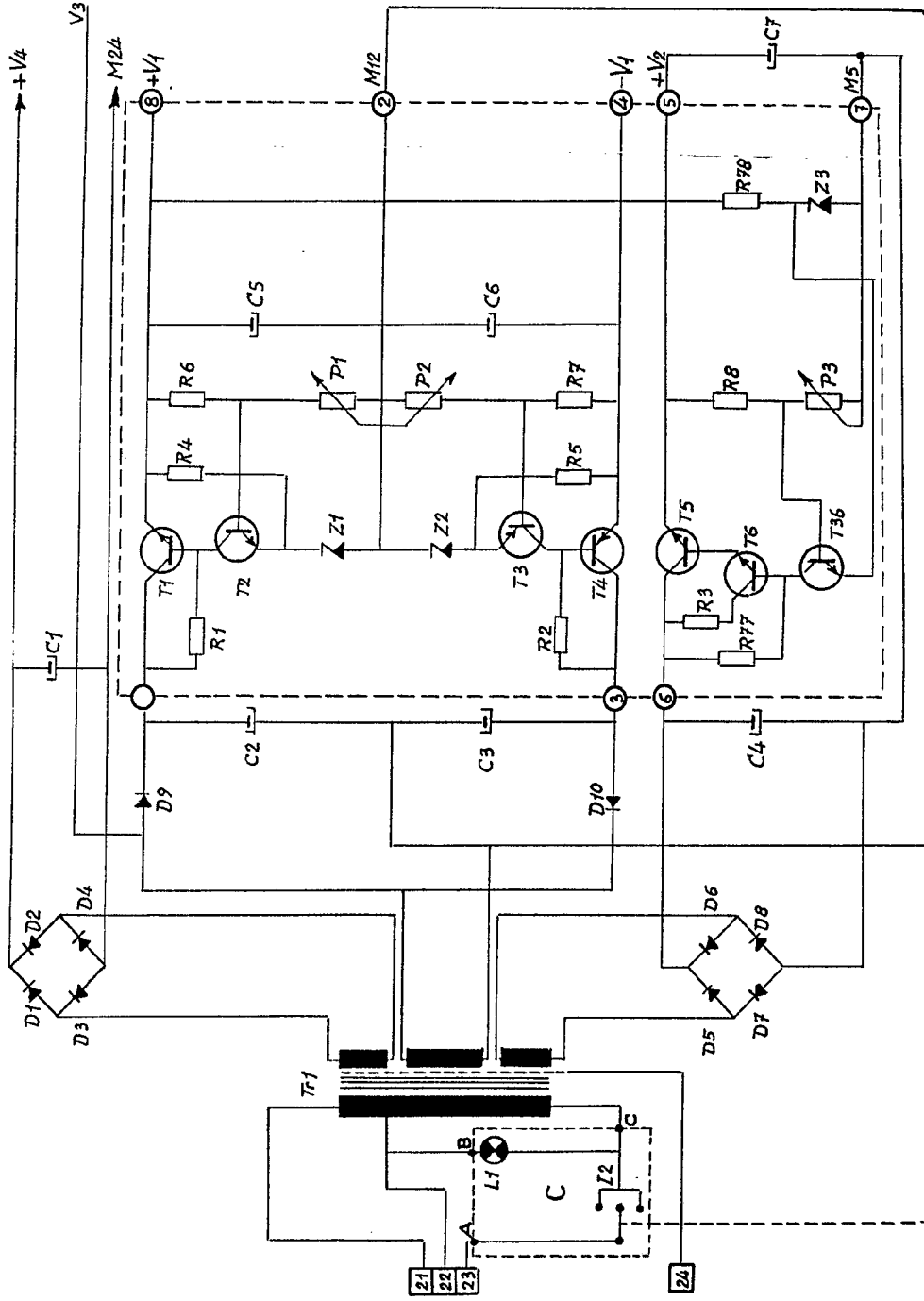
Madrid, 25 JUN 1973
JAIME ISERN

p.a. p.p.

Firmas: JOSE F. NIETO

410938

Fig.11



Madrid, 25 ENE. 1973

P. P. JAIME ISERN

Handwritten signature of Jaime Isern.

Firmado: JOSE E. NIETO

410938

Fig. 1

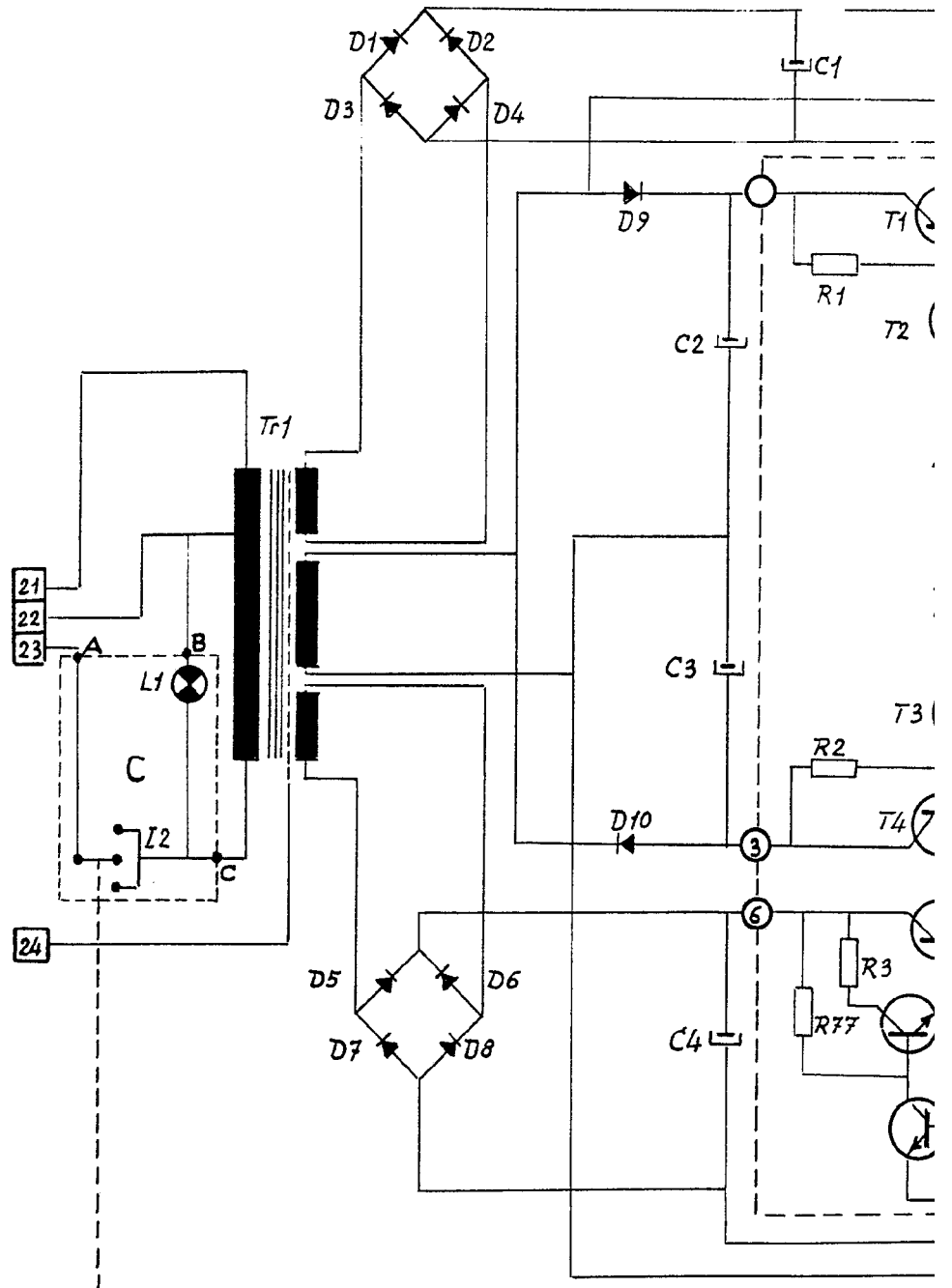
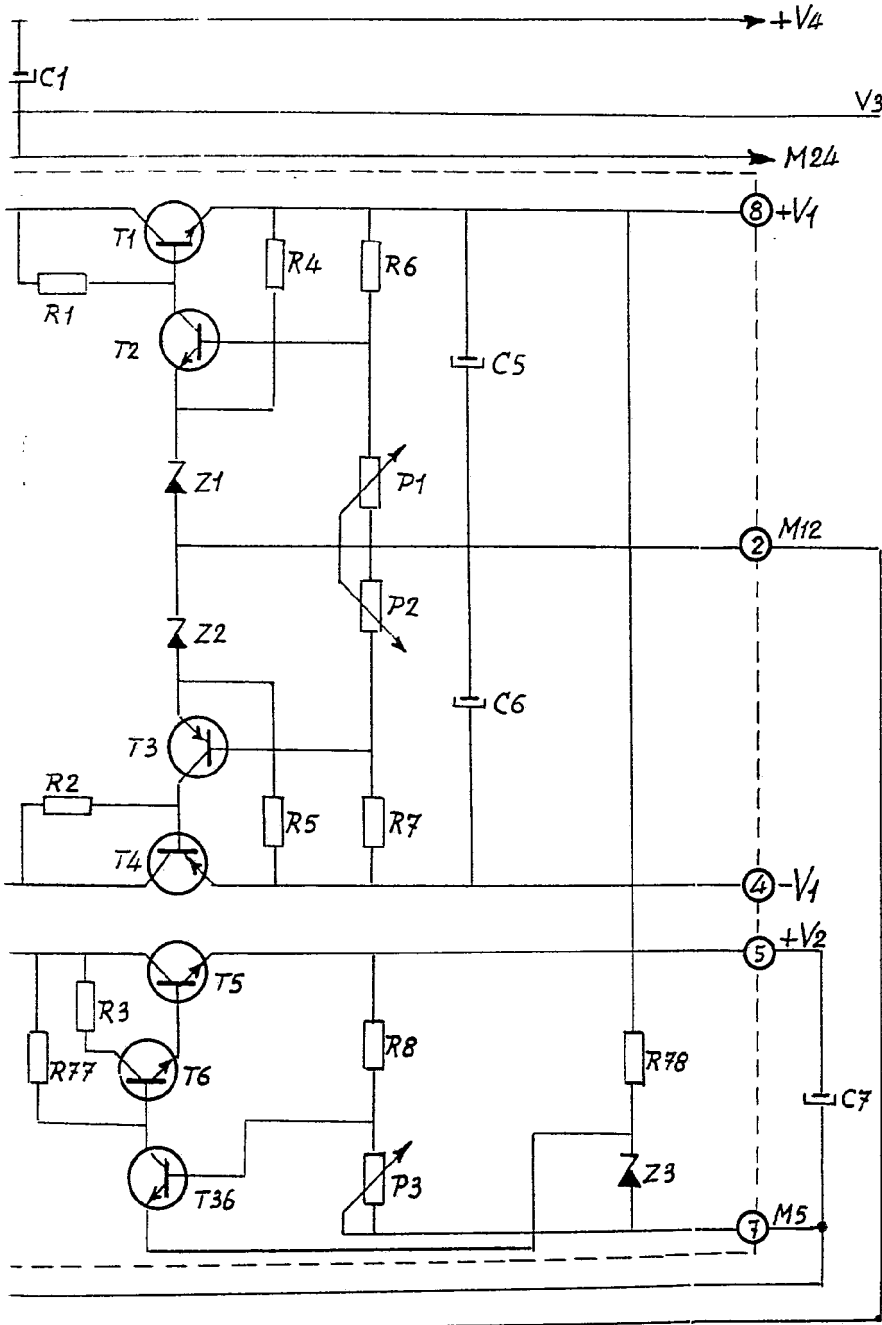


Fig. 11



Madrid, 25 ENE. 1973

p. a. JAIME ISERN
B. P.

Firmado: JOSE F. NIETO