



489441

489441

F.C. 7-2-75

Int. Cl.² H 04 N

MEMORIA DESCRIPTIVA

Correspondiente a la solicitud de una

PATENTE DE INVENCION

Solicitante: SONY CORPORATION

Residencia: 7-35, KITASHINAGAWA-6, SHINAGAWA-KU.- TOKYO.
JAPON.

Enunciado: "SISTEMA DE DECODIFICACION PARA RECEPTOR DE
TELEVISION".-

Prioridad: De la solicitud de patente japonesa N^o
98825/71 del 7 de diciembre de 1.971.

**POOR
QUALITY**



ANTECEDENTES DEL INVENTO

Ambito del Invento.-

El invento se refiere generalmente a receptores de televisión en color adaptados para recibir señales transmitidas de acuerdo con el sistema de inversión de fase en líneas alternas llamado corrientemente sistema PAL, y más particularmente a un sistema de decodificación destinado a ser utilizado en receptores de televisión para recibir y presentar las señales transmitidas de acuerdo con el sistema PAL.

Descripción de la Técnica Anterior.-

En el sistema PAL una señal compuesta de televisión en color incluye dos componentes de señal de color, usualmente señales de diferencia de color, que contienen la información de crominancia, que se codifican simultáneamente por modulación de amplitud en cuadratura con portadora suprimida en una subportadora de color dentro de la banda de video-frecuencia, invirtiéndose la fase de un eje de modulación de una de las componentes de la señal de color 180° durante cada periodo de línea.

Para decodificar dicha señal compuesta de televisión en color, se han propuesto hasta la fecha unos sistemas, por ejemplo el sistema llamado PAL sencillo y el sistema PAL normal. Estos sistemas convencionales sin embargo, decodifican las señales PAL al precio de una deterioración de la calidad de la imagen reproducida o al precio de una mayor complejidad del sistema.

Una Solicitud de Patente copendiente, número de serie 386.737 del 22 de Diciembre de 1970, por "Receptor de Televisión en Color", a nombre del titular de la presente



Solicitud, describe un nuevo sistema para decodificar las señales PAL de tal manera que se eviten algunas de las limitaciones inherentes a los sistemas de decodificación PAL existentes. El nuevo sistema mencionado más arriba es igualmente capaz, teóricamente, de recibir señales transmitidas bien por el sistema PAL o el sistema llamado NTSC, aunque las frecuencias subportadoras de color utilizadas prácticamente en estos dos sistemas de televisión dificultan el aprovechamiento de esta última característica.

El sistema de decodificación de la Solicitud de Patente copendiente incluye una disposición de circuito de conmutación y de medio de retardo conectados para recibir la señal de crominancia entrante. Esta señal de crominancia se transmite en primer lugar directamente a los demoduladores, durante el tiempo que corresponde a una línea, y a continuación, la misma información, demorada el tiempo de una línea por el dispositivo de retardo, es transmitida de nuevo a través del circuito de conmutación a los demoduladores durante el siguiente tiempo de línea. La información de crominancia transmitida a partir del emisor de televisión durante el segundo intervalo de línea no es utilizada por el receptor. La señal transmitida durante el tiempo de la tercera línea, es transmitida sin retardo a los demoduladores y es repetida, en forma retardada durante el tiempo de la cuarta línea. Por consiguiente, se obtiene y se aplica a los demoduladores, la señal de crominancia en la cual los ejes de modulación de ambas componentes de la señal de color están mantenidos con fases fijas durante la totalidad de los intervalos de línea. En este caso, es necesario para obtener una demodulación correcta que las fases de los dos ejes



4004

de modulación de la señal de crominancia aplicada a los demoduladores tengan respectivamente las mismas fases que las de las señales correspondientes de sub-portadora de referencia originadas por un oscilador cuya fase está controlada con relación a una señal de sobreimpulsos incluida en la señal de televisión en color compuesta, y utilizada para demodular las dos componentes de la señal de color. Uno de los medios para conseguir este efecto consiste en detectar las fases de los ejes de modulación de la señal de crominancia y controlar el circuito de conmutación conectado para recibir la señal de crominancia entrante de modo que transmita la señal de crominancia que tiene los ejes de modulación adecuados a los demoduladores o que controle la fase de las señales de subportadora de referencia procedentes del oscilador local.

RESUMEN DEL INVENTO

En la señal de crominancia transmitida de acuerdo con el sistema PAL, una señal de sobreimpulso toma dos posiciones de fase invertidas en líneas alternas. Estas dos fases de sobreimpulso se toman alternativamente de acuerdo con la fase de un eje de modulación que se invierte 180° a cada periodo de línea.

En el sistema de decodificación de acuerdo con el invento, la señal de crominancia aplicada a los demoduladores de color se forma de tal manera que ambos ejes de modulación se mantengan respectivamente, respecto a las dos componentes de la señal de color, con fases fijas durante la totalidad de los intervalos de línea. En otras palabras, una señal de un intervalo de línea que tiene un eje de modulación de una fase determinada respecto a un eje de modula-

430441



5 ción cuya fase se invierte a cada intervalo de línea, y otra señal retardada un intervalo de línea respecto a la señal anterior se aplican a los demoduladores de modo que se formen dos intervalos de línea continuos, pero no se aplica a los demoduladores una señal de un intervalo de línea cuyo eje de modulación tenga una fase diferente. Por este motivo, la señal de sobreimpulso contenida en la señal de crominancia aplicada a los demoduladores existe solamente cuando toma una de las dos posiciones de fase mencionadas más arriba.

10 En el invento, el circuito de conmutación mencionado más arriba se controla para elegir las señales de crominancia que han de ser aplicadas a los demoduladores para que los demoduladores de color realicen siempre una demodulación adecuada. En primer lugar, se produce una señal de referencia que tiene una frecuencia alineada con la de la señal de sobreimpulso contenida en la señal de crominancia aplicada a los demoduladores y una fase de acuerdo con la de dicha señal de sobreimpulso. Utilizando esta señal de referencia o una señal cuya fase está desplazada respecto a esta en un ángulo predeterminado, se demodulan respectivamente la señal de crominancia original recibida y una señal de crominancia retardada respecto a esta en un solo intervalo de línea. A continuación, se comparan ambas salidas demoduladas la una con la otra con el fin de producir una señal de control de acuerdo con la fase de la señal de sobreimpulso contenida en la señal de crominancia aplicada a los demoduladores que reproducen la señal de color. El circuito de conmutación está controlado por dicha señal de control. Por consiguiente, cuando la señal aplicada a los demoduladores de reproducción de la señal de color contiene una señal de

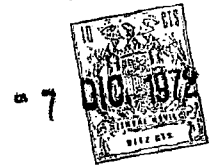
15

20

25

30

409441



5 sobreimpulso con una fase indeseada, es decir cuya fase de su eje de modulación que se invierte durante cada intervalo de línea no tiene la fase deseada, la señal de control cambia el estado del circuito de conmutación de modo que se aplique a los demoduladores la señal deseada.

Un objeto del invento consiste en proporcionar una mejora en el sistema de decodificación propuesto en la Solicitud de Patente mencionada más arriba nº 386.737.

10 Otro objeto del invento consiste en proporcionar un nuevo sistema de decodificación de la señal PAL, en el cual la transformación de la señal de crominancia entrante se realiza estando cada uno de los ejes de modulación de la misma en una posición de fase determinada durante cada intervalo de línea y controlándose la transformación de modo
15 que los ejes de modulación de la señal de crominancia transformada tengan una relación de fase adecuada respecto a una señal subportadora de referencia para la demodulación de la señal de crominancia.

20 Otros objetos, características y ventajas del invento aparecerán claramente en la siguiente descripción tomada conjuntamente con los dibujos que la acompañan.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

25 Las figuras 1 y 2 son diagramas vectoriales para explicar las señales de televisión en color de acuerdo con el sistema PAL;

La figura 3 es un diagrama en bloques que ilustra un ejemplo de un sistema de decodificación según el invento;

30 Las figuras 4 y 5 son diagramas vectoriales para explicar el sistema de decodificación representado a

1409441 - 7 -



título de ejemplo en la figura 3;

La figura 6 es un diagrama de circuito esquemático que muestra un ejemplo de una parte del sistema de de codificación representado a título de ejemplo en la figura 3;

5 Las figuras 7, 8, 9, 10, 11 y 12 son diagramas vectoriales utilizados para explicar el sistema de decodificación representado a título de ejemplo en la figura 3;

La figura 13 es un diagrama en bloques que representa diferentes ejemplos de un sistema de decodificación según el invento; y

10 Las figuras 14, 15, 16, 17, 18 y 19 son diagramas vectoriales utilizados para explicar el sistema de decodificación representado a título de ejemplo en la figura 13.

DESCRIPCION DE LOS MODOS DE REALIZACION PREFERIDOS

15 La esencia del sistema de televisión en color PAL consiste en la relación de fase entre las dos señales de diferencia de color moduladas en una subportadora común para formar la señal de crominancia. Esta relación de fase está representada en la figura 1. Una de las componentes de crominancia, E_B-E_Y , contiene la información relacionada con los componentes azul de la imagen de televisión. La otra componente, E_R-E_Y , contiene la información relacionada con las componentes rojas. Ambas componentes de crominancia están moduladas en la misma portadora o mejor dicho la misma subportadora, pero la modulación se hace por separado y de tal manera que para un intervalo de tiempo dado que corresponde a una línea n de la imagen de televisión en color, la componente de crominancia E_R-E_Y esté modulada en la portadora con un eje de modulación que tiene una fase ψ_0 . Durante

20

25

30 el mismo intervalo de tiempo, la otra componente de cromi-



14004

nancia $E_B - E_Y$ es modulada en la portadora con un eje de modulación que tiene una fase $\psi_0 - \frac{\pi}{2}$. Este es el motivo por el cual la componente de crominancia $(E_B - E_Y)_n$ que representa la información de azul durante el intervalo de línea n dado se representa por medio de una flecha horizontal y la componente de crominancia roja $(E_R - E_Y)_n$ durante el mismo intervalo de línea n se representa por una flechas vertical. La adición vectorial de estas dos componentes de crominancia produce una señal resultante F_n , que es una tensión compleja que puede ser definida por la expresión $(E_B - E_Y)_n + j(E_R - E_Y)_n$ (llamada en lo que sigue señal de línea mas).

La relación de fase durante la línea siguiente $n+1$ se representa igualmente en la figura 1. En este caso, la componente de crominancia $E_B - E_Y$ se modula en la portadora teniendo igualmente el eje de modulación la fase $\psi_0 - \frac{\pi}{2}$ y por tanto la componente de crominancia $(E_B - E_Y)_{n+1}$ de la línea $n+1$ se representa en la misma dirección que la componente $(E_B - E_Y)_n$. Sin embargo, de acuerdo con el sistema PAL, la componente de crominancia $E_R - E_Y$ se modula en la portadora con un eje de modulación que tiene una fase $\psi_0 - \pi$ ($-\psi_0$), es decir invertido respecto a la fase caracterizada en la línea anterior n y por tanto la componente de crominancia $(E_R - E_Y)_{n+1}$ que corresponde a la línea $n+1$ se representa en la dirección opuesta a la componente $(E_R - E_Y)_n$. Por tanto, la señal F_{n+1} puede ser definida por la expresión $(E_B - E_Y)_{n+1} - j(E_R - E_Y)_{n+1}$ (llamada a continuación señal de línea menos).

La señal de crominancia incluye una señal de sobreimpulso (señal de sincronización de color). La señal de sobreimpulso tiene diferentes fases en ambas señales F_n y F_{n+1} , respectivamente. Es decir, según se representa en la



409441

5 figura 2, que la fase de la señal de sobreimpulso contenida en la señal F_n es adelantada en el sentido contrario al de las agujas de un reloj en 45° respecto a la fase φ_0 , que se representa por B+, y que la fase de la señal de sobreimpulso contenida en la señal F_{n+1} retarda 45° en el sentido de las agujas de un reloj respecto a la fase $\varphi_0 - \pi$ ($-\varphi_0$), que está representada por B-.

10 En lo que sigue se dará una descripción de un ejemplo del invento con referencia a las figuras 3 y siguientes.

15 En la figura 3, el número de referencia 1 designa un amplificador pasabanda que separa una señal de crominancia de una señal de televisión en color compleja. La señal de crominancia así separada se aplica directamente a un
20 circuito de conmutación 2 por uno de sus terminales de entrada e igualmente a su otro terminal de entrada a través de un circuito de retardo 3 que retarda la señal que se le aplica en el tiempo que corresponde a una línea. El circuito de conmutación 2 cambia de posición por medio de una señal de conmutación procedente de un circuito flip-flop 5 que se invierte a cada línea por medio de un impulso horizontal 4 procedente de un circuito de deflexión horizontal (no representado) y toma la posición representada en la figura, cuando, por ejemplo, se le aplica una señal de línea más, mientras que toma la posición inversa cuando se le aplica una señal de línea menos. La salida del circuito de conmutación 2 se aplica a unos primero y segundo demoduladores 6 y 7, respectivamente. Por tanto, los demoduladores respectivos 6 y 7 reciben una de las señales de línea más, de modo que se repitan sucesivamente dos veces las mismas señales, por ejemplo las señales F_n ,

25

30

40044



$F'_n, F'_{n+2}, F'_{n+2}, \dots$. En otras palabras, la señal en la cual las señales de línea menos están sustituidas por las señales de línea más anteriores a ellas en un intervalo de línea, se aplica a los demás demoduladores 6 y 7 respectivamente. La

5 señal de salida procedente del circuito de conmutación 2 se aplica además a un circuito de puerta de sobreimpulso 8 para proporcionar secuencialmente una señal de puerta de sobreimpulso B_+ incluida en la señal de línea más, que se aplica a un circuito 9 generador de onda continua que utiliza un os-

10 cilador de cristal de cuarzo. El circuito generador de onda continua 9 genera una señal de onda continua cuya fase es igual a la de la señal de sobreimpulso B_+ , la cual se utiliza a continuación para excitar un oscilador 10 con el objeto de obtener una señal de referencia que tenga la misma fase.

15 La señal de referencia procedente del oscilador 10 se aplica a un desfasador 11 que retarda la señal que se le aplica en 45° . El desfasador 11 proporciona una señal de referencia S_1 cuya fase está alineada con el eje R-Y según se representa en la figura 4. La señal de referencia S_1 se aplica al primer demodulador 6. La señal de referencia procedente del des-

20 fasador 11 se aplica igualmente a un desfasador 12, que retarda la señal que se le aplica 90° para obtener una señal de referencia S_2 cuya fase está alineada con el eje B-Y según se representa en la figura 4. La señal de referencia S_2 se apli-

25 ca al segundo demodulador 7. Por tanto, las señales de línea más aplicadas secuencialmente a los demoduladores 6 y 7 son demoduladas en él por las señales S_1 y S_2 con los mismos ejes que los de los moduladores respectivos, de modo que se obtienen de los demoduladores unas primera y segunda señales

30 de crominancia demoduladas y predeterminadas.

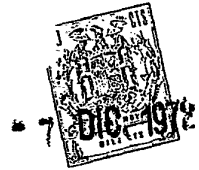


409447

En este caso, sin embargo, existe la posibilidad de que el funcionamiento del circuito flip-flop 5 se invierta con relación a su operación de conmutación normal de la señal de crominancia que se le aplica, debido a algún motivo, y que el circuito de conmutación 2 pase a la posición inversa a la llegada de la señal de línea mas, y tome la posición representada en la figura 3 a la llegada de la señal de línea menos. En tal caso, solamente se aplican a los demoduladores 6 y 7 a través del circuito de conmutación 2 de manera repetida dos veces las mismas señales de línea menos tales como las señales F_{n+1} , F'_{n+1} , F_{n+3} , F'_{n+3} , ... En otras palabras, las señales en las cuales las señales de línea más han sido substituidas por las señales de línea menos anteriores a ellas en un periodo de línea, se aplican a los demoduladores 6 y 7 respectivamente. Por consiguiente, en tal caso se obtiene una señal de sobreimpulso B- incluida en la señal de línea menos a partir del circuito de puerta de sobreimpulso 8 y por tanto se deriva del oscilador 10 una señal de referencia que tiene la misma fase. A consecuencia de ello, según se representa en la figura 5, se aplica una señal de referencia S_3 que tiene su fase alineada con el eje $-(B-Y)$ al demodulador 6, mientras que se aplica al demodulador 7 una señal de referencia S_1 que tiene su fase alineada con el eje $R-Y$. Por consiguiente, los demoduladores 6 y 7 no pueden proporcionar las señales de crominancia demoduladas deseadas.

Para evitar este defecto, según se representa en la figura 3, la señal de crominancia procedente del amplificador pasabanda 1 se aplica a un tercer demodulador 13 y la señal de crominancia transmitida por el circuito de retardo 3 se aplica a un cuarto demodulador 14. El tercer demodulador

409441



13 recibe la señal de referencia procedente del oscilador 10, por ejemplo a través de un desfasador 15 que retarda la señal 90° , mientras que el cuarto demodulador 14 recibe la señal de referencia procedente del desfasador 15 a través de un desfasador 16 que retarda la señal en otros 90° . Las salidas demoduladas procedentes de los demoduladores 13 y 14 se suman en un sumador 17, y la salida sumada de este sumador se aplica a un circuito de detección 18 que realiza la detección de envolvente de la señal que se le aplica. La salida detectada se aplica a continuación a un terminal de entrada de un amplificador diferencial 19. Por otra parte, un dispositivo de resta 20 sustrae, por ejemplo, la salida demodulada del demodulador 14 de la salida demodulada del demodulador 13. La salida restada procedente del dispositivo de sustracción 20 se aplica a un circuito detector 21 que asegura igualmente la detección de envolvente de la señal que se le aplica. La salida detectada procedente de este circuito se aplica a continuación al otro terminal de entrada del amplificador diferencial 19. La salida procedente del amplificador diferencial 19 se aplica a un circuito generador de señal de control 22 con el fin de generar una señal de control procedente del circuito 22 cuando el amplificador diferencial 19 produce una salida predeterminada. A continuación, la señal de control se aplica al circuito flip-flop 5.

Un ejemplo de la parte que incluye el amplificador diferencial 19 y el circuito generador de señal de control 22 se describirá ahora con referencia a la figura 6. En el ejemplo, la salida del circuito detector 18 se aplica a la base de un transistor 23 que es uno de los transistores que forman el amplificador diferencial 19, mientras que la salida

409447



del circuito detector 21 se aplica a la base de otro transistor 24 del amplificador diferencial 19. El colector del transistor 23 está conectado a través de una resistencia 25 al emisor de un transistor 26, mientras que el colector del transistor 24 está conectado a través de un diodo 27 a la base del transistor 26. La señal de sincronización vertical V_s se aplica a través de una resistencia 28 al colector del transistor 26 y la salida del colector del transistor 26 es diferenciada por un circuito de diferenciación 29. La salida de diferenciación así obtenida se aplica a la base de un transistor 30 y la tensión de salida del colector del transistor 30 se aplica a través de un diodo 31 al circuito flip-flop 5.

Por consiguiente, en el caso en el cual se aplica secuencialmente la señal más a los demoduladores 6 y 7, respectivamente, estando el circuito de conmutación en su posición correcta, se aplica una señal de referencia S_4 obtenida a partir del oscilador 10 y que tiene la misma fase que la de la señal de sobreimpulso $B+$ al desfasador 15 el cual aplica al demodulador 13 una señal de referencia S_5 que tiene su fase retardada 90° respecto a la señal de sobreimpulso $B+$, es decir retardada 45° respecto al eje R-Y, mientras que se aplica la señal S_5 al desfasador 16 que proporciona al demodulador 14 una señal de referencia S_6 que tiene su fase retardada 180° respecto a la señal de sobreimpulso $B+$, es decir retardada 45° respecto al eje B-Y que se representa en la figura 7, los demoduladores 13 y 14 producen siempre unas salidas demoduladas de idéntica magnitud y misma polaridad durante cada intervalo de línea, tal y como puede verse en las figuras 8 y 9. En otras palabras, la figura 8 muestra que la señal de línea mas F_n es demodulada con la fase de la señal

400446



de referencia S_5 en el demodulador 13 para obtener una se-
ñal demodulada positiva y que al mismo tiempo la señal de
línea menos F_{n-1} es demodulada con la fase de la señal de
referencia S_6 en el demodulador 14 para obtener una señal
5 demodulada positiva. La figura 9 representa el estado de
las cosas una línea después del estado representado en la
figura 8, en el cual la señal de línea más F_n es demodulada
con la fase de la señal de referencia S_6 en el demodulador
14 para obtener una señal demodulada positiva y al mismo
10 tiempo la señal de línea menos F_{n+1} es demodulada con la fa-
se de la señal de referencia S_5 en el demodulador 13 para
obtener una señal demodulada positiva. Por este motivo,
en este caso, el sumador 17 produce siempre una salida suma-
da predeterminada, mientras que el dispositivo de resta 20
15 no produce ninguna salida sustraída. Por consiguiente, la
tensión sumada procedente del sumador 17 es detectada en el
circuito detector 18 y aplicada al transistor 23 del ampli-
ficador diferencial 19 bajo la forma de una tensión positi-
va mientras que no se aplica ninguna tensión positiva al
20 otro transistor 24 del amplificador diferencial 19 a partir
del circuito detector 21. Por tanto, en tal caso, el tran-
sistor 26 del circuito 22 pasa a ser conductor y la señal
de sincronización vertical V_s atraviesa el circuito colector-
emisor del transistor 26 y llega a masa, es decir que el
25 transistor 30 no recibe tensión diferenciada y por tanto el
transistor 30 no produce ninguna señal de control en su co-
lector. Por esta razón, el circuito flip-flop 5 mantiene su
funcionamiento inversor anterior y el circuito de conmuta-
ción 2 se mantiene en la posición correcta, de modo que los
30 demoduladores 6 y 7 proporcionan respectivamente señales de

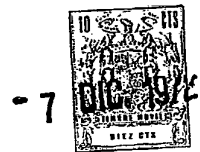
100447



prominancia demoduladas predeterminadas.

Mientras tanto, en el caso en el que los demoduladores 6 y 7 reciban secuencialmente la señal de línea menos cuando el circuito de conmutación 2 pasa a su estado incorrecto, y, según se representa en la figura 10, una señal de referencia S_7 obtenida del oscilador 10 cuya fase coincide con la de la señal de sobreimpulso B- se aplica al desfasador 15 que proporciona al demodulador 13 la señal de referencia S_4 cuya fase está retardada 90° respecto a la señal de sobreimpulso B-, es decir adelantada 45° respecto al eje R-Y, mientras que la señal S_4 procedente del desfasador 15 se aplica además al desfasador 16 que proporciona al demodulador 14 la señal de referencia S_5 con su fase retardada 180° respecto a la de la señal de sobreimpulso B-, es decir retardada 45° respecto al eje R-Y, los demoduladores 13 y 14 producen tensiones demoduladas de magnitud idéntica pero de polaridad opuesta durante cada periodo de línea, según se ve en las figuras 11 y 12. En otras palabras, la figura 11 representa un estado en el cual la señal de línea más F_n es demodulada con la fase de la señal de referencia S_4 en el demodulador 13 para obtener una señal demodulada negativa y al mismo tiempo la señal de línea menos F_{n-1} es demodulada con la fase de la señal de referencia S_5 en el demodulador 14 para obtener una señal demodulada positiva. La figura 12 representa el estado de las cosas una línea después del de la figura 11, en el cual la señal de línea más F_n es demodulada con la fase de la señal de referencia S_5 en el demodulador 14 para obtener una señal demodulada positiva y al mismo tiempo la señal menos F_{n+1} es demodulada con la fase de la señal de referencia S_4 en el demodulador 13 para obtener una

100441



señal demodulada negativa. Por consiguiente, en tal caso, el sumador 13 no proporciona salida sumada, mientras que el dispositivo de resta 20 proporciona las salidas substraídas cuya polaridad invierte a cada intervalo de línea. Por este motivo, en este caso, el circuito de detección 18 no proporciona salida al transistor 23 del amplificador diferencial 19 sino que el circuito detector 21 proporciona una salida positiva al otro transistor 24 del amplificador diferencial 19 para que el transistor 26 del circuito 22 no sea conductor. Por consiguiente, la señal de sincronización vertical V_s aplicada al transistor 26 es diferenciada por el circuito de diferenciación 29 y el transistor 30 pasa a ser conductor bajo el efecto de un impulso diferenciado de polaridad positiva proporcionando una señal de control 32 en su colector. La señal de control 32 se aplica a continuación a través del diodo 31 al circuito flip-flop 5 para invertir su funcionamiento inversor. Como resultado de ello, el circuito de conmutación 2 vuelve inmediatamente a su estado correcto y los demoduladores 6 y 7 reciben secuencialmente las señales de línea más y proporcionan las señales de crominancia predeterminadas, respectivamente.

En este caso, estando el circuito de conmutación 2 en su estado correcto, si la fase de la señal de línea más está alineada con el eje de demodulación en el demodulador 13 o con un eje desfasado de éste 180° y si la fase de la señal de línea menos está alineada con el eje de demodulación en el demodulador 14 o con un eje desfasado 180° respecto a éste, o, estando el circuito de conmutación 2 en su estado incorrecto, si por el contrario la fase de la señal de línea más esta alineada con el eje de demodulación

4094



5 en el demodulador 14 o con el eje desfasado 180° respecto a éste y la fase de la señal de línea menos está alineada con el eje de demodulación en el demodulador 13 o con el eje desfasado 180° respecto a éste, los demoduladores 13 y 14 no proporcionan salidas durante un periodo de línea determinado, según se ve en las figuras 9 y 11. Sin embargo, según se ve en las figuras 8 y 12, los demoduladores 13 y 14 producen siempre las tensiones demoduladas predeterminadas durante el periodo de línea adyacente, de modo que aunque la
10 señal de cróminancia tenga esta fase, la operación de control de discriminación pueda ser realizada correctamente de la manera descrita más arriba.

Los ejes de demodulación en los demoduladores 13 y 14 pueden cambiarse de diversas maneras respecto a los ejemplos mencionados más arriba. En un ejemplo, el desfasador 15 se suprime, según se representa en la figura 13, y la señal de referencia procedente del oscilador 10 se aplica al demodulador 13 tal como está, mientras que la señal procedente del oscilador 10 se aplica al desfasador
15 16 para avanzar su fase 90° y a continuación se aplica al demodulador 14. En tal caso, cuando el circuito de conmutación 12 está en el estado correcto, se puede aplicar al demodulador 13 la señal de referencia S_4 con su fase alineada con la señal de sobreimpulso $B+$ y se puede aplicar
20 al demodulador 14 la señal de referencia S_7 con su fase avanzada 90° respecto a la fase de la señal de sobreimpulso, es decir alineada con la señal de sobreimpulso $B-$, según se representa en la figura 14, mientras que, cuando el circuito de conmutación 12 pasa a su estado incorrecto, se
25 puede aplicar al demodulador 13 la señal de referencia S_7
30



109447

con su fase alineada con la señal de sobreimpulso B- y se puede aplicar al demodulador 14 la señal de referencia S_6 con su fase retardada 90° respecto a la del sobreimpulso B-, es decir, retardada 45° respecto al eje B-Y, según se representa en la figura 15. A título de ejemplo suplementario, con la misma construcción que la de la figura 13, la señal de referencia procedente del oscilador 10 se aplica directamente al demodulador 13 y al mismo tiempo se aplica la señal procedente del oscilador 10 al desfásador 16 para retardar su fase 90° y a continuación se aplica al demodulador 14. En este caso, como se ve en las figuras 16 y 17, el demodulador 13 puede recibir las señales de referencia con las mismas fases que las que se representan en las figuras 14 y 15, pero se puede aplicar al demodulador 14 las señales de referencia con fases respectivamente diferentes en 180° respecto a las que se representan en las figuras 14 y 15. A título de ejemplo suplementario, con la misma construcción que la de la figura 3, la fase de la señal de referencia del oscilador 10 se invierte por medio del desfásador 15 para ser aplicada al demodulador 13 y la señal de referencia que se aplica al demodulador 13 es retardada 90° por el desfásador 16 para ser aplicada al demodulador 14. En tal caso, cuando el circuito de conmutación 2 está en estado correcto, se puede aplicar al demodulador 13 la señal de referencia S_6 con su fase en oposición a la de la señal de sobreimpulso B+, es decir retardada 45° respecto al eje B-Y, y al demodulador 14 puede aplicarse la señal de referencia S_7 con su fase retardada 90° respecto a la señal de referencia S_6 , es decir alineada con la señal de sobreimpulso B-, según se indica en la figura 18, mientras que, cuando el circuito de

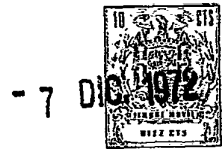
1409447



5 conmutación 2 está en su estado incorrecto, el demodulador
13 puede recibir la señal de referencia S_5 con su fase re-
tardada 45° respecto al eje R-Y, y el demodulador 14 puede
recibir la señal de referencia S_6 con su fase retardada 45°
10 respecto al eje B-Y, según se representa en la figura 19.
Sin embargo, en los dos últimos ejemplos de realización, la
salida del sumador 17 y la salida del dispositivo de resta
20 están en oposición respecto a las del ejemplo mencionado
más arriba. Por tanto, cuando la parte que incluye el ampli-
ficador diferencial 19 y el circuito 22 generador de señal de
control está construida de la manera descrita más arriba,
se aplica la salida del circuito detector 18 a la base del
transistor 24 y se aplica la salida del circuito detector
21 a la base del transistor 23.

15 Los ejes de demodulación de los demoduladores
13 y 14 no deben necesariamente estar exactamente centrados
entre el eje R-Y ó -(R-Y) y el eje B-Y ó -(B-Y), sino que
pueden estar algo desplazados respecto a éstos. Los ejes
de modulación en los demoduladores 13 y 14 pueden igualmen-
20 te no presentar una diferencia de fase de 90° el uno respec-
to al otro.

En los ejemplos descritos más arriba, los de-
moduladores 6 y 7 están diseñados de manera que reciban siem-
pre las señales de línea más en secuencia. Sin embargo,
25 los demoduladores 6 y 7 pueden igualmente recibir siempre
las señales de línea menos en secuencia, siendo la construc-
ción idéntica a la de la figura 3. En tal caso, contraria-
mente a lo que ocurre en los ejemplos mencionados más arriba,
la fase de la señal de referencia procedente del oscilador
30 10 es adelantada 45° por el desfasador 11 y la señal de re-



409441

ferencia procedente del desfasador 11 es avanzada de nuevo
 90° por el desfasador 12. Por tanto, cuando el circuito de
 conmutación 2 está en el estado correcto y se aplican se-
 cuencialmente a los demoduladores 6 y 7 las señales de línea
 5 menos, el demodulador 6 recibe una señal de referencia que
 tiene una fase alineada con el eje -(R-Y) y el demodulador
 7 recibe una señal de referencia cuya fase esta alineada
 con el eje B-Y.

Además, se puede aplicar al demodulador 13
 10 solamente la señal de sobreimpulso contenida en la señal de
 crominancia procedente del amplificador pasabanda 1 y se pue
 de aplicar al demodulador 14 solamente la señal de sobreimpul
 so contenida en la señal de crominancia procedente del cir-
 cuito de retardo 3.

De acuerdo con el circuito del invento mencio-
 nado más arriba, puede producirse eficazmente una señal de
 crominancia demodulada predeterminada, por medio de un dispo
 sitivo de construcción sencilla. Particularmente, de acuer-
 do con el invento, es siempre posible obtener una salida de
 20 discriminación predeterminada independiente de las fases de
 las señales que han de ser demoduladas en los demoduladores
 13 y 14 descritos más arriba, de modo que se pueda obtener
 siempre un funcionamiento estable.

En los ejemplos que anteceden, la señal de cro
 25 minancia original separada por el amplificador pasabanda 1
 y la señal demorada un intervalo de línea respecto a ésta,
 se obtienen alternativamente durante cada intervalo de lí-
 nea y se suministran a los demoduladores 6 y 7. Sin embargo,
 la señal de crominancia original y una señal retardada res-
 30 pecto a ésta en un período igual a un número impar de perio-

40944

- 21 -



dos de línea pueden derivarse en variante a cada intervalo de línea.

5) En este caso, se aplica al demodulador 14 la señal retardada respecto a la señal de crominancia original en un número impar de líneas, o la señal de sobreimpulso contenida en esta señal.

Además, el demodulador 7 puede recibir la señal de crominancia procedente del amplificador pasabanda 1 tal como está.

10 Además, el invento es aplicable igualmente al caso en el cual las dos componentes de señal de color son señales I y Q o parecidas.

En resumen: La Patente de Invención que se solicita deberá recaer sobre las siguientes

15

REIVINDICACIONES

1. Sistema de decodificación para receptor de televisión en color adaptado para recibir una señal de crominancia que contiene una señal de sobreimpulso de color y que está modulada con ejes de modulación en cuadratura de acuerdo con un sistema de inversión de fase en líneas alternas, que comprende un circuito de transformación de señal que incluye un dispositivo de retardo y un conmutador de puerta para producir una señal de crominancia transformada compuesta por un segmento conmutado de la señal de crominancia entrante de duración sustancialmente igual a un intervalo de línea y su réplica retardada sustancialmente en un intervalo de línea dispuestos alternativamente en secuencia, y unos primero y segundo demoduladores para demodular por lo menos en uno de dichos demoduladores dicha señal de crominancia transformada, caracterizado porque se utiliza un circuito generador de señal

20

25

30

Bz

40411



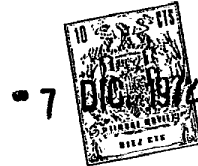
de referencia para producir unas primera y segunda señales de referencia que tienen una frecuencia igual a dicha señal de sobreimpulso de color y una fase variable en respuesta a la fase de la señal de sobreimpulso de color contenida en dicha señal de crominancia transformada, teniendo las fases de dichas primera y segunda señales de referencia unas posiciones simétricas con relación a uno de dichos ejes de modulación de la señal de crominancia, un circuito discriminador de fase que incluye unos tercero y cuarto demoduladores, dicho tercer demodulador está provisto para recibir la señal de crominancia entrante y dicha señal de referencia para discriminar la fase de dicha primera señal de referencia por medio de la demodulación de dicha señal de crominancia entrante con dicha primera señal de referencia, dicho cuarto demodulador sirve para recibir la señal de crominancia retardada procedente del dispositivo de retardo y dicha segunda señal de referencia para discriminar la fase de dicha segunda señal de referencia por medio de la demodulación de dicha señal de crominancia retardada procedente de dicho dispositivo de retardo con dicha segunda señal de referencia, y se proporciona un circuito de control entre dicho circuito discriminador de fase y dicho conmutador de puerta para producir una señal de control en respuesta a la salida de dicho circuito discriminador de fase y controlar dicho conmutador de puerta con dicha señal de control para asegurar que dicha señal de crominancia transformada se aplicará por lo menos a uno de dichos primero y segundo demoduladores con los segmentos conmutados predeterminados y sus réplicas.

2. Sistema de decodificación según la reivindicación 1, caracterizado porque dicho circuito generador de señal

Rg

40944

- 23 -



de referencia proporciona igualmente la señal de referencia con un desfase predeterminado a dichos primero y segundo demoduladores para la demodulación de dicha señal de crominancia transformada.

5 3. Sistema de decodificación según la reivindicación 2, caracterizado porque dicho circuito generador de señal de referencia incluye un oscilador que recibe la señal de sobreimpulso de color contenida en dicha señal de crominancia transformada para el control de la fase de dicho oscilador.

10 4. Sistema de decodificación según la reivindicación 1, caracterizado porque dicho circuito discriminador de fase incluye además un circuito de comparación para comparar las salidas de dichos tercero y cuarto demoduladores la una con la otra y para producir una tensión de salida comparada.

15 5. Sistema de decodificación según la reivindicación 4, caracterizado porque dicho circuito de comparación incluye un dispositivo de substracción conectado de manera que reciba las salidas de ambos tercero y cuarto demoduladores, un sumador conectado de modo que reciba las salidas de ambos tercero y cuarto demoduladores y un amplificador diferencial conectado de manera que reciba las salidas de dicho dispositivo de substracción y de dicho sumador.

20 6. Sistema de decodificación según la reivindicación 1, caracterizado porque las fases de dichas primera y segunda señales de referencia están en una posición separada en 45° respecto a uno de los ejes de modulación de dicha señal de crominancia, en direcciones opuestas la una respecto a la otra.

30 7. Se reivindica por último como objeto que ha de

Rey



409441

recaer la Patente de Invención que se solicita: "SISTEMA DE DECODIFICACION PARA RECEPTOR DE TELEVISION EN COLOR".

5 Todo conforme queda descrito y reivindicado en la presente memoria descriptiva que consta de veinticuatro páginas mecanografiadas y dibujos que se acompañan.

Madrid, 7 de diciembre de 1.972

BERNARDO UNGRIA

10 P.P.

10

15

20

25

30

Reg