

409423

P - 52.663

Docket F19-71-019

MEMORIA DESCRIPTIVA



para solicitar

PATENTE DE INVENCION

en ESPAÑA

Int. Cl. ² : <u>H01L</u>

por VEINTE años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad norteamericana

establecida en Armonk, Nueva York, 10504,
Estados Unidos de América.

por: "UNA DISPOSICION DE CIRCUITO DE PROTECCION CONTRA
SOBRETENSIONES" (Clase Internacional H02h)

409423



FUNDAMENTO DE LA INVENCION

5 Como es bien sabido, el material dieléctrico de electrodo de control de transistores de efecto de campo de puerta o electrodo de control aislado es vulnerable a la perforación eléctrica durante la manipulación en fabricación debido a la aplicación inadvertida de impulsos de alta tensión de electricidad estática. Han sido propuestas muchas soluciones técnicas de protección

10 contra sobretensiones en transistores de efecto de campo (FET), pero estas no han sido completamente satisfactorias. El circuito deseado de protección contra sobretensiones es aquel que pueda ser fabricado en la misma pastilla monolítica junto con los dispositivos de FET a proteger, sin

15 introducir operaciones de procedimiento que sean extrañas a, o incompatibles con, el procedimiento para fabricar los dispositivos de FET protegidos. Adicionalmente, el circuito de protección contra sobretensiones no debe cargar los transistores de efecto de campo durante el funcionamiento normal y debe reaccionar de manera extremadamente

20 rápida para desviar impulsos transitorios de sobre-tensión de manera segura eliminándolos antes de que sufran perforación dieléctrica los transistores de efecto de campo protegidos. De este modo, el dispositivo de protección

25 contra sobretensiones debe de ser realizable, preferible-



mente, utilizando procedimientos de fabricación de FET y no debe presentar una característica de ganancia con el fin de responder en un tiempo mínimo a una condición de sobretensión.

5

RESUMEN DE LA INVENCION

Un circuito de protección de sobretensión comprende un transistor bipolar lateral provisto de una unión de colector con electrodo de puerta o control. El circuito de colector a emisor del transistor lateral deriva o shunta el punto del circuito que ha de ser protegido contra sobretensiones. La unión de colector es controlada colocando la metalización sobre una capa de pasivación (dióxido de silicio) que cubre la unión de colector y conectando la metalización a un punto del sustrato mantenido a un potencial fijo. El emisor está conectado, de manera análoga, a dicho punto. Al presentarse una sobretensión, la unión de colector con electrodo de control del transistor lateral entra en avalancha y permite que la corriente fluya desde la unión de colector a dicho punto del sustrato por intermedio del sustrato semiconductor. El punto de perforación por avalancha puede ser reducido haciendo disminuir selectivamente el espesor de la capa de

10

15

20

25

409423



pasivación sobre la unión de colector.

Dicho flujo de corriente origina una caída de potencial en la región de base del transistor lateral junto al emisor del transistor lateral. Una parte de dicha caída de potencial atraviesa la unión de emisor-base del transistor lateral por medio del contacto de emisor para polarizar en sentido directo a la unión de emisor e iniciar una conducción de baja impedancia en el transistor lateral. Al producirse la conducción del transistor lateral, el impulso de sobretensión es desviado rápidamente y de manera segura del punto del circuito protegido. El procedimiento para la fabricación del transistor lateral es completamente compatible con los procedimientos convencionales para los transistores de efecto de campo de puerta o electrodo de control aislado.

BREVE DESCRIPCION DE LOS DIBUJOS

La figura 1 es un circuito equivalente simplificado que representa el dispositivo de protección contra sobretensión del presente invento;

La figura 2 es una vista simplificada en sección transversal de una realización preferida de transistor lateral de la presente invención; y

La figura 3 es una representación idealizada

409423



de la característica de corriente-tensión del dispositivo de la figura 2.

DESCRIPCION DE LA REALIZACION PREFERIDA

5 Haciendo referencia a la figura 1, el punto 1 del circuito ha de estar protegido contra sobretensiones por el transistor 2 del tipo NPN, que está conectado entre el punto 1 y la masa 3. El transistor 2 está formado preferiblemente en la misma pastilla semiconductor monocristalina con otros dispositivos de circuito (no mostrados) a proteger y los cuales reciben señales de entrada a través del punto 1 del circuito. La resistencia a través del material semiconductor, en la región de base del transistor 2, está representada por las resistencias R_1 y R_2 . Más particularmente, la resistencia R_1 se extiende desde la unión de colector del transistor 2 a través de la región de empobrecimiento asociada con el mismo cuando la unión de colector está polarizada en sentido inverso. La resistencia R_2 se extiende desde el borde de dicha región de empobrecimiento hasta contacto de masa 3.

15 Las tensiones negativas aplicadas al terminal 1 polarizan en sentido directo la unión de colector y se derivan a través de R_2 a masa. El transistor 2 se hace no conductor tras las aplicaciones de tensiones

409423



1973

positivas entre el terminal 1 y masa 3 que son insu-
ficientes para originar la perforación por avalancha de
la unión de colector. Sin embargo, cuando la tensión
aplicada excede al punto de perforación por avalancha,
5 la corriente fluye a través de las resistencias R_1 y
 R_2 a masa. La caída de tensión producida a través de
la resistencia R_2 polariza en sentido directo la unión
de emisor del transistor 2 e inicia una rápida y total
conducción a través de la baja impedancia del transis-
10 ter de conducción. Las corrientes perjudiciales (de
hasta el orden de un valor de pico de un amperio) de-
bidas a la sobretensión se desvían directamente a masa
y se apartan de manera segura de los circuitos prote-
gidos que reciben señales de entrada procedentes del
15 punto 1 del circuito. De acuerdo con la presente in-
vención, el circuito de protección contra sobreten-
siones se fabrica por el mismo procedimiento usual uti-
lizado para fabricar transistores de efecto de campo
de puerta aislada. El material dieléctrico de puerta
20 de un transistor de efecto de campo de puerta aislada
constituye un ejemplo típico de una estructura de
circuito contra sobre-tensiones.

El transistor bipolar lateral de una reali-
zación preferida de la presente invención está mostra-
25 do en la vista en sección transversal de la figura 2.

409423



El sustrato semiconductor 4 está comúnmente compartido por el transistor lateral 5 y por los transistores de efecto de campo (no mostrados) cuyas puertas o electrodos de control están conectados a la metalización de entrada 6, que puede recibir inadvertidamente sobretensiones de tarde en tarde. Supongamos, por ejemplo, que los transistores de efecto de campo protegidos son de canal N, y que el sustrato 4 es del tipo de conductividad P-, el cual está cubierto por una capa 7 de enmascaramiento de dióxido de silicio. La capa de enmascaramiento 7 es formada por ataque químico mediante el procedimiento usual fotolitográfico para formar ventanas de difusión para hacer zonas difundidas 8 y 9 del tipo N+ del transistor 5, simultáneamente con las zonas difundidas de entrada y salida de los transistores de efecto de campo protegidos. Las zonas difundidas 8 y 9 corresponden, respectivamente, a las zonas difundidas de colector y emisor del transistor lateral 5. A continuación de la operación de difusión, se retira el óxido de enmascaramiento de las zonas de canal de los transistores de efecto de campo protegidos y de la región 10 adyacente a la parte de la unión de colector 11. Entonces es hecha desarrollarse una capa de óxido relativamente delgada sobre las partes expuestas de la superficie (áreas de canal del FET y la región

409423



10) del sustrato 4 y la metalización se sitúa selectivamente sobre las capas de óxido resultantes. La metalización 6 establece contacto con el colector 8 del transistor lateral 5 y se extiende hasta el terminal de entrada (no mostrado) que ha de ser protegido contra sobretensiones. La metalización 12 se extiende desde la capa de óxido delgada de la región 10, continúa sobre la capa de óxido más gruesa 7 y establece contacto con el emisor 9 y el sustrato 4 en el punto 13. El punto 13 está conectado a un manantial de potencial fijo (no mostrado).

Las etapas del procedimiento de fabricar el transistor lateral 5 y los transistores de efecto de campo de canal N a proteger, ha sido brevemente esbozado solamente, por cuanto que las mismas son bien entendidas por los expertos en la técnica. Las operaciones típicas del procedimiento se describen con más detalle, por ejemplo, en Characteristics and Operation of MOS Field-Effect Devices, por Paul Richmond, McGraw-Hill, 1967, páginas 87 a 89. Se observará que los dos espesores diferentes del óxido en las regiones 10 y 7 no requieren la introducción de operaciones que no estén ya en el procedimiento normal de los transistores de efecto de campo citado anteriormente. La capa de óxido gruesa 7 se forma durante la operación

409423



-4 ENE. 1973

de formación del óxido de enmascaramiento del proce-
dimiento de fabricación de FET. La capa de óxido del-
gada de la región 10 se forma durante la operación de
recrecimiento del óxido de la puerta, del procedimien-
to de FET. Análogamente, las zonas difundida 11 y 9
de colector y emisor se hacen simultáneamente con las
zonas difundidas de entrada y salida del procedimiento
de FET.

El funcionamiento del transistor lateral 5
bajo condiciones de sobretensión se puede comprender
con la ayuda de la figura 3. La figura 3 es una repre-
sentación del flujo de corriente entre la metalización
de entrada 6 del transistor lateral 5 del tipo NPN y
el punto 13 del sustrato al aumentar la tensión apli-
cada a la metalización 6 desde cero en un sentido po-
sitivo. Inicialmente, fluye una corriente desprecia-
blemente pequeña hasta que la tensión aplicada alcan-
za la región 14 de la representación de la figura 3,
en la cual la unión de colector 11 comienza a sufrir
la perforación de avalancha. La tensión de perfera-
ción por avalancha es disminuida por la presencia del
electrodo de alivio de campo 12 que está situado sobre
la capa de óxido relativamente delgada en la región
10, encima de una parte de la unión de colector 11,
y es una función del espesor de la capa de óxido en

409423



la región 10. Cuando se hace dicho espesor igual al espesor del dieléctrico de puerta que está situado sobre la región de canal del FET protegido de acuerdo con la presente invención, la unión 11 del transistor lateral 5 alcanza el punto de perforación por avalanche sustancialmente debajo del nivel de tensión que causa la perforación del dieléctrico de puerta del FET protegido.

A medida que aumenta el potencial inverso a través de la unión 11, aumenta también la región de empobrecimiento y el número de electrones libres térmicamente generados, asociados con ella. Los electrones libres son barridos a través de la región de empobrecimiento y a través de la resistencia del sustrato, representada por R_2 , hacia el punto de contacto 13. Al aumentar esta corriente de fuga, se alcanza un punto en que la caída de tensión a través de la resistencia equivalente R_2 alcanza un potencial suficiente para polarizar en sentido directo la unión de emisor 9 para iniciar la acción bipolar. En consecuencia, la corriente creciente ya no sigue la curva de corriente de fuga o escape 14, sino que, en vez de ello, se aparta bruscamente de la misma en el punto 16 (en el cual se inicia la acción de transistor bipolar) y continúa a lo largo de la característica 17 del transistor bi-

409423



5 polar. Se observará que existe una brusca reducción de la tensión, juntamente con la iniciación de la acción del transistor, a pesar del aumento sustancial de corriente. Las tensiones reducidas se mantienen a lo largo de toda la característica 18 del transistor NPN lateral.

10 La acción de transistor lateral se consigue simplemente situando las zonas difundidas 8 y 9 en mutua proximidad de acuerdo con consideraciones de diseño bien conocidas para originar la acción de transistor bipolar. Zonas difundidas similares a las 8 y 9, que se hacen simultáneamente para los transistores de efecto de campo protegidos (no mostrados), están separadas por una distancia que supera a la distancia a la cual es posible el funcionamiento del transistor bipolar.

15 La beta efectiva del transistor lateral NPN es una función de la separación de las zonas difundidas 8 y 9. La separación que resulta óptima para beta elevada, debe, sin embargo, tomar en consideración el posible escape superficial entre las zonas difundidas 8 y 20 9 (actuando como los electrodos de salida y de entrada, respectivamente, de un transistor de efecto de campo de puerta a masa que no tiene polarización de sustrato) durante el tiempo en que no están presentes condiciones de sobretensión. La fuga o escape superficial se reduce 25

409423



5 mediante la operación de aumentar el espesor de la
capa de óxido 7 entre la región 10 y la zona difundi-
da 9 y aumentando la separación entre las zonas difun-
didas 8 y 9. Este último factor de diseño afecta a la
10 beta y al tiempo de respuesta del dispositivo inversa-
mente a como afecta a las fugas. Por lo tanto, se de-
be llegar a un compromiso para que la separación en-
tre las zonas difundidas 8 y 9 sea suficientemente pe-
queña para permitir una beta sustancial (según se ma-
nifiesta por la separación señalada de 17 con respecto
a 15 en la curva I-V de la figura 3) y un tiempo de
respuesta suficientemente pequeño, mientras se permite
todavía una fuga o escape tolerablemente pequeño (como
se pone de manifiesto por la parte de la curva I-V de
15 la figura 3 antes de que se alcance el punto 14).

Aunque la presente invención ha sido parti-
cularmente descrita con referencia a las realizaciones
preferidas de la misma, los expertos en la técnica en-
tenderán que se pueden hacer el precedente y otros cam-
20 bios de forma y detalles en ellas sin apartarse del
espíritu y alcance de la invención.

Esta solicitud, que corresponde a la presenta-
da en los Estados Unidos de América, el 9 de Diciembre
de 1.971, bajo el número 206.361, se acoge a los bene-
25 ficios del Artículo 51 del vigente Estatuto sobre Pro-

409423



propiedad Industrial.

5

REIVINDICACIONES

10

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

15

20

25

1ª.- Una disposición de circuito de protección contra sobretensiones, conectado entre un punto de un potencial fijo y un punto del circuito a proteger contra aumentos de tensión que superen un valor predeterminado con respecto a dicha masa, comprendiendo dicho circuito de protección: un transistor bipolar de unión lateral que tiene zonas de colector y de emisor separadas por una zona de base que forma parte de un sustrato semiconductor en el que está formado dicho transistor; estando cubiertas la unión de colector y la citada zona de base de dicho transistor por una capa aislante; estando separadas dichas zonas de colector y de emisor por dicha zona de base en una dis-

27.12.72

A handwritten signature consisting of several loops and a horizontal line underneath.

409423



tancia que permite la acción sustancial del transistor cuando dicha unión de colector es polarizada en sentido inverso y la unión de emisor de dicho transistor está polarizada en sentido directo; un primer
5 miembro conductor sobre dicha capa aislante en la posición de dicha unión de colector; estableciendo dicho primer miembro conductor contacto eléctrico con dicha área o zona de emisor, con dicho sustrato y con dicho punto de potencial fijo; y estableciendo un
10 segundo miembro conductor contacto eléctrico con el citado punto del circuito a proteger y con dicha región de colector de dicho transistor.

2ª.- La disposición según la reivindicación
15 1ª, en la que dicho punto del circuito a proteger está en dicho sustrato.

3ª.- La disposición según la reivindicación
2ª, en la que dicho punto del circuito a proteger está separado de dicho sustrato por una capa aislante.

4ª.- La disposición según la reivindicación
20 2ª, en la cual la citada capa aislante es de espesor reducido sobre dicha unión de colector.

5ª.- La disposición según la reivindicación
25 4ª, en la cual dicho punto del circuito a proteger está separado de dicho sustrato por una capa aislante que tiene dicho espesor reducido.

A handwritten signature consisting of several stylized, overlapping loops, written in dark ink.

409423



-4 ENE. 1973

6ª.- Una disposición de circuito de protección contra sobretensiones.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

5

Esta Memoria consta de quince hojas escritas a máquina por una sola cara.

Madrid,

-4 ENE. 1973

P. A.

Alberto de Elizaburu
Por Poderes

- 15 -

27.12.72
ACV.

409423

-4 ENC. 1973

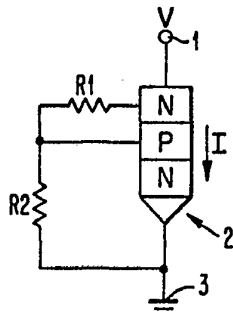


FIG. 1

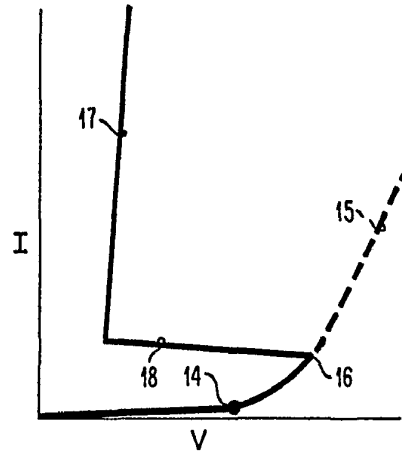


FIG. 3

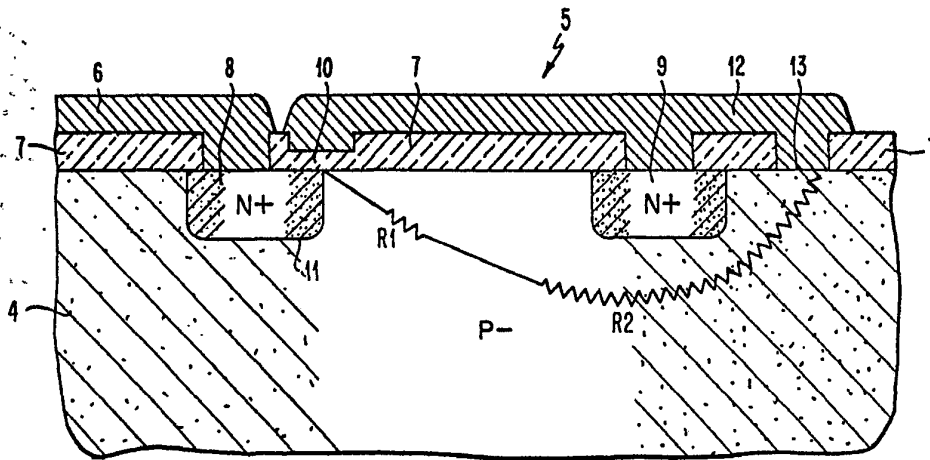


FIG. 2

Alberto de Elizaburu
Per Foder