



409420

F. c. 6-2-75

409420

Int. Cl. ² : G 06 F

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN ES-
PAÑA POR: "UN SISTEMA PARA PROCESO DE DATOS", A NOMBRE DE STAN-
DARD ELECTRICA, S.A., DOMICILIADA EN MADRID, CALLE DE RAMIREZ
DE PRADO Nº 5.

El invento se refiere a un sistema para proceso de
datos con un procesador, una memoria de almacenaje y diversas
palabras de datos constituidas por bits. El procesador incluye
un registrador de índice para almacenar la dirección relativa
5 de una palabra de datos en una tabla de dicha memoria, medios
para tener acceso a esta palabra de la tabla empleando la dire-
cción relativa y medios para determinar la posición del primer
bit de la palabra con una o dos condiciones predeterminadas. To
dos los bits de dicha palabra se encuentran ordenados de un mo-
10 do predeterminado.

Tal sistema para proceso de datos se conoce ya a
través de la Revista Técnica de Bell, Septiembre 1964, nº 5,
Parte 1, páginas 1869-1870 y 1937. En este sistema conocido,
el bit de posición en la tabla se emplea para tener acceso a

400420

2.



una palabra de una segunda tabla. Ya que el número de posiciones de bites en una palabra de la primera tabla es relativamente, pequeño, solamente puede tenerse acceso a un pequeño número de palabras en la segunda tabla.

5 Un objetivo del presente invento es describir un sistema de proceso de datos, del tipo indicado anteriormente, que permita tener acceso a un número de palabras de la segunda tabla que sea múltiplo del número de posiciones de bites en una palabra de la segunda tabla.

10 El presente sistema de proceso de datos está caracterizado, particularmente, porque el procesador incluye medios para combinar la dirección relativa y la posición del primer bit en la palabra a fin de obtener la posición del primer bit en la tabla de memoria.

15 Otra desventaja del sistema de proceso de datos mencionado anteriormente es que, para tener acceso a una palabra de la segunda tabla empleando el bit de posición determinado, se requiere un registrador de índice adicional.

20 Otro objetivo del presente invento es describir un sistema para proceso de datos, del tipo anterior, en el que no se necesita un registro de índice adicional para tener acceso a una palabra de la segunda tabla.

25 El presente sistema para proceso de datos esta caracterizado también porque los medios para combinar la dirección relativa y la posición del bit en la palabra incluyen un sistema para yuxtaponer en dicho registro de índice la posición del bit en la palabra así como la dirección relativa a fin de obtener la posición del bit en la tabla de memoria.

30 Este invento se refiere también a un sistema para proceso de datos que incluye diversos elementos para almacenar

409420

3.



la información, medios de comunicación comunes, medios de control entre los elementos de almacenaje, y los de comunicación, sistema para controlar dichos medios en orden a facilitar la transferencia de información entre los elementos de almacenaje a través de los sistemas de comunicación y un circuito de adición al que están acoplados los elementos de almacenaje. Dicho circuito aditivo tiene una entrada SUMANDO y una salida SUMA.

Tal sistema de proceso de datos es bien conocido en la técnica de los computadores, y un objetivo del presente invento es describir un sistema en el que se haga un empleo óptimo del circuito aditivo.

Se consigue este objetivo en el presente invento debido a que dicho circuito aditivo constituye el sistema común de comunicaciones. Los dos componentes de cada par de elemento de almacenaje, entre los que debe transferirse información están acoplados a, por lo menos, una de las entradas y a la salida de dicho circuito aditivo, a través del sistema de control respectivamente.

El sistema para proceso de datos objeto del presente invento, incluye una memoria y un procesador con un registro de índice, un registro acumulador, un circuito aditivo con 16 entradas AUGEND, 16 entradas SUMANDO y 16 salidas SUMA, y un circuito para "encontrar el primero", cuyas 16 entradas están acopladas a las 16 salidas del registro acumulador, y cuyas 4 salidas están acopladas a las cuatro últimas entradas AUGEND. Las restantes 12 entradas AUGEND están acopladas a las doce últimas salidas del registrador de índice. Las 16 salidas SUMA del circuito aditivo se acoplan a las 16 entradas del registrador de índice. Después de que se ha tenido acceso a una palabra de una tabla mediante una dirección relativa (de esta palabra

1409420

4.



en esta tabla almacenada en el registrador de índice y después de que esta palabra se ha almacenado en el registrador acumulador, el sistema es capaz de ejecutar una instrucción de "encontrar el primero" en esta palabra. Esta instrucción consiste en
5 operar el circuito de "encontrar el primero" para localizar el bit 1 de más a la izquierda en la palabra almacenada en el registrador acumulador, a fin de aplicar la posición del bit que aparece en las salidas de este circuito y una parte del contenido del registrador de índice a las entradas AUGEND anteriormente
10 mencionadas, y para insertar el resultado que aparece en las salidas SUMA en el registrador de índice. Este registrador de índice indica la posición en la tabla del bit de más a la izquierda encontrado. Esta posición constituyr la dirección relativa de una palabra de una segunda tabla.

15 Las características mencionadas anteriormente y otras más del invento, serán mejor comprendidas refiriéndonos a la descripción siguiente y a los dibujos que se acompañan en los cuales:

La Fig. 1 representa un sistema para proceso
20 de datos según el presente invento;

La Fig. 2 muestra el registrador A de la Fig. 1 con más detalle.

La Fig. 3 muestra parte del circuito ADGC, y otros, con más detalle.

25 El sistema para proceso de datos representado en la Fig. 1 está constituido por una memoria MEM y un procesador que comprende una unidad aritmética AU y una unidad de control CU.

La memoria MEM está adaptada para almacenar
30 diversas palabras de instrucción de 16 bites, tales como LDA,

1409420

5.



LDX, STA, STX, FFO y JDX, así como diversas palabras de datos de 16 bites tales como S1 y S2. La memoria, además, incluye las tablas de palabras de datos IJT e IJSBT.

5 La unidad aritmética AU incluye un registro de acumulación M de 16 bites, un registro Y de localización de memoria de 16 bites, un registro índice X de 16 bites, un registro acumulador A de 16 bites, un contador de programa P de 16 bites para almacenar el encaminamiento de una instrucción que está siendo o va a ser ejecutada y una unidad aditiva ADU constituida por un circuito de control aditivo ADGC y un circuito aditivo ADC.

10

La unidad de control CU incluye un elemento de control CD para controlar las distintas operaciones del sistema mediante la generación de señales de control g₀₀-g₁₅ en momentos apropiados; también incluye un registro F de 7 bites para almacenar el código de operación de una instrucción. El registrador está conectado al elemento de control CD. Nótese que las señales de control g₀₀ a g₁₅ están constituidas, cada una, por 15 señales g₀₀(00)-g₀₀(15) a g₁₅(00)-g₁₅(15), como será

15

20 aclarado posteriormente.

Las entradas de los elementos de memoria 00 a 15 del registrador de memoria M se acoplan a las salidas de los correspondientes elementos de memoria de salida 00 a 15 de la memoria MEM, como se indica esquemáticamente por la flecha que interconecta MEM y M y en dirección a M. Las entradas de los

25

7 elementos de memoria 00 a 06 del registrador F están conectadas a las salidas de los correspondientes elementos de memoria 00 a 06 de la memoria MEM, como también se indica esquemáticamente por la flecha que interconecta MEM y F, en dirección a

30

F. Las salidas M000-M015 de los elementos de memoria 00 a 15 del

1409420

6.



registrador de memoria M están conectadas a las entradas de los
elementos de memoria de salida oo a 15 de la memoria MEM a tra-
vés del sistema de control GMMoo-GMM15 controlado por las seña-
les de gsoo generadas por el elemento de control CD. Las salidas
5 Yoo-Yo15 de los elementos de memoria oo a 15 del registrador
Y están conectadas a la entrada de encaminamientos de la memo-
ria MEM, como se representa esquemáticamente por la flecha que
interconecta Y y MEM, en dirección a MEM. Esta conexión incluye
las puertas-AND GYoo a GY15 que están controladas por las seña-
10 les gsol proporcionadas por el elemento de control CD.

Las salidas MOoo-MO15, XOoo-XO15, AOoo-Ao15
y YOoo-YO15 de los elementos de memoria oo a 15 del registrador
de memoria M, del registrador de índice X, del acumulador A y
del registrador Y se conectan a las entradas AUGEND AGoo a AG15
15 del circuito aditivo ADC a través de las puertas-AND individua-
les GGMoo-GGM15, GGXoo-GGX15, GGAoo-GGA15 y GGYoo-GGY15 res-
pectivamente, y a través de las puertas-OR comunes MAGOO-MAG15.
Estos cuatro grupos de puertas-AND se controlan por las señales
gso2 a gso5 generadas por el elemento de control CD respectiva-
20 mente. Las salidas MOoo-MO15, XOoo-XO15, AOoo-AO15, POoo-PO15
de los elementos de memoria oo a 15 del registrador de memoria
M, del registrador de índice X, del acumulador A y del contador
de programa P, se conectan a las entradas sumando ADoo a AD15
del circuito aditivo ADC a través de las puertas-AND individua-
25 les GAMoo-GAM15, GAXoo-GAX15, GAAoo-GAA15, GAPoo-GAP15, respec-
tivamente, y a través de las puertas-OR comunes MADoo-MAD15.
Estos cuatro grupos de puertas-AND están controlados por las
señales gso9 generadas por el elemento de control CD. Las 16
salidas suma SMoo-SM15 del circuito aditivo ADC se conectan a
30 las entradas YIoo-YI15, XIoo-XI15, AIoo-AI15 y PIoo-PI15 de

1409420



7.

los elementos de memoria oo a 15 de los registradores Y, X, A
y el contador P a través de las puertas-AND GSYoo-GSY15,
GSXoo-GSX15, GSAoo-GSA15 y GSPoo-GSP15, que están controladas
por las señales gs10 a gs13, respectivamente. Las puertas OR
5 y AND, conectadas al circuito aditivo ADC, forman el circuito
de control aditivo ADGC.

Nótese que el registrador A tiene otras sa-
lidas AFoo a AF15 que se conectan a terceras entradas de las
GAAoo a GAA15 a través de las puertas AND GAA'oo a GAA'15 que
10 están controladas por las señales gsl5 y las inversoras I'oo a
I'15, respectivamente. El registrador A tiene también salidas
FOoo a FO15 conectadas al circuito ADC, como será explicado más
adelante. Refiriéndonos a la Fig. 2 el registrador A incluye
el propio registrador AR con los anteriores mencionados ele-
15 mentos de memoria oo a 15 que poseen las salidas A0oo a A015.
Estas salidas se conectan a un circuito de "encontrar al pri-
mero" FFOC que incluye 15 puertas - AND GAo1 a GA15, cuyas
entradas se conectan a las salidas A0o1 a A015 del registrador
AR, respectivamente. Las otras entradas de cada uno de estas
20 puertas-AND GAo1 a GA15 se conectan, cada una de ellas a través
de un inversor, a todas las salidas A0oo a A015 que preceden
a la puerta en la fila mostrada, esto es, la otra salida indi-
vidual de la puerta-AND GAo1 está conectada a la salida indivi-
dual precedente A0oo a través del inversor Ioo; las otras 14
entradas de la puerta- AND GA15 están conectadas a las salidas
25 de las 14 salidas precedentes A0oo a A014 a través de los inver-
sores Ioo a I14, respectivamente. Las salidas AFoo a AF15 de
las puertas-AND GAo1 a GA15 y la salida AFoo que está conectada
a la salida A0oo del elemento de memoria oo del registrador AR,
están conectadas al circuito codificador CC, adaptado para
30 codificar el código de 16 bites aplicado a su entrada en un có

409420

8.



digo de 4 bites que aparece a sus salidas F000 a F003.

La Fig. 3 muestra con más detalle las conexiones, ya indicadas en la Fig. 1, entre las salidas A000 a AD15 del registrador A y las entradas sumando A000 a AD15 del circuito aditivo ADC, y entre las salidas suma SM00 a SM15 de dicho circuito ADC, por una parte, y las entradas A100 a A115 del registrador A y X100 a X115 del registrador de índice X, por la otra. Por este medio, las puertas GAA00-GAA15, GSA00-GSA15 y GSX00-GSX15 están controladas por las señales gso8(00)-gso8(15), gsl2(00)-gsl2(15) y gsl1(00)-gsl1(15), respectivamente.

La Fig. 3 muestra también las conexiones, no representadas en la Fig. 1, entre las salidas del registrador de índice X000-X015 y las salidas del circuito codificador F000 F013, por una parte, y las entradas AG00-AG11 y AG12-AG15 del circuito sumador ADC, por otra. Estas conexiones se realizan a través de las puertas-AND GX04 a GX15 y GFO0 a GFO3, respectivamente. Estos grupos de puertas están controlados por las señales gsl4(00)-gsl4(11) y gsl4(12)-gsl4(15), respectivamente, proporcionadas por el elemento de control CD.

Con respecto a los diagramas de flujo mostrados al final de la descripción, téngase en cuenta lo siguiente, con respecto a las instrucciones que se emplearán en la descripción de funcionamiento del sistema de proceso de datos.

Cada una de las instrucciones clásicas LDA, LDX, STA, STX está constituida por un código de 7 bites, que incluye el modo director, y una parte de encaminamiento de 9 bites:

-las instrucciones LDA(LDX) están adaptadas para controlar la sustitución del contenido del registrador A(X) por aquel de la

1409420

9.



localización de memoria encontrado en la dirección efectiva, esto es, en la dirección calculada por medio de la parte de dirección de la instrucción, y teniendo en cuenta el modo director. Si para encontrar el encaminamiento efectivo se hace uso del contenido del registrador de índice X, estas instrucciones se indican por LAD' (LDX').

5
10. -Las instrucciones STA (STX) están adaptadas para controlar la sustitución del contenido de la localización de memoria encontrada, en el encaminamiento efectivo, por los del registrador A(X).

La institución clásica JDX está constituida por un código de función y una parte de encaminamiento, adaptada para controlar las operaciones siguientes:

- disminuir en uno el contenido del registrador de índice X;
- 15 -si el resultado no es cero, saltar a la instrucción que contiene el encaminamiento almacenado en la instrucción JDX;
- si el resultado es cero, ejecutar la instrucción que sigue inmediatamente.

La instrucción FFO está constituido por un código de función y adaptada para controlar la ejecución de las operaciones siguientes:

- comprobar el contenido del registrador A;
- si es cero, saltar una instrucción;
- si no es cero, ejecutar los pasos siguientes en consecuencia.
- 25 -almacenar el contenido de los elementos de memoria 04 a 05 del registrador X en los elementos de memoria 00 a 11 del mismo
- almacenar las condiciones de las salidas F000 a F003 del circuito codificador CC del registrador A en los elementos de memoria 1a a 15 del registrador X;
- 30

409420

10.



-reponer a cero el primer bit 1 encontrado en el registrador A.

A continuación describiremos el funcionamiento del presente sistema para proceso de datos, refiriéndonos a las Figs. y a los diagramas de flujo. Se supone que este sistema controla un clásico sistema de conmutación telefónica interurbano (no indicado en la fig.) siendo los datos procesados, por ejemplo:

5 -información acerca de las condiciones de abierto y cerrado de los bucles existentes entre centrales, distantes y los enlaces de llegada de este sistema de conmutación. Estas condiciones del bucle se indican por un bit 1 (cerrado) o un bit 0 (abierto) y se almacenan en las palabras de 16 bites de una tabla de enlaces de llegada IJT en la memoria MEM, siendo asignado un bit por enlaces de llegada;

10 -información acerca de las llamadas procesadas en relación con los enlaces de llegada mencionados anteriormente. Tal información puede ser, por ejemplo, la identificación de un registrador conectado a un enlace de llegada, la identificación de un enlace de salida conectado a uno de entrada, etc. Esta información se almacena en las palabras de 16 bites de una tabla de acumulación de estado de enlaces de llegada IJSBT, siendo asignada una

15 palabra por cada enlace de llegada.

Como puede deducirse de la descripción, el presente sistema es particularmente útil para explotar solamente aquellas palabras de la IJSBT que corresponden a enlaces de llegada y para los que se ha establecido un bucle cerrado, esto es, para los que está registrado un bit 1 en la IJT.

20

Nótese primeramente, que al final de la ejecución de una instrucción, se lee ya la instrucción siguiente en la memoria MEM, y que la instrucción leída está disponible sólo después de cierto intervalo de tiempo.

30

1409420

11.



Supongamos ahora que durante la ejecución de una instrucción se ha comenzado la lectura de una instrucción LDX en la memoria MEM por medio del encaminamiento de esta instrucción LDX. Este encaminamiento está almacenado, en este momento, en el registrador Y y en el contador de programa P.

Un intervalo de tiempo después, la instrucción encaminada de 16 bites LDX, se recibe en el registrador M y la función de 7 bites o código de operación de esta instrucción almacenada en los bites 0 a 6 del mismo, se transfiere al registrador F de la unidad de control CU. Este código se decodifica en el elemento de control CD que genera señales de control para controlar la ejecución de las diferentes operaciones indicadas por la instrucción LDX. Bajo el control de estas señales, la parte de encaminamiento de la instrucción LDX, almacenada en los elementos 7 a 15 del registrador de memoria M, se transfiere a los correspondientes elementos de memoria 7 a 15 del registrador Y, haciendo uso de la unidad aditiva ADU. Empleando las entradas sumando ó augend de esta unidad aditiva ADU, ésta funciona, en realidad, como un paso de comunicación, ya que la información aplicada a sus entradas aparece sin modificar en las salidas suma del circuito aditivo ADC.

El elemento de control CD, de la unidad de control CU, activa las entradas de control de las puertas GGM07 a GGM15 mediante las señales de control gs10 (07) a gs10 (15) debido a lo cual, la parte de encaminamiento de la instrucción LDX se transfiere a los elementos de memoria 07 a 15 del registrador Y.

Se supone que esta parte del encaminamiento es el encaminamiento parcial o completo de la localización de

1409420

12.



memoria donde está almacenado el encaminamiento relativo de la última palabra de la tabla IJT. Este encaminamiento relativo es el encaminamiento con respecto al de la tabla, esto es, con respecto a la primera palabra de esta tabla.

5 Con la parte de encaminamiento almacenada en el registrador Y, posiblemente combinado con otro, se encamina la memoria MEM como resultado de que el encaminamiento relativo de la última palabra de la IJT se recibe en el registrador de memoria M. Bajo el control del elemento CD, este enca-
10 minamiento se transfiere al registrador de índice X, haciendo uso, nuevamente, del circuito aditivo ADU y, más particularmente, activando las entradas de control de las puertas GGM00 a GGML5 y GSX00 a GSXL5, mediante las señales de control gso3(00) a gso3(15) y gsll(00) a gsll(15), respectivamente.

15 Previamente, el contador de programa P se ha incrementado en 1 a fin de que se ejecute el encaminamiento de la siguiente instrucción cuando aparezca en dicho contador. Este encaminamiento se almacena en el registrador Y y se emplea para encaminar la memoria MEM. Se supone que esta instrucción
20 es una STX. El elemento de control CD, controla también la desconexión de los registradores M y F.

 Nótese que la instrucción LDX descrita anteriormente es clásica en la técnica del computador, y se ha descrito con relativo detalle para poner en claro el uso de una u-
25 nidad aditiva ADU como transporte de comunicación. Las instrucciones LDA, STA, STX y JDX, que también son conocidas en la técnica del computador, serán descritas brevemente.

 Cuando una instrucción STX se ha recibido en el registrador de memoria M, y su código de función se ha al-
30 macenado en el registro F, el elemento de control CD controla el

409420



almacenaje del contenido del registrador X en la palabra S1 de la memoria MEM sin modificar el contenido del registrador X. Esta operación es necesaria, ya que, en cierto momento, el contenido original del registrador X debe estar disponible, como se verá más adelante. Durante la ejecución de esta instrucción STX, el contador de programa P se incrementa por 1, dado que aparece el encaminamiento de la siguiente instrucción, que es una LDA'. Este encaminamiento se almacena también en el registrador Y y se emplea para cambiar la memoria MEM. Se supone que el encaminamiento almacenado en la instrucción LDA' es el encaminamiento efectivo de la primera palabra de la IJT.

Después de que se ha recibido la instrucción LDA' en el registrador de memoria M y se ha almacenado su código de función en el registrador F, el elemento de control CD controla la transferencia de la parte de encaminamiento de esta instrucción LDA' desde el registrador M al registrador Y. Controla también el almacenaje del contenido del registrador X en el Y y la combinación del encaminamiento efectivo de la primera palabra de la IJT y el encaminamiento relativo de la última palabra de esta tabla para obtener el encaminamiento efectivo de esta última palabra mediante este encaminamiento efectivo se encamina la memoria MEM de tal manera que, algún tiempo después, se recibe la última palabra de la IJT en el registrador de memoria M, desde el cual se transfiere al registrador A haciendo uso de la unidad aditiva ADU. Bajo el control del elemento de control CD, el contador de programa P se incrementa por 1, de tal manera que aparece el encaminamiento de la instrucción siguiente, que es una instrucción FFO. Este encaminamiento se almacena también en el registrador Y y se emplea para encaminar la memoria MEM. También los registradores F y M son desconectados.

1409420



Si el contenido del registrador A es diferente de cero, el contenido del contador de programa P se incrementa por 1, de tal manera que aparece el encaminamiento de la instrucción STA. Este encaminamiento se almacena también en el registrador Y y se emplea para encaminar la memoria MEM. El elemento de control CD también controla la ejecución de las operaciones indicadas por la instrucción FFO. Antes de describir estas operaciones, nótese que cuando la palabra almacenada en el registrador A y, más particularmente, en el registrador AR(Fig.

10 2) es

0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1

solamente se activa la entrada AFo1 del circuito codificador CC. -La entrada AFoo no está activada dado que no lo está la salida AOoo;

15 -las salidas AFo2 (no mostradas) a AF15 de las puertas GAo2 (no mostradas) a GA15 no están activadas ya que la entrada FFOC, de las entradas de control de cada una de estas puertas, está conectada a la salida activada Aol (no mostrada), a través de un inversor Iol (no mostrado).

20 El código 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 a-
plicado al circuito codificador CC por el FFOC se codifica en un código binario de 4 bites 0001 que aparece en las salidas FOoo a FOo3. Este código indica que el primer bit 1 encontrado es el segundo bit de la palabra.

25 Las operaciones de la instrucción FFO, controlados por el elemento de control CD, son las siguientes, suponiendo que el contenido del registrador Xes

0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 0

este encaminamiento indica la palabra 14 de la IJT, esto es, la
30 palabra 15ª de esta tabla.

1409420



-En primer lugar, las condiciones 0 0 0 0 0 0 0 0 1 1 1 0 de las salidas X0o4 a X014 de los elementos de memoria o4 a 15 del registrador X, y las condiciones 0 0 0 1 de las salidas F0oo a F0o4 del circuito codificador CC del registrador A, son almacenadas en los elementos de memoria oo a 15 del registrador X a través de las puertas GXo4 a GX15, GFoo a GFo3 y GSXoo a GSX15 del circuito de control sumador ADGC de la unidad sumadora ADU. Estas puertas están controladas por las señales de control gs14 (oo)-gs14 (15) y gs11 (oo)-gs11 (15) generadas por el elemento de control CD. De este modo, la palabra almacenada finalmente en el registrador X es.

0 0 0 0 0 0 0 0 1 1 1 0 0 0 0 1

esta palabra indica la posición, en la tabla IJT, del primer bit encontrado anteriormente. En realidad, indica la posición 225 en esta tabla, ya que el bit 1 encontrado es el segundo bit de la decimoquinta palabra de esta tabla.

De la descripción anterior se desprende que la posición del primer bit 1 en una palabra de la tabla IJT se ha combinado con la posición de esta palabra en la tabla IJT para obtener la posición de este primer bit 1 en la tabla IJT.

Después de haber sido encontrado el primer bit 1, el registrador A se repone a cero. Esto se consigue almacenando nuevamente el contenido de todos los elementos de memoria del registrador A en estos elementos de memoria, excepto el elemento donde ha sido encontrado el primer bit 1 anterior, el cual se registra como uno en el último elemento. Esta operación se realiza nuevamente empleando la unidad sumadora ADU y aplicando las señales gs15 (oo)-gs15 (15), gso8 (oo)-gs (15) y gs12(oo)-gs12(15) a las entradas de las puertas GAA'oo a GAA'15, GAApo a GAA15 y GSAoo a GSA15, respectivamente. Ya que las

1409420



salidas de los inversores I'00 a I'15 forman la palabra código.

1 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1

se actúan las puertas GAA00 y GAA02 a GAA15, mientras que no lo hace la GAA01 (no mostrada). Consecuentemente, las condiciones

5: de las salidas A000 y A002 a A015 son almacenadas en los elementos de memoria 00 y 02 a 14 del registrador A, donde un 0 se registra en el elemento de memoria 01. La palabra siguiente se registra finalmente en el registro

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1

10 Cuando sea ejecutada una instrucción PFO será encontrado otro primer bit 1 en esta palabra.

Cuando se lee la instrucción siguiente, que es una instrucción STA, en la memoria MEM, es recibida en el registrador de memoria M, y el código de función de esta instrucción se almacena en el registrador F. El elemento de control

15 CD controla la ejecución de las diferentes operaciones indicadas por esta instrucción STA. Más particularmente, el contenido del registrador A se almacena en la palabra S2 de la memoria MEM de tal manera que permanece disponible para su utilización posterior.

20 El encaminamiento de esta palabra se almacena en la parte de encaminamiento de la instrucción STA. El elemento de control CD también controla el incremento por 1 del contador de programa P que entonces indica el encaminamiento de una instrucción LDA' que ha de ejecutarse. Este encaminamiento se almacena también en el registrador Y y se emplea para encaminar la memoria MEM. Además, el elemento de control CD también desconecta los registradores M y F.

25 Después de que se ha recibido la anterior instrucción LDA' en el registrador de memoria M y se ha almacenado en el registrador F el código de función de esta instrucción,

30

409420

18.



el elemento de control CD controla la ejecución de las diferentes operaciones indicadas por esta instrucción LDA', cuya parte de encaminamiento es la de la primera palabra de la tabla IJSBT. Bajo el control del elemento CD, el último encaminamiento se combina con el almacenado en el registrador X, constituido por la posición de un bit 1 en la tabla IJT, para obtener el encaminamiento de una palabra en la tabla IJSBT. Mediante el último encaminamiento, se encamina la tabla IJSBT, y la información que se recibe en el registrador de memoria M se procesa de un modo que no será descrito aquí, pues carece de importancia para el contenido del presente invento.

Al terminar este tratamiento, se ejecutan en sucesión una instrucción LDX y una LDA, a fin de cargar, en los registradores X y A, el contenido de la palabra de memoria S1 y S2, respectivamente. Cuando han terminado estas operaciones, se repiten las descritas anteriormente y que comienzan con la FFO, como se indica claramente en los diagramas de flujo.

De lo descrito anteriormente se deduce que por cada bit de posición de una palabra en la tabla IJT, puede tenerse acceso a una palabra de la tabla IJSBT, de tal manera que a mayor número de bites en la tabla IJT mayor número de palabras pueden existir en la tabla IJSBT.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento, se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

Este invento corresponde a una solicitud de patente formulada en Belgica el día 10 de Diciembre de 1971, señalada con el N^o 776.495 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

30

-----NOTA-----

409420



Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1. Un sistema para proceso de datos con un procesador y una memoria para almacenar diversas palabras de datos constituidas por bites. Dicho procesador incluye un registrador de índice para almacenar el encaminamiento relativo de una palabra de datos en una tabla de dicha memoria. También incluye medios para tener acceso a esta palabra desde dicha
10 tabla empleando dicho encaminamiento relativo y medios para determinar la posición del primer bit de dicha palabra que esta predeterminada por dos condiciones. Todos estos bites de la palabra están ordenados de un modo predeterminado. Dicho procesador incluye medios (AU, CU) para combinar el encaminamiento
15 relativo y la posición del primer bit en la palabra para obtener la posición de dicho primer bit en la tabla de memoria (IJT).

2. Un sistema para proceso de datos, según el punto 1, caracterizado porque los medios para combinar el
20 encaminamiento relativo y la posición del bit en la palabra incluyen los elementos (ADGG, CD) para yuxtaponer en el registrador de índice (X) la posición del bit en la palabra y en el encaminamiento relativo, a fin de obtener la posición del bit en la tabla de memoria.

25 3. Un sistema para proceso de datos, según el punto 2, caracterizado porque el bit de la posición en dicha palabra está situado a la derecha del encaminamiento relativo.

30 4. Un sistema para proceso de datos, según el punto 1, caracterizado porque incluye medios para almacenar

409420



dicha palabra de datos en un segundo registrador (A) del sistema y medios para volver a la otra, de las dos condiciones mencionadas, el primer bit en una condición predeterminada de la palabra almacenada en el segundo registrador, después de que se ha determinado su posición en dicha tabla de memoria.

5. Un sistema para proceso de datos, según el punto 1, caracterizado porque incluye medios para emplear el bit de posición en dicha tabla de memoria para tener acceso a una palabra de otra tabla (IJSBT) de dicha memoria.

10 6. Un sistema para proceso de datos que incluye varios elementos para almacenar, información, medios comunes de comunicación, medios de control entre los elementos de almacenaje y los de comunicación común, sistemas para controlar los medios de control, en orden a hacer posible la transferencia de información entre los elementos de almacenaje a través de los de comunicación común, y un circuito sumador al que están acoplados los elementos de almacenaje. Dicho circuito sumador tiene unas entradas sumando y una salida suma. Los medios de comunicación comunes están constituidos por dicho circuito sumador (ADC), cada uno de los elementos de almacenaje (P) y (Y) de cada par de elementos (P, Y) entre los cuales debe ser transferida a la información, estando acoplados a, por lo menos, una (AD00-AD15) de las entradas del circuito sumador (AD00-AD15, AG00-AG15) y a su salida (SM00-SM15), a través de dichos medios de control, respectivamente.

7. Un sistema para proceso de datos.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

1409420



Esta memoria consta de 21 hojas escritas
por una sola cara.

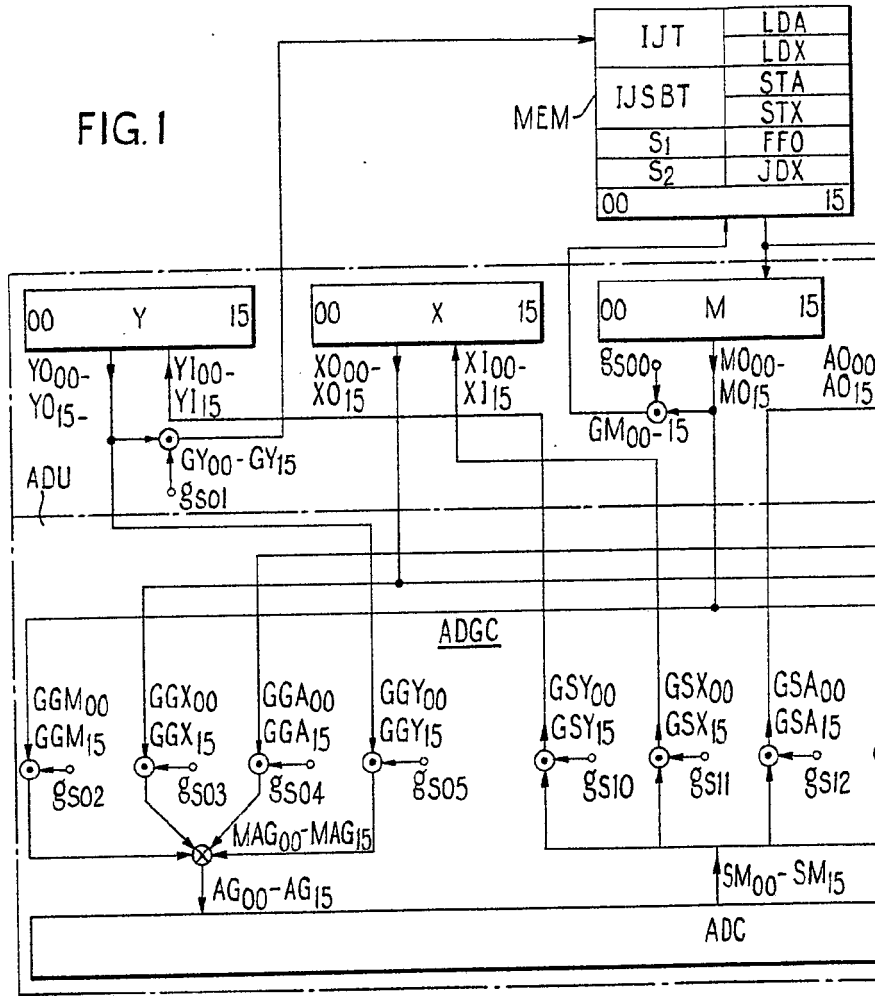
Madrid, 7 DIC 1972



M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

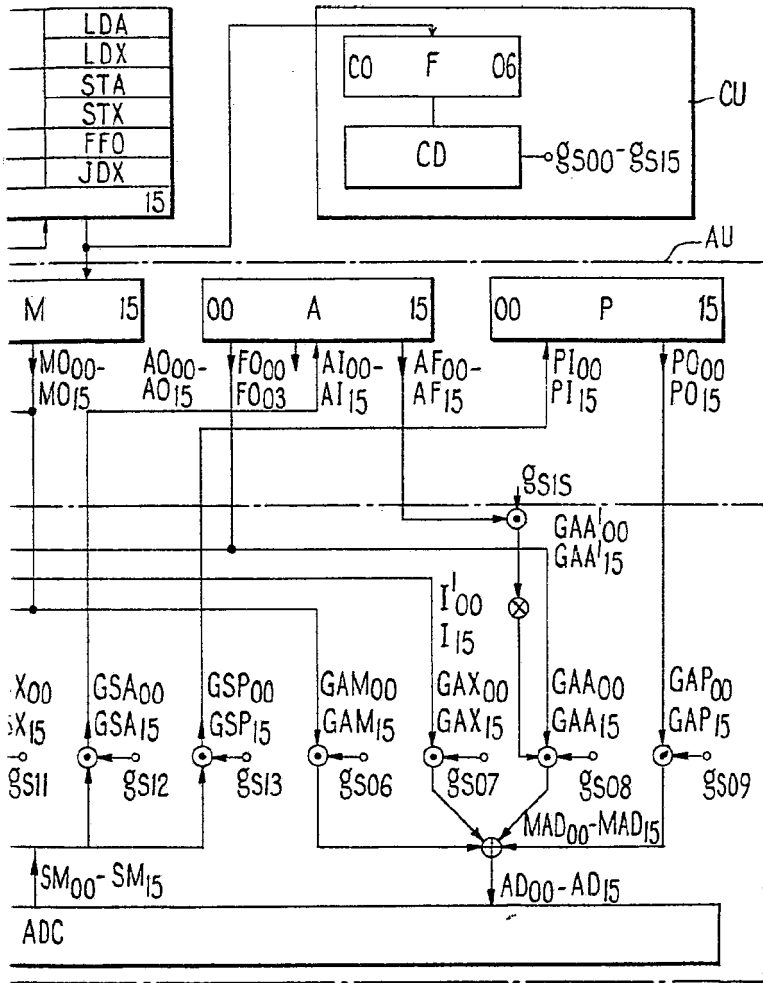
20

FIG. 1





409 420



[7 DIC 1972



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

14,00420

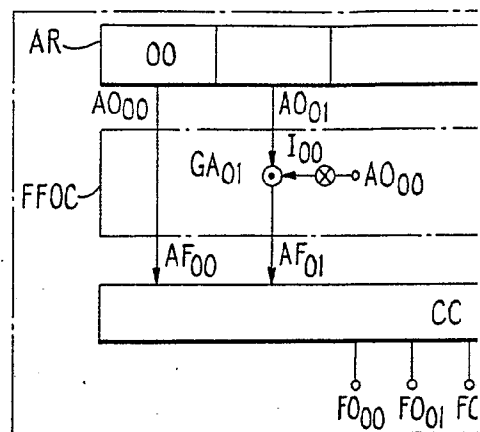


FIG. 2

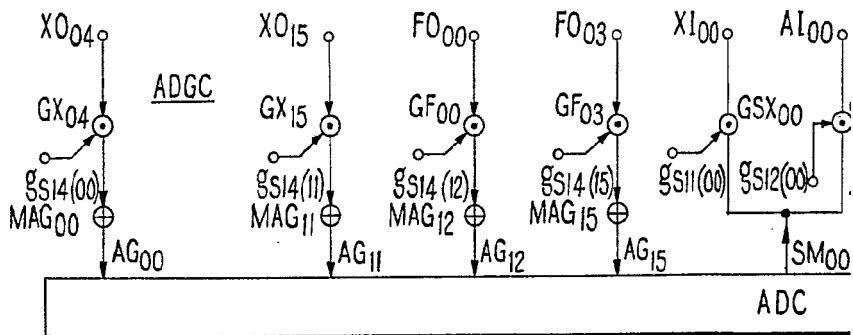


FIG. 3



409420

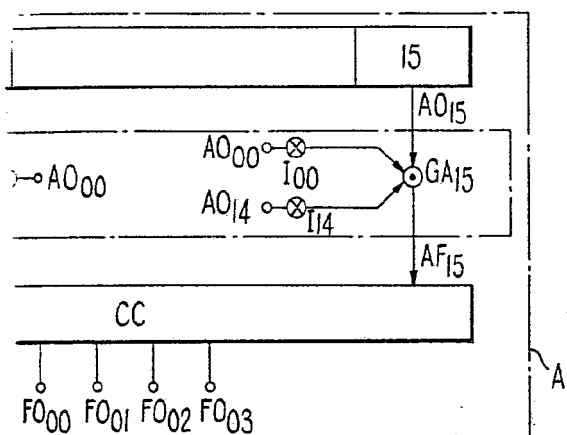


FIG.2

7 DIC 1972

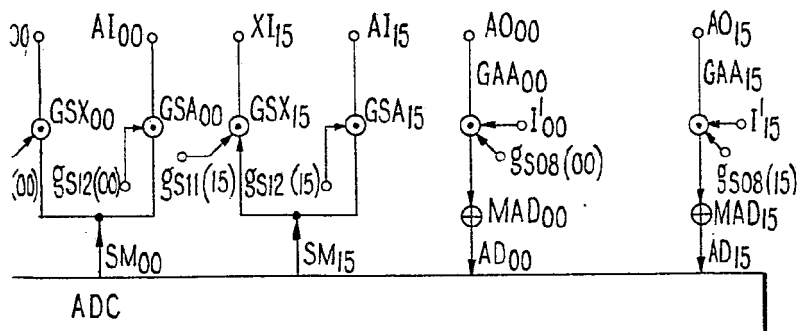
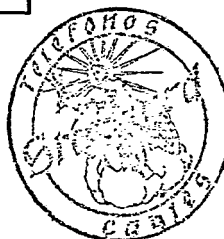


FIG.3



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL