



409377

00377

Ec. 6-2-77

Int. Cl.: G06F

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN ESPAÑA
POR: "MEJORAS EN LOS SISTEMAS DE TRANSFERENCIA DE DATOS ENTRE ME-
MORIA DE ACCESO DIRECTO Y TAMBOR MAGNETICO O MEMORIA DE ALMACENA-
JE SIMILAR", A NOMBRE DE STANDARD ELECTRICA S.A., DOMICILIADA EN
MADRID, CALLE DE RAMIREZ DE PRADO Nº 5.

El invento se refiere a mejoras en un sistema de transferencia de datos entre memoria de acceso directo y tambor magnético o memoria similar que aumenta considerablemente la eficiencia y fluidez en la transferencia de datos.

5 El sistema de transferencia incluye, en particular:
un tambor magnético o memoria similar donde un sistema de registro pasa continuamente bajo las cabezas de registro y lectura; medios para dividir longitudinalmente este sistema de registro en diferentes longitudes denominadas sectores. Dichos medios in-
10 cluyen un contador de sector que indica, en cualquier momento, el número del sector presente bajo las cabezas de registro y reproducción; una memoria de acceso directo que contiene una ta-



bla de sector donde existe un elemento de memoria por cada uno de los sectores, a fin de registrar un ítem de información designando una requisición de transferencia encaminada a este sector, un sitio de almacenaje asignado a cada sector particular, así como para formar un archivo de colas de las requisiciones de transferencia encaminadas a ese sector, lo cual hace posible la fácil clasificación de las requisiciones de transferencia por su orden cronológico, así como para encontrar fácilmente la requisición más retrasada y que debe ser procesada. Los sistemas para buscar una transferencia se actúan cuando se completa una de ellas y cuando se presenta el principio de un sector bajo las cabezas de registro y lectura, a fin de leer, en la tabla de sector, el elemento de la memoria asignado al sector considerado y designado por la posición del contador de sector. La información obtenida de esta manera se emplea para una requisición de transferencia encaminada a ese sector, esto es, después de haberse completado una transferencia, puede empezar una nueva al principio del sector siguiente, si se ha encaminado una requisición de transferencia a este sector, o al comienzo del sector siguiente al que se ha encaminado la requisición de transferencia.

La memoria de acceso directo incluye, además, un elemento de servicio para registrar, cuando se ha completado una transferencia, elementos de información binaria denominados grupos de dígitos binario (bytes) de retorno. Este byte de retorno indica, principalmente, el número del sector que corresponde a la transferencia procesada en ese momento. Simultáneamente al registro del byte de retorno se suministra una señal de final de transferencia. En respuesta a esta señal, el sistema que emite la requisición de transferencia consulta el elemento de servicio para obtener el número del sector en el que está contenido, re-

409377

3.



firiéndose a la tabla de sector, para determinar qué requisición de transferencia se ha procesado en ese momento.

Así, en el caso de que el sistema que emite la requisición de transferencia es un computador de programa almacenado, la señal de final de transferencia es una requisición de interrupción. El computador debe interrumpir el programa en curso para llevar a cabo un determinado programa dispuesto para responder a la interrupción requerida por la unidad de tambor. Sin embargo, el computador puede estar ocupado por un programa más urgente. En consecuencia, el elemento de servicio que permanece ocupado y la tabla de sector que no está actualizada, existen sistemas de bloqueo para impedir que la unidad de tambor emprenda una nueva transferencia. Esto tiene el riesgo de causar una pérdida de tiempo a la unidad de tambor, de no ser que sus interrupciones tengan prioridad. Entonces, estas interrupciones tienen el riesgo de impedir el funcionamiento del computador. De todas formas, el computador debe encontrar una interrupción por cada transferencia realizada, lo cual implica una pérdida de eficacia, dado que cualquier interrupción implica operaciones de servicio (protección y recogida de datos del programa interrumpido).

El objeto del presente invento se refiere a modificaciones del sistema de transferencia para evitar estos inconvenientes. Estas modificaciones son muy sencillas y económicas.

Según una característica de este invento, existe un sitio en la memoria de acceso directo para almacenar los bytes de retorno de diversas transferencias sucesivas en forma de un archivo de cola. Existen medios en la unidad de tambor para acceder sucesivamente a los elementos de esta cola y para escribir un byte de retorno al final de cada transferencia. En el sistema

409 377

4.



de proceso de datos, sistemas, que arrancan periódicamente, permiten el acceso a este archivo de cola, la lectura de los diferentes bites de retorno del mismo y el proceso requerido para cada uno de ellos. La periodicidad del arranque de los sistemas
5 de acceso al archivo de cola es, como máximo, igual a la duración de una revolución del tambor. De esta manera, se evita proceder varias veces a la ejecución de una misma transferencia.

Otra característica del invento está en que la memoria de acceso directo incluye, además, dos elementos de memoria:
10 una actúa como un contador de escritura y almacena un ítem de información que define la dirección de un elemento del archivo de cola que contiene el bit de retorno de la última transferencia realizada; el otro elemento actúa como un contador de lectura
15 y almacena un ítem de información que define la dirección de un elemento del archivo de cola que contiene el bit de retorno leído en ese momento. La unidad de tambor incluye medios que dan acceso a estos contadores y, en particular, para ejecutar la diferencia entre las posiciones de ambos contadores. El ítem de información así leído hace posible obtener el número de bits de
20 retorno escritos en el archivo de cola y que debe leerse por la unidad de proceso de datos.

Otra característica de este invento se refiere a que, con la unidad de tambor está asociada una interrupción, biestable, que se dispara al final de una primera transferencia,
25 y un desvanecedor biestable que impide, en su posición activa, que la llamada de la interrupción biestable se dirija hacia el computador.

Esta disposición facilita que el sistema de transferencia proceda a la ejecución de diversas transferencias consecutivas y almacena los bits de retorno correspondientes en los dife-
30

409 377

5.



rentes elementos de memoria del archivo de cola, mientras que el computador no tiene en cuenta la requisición de interrupción.

Otra característica del invento se refiere a que el computador incluye un reloj de impulsos, los cuales se utilizan para disparar el desvanecedor biestable en intervalos de tiempo iguales, como máximo, a una revolución completa del disco; por tanto, el programa en proceso recibe alrededor de una señal de interrupción por revolución del disco, y durante esta interrupción, el bloque de programa procesa todos los bites de retorno contenidos en el archivo de cola.

Podrán deducirse otras características de la siguiente descripción, que se da a modo de ejemplo no limitativo, y que hace referencia a los dibujos que se acompañan, y en los cuales:

-La Fig. 1 es un diagrama bloque de un sistema de proceso de datos que hace uso del sistema de transferencia, según el presente invento;

-La Fig. 2 es la representación de una memoria ME según la Fig. 1, que muestra los sitios de almacenaje empleados en una configuración del invento;

-La Fig. 3 es el diagrama detallado del funcionamiento de una configuración particular del bloque de tambor de la Fig. 1;

-La Fig. 4 es un diagrama de flujo que resume el funcionamiento detallado del bloque de tambor de la Fig. 3;

-La Fig. 5 es un diagrama de flujo que resume algunas de las operaciones realizadas por la unidad de procesos de datos, según el presente invento.

Primeramente, y con referencia a las Figs. 1 y 2 describiremos el proceso de funcionamiento general de un sistema de proceso de datos que incluye una memoria de acceso directo y

409377

6.



una memoria de tambor magnético, y en el cual se aplica un sistema de transferencia según el presente invento.

El diagrama de la Fig. 1 representa los elementos esenciales de dicho sistema, y que son: la unidad de proceso
5 de datos o bloque de programa BP, la memoria de acceso directo ME y la unidad de tambor magnético TB.

El bloque de programa BP es un equipo de control y cómputo que lee las instrucciones de un programa registrado en la memoria ME y aplica estas instrucciones a los datos, conteni-
10 dos también en la memoria ME, o a la información suministrada por las unidades periféricas PER. Los resultados así obtenidos por el bloque de programa BP se escriben en la memoria ME o toman la forma de órdenes dadas a las unidades periféricas PER. Tal asociación de un bloque de programa con una memoria de acceso
15 directo constituye un computador bien conocido, y no será descrito con más detalle.

La memoria ME es de núcleos de ferritas, de tipo bien conocido. En cada una de sus direcciones puede registrar un grupo de elementos binarios denominados "bit". Para leer un bit
20 en la memoria, es suficiente suministrar la dirección de donde se encuentra almacenado y una orden de lectura por el canal de dirección ca. El bit requerido aparece en el canal de datos cd. La escritura de un bit en la memoria se realiza de modo similar; suministrando una dirección y una señal de escritura por el canal
25 de dirección ca, y el bit que ha de registrarse por el canal de datos cd.

La unidad de tambor magnético TB incluye el tambor propiamente dicho TA, los circuitos de tambor CT y un bloque de tambor BT. El tambor TA, junto con sus circuitos de control
30 CT constituyen un sistema bien conocido, que no será descrito con

1409377

7.



más detalle.

El bloque de tambor BT contiene los circuitos lógicos que controlan la ejecución de las transferencias de datos entre la memoria ME y el tambor TA. Incluye, en particular, circuitos de acceso CAM a la memoria ME, un equipo para obtener y registrar requisiciones de transferencias EDT y un equipo de final de transferencia EFT.

El equipo EDT incluye un contador de sector CS. El equipo de final de transferencia EFT incluye, principalmente, un contador de escritura CE y dos biestables DIBT y MTB.

La Fig. 2 es una representación de la memoria de la Fig. 1, dada como ejemplo del invento. Se han representado tres áreas de almacenamiento TS, Dt y RT. El área TS es una tabla de sector. Incluye tantas direcciones TSO, TS1, TS_n como sectores existen en el tambor TA. El área DT se utiliza para registrar requisiciones de transferencias. Está dividida en $n+1$ células de almacenaje DTO, DT1, DT_n, una por cada sector del tambor. Cada una de estas células incluye diversos elementos de memoria tales como DT01, DT02 para la célula DTO, DT11, DT12 para la célula DT1, etc. A cada uno de estos elementos de memoria corresponden diferentes direcciones dispuestas para recibir los bits que constituyen una requisición de transferencia. El área RT se emplea para registrar los bits de retorno. Está dividida en $m+1$ elementos de retorno CFT0, CFT1, CFT_m en los que se almacenan los bits de retorno de las transferencias sucesivas y en la dirección dada por el contador de escritura CE del bloque de tambor BT de la Fig. 1. La memoria ME incluye también dos elementos de memoria CCE y CCL. El primero de ellos se utiliza para registrar la posición del contador CE del equipo EFT del bloque de tambor BT. El segundo se utiliza por el bloque de pro-

1409377

8.



grama BP como contador de lectura del archivo de cola RT.

Describiremos seguidamente el proceso general de funcionamiento del sistema de transferencia de datos entre la memoria ME y la unidad de tambor magnético TB.

5 Cada vez que el bloque de programa BP necesita los datos registrados en el tambor TA, se forma una requisición de transferencia. Esta requisición define, en particular, el número del sector donde comienza la transferencia, la longitud y la dirección de dicha transferencia.

10 La requisición de transferencia realizada de esta manera se registra por el bloque de programa BP, en el primer elemento de memoria libre de la célula entre DTO a DTm, que corresponde al sector en cuestión.

15 Cuando el comienzo de un sector llega bajo las cabezas de registro y lectura, se detecta una señal de comienzo de sector por los circuitos CT, la cual se transmite al bloque de tambor BT. El contador de sector avanza un paso y presenta el número de sector. Simultáneamente, si la unidad TB está disponible, la requisición de transferencia opera el equipo EDT.

20 En una primera etapa de funcionamiento, el equipo EDT provoca que el circuito CAM lea el elemento de memoria (TS1, por ejemplo), asignado en la tabla TS, al sector en cuestión. La información leída es la dirección del elemento de memoria que ha de consultarse a fin de obtener la primera requisición de transferencia dirigida a este sector (dirección del elemento DT11, por ejemplo). En este elemento, el circuito CAM encuentra el primer bit de la requisición de transferencia, y lo envía al equipo EDT. De manera similar se leen y envían los otros bits de la requisición de transferencia al equipo EDT.

30 En ese momento puede comenzar la transferencia.

409377

9.



Una vez que se ha completado la transferencia, el bloque de programa debe ser informado de este hecho. Indudablemente, la transferencia a realizar deb  elegirse entre varias de ellas, en funci3n de la posici3n angular del disco.

5 A este fin, se procede a registrar una indicaci3n en la memoria ME; esta indicaci3n est  contenida en un bit de retorno, e incluye, principalmente, el n mero del sector donde ha empezado la transferencia.

Seg n este invento, existe, en la memoria ME, diferentes direcciones para recibir estos bits de retorno, a fin de realizar diversas transferencias sucesivas sin necesidad de esperar. Por conveniencia, estas direcciones son consecutivas. El contador de escritura CE del equipo EFT de final de transferencia, suministra estas direcciones sucesivas ; dicho contador
10 avanza un paso al final de cada transferencia; posee tantas posiciones como elementos de retorno tiene el archivo de cola RT(m+1, en el ejemplo elegido). La posici3n de este contador CE se registra, para cada transferencia, en un elemento de memoria CCE, con vistas a informar, a la unidad de proceso de datos, del nivel ocupado en el archivo de cola.
15
20

La informaci3n as  suministrada por el contador CE se emplea para escribir un bit de retorno en un elemento de retorno, por ejemplo CFTO, del archivo de cola RT. La posici3n del contador, que designa el elemento de retorno CFTO, se registra
25 en el elemento de memoria CCE.

Adem s, y a fin de informar al bloque de programa que se ha realizado una transferencia por lo menos, al final de cada transferencia, un control tiende a situar una biestable requisici3n de interrupci3n. Este biestable, situado en el equipo de final de transferencia EFT, se denomina DIBT.
30

409377

10.



Sin embargo, un biestable de interrupción, denominado MTB, hace posible que el bloque de programa tenga en cuenta la requisición de interrupción solamente si está disponible para esta tarea.

5 Después de esta primera transferencia, la unidad de tambor TB queda disponible para realizar una nueva transferencia tan pronto comienza el siguiente sector. El bit de retorno correspondiente será registrado en el elemento de retorno siguiente CFTI del archivo de cola RT, el contador CE habrá avanzado
10 un paso, y su nueva posición será registrada en el elemento de memoria CCE, en lugar del anterior. Pueden realizarse diferentes transferencias antes de que intervenga el bloque de programa BP.

 Sin embargo, cuando el tambor ha completado una
15 revolución desde el comienzo de la primera transferencia, el bloque de tambor recomienza la primera transferencia. Para evitar esto, existen medios en el bloque de programa para descubrir la posible requisición de interrupción al menos una vez por revolución completa del tambor.

20 En la unidad de proceso de datos BP, la requisición de interrupción transmitida por el conductor ft, procedente del bloque del tambor, provoca la interrupción del proceso en curso y el comienzo de un final de transferencia del disco, antes de lo cual, el bloque de programa BP reasumirá el proceso interrumpido.
25

 Este programa de final de transferencia del disco proporciona la comparación de la posición del contador de escritura CE almacenado en el elemento de memoria CCE y da la dirección del último elemento de retorno localizado, con la dirección
30 del último elemento de memoria leído, almacenado en el elemento

409 377

11.



de memoria o contador CCL. La diferencia entre estos dos valores da el número de elementos de memoria ocupados y, consecuentemente, el número de bits de retorno que debe manejar el programa.

De acuerdo con el ejemplo elegido, se supone que el
5 contador CCL suministra la dirección del elemento de retorno
CFTm del archivo de cola RT y que el elemento de memoria CCE designa el elemento CFTl. Restando el módulo m , el bloque de programa calcula el número de bits de retorno que deben manejarse
(2) y, avanzando un paso el contador CCL, se obtiene la dirección del primer elemento de retorno que debe leerse. En el ejemplo elegido, este elemento es el CFTO.
10

Del bit de retorno leído en el elemento de retorno CFTO, el programa de final de transferencia actualiza la tabla de sector y procede a todas las operaciones útiles. Entonces,
15 como ha de manejarse un segundo bit de retorno, el contador CCL avanza un paso, que da la dirección del siguiente elemento de retorno en el archivo de cola RT, esto es, el CFTl. El bloque de programa encuentra en el elemento CFTl el bit de retorno de la segunda transferencia realizada, y procede como se ha visto
20 anteriormente.

Se recurre al programa de final de transferencia tantas veces como bits de retorno deben manejarse, de acuerdo con la diferencia indicada anteriormente. Los bits de retorno almacenados en los elementos de retorno CFTO y CFTl han sido
25 procesados. Las posiciones de los contadores CE y CCL almacenadas en el elemento de memoria CCE dan la dirección del elemento de retorno CFTl. Este elemento es el último que ha recibido un bit de retorno y el último elemento leído en el momento de la interrupción.

30 La unidad de proceso de datos BT vuelve entonces al

1409377



programa interrumpido.

Refiriéndonos a las Figs. 3 y 4 describiremos seguidamente una configuración del bloque de tambor de la Fig. 1.

5 En el bloque de tambor de la Fig. 3 se encuentra el circuito de acceso CAM a la memoria ME mediante el canal de dirección ca y el canal de datos cd, el equipo EDT de búsqueda y registro de la requisición de transferencia y el equipo EFT de transferencia, de la Fig. 1.

El circuito de acceso de memoria, CAM, incluye un
10 biestable PR que envía una señal de llamada por el conductor pr del canal de dirección ca hacia la memoria ME; y un biestable IN que envía una señal de requisición de escritura por el conductor in del canal de dirección ca. El circuito CAM incluye también un registrador MT donde está escrito el bit de lectura de
15 la memoria ME, y un registrador de dirección CF donde está escrita la dirección que ha de seleccionarse en la memoria ME.

Este registrador CF puede ser puesto en índice por impulsos enviados a través de su entrada +1.

Cuando el bloque del tambor BT deba leer un bit fuera de la memoria ME, la dirección se escribe en el registrador
20 CF, y se actúa el biestable PR. Este último envía una señal de llamada por el conductor pr del canal de dirección ca hacia la memoria ME, mientras que la dirección mostrada por el registrador CF se transmite por los conductores AD. La memoria ME
25 realiza la operación de lectura requerida y suministra un bit por los conductores ISM del canal de datos cd. Este bit se escribe en el registrador MT. Cuando se completa el proceso de lectura, la memoria ME suministra una señal de final de operación por el conductor fm. El biestable PR se desconecta para detener
30 la llamada a la memoria ME.

409377



Cuando el bloque de tambor BT deba registrar un bit en la memoria ME, la dirección se escribe en el registrador CF, el bit que debe registrarse se escribe en el registrador MT y se actúan los biestables PR e IN. La dirección aparece por los conductores AD y el bit por el conductor IS. Una vez que se ha completado el proceso de escritura, la memoria ME suministra una señal de final de operación por el conductor fm. Los biestables PR e IN se desconectan.

El equipo EDT de búsqueda y registro de la requisición de transferencia incluye un distribuidor de tiempo DT, un circuito secuencial SQ, tres registradores IT, NT y D, un contador de sector CS y un contador de palabra CM.

El distribuidor de tiempo DT suministra series de impulsos de reloj t1, t2, t3, t4 y t5. La producción del primer impulso de una serie está condicionada por la etapa alcanzada en las operaciones en curso; está representado simbólicamente por el control dc. Los demás impulsos son generados automáticamente (los circuitos que generan estos impulsos pueden ser una cadena de monoestables, cada uno de ellos disparado por el flanco posterior del impulso generado por el monoestable que le precede).

El circuito secuencial SQ puede ser una cadena de biestables operando uno después del otro según una secuencia definida por el diagrama de flujo de la Fig. 4.

El registrador IT registra la dirección inicial de una requisición de transferencia; esta dirección incluye el número de pista NP, el número de sector NS y el número de palabra NM del comienzo de transferencia.

El registrador registra un bit que da el número de palabras (NMB) de la transferencia requerida. Su contenido reduce en una unidad en cada transferencia de palabra, mediante una señal apli-



cada a una entrada señalada por "1".

El registrador NT registra también un bit DT que indica la dirección de la transferencia que ha de realizarse.

El registrador D es un registrador de conversión que
5 hace posible las conversiones paralelo-serie y serie-paralelo
necesarias en las transferencias de datos en las direcciones memoria-tambor y tambor-memoria, respectivamente. Las transferencias con la memoria ME se realizan mediante bits en paralelo, mientras que las transferencias con el tambor TA se realizan en
10 serie, bit a bit.

El contador CS da el número del sector presente bajo las cabezas de registro y lectura. Dicho contador avanza bajo el control de una señal aplicada al conductor cm.

El equipo EFT de final de transferencia incluye un
15 biestable DIET en posición 1 al final de una transferencia; el biestable DIET en posición 1 suministra una señal de llamada por el conductor f't a una puerta ptl; esta puerta es una AND. La otra entrada de la puerta ptl se conecta a un biestable MTB, mediante el conductor mi. Esta puerta suministra una señal de
20 requisición de interrupción por el conductor ft si ambos biestables DIET y MTB están conectados. El biestable MTB se conecta por una señal que aparece por el conductor hg cuando el bloque de programa está listo para aceptar una interrupción solicitada por la unidad de tambor, y se desconecta mediante una señal que
25 aparece sobre el conductor hg.

El contador cíclico CE tiene tantas posiciones como elementos tiene el archivo de cola RT (fig. 2) de la memoria ME, $m+1$ en el ejemplo elegido, Entre dos transferencias, dicho contador suministra la dirección en la que debe registrarse el bit
30 de retorno de la transferencia siguiente, como se verá más adelante.

1409377



te.

Cada función del bloque de tambor BT, caracterizada por una posición del circuito secuencial SQ, está representada por un rectángulo en el diagrama de flujo de la Fig. 4.

5 La primera posición del circuito secuencial SQ es la de reposo REP: en la que no existe transferencia en curso, el tambor gira y se actúan los contadores CS y CM. Al comienzo de un sector, la señal cs, en combinación con la posición REP, produce una señal de reposición general de los biestables y regis-
10 tradores y arranca el distribuidor de tiempo DT. Este último produce una serie de impulsos de reloj t1, t2, t3, t4 y t5. Se vera más adelante que el impulso t2 controla también el paso del circuito secuencial SQ a la posición siguiente; el impulso t3, que es el primero de cada función, proporciona simplemente un
15 retraso para la preparación de los circuitos no activos.

El impulso t2 hace pasar al circuito secuencial SQ de la posición REP a la ATS; en esta posición, la información leída en la tabla de sector se escribe en el registrador MT.

A este fin, el contenido del contador de sector CS, aumentado por una constante CT1, se transfiere al registrador
20 CF. La constante CT1 es la dirección inicial (primera dirección) de la tabla TS en la memoria ME. La adición del valor suministrado por la posición del contador CS define la propia dirección del sector del tambor cuyo comienzo se presenta bajo las cabezas
25 de lectura/registro.

El biestable PR está conectado para enviar una llamada a la memoria ME. Simultáneamente, la información escrita en el registrador CF aparece por los conductores AD del canal ca.

La operación de lectura tiene lugar tan pronto como
30 la memoria ME está disponible, y la información leída aparece por



los conductores ISM del canal de datos cd. Esta información se
escribe en el registrador MT. Simultáneamente con esta informa-
ción, la memoria ME suministra una señal por el conductor fm.
Esta señal se emplea para poner nuevamente en marcha el distri-
buidor de tiempo DT, el cual comienza un nuevo ciclo. Al mismo
5 tiempo, se repone el biestable PR.

El contenido del registrador MT se transfieren al
registrador CF. La continuación de la operación depende de la
información leída en la tabla TS. Si esta información es "todo
10 0" (no existe requisición de transferencia), el impulso t2 hace
que el circuito secuencial pase a la posición REP. Este caso
se representa en la Fig. 4 por la línea TR, entre los rectán-
gulos ATS y REP. De otro modo, el circuito secuencial pasa a
la disposición ADF. El biestable PR actúa para requerir una
15 nueva operación de lectura a la memoria ME. La dirección que
muestra el registrador CF es la leída en la tabla TS, esto es,
la primera dirección del elemento de memoria que contiene la
primera requisición de transferencia dirigida a este sector.
Se realiza la lectura y se escribe en el registrador MT el pri-
20 mer bit de la requisición de transferencia. El distribuidor DT
arranca de nuevo, como anteriormente, y el biestable PR se des-
conecta. El siguiente impulso t2 hace que el circuito secuencial
pase a la posición CIT.

El contenido del registrador MT se tranfiere al re-
25 gistrador IT. El número de pista NP contenido en esta informa-
ción se envía inmediatamente a los circuitos de tambor CT a
través de los conductores ITP, y el número de palabra NM se en-
vía a un circuito de comparación COM; este último recibe también
el número suministrado por el contador CM.

30 La dirección contenida en el registrador CF se au-

409377

17.



menta en una unidad (control+1) a fin de preparar la lectura de la siguiente dirección.

Después de la llamada a la memoria por el biestable PR, se lleva a cabo la lectura de la dirección suministrada por el registrador CF, y el siguiente bit de la requisición de transferencia se escribe en el registrador MT. Este bit incluye el número de palabras NMB que deben transferirse, así como el bit DT que da la dirección de transferencia. Al final de la lectura, el distribuidor de tiempo DT se vuelve a poner en marcha; el biestable PR se desconecta y el impulso t2 hace que el circuito secuencial SQ avance a la posición CNT.

Estando el circuito secuencial en la posición CNT el contenido del registrador MT (número de palabras que han de transferirse y dirección de transferencia) se carga en el registrador NT. La adición de una unidad al contenido del registrador CF se realiza de modo semejante a como en el caso anterior, a fin de preparar la lectura de la siguiente dirección. Se conecta el biestable PR para llamar a la memoria ME. Se realiza la lectura de la dirección suministrada por el registrador CF; y el último bit de la requisición de transferencia se escribe en el registrador MT. Al final de la lectura, se pone en marcha nuevamente el distribuidor DT; el biestable PR se repone, así como el registrador CF; el impulso t2 controla la progresión del circuito secuencial SQ a la posición CCF.

Mientras que el circuito secuencial SQ está en la posición CCF, el último bit del registrador MT se transfiere al registrador CF. Este bit da la dirección de la primera palabra que debe leerse en la memoria ME y transferida al disco TA, suponiendo que la transferencia deba hacerse de la memoria al tambor. El distribuidor de tiempo DT arranca de nuevo y el impulso

14093

18.



t2 controla la progresión del circuito secuencial SQ a la posición PET.

Estando el circuito secuencial en la posición PET se actúa el biestable PR para llamar a la memoria ME a fin de proceder a leer la dirección dada por el registrador CF. Se realiza dicha lectura y se transfiere el primer bit al registrador MT. El biestable PR se repone.

El distribuidor DT no ha arrancado nuevamente al final de la lectura.

El circuito secuencial SQ permanecerá en la posición PET durante todo el tiempo de la transferencia.

El circuito de comparación COM envía una salida eg cuando los valores mostrados por el contador de palabra CM y la parte NM del registrador IT son iguales; el primer bit que debe transferirse pasa entonces del registrador MT al registrador D. El primer bit de este bit aparece inmediatamente por el conductor IET, en dirección a los circuitos del tambor CT. El registrador D recibirá, entonces, los impulsos de cambio, por un circuito no representado, y suministrará, sucesivamente, los bits de este primer bit, por el conductor IET.

En otro aspecto, con el propósito de dirigir el segundo bit que debe transferirse, el contenido del registrador CF se aumenta en una unidad; esta operación está precedida por la substracción (control-1) del contenido del registrador NT (parte NMB, a fin de que, este último indique el número de bits que restan de ser transferidos después de la transferencia del primer bit).

El biestable PR se actúa a fin de llamar a la memoria para un proceso de lectura. La dirección viene dada por el registrador CF.

1409377

19.



Cuando se ha realizado la lectura del bit requerido, se escribe en el registrador MT y el biestable PR se repone.

Cuando el registrador D contiene solamente un bit del primer bit, el siguiente impulso de cambio provoca la transferencia del segundo bit desde el registrador MT al registrador D. En este momento, es requerido el tercer bit como anteriormente, y el contenido del registrador NT disminuye nuevamente en una unidad.

La transferencia se realiza de este modo. Se ha visto que el contador NMB retrocede un paso, la primera vez, al principio de la función PET, justo en el momento en que se está leyendo el segundo bit. Consecuentemente, el valor indicado por NMB es siempre de una unidad más elevado. Así, después de llamada del último bit, el valor de NMB es 1.

En ese momento, el registrador NT suministra la condición fdt de final de transferencia; y no se efectúa llamada a la memoria MEZ. Además, esta señal de final de transferencia pone en marcha el distribuidor de tiempo DT y el impulso t2 controla que el circuito secuencial SQ pase a la posición CCR.

En la Fig. 4 se ha representado una tabla asociada con el rectángulo CCR. En esta tabla están detalladas las operaciones realizadas durante la función CCR. Esta tabla incluye, de izquierda a derecha, la referencia de la posición del circuito secuencial SQ(CCR), los números de línea (1 a 5), las condiciones lógicas básicas que determinan la realización de las operaciones, los tiempos durante los cuales se realizan estas operaciones y la lista de las mismas.

Estando el circuito secuencial en la posición CCR, el impulso t4 (línea 1), controla la escritura de una constante CT3 en el registrador CP. Esta constante es la dirección del

409377



elemento de memoria CCE de la memoria ME. El impulso t4 controla también la transferencia del contenido del contador CE al registrador MT. El impulso t5 (línea 2) controla la actuación a la posición 1 de los biestables PR e IN, a fin de llamar a la memoria ME para una operación de escritura.

Cuando la escritura se ha realizado, se anota ins, por la línea 3 de la tabla CCR. Esta señal transfiere el contenido del registrador MT, que es la posición del contador de escritura CE, al elemento de memoria CCE de la memoria ME. La señal de final de operación suministrada por la memoria sobre el conductor fm pone en marcha el distribuidor de tiempo DT, el cual envía el impulso t1 (línea 4). Este impulso repone el biestable PR para que cese la llamada a la memoria. También se repone el biestable IN.

De este modo, la fase de operación CCR, ha hecho posible la escritura en el elemento CCE de la memoria ME, de una indicación que define la dirección en la que se escribirá el bit de retorno de la transferencia completada en ese momento.

El impulso t2 (línea 5) controla que el circuito secuencial pase a la posición INP, reponiendo el biestable CCR y actuando el biestable INP.

Estando el circuito secuencial en la posición INP, el impulso t4 controla que el contenido del contador CE, aumentado en una constante CT2, sea escrito en el registrador CF. Esta constante es la dirección del primer elemento CFTO del archivo de cola RT de la memoria ME. El contenido del contador CE es el número de un elemento CFTk del archivo de cola RT, designado para recibir el bit de final de transferencia. El impulso t4 (línea 1) controla también la transferencia del valor NS del registrador IT en el registrador MT. Este valor es

409377

21.



el número del sector en donde comenzó la transferencia. Esta información hará posible que el sistema de proceso de datos, empleando el tambor, encuentre toda la información que se relaciona con la transferencia recién manejada, también puede conocer que la transferencia requerida ha sido realizada. El sistema de proceso de datos usará también esta información para actualizar la tabla de sector TS (Fig. 2), escribiendo en la misma la dirección de un elemento de memoria que contiene la primera requisición de transferencia que espera para este sector. Entonces se actúa el biestable PR a fin de llamar a la memoria ME, mientras que se actúa también el biestable IN.

Cuando se ha realizado la escritura se anota ins sobre la línea 3 de la tabla INP. Esta señal transfiere el contenido del registrador MT, que es la información NS, al elemento de retorno CFTk del archivo de cola RT, cuya dirección en la memoria ME se muestra por el registrador CF. La señal de final de operación suministrada por la memoria sobre el conductor fm, controla la puesta en marcha del distribuidor de tiempo DT, el cual envía el impulso t1 (línea 4). Este impulso repone el biestable PR a fin de cesar la llamada a la memoria. También se repone el biestable IN.

El impulso t2 (línea 5) controla la progresión del circuito secuencial SQ a la reposición (REP), reponiendo el biestable INP y actuando el biestable REP. Este impulso también hace que el contador CE avance a la posición siguiente.

En ese momento se actúa el biestable DIBT del equipo EFT de final de transferencia, y envía una señal a la puerta pt1 a través del conductor f't.

Si el biestable MTB del equipo EFT está en la posición 0, estando la puerta pt1 (AND) inhabilitada, no aparece

400377



señal por el conductor ft y el bloque del tambor BT, vuelto a su posición inicial, espera a que el sector siguiente se sitúe al comienzo del proceso de operación descrito anteriormente. Entonces, las transferencias sucesivas cargan los bits de retorno en el archivo de cola RT, en las direcciones sucesivas CFT_{k+1} , CFT_{k+2} , etc.

Durante cierto tiempo, inferior al que necesita el disco para completar una revolución, un reloj de la unidad de proceso de datos BP envía una señal en forma de un impulso transmitido por el conductor hg. Este impulso actúa el biestable MTB del equipo EFT. La puerta ptl, cuyas entradas están en "1" se hace conductora y se transmite una señal de interrupción de alto nivel de prioridad al bloque del programa BP, a través del conductor ft. Esta señalización detiene el proceso en curso y provoca una transferencia de final del tambor para la realización de un subprograma.

Describiremos seguidamente, haciendo referencia a la Fig. 5, un ejemplo de las operaciones realizadas por la unidad de proceso de datos, según el presente invento, a fin de tener en cuenta la información que concierne al manejo de diferentes transferencias.

Un reloj del bloque de programa envía una señal en forma de un impulso por el conductor hg. Este impulso, durante un corto período, actúa el biestable MTB, que se representa por $1 \rightarrow MTB$.

Si no se ha realizado transferencia, el biestable DIBT ha permanecido en la posición 0. La puerta ptl está bloqueada. En el punto de decisión C1, no llega la requisición de interrupción al bloque del programa, lo que queda señalado por INT, y el final del programa de final de transferencia es FI.

409377

23.



Si se ha realizado por lo menos una transferencia, se ha actuado el biestable DIBT. Una requisición de interrupción ha alcanzado el bloque del programa, que viene señalado por INT.

5 La unidad de proceso de datos BP procede a la lectura del contenido de los elementos de memoria CCE y CCL y calcula la diferencia entre ambos valores leídos, sea CB esta diferencia. Se ha visto anteriormente, que por lo menos, se ha realizado una transferencia. De esta manera, CB, que da el número de bits de retorno que deben ser procesados, es diferente de cero.

10 El bloque de programa procede entonces a poner en índice el contenido del elemento de memoria CCL. Este proceso indica como $+1 \rightarrow (CCL)$. La nueva dirección obtenida de esta manera es la dirección del primer elemento de memoria que debe leerse. El mismo se almacena en el elemento de memoria CCL, siendo
15 indicada dicha operación por $(CCL) \rightarrow ME$. Se procede entonces a la lectura del bit de retorno contenido en el elemento de retorno del archivo de fila RT, cuya dirección se ha determinado previamente. Este elemento de retorno está situado inmediatamente después del último elemento de retorno, de la fila RT, que ha
20 sido vaciada durante la última interrupción del programa. También es el primer elemento de memoria en el que se ha cargado un bit de retorno desde esta interrupción. Como se ha visto anteriormente, este elemento es el elemento de retorno CFTk.

Una vez que se ha realizado la lectura del bit de
25 retorno (denominado LCR) de este elemento, se ejecuta el programa de final de transferencia (PIBT). Este programa, en particular, actualiza la tabla del sector TS.

La unidad de proceso procede entonces a la substracción de una unidad al número de bits CB que deben ser considerados $(-1 \rightarrow CB)$.
30

409577

24.



Si se ha realizado más de una transferencia desde la última interrupción, el valor de CB es diferente de cero y el programa pasa a la función durante la cual se agrega una unidad al contenido del elemento de memoria CCL.

5 Cuando se han procesado todos los bits de retorno, la operación -1 CB cancela este valor. La unidad de proceso de datos procede entonces a través del conductor rz, a la reposición del biestable DIBT del equipo EFT del final de transferencia (indicado por 0 DIBT) y siendo la salida FI, final de interrupción, el bloque del programa resume el programa interrumpido. En este caso, la información almacenada en los elementos de memoria CCL y CCE dan la dirección del elemento CFTr, por ejemplo. Este elemento ha sido el último leído durante la interrupción del programa.

15 No sera detallado el funcionamiento del bloque de tambor BT para una transferencia en la dirección opuesta, estando indicada la dirección de transferencia, en el segundo bit de una requisición de transferencia, por el valor de un bit (DT) escrito en el registrador NT durante la función CNT. El funcionamiento del bloque de tambor BT es el mismo que el descrito para la función CCF. El bloque de tambor BT realiza la operación PLT (fase de lectura del tambor) en la que los diferentes elementos binarios de información se leen en la pista, que se designa por la información NP se presentan sucesivamente por los circuitos
20 CT en el conductor ILT y pasan al registrador D, por cambio, siendo además, transferido cada bit al registrador MT antes de ser escritos en la memoria ME.

 El circuito secuencial SQ avanza a la posición para cargar en la dirección del bit de retorno (CCR) y a la posición de interrupción (IN) como antes. La función INP como en la
30

409577

25.



transferencia memoria-disco, se emplea para almacenar el número de sector NS en un elemento de memoria de final de transferencia de la fila RT, tal como CFTj.

5 El sistema descrito anteriormente presenta la ventaja de reducir el número de interrupciones de programa, que siempre representan un importante gasto de tiempo, en particular, el tiempo para protección y recomposición de datos durante el proceso. Se ha supuesto que el enmascaramiento de la requisición de interrupción se suprimió, aproximadamente, una vez
10 por revolución del disco.

En este caso, es necesario que la capacidad del archivo de cola RT de la memoria ME sea suficiente para que sean almacenados los bits de retorno de las transferencias realizadas durante una rotación completa del tambor TA.

15 Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no ha de considerarse como limitación a su alcance.

Este invento corresponde a una solicitud de patente formulada en Francia, el día 7 de Diciembre de 1971, señalada
20 con el Nº 71 43798, y se acoge por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años,
25 son los siguientes:

1. Mejoras en los sistemas de transferencia entre memoria de acceso directo y tambor magnético o memoria de almacenaje similar, cuyos medios de registro están divididos en sectores. Donde una unidad de proceso de datos establece requisiciones de transferencias, las archiva en función del sector de
30



40931

comienzo de transferencia y las registra en la memoria de acceso directo. Donde una unidad de tambor o memoria similar incluye medios para la lectura de una requisición de transferencia en la memoria de acceso directo en función del sector inmediatamente accesible, medios para realizar la transferencia requerida y para constituir, al final de la transferencia, una indicación, llamada bit de retorno, que incluye, el número de sector y enviado a la unidad de proceso de datos. Incluye, en la memoria de acceso directo, una parte de almacenaje constituida por diversos elementos de memoria, llamados elementos de retorno, cada uno de los cuales está previsto para almacenar un bit de retorno. En la unidad de tambor existen medios para acceder sucesivamente a estos elementos de retorno escribiendo en los mismos un bit de retorno al final de cada transferencia. En la:

5

10

15

20

unidad de procesos de datos existen medios, que se actúan periódicamente, para acceder a dichos elementos de retorno, a fin de leer los bits contenidos en los mismos y realizar, por cada uno de ellos, el proceso requerido. Mediante estas configuraciones, la unidad de tambor puede realizar diversas transferencias sucesivas sin la intervención de la unidad de proceso de datos.

2. Mejoras en los sistemas de transferencia, según el punto 1, caracterizadas porque los dispositivos que se actúan periódicamente, y que hacen posible el acceso sucesivo a los elementos de retorno, consisten en un tren de impulsos con un intervalo de, como máximo, la duración de una revolución del tambor. Esta configuración evita el realizar varias veces la misma transferencia.

25

3. Mejoras en los sistemas de transferencia, según el punto 1, caracterizadas porque existen, en la memoria de acceso directo, una célula de memoria empleada como contador de

30

MR

409377



escritura, previsto para almacenar un item de información que define la dirección del elemento de retorno que contiene el bit de retorno de la última transferencia realizada. Existen medios en la unidad de tambor para acceder a dicho contador de escritura y escribir, en función de la transferencia en curso, un item de información que define la dirección del elemento de retorno en el cual se escribe el bit de retorno de esta transferencia.

4. Mejoras en los sistemas de transferencia, según el punto 3, caracterizadas porque en la memoria de acceso directo existe un elemento de memoria usado como contador de lectura, previsto para almacenar un item de información que define la dirección del último elemento de retorno leído. En la unidad de proceso de datos existen medios para acceder a dicho contador y escribir el item de información que define la dirección de cada elemento de retorno leído.

5. Mejoras en los sistemas de transferencia, según el punto 4, caracterizadas porque, en la unidad de proceso de datos, existen medios para calcular la diferencia entre la posición del contador de escritura y la del contador de lectura; el resultado obtenido da el número de bits de retorno escritos en la memoria de acceso directo y que aún no han sido leídos por la unidad de proceso de datos.

6. Mejoras en los sistemas de transferencia, según el punto 4, caracterizadas porque en la unidad de tambor está asociada con el biestable de interrupción que se actúa al final de una primera transferencia, y cuya salida se encuentra en la dirección de la unidad de proceso de datos. Incluye, además, un biestable de enmascaramiento en su posición activa.

7. Mejoras en los sistemas de transferencia, según el punto 6, en donde la unidad de proceso de datos incluye un

30

409377



reloj que envía impulsos empleados para disparar el biestable a intervalos iguales, como máximo, a la duración de una revolución completa del tambor, de tal manera que el programa en curso recibe una señal de interrupción, aproximadamente, por revolución del tambor si se ha realizado, por lo menos, una transferencia. Durante esta interrupción, la unidad de proceso de datos procesa todos los bits de cola.

8. Mejoras en los sistemas de transferencia de datos entre memoria de acceso directo y tambor magnético o memoria de almacenaje similar.

Tal y como se ha descrito en la memoria que antecede representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de 28 hojas escritas por una sola cara.

Madrid, 6 DIC 1972



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

[Handwritten signature]



1409377

Fig-1

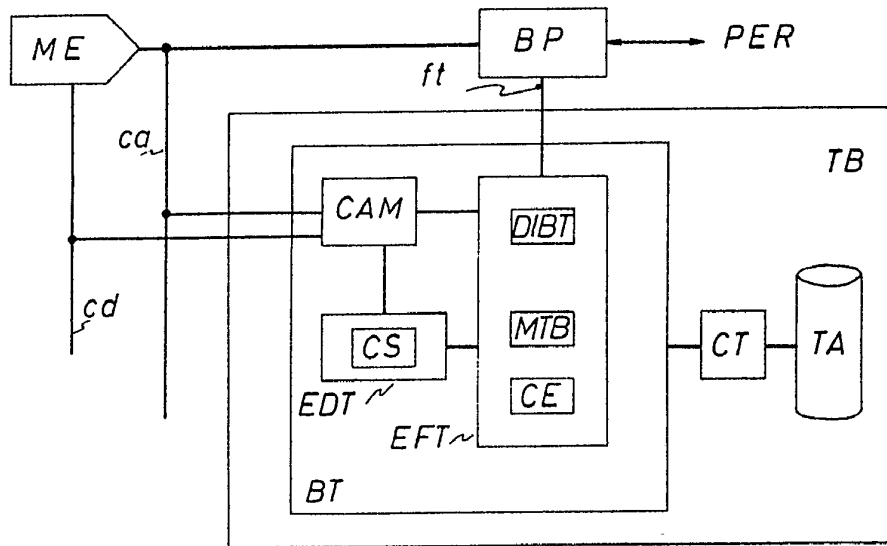
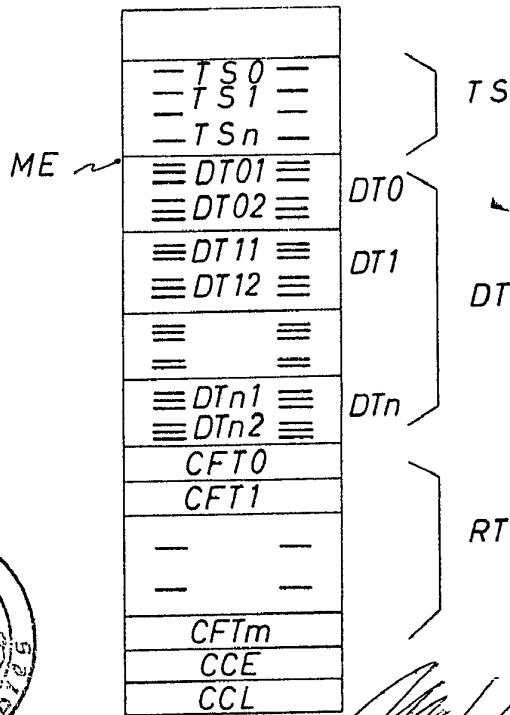
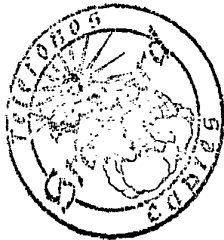


Fig-2



6 DIC 1972



M. G. Santamaria
M. G. SANTAMARIA
VICESECRETARIO GENERAL

4/2



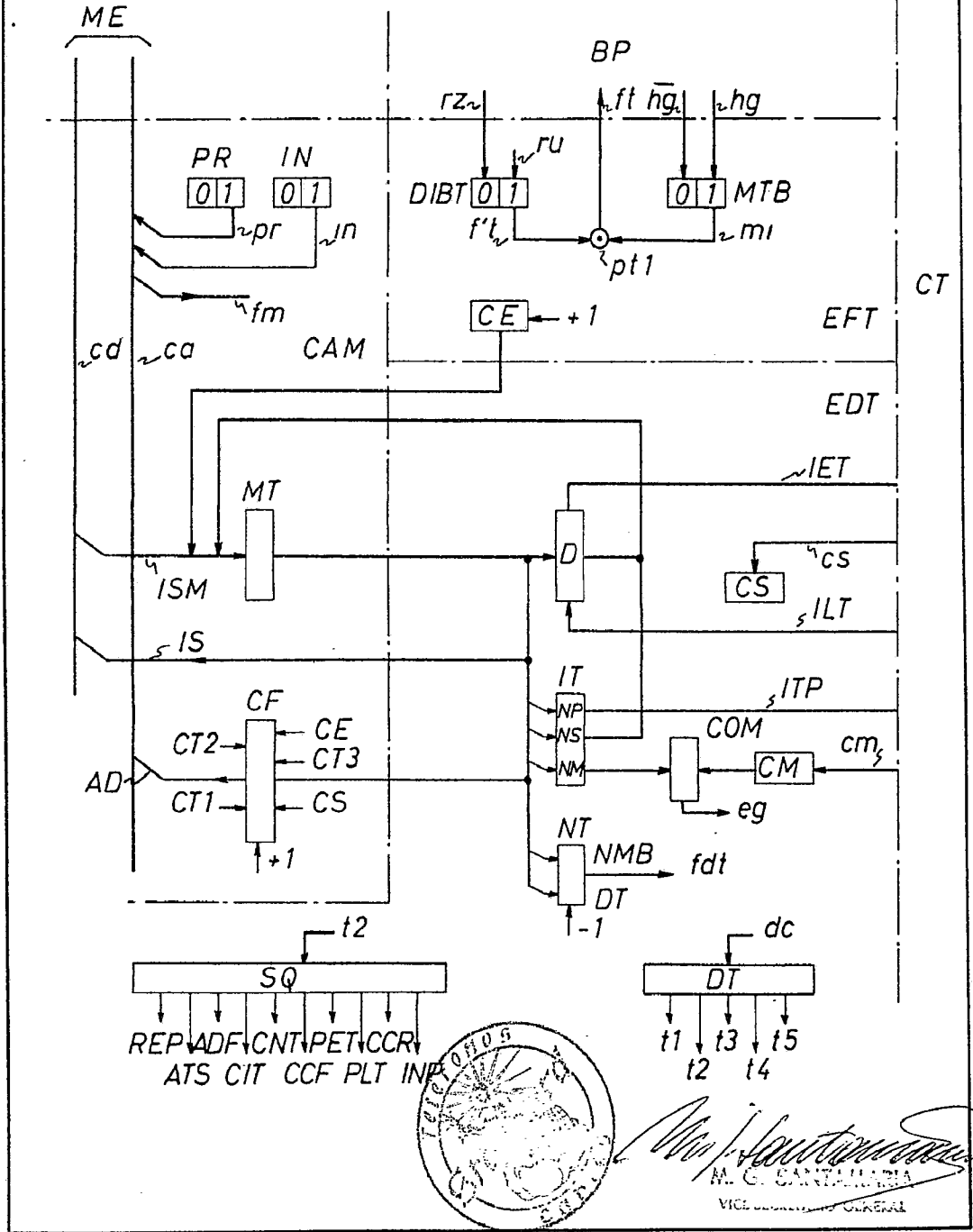
STANDARD ELECTRICA, S. A.

409377

PL.II/4

Fig-3

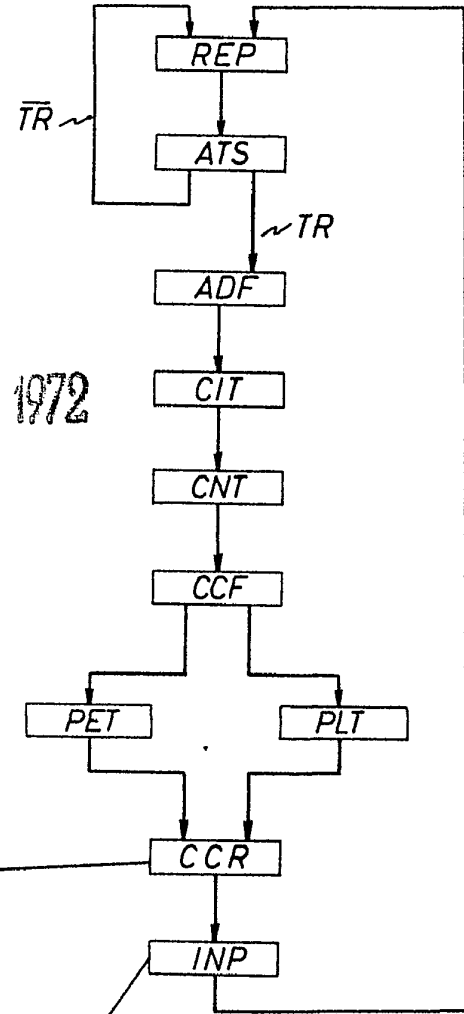
6 DIC 1972





1409377

Fig-4



6 DIC 1972



CCR	1		t4	CT3 → CF; CE → MT
	2		t5	T → PR; 1 → IN
	3	ins	fm	MT → CCE
	4		t1	0 → PR; 0 → IN
	5		t2	0 → CCR; 1 → INP

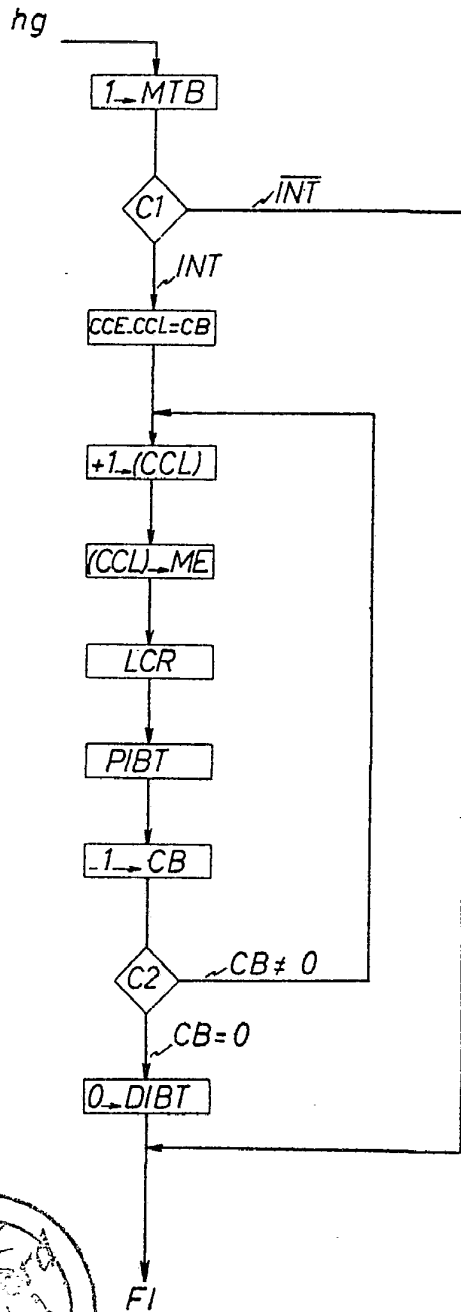
INP	1		t4	CT2 + CE → CF; NS → MT
	2		t5	1 → PR; 1 → IN
	3	ins	fm	MT → CFT k
	4		t1	0 → PR; 0 → IN
	5		t2	0 → INP; 1 → REP; 1 → CE; 1 → DIBT

M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL



1409377

Fig-5



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL