



409182

F.C. 31-I-75

Int. Cl. ² : H03K 11/04M

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "UN MODULO DE CONMUTACION ELECTRONICA", PRESEN-
TADO POR STANDARD ELECTRICA S.A., DOMICILIADA EN MADRID,
CALLE DE RAMIREZ DE PRADO Nº 5.

El presente invento se refiere a un módulo de conmutación electrónica, que puede emplearse, particularmente, en centrales telefónicas que aplican la técnica de conmutación por división de tiempo a señales moduladas por código de impulsos.

5

A la entrada de dicha central, las señales que llegan de líneas ocupadas (esto es, de líneas empleadas para transmitir llamadas o enviar una conversación), se muestran a 8 kHz y cada muestra se traslada a una combinación codificada de 8 señales binarias o bites.

10

Cada combinación se transmite en paralelo sobre 8 conductores, dentro de muy corto margen de tiempo, que constituye un canal de tiempo. De este modo, es posible dis-



tribuir en tiempo, por ejemplo, 256 canales. El período de
recurrencia de las combinaciones sucesivas de un canal es de
125 μ s, considerando que el margen de tiempo asignado a cada
canal tiene una duración de unos 500 ns. Un grupo múltiplex
5 de entrada maneja las señales que llegan desde 256 líneas.
Un grupo múltiplex similar de salida maneja las señales de
estas mismas 256 líneas. Los valores numéricos citados, no
siendo necesarios, son, sin embargo, normalmente admitidos.

Dentro de la central habrá, generalmente, di-
10 ferentes grupos múltiplex de entrada y salida. Es esencial
que cualquier combinación codificada que aparece en un canal
de tiempo de un grupo múltiplex pueda ser retransmitida so-
bre cualquier canal de tiempo de cualquier grupo múltiplex.
Esto implica las operaciones de conmutación de espacio (cone-
15 xiones entre grupos), y de conmutación de tiempo (conexiones
entre canales). Esto se realizará mediante sistemas que in-
cluyen memorias y conmutadores de espacio. Este sistema pue-
de ser, por ejemplo, el conocido tipo espacio-tiempo-espacio.
Un trayecto entre un canal de entrada de una primera línea
20 (A) y un canal de salida de una línea segunda (B) pasa a tra-
vés de dos conmutadores de espacio situados a cada lado de
un elemento de memoria; estos conmutadores proporcionan al
elemento de memoria un acceso a los grupos múltiplex de en-
trada y a los de salida, respectivamente. De esta manera, en
25 el tiempo que corresponde al canal de entrada, y a través del
primer conmutador conectado al grupo de entrada apropiado,
se registra en el elemento de memoria una combinación codifi-
cada recibida por el canal de entrada. En el tiempo que co-
rresponde al canal de salida, y a través del segundo conmuta-
30 dor conectado al grupo de salida apropiado, la combinación

409182

3.



codificada, recibida por el canal de entrada y conservada en el elemento de memoria se transmite por el canal de salida.

La conexión en la dirección inversa, entre el canal de salida de la línea primera (A) y el canal de entrada de la línea segunda (B) se logra de la misma manera, generalmente a través del mismo elemento de memoria y de los mismos conmutadores de espacio.

En la práctica, los numerosos elementos de memoria que se requiere, pertenecen a diferentes memorias de comunicación y, cada uno de ellos, está asociado a dos conmutadores de espacio. En una memoria, cada elemento debe ser alcanzado por lo menos dos veces durante un ciclo de $125 \mu s$, esto es, primeramente, en el tiempo que corresponde al canal de entrada, y en segundo lugar, en el que corresponde al canal de salida, estando cada uno de los conmutadores convenientemente orientados en estos instantes. Los otros elementos de la misma memoria facilitan el establecimiento de otras comunicaciones, con la condición de que tengan relación con cada uno de los canales de tiempo. Las comunicaciones entre canales de tiempo homólogo de entrada y salida se procesan por medios especialmente equipados.

Los conmutadores de tiempo empleados en tal aplicación son, necesariamente, de tipo electrónico, ya que se interroga una conexión cada 500 ns, aproximadamente. Es deseable, naturalmente, que estos conmutadores sean compactos, que permitan una elevada velocidad de operación, que tengan una disipación térmica pequeña, permitiendo una mayor compacidad, y, naturalmente, que su precio sea lo más bajo posible.

En vista de esto, el presente avance de la técnica sugiere el empleo de circuitos integrados con componentes



de efecto de campo. Se conocen multiplexores de este tipo que tienen 16 entradas y una salida. Una de las 16 entradas, designada por una combinación codificada de 4 bites, puede conectarse a la salida única en muy corto lapso de tiempo.

5 También, se conocen los multiplexores con una entrada y 16 salidas. Aunque tal solución no deja de tener interés, no cubre perfectamente los requerimientos de los centros de conmutación. Puede criticarse, en particular, el hecho de que deben utilizarse dos tipos de circuitos (multiplexores
10 y demultiplexores) para los conmutadores de espacio de entrada y salida. Además, el número de conexiones (16 entradas, 1 salida, 4 entradas para la identidad codificada de la entrada de la central, sin contar las conexiones de alimentación de energía), es realmente elevado comparado con las
15 funciones de conmutación realizadas por un circuito, y requerirá una gran cantidad de cableado. No puede considerarse el empleo de un multiplexor o de un demultiplexor con menos de 16 terminales, dado que se aumentaría inutilmente el coste por punto de conmutación.

20 De lo expuesto anteriormente, aparece claramente que un módulo de conmutación electrónica, realizado preferiblemente como un circuito integrado con componentes de efecto de campo, haría posible la obtención de las deseadas características de velocidad de operación, compacidad,
25 poco consumo y, comparativamente, bajo coste. El presente invento se refiere a un módulo de este tipo, con una estructura particularmente bien adaptada a los requerimientos de los sistemas de conmutación telefónica y, más generalmente, a cualquier sistema que conmute una señal digital.

30 El propósito del presente invento es describir



un módulo de conmutación diseñado para ser realizado en forma de circuito integrado, y caracterizado porque incluye, en particular, m salidas, n entradas y m x n circuitos de conmutación para la conexión de cualquier entrada a cualquier salida. Con cada salida del módulo está asociado un conductor de encaminamiento, un registrador de recepción (diseñado para recibir un encaminamiento codificado en multi-bites que suministra una identidad de entrada), un registrador de almacenamiento asociado al registrador de recepción, el cual recoge un encaminamiento recibido por el registrador de recepción y lo conserva, a fin de permitir que éste último registrador quede disponible para recibir el siguiente encaminamiento. Finalmente, posee circuitos para decodificar el encaminamiento contenido en el registrador de almacenamiento haciendo que el circuito de conmutación conecte la entrada designada a la salida que se está considerando.

Este módulo de conmutación está caracterizado, además, porque, con cada salida, existen un conductor y un circuito que hacen posible que la entrada seleccionada se conecte a la salida considerada.

Estas disposiciones hacen posible la obtención de un módulo con un gran número de circuitos de conmutación por puntos cruzados, manteniendo el número de conductores entrada/salida dentro de límites razonables. Además, a fin de obtener un conmutador de gran tamaño, y debido al circuito apropiado, es posible asociar diferentes módulos mediante la interconexión de sus entradas ó sus salidas, ya que el módulo en que tendrá lugar la conexión deseada, puede elegirse por medio de una señal apropiada.

Otros objetivos y características de este in-



vento serán mostradas en la siguiente descripción, dada como ejemplo no limitativo, y refiriéndonos a los dibujos que se acompañan, en los cuales:

5 -La Fig. 1 es un diagrama de los circuitos de un módulo de conmutación, de acuerdo con el presente invento;

-La Fig. 2 es el diagrama teórico de un registrador de conversión con transistores convencionales de efecto de campo;

10 -La Fig. 3 muestra los gráficos de las señales de fase requeridas para operar el funcionamiento de los circuitos de la Fig. 2;

-La Fig. 4 es un diagrama de bloque de los registradores RRO y RTO del módulo de la Fig. 1;

15 -La Fig. 5 muestra los gráficos que explican cómo operan los diferentes elementos de los registradores de la Fig. 4;

-La Fig. 6 es el diagrama teórico de un registrador de conversión diferente del de la Fig. 2, pero que realiza la misma función;

20 -la Fig. 7 es el diagrama de una configuración alternativa de los registradores RRO y RTO mostrados en la Fig. 1.

Refiriéndonos a la Fig. 1, describiremos primeramente el diagrama de los circuitos de un módulo de conmutación, según el presente invento. Este módulo de conmutación
25 comprende 8 entradas E0 a E7, 8 salidas S0 a S7 y 64 circuitos de conmutación pc00 a pc77. A efectos de claridad, solamente se han representado las entradas y salidas primera y última. Suponiendo que el circuito pc00, que puede ser una
30 puerta, se hace conductor, la entrada E0 puede conectarse

409182 7.



a la salida SO, y cualquier entrada seleccionada de la EO a la E7 puede conectarse a dicha salida SO. Si se hace lo mismo, de una manera independiente, para cada salida, el módulo será capaz de establecer una conexión entre cada salida y cada una de las entradas.

Asociado también con la salida SO, existe un conductor de encaminamiento ad 0 dispuesto para transmitir, en serie, un encaminamiento de tres bites, que designa la entrada a la que se conecta la salida.

Un registrador de recepción R00 que recibe los tres bites en serie y los presenta en forma paralelo, un registro de almacenamiento RTO que recibe los tres bites suministrados en paralelo por el registrador RRO y la conserva, a fin de que el registrador RRO quede disponible para recibir un nuevo encaminamiento. Y también los circuitos para decodificar el encaminamiento dc00 a dc07 controlados en paralelo por la salida del registrador RTO, pero asociados individualmente a las puertas pc00 a pc07.

Un encaminamiento de tres bites se transmite por el conductor ad0 y se recibe por el registrador RRO. Una vez que se ha recibido completamente por dicho registrador, el encaminamiento se transfiere al registrador RTO. A partir de este instante, el encaminamiento se transmite hacia los circuitos de decodificación dc00 a dc07. Uno de ellos se actúa, por ejemplo, el circuito dc00, y suministra una señal que hace conductora a la puerta asociada pc00. Durante este tiempo se ha desconectado el registrador RRO y puede recibir un nuevo encaminamiento.

El conmutador de 8 entradas y una salida compuesto por los circuitos RTO, dc00 a dc07 para las funciones



de control, y pc00 a pc07 para la función de conexión, puede conectar sucesivamente la salida S0 a diferentes entrañas, sin ninguna interrupción, a pesar del hecho de enviarse a los encaminamientos en serie.

5 Medios semejantes están asociados a la salida S7, y a las no representadas, tales como RR7, RT7, de70 a dc77, a fin de controlar las puertas pc70 a pc77.

 Además, un conductor v10 a un circuito CVO apropiados están también asociados a la puerta S0. Si aparece
10 una señal en el conductor v10, el circuito CVO conduce, y la salida S0 puede conectarse a una entrada seleccionada. Si la señal desaparece del conductor v10, el circuito CVO aísla la salida S0.

 Las otras salidas están provistas también de
15 medios semejantes, tales como los v17 y CV7 para la puerta S7.

 Con estas disposiciones es posible, por ejemplo, formar conmutadores con 16 entradas y 8 salidas conectando en paralelo las salidas (S0 a S7) y los conductores de encaminamiento (ad0 a ad7), de dos módulos idénticos al de la Fig. 1.
20 Cada uno de ellos será capaz de conectar la salida común, tal como la S0, a un grupo de 8 entradas y, particularmente, a una entrada designada dentro del grupo. Solamente un módulo recibirá una señal sobre su hilo v10, de tal manera que la salida común
25 S0 se conectará a solamente una entrada de los dos grupos de 8 entradas.

 Se puede formar un conmutador con 8 entradas y 16 salidas conectando en paralelo los conductores de encaminamiento y las salidas de dos módulos.

30 En el módulo mostrado en la Fig. 1, las puertas



tales como la pc00, son circuitos puerta de coincidencia del tipo "AND". Los circuitos de decodificación pueden consistir simplemente de puertas AND o, nuevamente, de una pirámide convencional colectiva. Los circuitos tales como el CVO están también constituidos por circuitos tipo AND pero, en la práctica, incluyen una etapa que da ciertas características eléctricas estandarizadas a las señales de salida del módulo.

A continuación se hará una descripción detallada de los registradores de recepción y almacenamiento, RRO y RTO respectivamente, dentro de la presentación de un sistema que utiliza componentes activos de efecto de campo.

La Fig. 2 muestra el diagrama básico de un registrador de conversión convencional. Consiste de dos cadenas de tres transistores de efecto de campo cada una. La primera cadena la forman los transistores Q1, Q2 y Q3, y la segunda, los Q4, Q5 y Q6.

Una entrada ent está conectada a la puerta o electrodo de control del transistor Q3, y el punto común de los transistores Q1 y Q2 lo está a la puerta del transistor Q6, mientras que una salida st se conecta al punto común de los transistores Q4 y Q5. cp1 indica la capacidad del conductor de enlace entre las dos cadenas, y del electrodo de control del transistor Q6. Del mismo modo, cp2 representa la capacidad del conductor de salida de la etapa. Los circuitos se alimentan con señales periódicas $\phi 1$, $\phi 2$, $\phi 3$, $\phi 4$, como se muestra en el gráfico de la Fig. 3.

Supongamos que los transistores Q1, Q2, A3, que forman la primera cadena, están desconectados antes de que les llegue las señales de fase $\phi 1$ y $\phi 2$, y aparece una señal de información en la entrada ent. Cuando aparece la señal de



fase $\phi 1$, el potencial, en ambos extremos de la cadena, se eleva al mismo tiempo,. No aparece corriente a lo largo de la cadena, pero el transistor Q1 se hace conductor, y se carga positivamente el condensador cpl, a través de dicho transistor Q1.

5 La señal de fase $\phi 2$ empieza al mismo tiempo que la $\phi 1$, y hace conducir al transistor Q2, el cual permanece sin efecto hasta que no termina la señal $\phi 1$. Una vez que ésta ha terminado, la señal $\phi 2$ tiende a mantener conductivo al transistor Q2, cuyo electrodo superior recibe la tensión positiva almacenada en el

10 condensador cpl. Si la entrada ent recibe, al mismo tiempo, una señal de información positiva, y dado que el electrodo inferior del transistor Q3 está ahora al potencial más bajo, el transistor Q3 también conduce durante todo el tiempo que resta del impulso $\phi 2$, de tal manera que el condensador cpl se descarga a través de los transistores Q2 y Q3. Por otra parte,

15 si no existe señal de información en la entrada ent, el transistor Q3 no conduce, y el condensador cpl permanece cargado.

Como conclusión, al terminar el impulso de fase $\phi 2$, la señal de datos que estaba presente en la entrada

20 ent, ha de ser transferida, aunque de un modo inverso, a los terminales del condensador cpl, esto es, a la puerta del transistor Q6.

El funcionamiento de la segunda cadena de transistores bajo el efecto de las señales de fase $\phi 3$ y $\phi 4$ es

25 exactamente el mismo que el descrito anteriormente. Al final del impulso de fase $\phi 4$, la señal de datos suministrada por el condensador cpl, ha de ser transferida, aunque de modo inverso, a los terminales del condensador cp2, esto es, a la salida st de la etapa.

30 En resumen, después de las cuatro señales de



fase $\phi 1$ a $\phi 4$, la señal de datos que estaba presente en la entrada ent, se encuentra a la salida st, después de haber sido sometida a dos inversiones, que se anulan entre sí.

5 Los registradores RRO y RT1, están constituidos por cadenas como las descritas en relación con la Fig. 2.

El registrador RRO comprende 4 cadenas CH1, CH2, CH3 y CH4, designadas por números de referencia impares y alimentadas con las señales de fase $\phi 1$ y $\phi 2$, mientras que las cadenas designadas por números de referencia pares según están
10 alimentadas por las señales de fase $\phi 3$ y $\phi 4$. También aparece, en dicha Fig. 4, el conductor de encaminamiento ad0 mostrado en la Fig. 1.

El modo de funcionamiento del registrador RRO se muestra en la Fig. 5, donde, además de las señales de fase
15 $\phi 1$ a $\phi 4$, aparecen dos grupos de señales de datos de tres bites que se transmiten por el conductor de encaminamiento ad0, así como los datos que se registran en las salidas de las diferentes etapas del registrador RRO.

Consideraremos primeramente la recepción de los
20 bites de datos n0, n1, n2 que constituyen un encaminamiento ADn. La señal n0 se transmite en sincronismo con un primer par de señales de fase $\phi 1$ y $\phi 2$. Se invierte y registra en la cadena CH1, esto es, más particularmente, en el condensador de salida de esta cadena. La señal n1 se invierte y registra en la cadena
25 CH4, mientras que la señal n0 se transfiere a la salida de la cadena CH2. Por último, la señal n2 se invierte y registra en la cadena CH1 mientras que la n0, después de otra inversión, llega a la salida de la cadena CH3.

A la salida de las cadenas CH3, CH4 y CH1 aparecen
30 cen los tres bites de encaminamiento recibidos. Nótese que los



tres bites de encaminamiento estan invertidos; el primero ha sido invertido tres veces, mientras que los otros dos lo han sido una sola vez:

La recepción del encaminamiento siguiente. AD(n+1) tiene lugar exactamente del mismo modo, como se muestra en la Fig. 5.

Una vez que se ha recibido completamente el encaminamiento ADn, existe un periodo de tiempo muerto, cuyo objeto se indicará más adelante. En este momento, el módulo recibe los impulsos de fase ϕ_5 y ϕ_6 .

Dichos impulsos ϕ_5 y ϕ_6 transfieren los tres bites suministrados por las cadenas CH1; CH2 y CH3 a las tres cadenas CH5, CH6, CH7, que constituyen el registrador RTO. Hemos visto anteriormente que los bites registrados en CH1, CH4, CH3 estaban invertidos. La transferencia a CH5, CH6, CH7, implica una nueva inversión, que restituye la información original.

Los tres bites de encaminamiento así restaurados, alimentan directamente los circuitos de decodificación, a través de los conductores sd, a fin de controlar el funcionamiento de un circuito conmutador de puntos cruzados, así como la asociación de la salida S0 con una de las entradas E0 a E7 (Fig. 1).

Durante el tiempo de conmutación de los circuitos mencionados anteriormente, el registrador RRO (que está disponible debido a la transferencia de la información que contenía al registrador RTO), se utiliza para recibir el encaminamiento relativo a la siguiente conexión. Más precisamente, el encaminamiento AD(n+1) se recibe durante el tiempo de funcionamiento del decodificador, conmutador y circuitos com-



plementarios. El final de la recepción del encaminamiento $AD(n+1)$ corresponde a la conexión efectiva entre una entrada y una salida SO (Fig. 1). La línea muerta citada anteriormente, se encuentra de nuevo. Este tiempo muerto, durante el cual se realiza la conexión entrada-salida en el módulo, permite una transmisión estable y libre de ruidos, en la salida considerada, de la información conmutada.

Los circuitos descritos son de fácil y simple construcción en forma de circuitos integrados, y cumplen los requerimientos funcionales indicados para el módulo de la Fig. 1.

A pesar de la transmisión en serie de la información de encaminamiento, estos circuitos hacen posible que los puntos de conmutación funcionen a una frecuencia elevada, debido a una especie de técnica de intercalación, mientras que puede disponerse fácilmente de un tiempo muerto durante el cual el módulo suministrará información a la salida, libre de ruido.

Las Figs. 6 y 7 representan una configuración alternativa de los registradores RRO y RTO, que ofrece algunas ventajas respecto a la configuración anterior.

La Fig. 6 representa el circuito básico correspondiente a una cadena como las mostradas en las Figs. 2 y 4. Este circuito incluye también 3 transistores $Q7$, $Q8$ y $Q9$. El circuito se controla por una única señal de fase ϕ_2 en el ejemplo considerado. Los transistores $Q7$ y $Q8$ son complementarios, y están permanentemente alimentados por una corriente entre un potencial positivo $+V$ y otro de referencia, por ejemplo, masa. Cuando el transistor $Q9$ se hace conductor debido a la señal de fase ϕ_2 . Las puertas de los transistores $Q7$ y $Q8$ se conectan



y controlan por la señal de datos que está presente en la entrada ent. Si la señal de datos es de un nivel bajo, el transistor Q7 se hace conductor y carga positivamente el condensador cp3, asociado con el conductor de salida cs. Cuando la señal de datos es positiva, el transistor Q8 conduce y el condensador se descarga. La información de entrada, aunque invertida, aparece a la salida del circuito, exactamente lo mismo que ocurría en la cadena primera mostrada en la Fig. 1.

La etapa de la Fig. 6 ofrece la ventaja de que puede controlarse de un modo directo, siendo suprimida la puerta AND formada por el transistor Q9.

La Fig. 7 representa una configuración de los registradores RRO y RTO basada en la utilización de un circuito según la Fig. 6. La cadena de dos transistores (Q7 y Q8 en la Fig. 6) se representa por un rectángulo en la Fig. 7, mientras que el transistor de entrada (Q9, en la Fig. 6) aparece explícitamente. Se aprecia inmediatamente que una misma cadena, por ejemplo la ET51, puede controlarse por dos circuitos de entradas independientes, cada uno con su propio transistor de entrada.

Los diferentes transistores de entrada se controlan por señales de fase, que pueden ser las de la Fig. 5. Siendo las señales de fase $\overline{\phi 6}$ las inversas de las señales $\phi 6$.

En el registrador RRO, las cadenas ET1, ET2 y ET4 están dispuestas como sus homólogas de la Fig. 4, y funcionan de la misma manera. El primer bit de un encaminamiento se recibe por ET1 en la fase $\phi 2$. El segundo bit se recibe por ET4, en la fase $\phi 4$, mientras que el primer bit se transfiere a ET2. El tercer bit se recibe por ET1, en la fase segunda $\phi 2$. Puede apreciarse que no existe un circuito que corresponda a la cadena CH3 de la Fig. 4. Consecuentemente, el primer bit se ha invertido sola-



mente una vez y, a la salida de la cadena ET2, aparece idéntico al bit de entrada, mientras que los otros dos aparecen invertidos a la salida de las cadenas ET1 y ET4.

5 Durante la fase ϕ_6 , el último bit recibido de ET1 se transfiere a una cadena ET51. La segunda inversión que resulta de esta transferencia, anula la primera. Este bit se suministra posteriormente, a una de las salidas sd tal como se ha recibido. Además, esta salida controla de un modo directo, sin ninguna puerta de fase, la puerta ET50. Esta puerta
10 ET50 suministra a una de las salidas sd, el bit complementario al precedente. Fuera de la fase ϕ_6 , esto es, durante la fase $\overline{\phi_6}$, dicha salida \overline{sd} se acopla a la entrada de la cadena ET51.

Así se obtiene un verdadero circuito flip-flop que memoriza la información de encaminamiento y la mantiene
15 de un modo estable, a la vez que suministra su complemento.

El registro del segundo bit recibido de la cadena ET4 no se ha representado en la Fig. 7, pero se realiza del mismo modo descrito para el tercer bit. Lo mismo ocurre para el primer bit, excepto que, como se muestra en la Fig.
20 la salida del circuito ET2 se conecta a la cadena ET70 y no a la ET71 (en analogía con la ET51), la cual invierte el funcionamiento lógico del flip-flop a fin de conseguir que el bit considerado experimente dos inversiones en lugar de una.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de
25 ejemplo y no ha de considerarse como limitación de su alcance. Las cifras, particularmente, se han dado para un mejor entendimiento, y pueden elegirse otras distintas de acuerdo con los requerimientos prácticos.

30 Este invento corresponde a una solicitud de



patente formulada en Francia el día 2 de Diciembre de 1971, señalada con el N° 71 43 195 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

5 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

1-. Un módulo de conmutación electrónica, diseñado para ser construido en forma de circuito integrado y caracterizado porque incluye, particularmente, m terminales primero llamados salidas, n terminales segundos llamados entradas, mxn circuitos de conmutación que hacen posible la conexión de cada una de las m-salidas a cualquiera de las n entradas. Incluye también, por cada salida, un conductor de encaminamiento y un registrador de recepción, diseñado para recibir, por dicho conductor de encaminamiento, un encaminamiento codificado en multi-bites que proporciona la identidad de una entrada. Un registrador de almacenamiento asociado al de recepción para recoger un encaminamiento recibido de este último y conservarlo, mientras que el registrador de recepción queda disponible para recibir el encaminamiento siguiente. Circuitos para decodificar el encaminamiento contenido en el registrador de almacenamiento y hacer que el circuito conmutador conecte la entrada seleccionada a la entrada considerada. Resulta, de esta manera, un módulo con un gran número de circuitos de conmutación de puntos cruzados que opera a alta velocidad, requiriendo un número razonable de conductores entrada/salida.

2-. Un módulo de conmutación, según el punto 1, caracterizado porque incluye, además, por cada salida, un conductor y un circuito apropiados que, como respuesta a una señal



recibida por el conductor, acopla una entrada seleccionada a la salida considerada. Tal disposición permite construir conmutadores de gran tamaño, asociando módulos de conmutación y seleccionando el módulo que ha de realizar una conexión por medio de una señal apropiada.

3-. Un módulo de conmutación, según el punto 1, caracterizado porque dicho registrador de recepción, diseñado para recibir un encaminamiento codificado en multi-bites y que después se transmite en serie por el conductor de encaminamiento, incluye, por lo menos, tres cadenas de registro controlados en fase, esto es, una cadena primera que recibe y registra el primer bit, una segunda cadena que recibe y registra el segundo bit y una tercera cadena que recibe y registra el primer bit, mientras se está recibiendo el segundo. Este primer bit se suministra a la tercera cadena por la primera la cual, finalmente, queda disponible para recibir y registrar el tercer bit enviado.

4-. Un módulo de conmutación, según se ha indicado en el punto 3, caracterizado porque dicho registrador de recepción incluye, además, una cuarta cadena que recibe el primer bit registrado por la tercera cadena mientras se está recibiendo el tercer bit, de tal manera que cada bit pasa a través de un número impar de cadenas, lo cual es una solución al problema de las inversiones lógicas durante las transferencias de bites.

5-. Un módulo de conmutación electrónico.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de 17 hojas escritas por una

409182

18.



sola cara.

Madrid, 11 DIC 1972



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

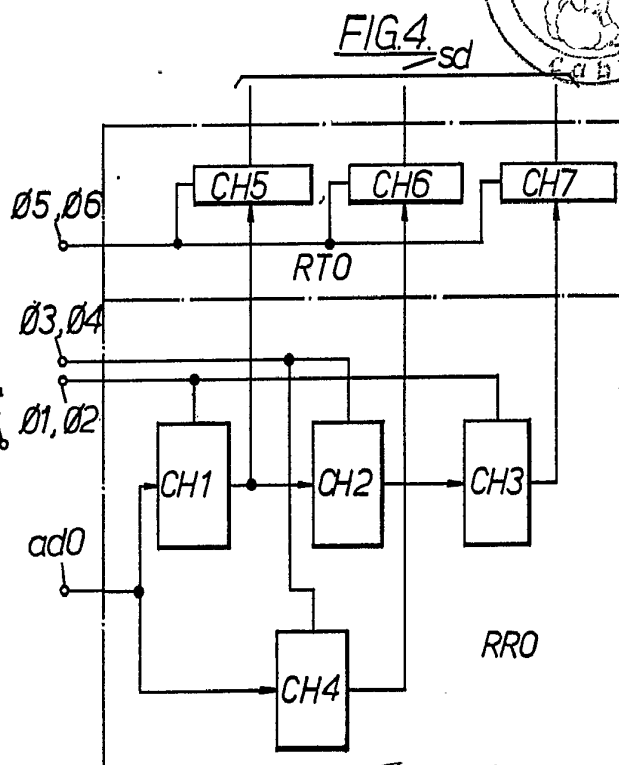
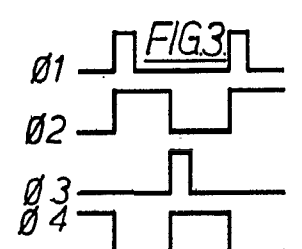
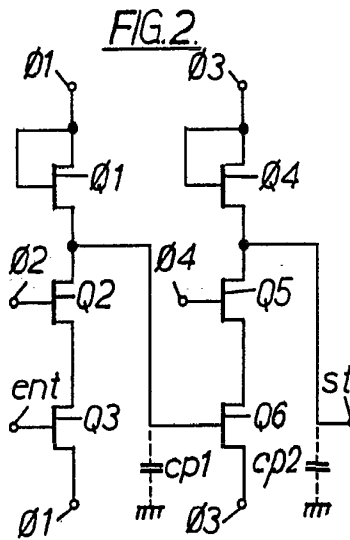
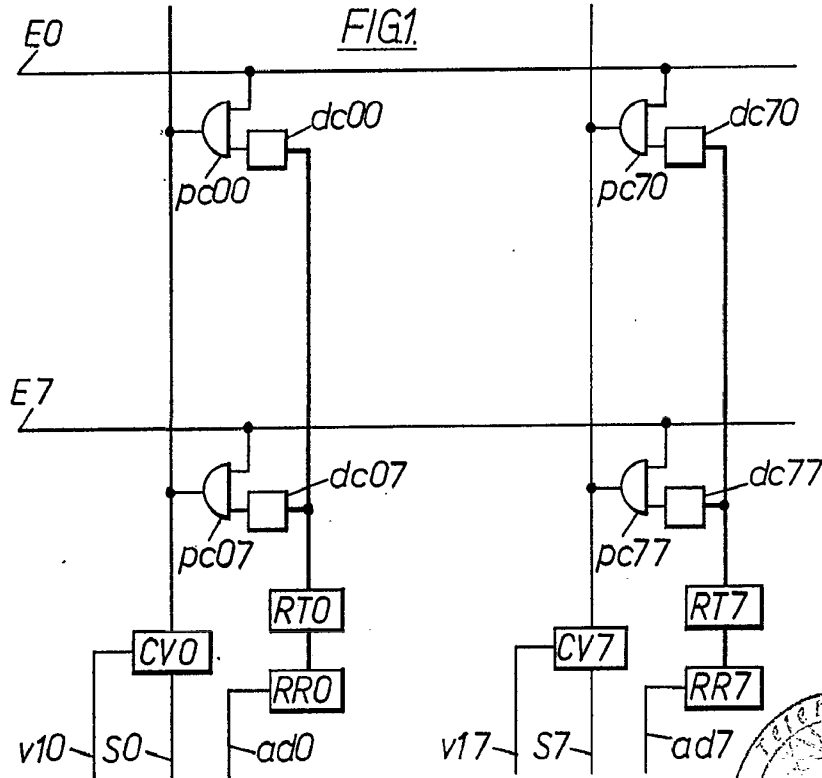
RA

2/1



409182

1 DIC 1972



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL



409182

L 1 DIC 1972

FIG.5.

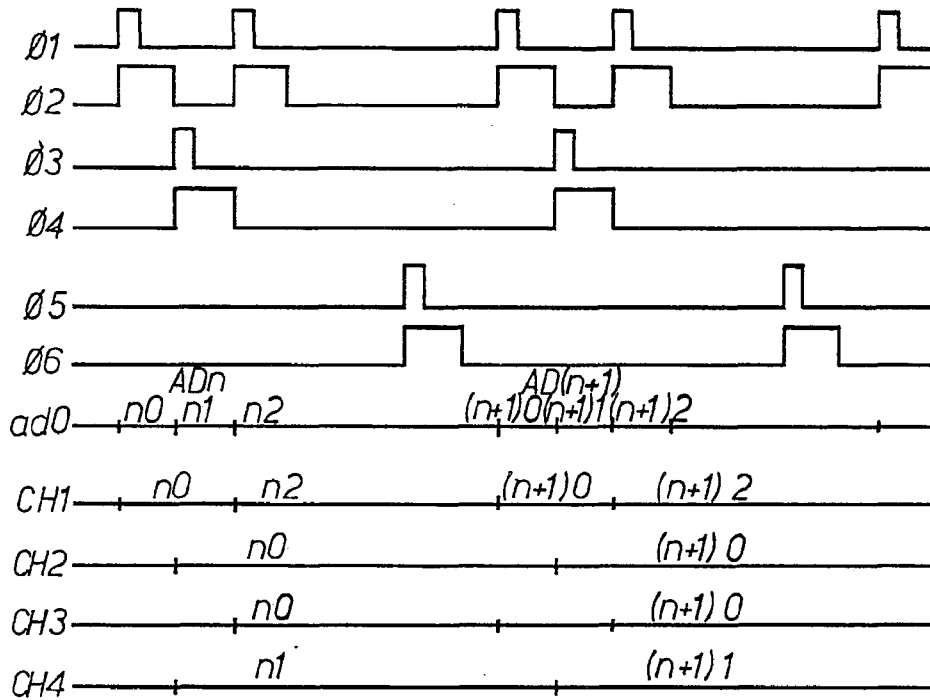


FIG.6.

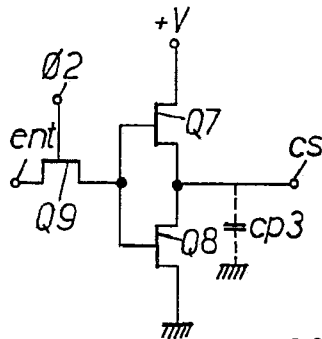
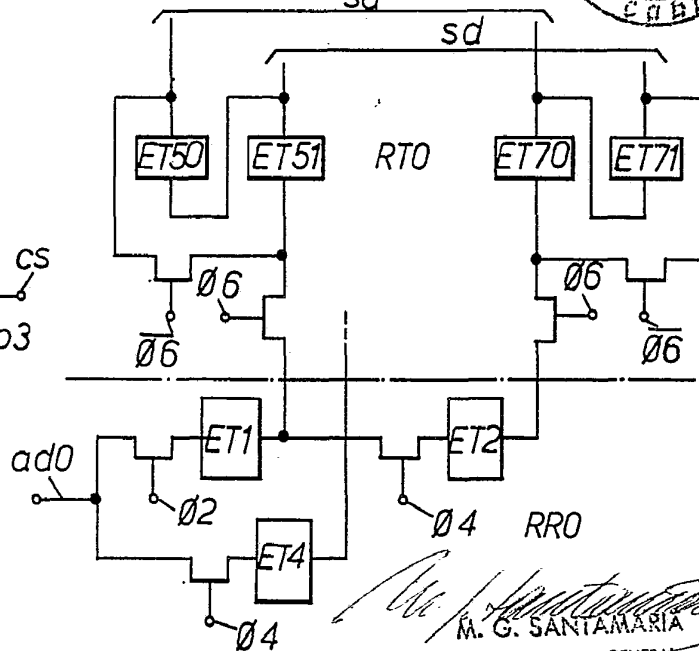


FIG.7.



M. G. SANTAMARIA
VICE-SECRETARIO GENERAL