



407873

407873

F.C. 10-1-75

Int. Cl.². H03K

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN ESPAÑA
POR : "UN EXPLORADOR ELECTRONICO A CIRCUITOS INTEGRADOS", A NOM-
BRE DE STANDARD ELECTRICA, S.A. CON DOMICILIO EN MADRID, CALLE DE
RAMIREZ DE PRADO, Nº 5.

Un explorador electrónico es un dispositivo que permite conocer las condiciones eléctricas de un cierto número de puntos.

La exploración suele efectuarse con un ciclo tal, que no pueda pasar desapercibido ningún cambio del estado eléctrico de los puntos explorados, mientras que el tiempo de exploración de cada punto debe tender al mínimo.

Este tipo de circuitos exploradores es de gran aplicación en sistemas telefónicos semielectrónicos y equipos de adquisición de datos.

10 Los sistemas actualmente usados emplean, por ejemplo.

407873

2.



una red pasiva o algún otro dispositivo, como puntos a explorar;
una lógica separada, que puede estar constituida por circuitos
integrados o componentes discretos, y amplificadores separadores
en los puntos de cruce. Después de estos amplificadores pueden
5 utilizarse salidas comunes. Los tiempos de muestreo y de respues-
tas obtenidos en estos sistemas son del orden del microsegundo.
Una vez fijadas las características de los componentes a emplear
y las necesidades del sistema, los tiempos de muestreo y respues-
ta quedan determinados y su modificación requiere cambios de dise-
10 ño.

El nuevo explorador que proponemos hace uso de las
facilidades que proporciona un nuevo tipo de circuitos integrados
de comercialización reciente, llamados de "lógica triestado"
(THREE-STATE-LOGIC). Su principal característica es que el punto
de exploración y la lógica de control se encuentran unidos, consi-
15 guiéndose así un dispositivo explorador que permite una solución
del problema sencilla y económica.

El único componente activo en el explorador es el cir-
cuito integrado denominado "PUERTA SEPARADORA" (BUFFER GATE) con
códigos DM 8093 ó DM 8094 de la marca "NATIONAL SEMICONDUCTOR",
20 aunque pudiera ser otro cualquiera de características semejantes.

En nuestro explorador el límite superior de los tiem-
pos de muestreo y respuesta es de nanosegundos, pudiendo regular-
se fácilmente el primero por variación del impulso de permiso.

Es el primer explorador a circuitos integrados que
25 permite una salida común a varios puntos de exploración y su ló-
gica asociada, suprimiéndose los amplificadores de los puntos de
cruce.

Como consecuencia de las características reseñadas,
el coste medio por puntos de exploración y su lógica de control
30 asociada es el más bajo de todos los procedimientos conocidos.

407873

3.



Descripción

En la Fig. 1 se muestran las tablas lógicas de los circuitos integrados de "lógica triestado" y sus conexiones exteriores.

Existe la siguiente correspondencia entre las abreviaturas utilizadas en la Fig. 1 y su significado:

- PS= Puerta separadora
- ED= Entrada de datos
- S= Salida
- C= Control
- D= Dato
- ALZ= Alta impedancia
- IRR= Irrelevante

Los circuitos de lógica triestado se caracterizan porque su salida puede unirse con la de otros 127 circuitos semejantes (fig. 2). Todas las entradas de control, excepto la correspondiente al punto explorado en el instante que se considere, se encuentran en estado lógico "1" (con circuito integrado código DM-8093 o semejante) y sus salidas correspondientes presentan una impedancia elevada. Unicamente la entrada de control del punto explorado adquiere el estado lógico "0" y la señal obtenida en la salida común será la que corresponda al estado eléctrico del punto explorado. Es decir, cuando el estado eléctrico del punto explorado corresponda a "1" lógico, la salida será también "1"; cuando el estado del punto explorado corresponda a "0" lógico, la salida será "0".

Existe la siguiente correspondencia entre las abreviaturas utilizadas en la Fig. 2 y su significado:

- E= Entrada
- C= Control
- SC=Salida común

407873

4.



La organización general del dispositivo se muestra en la Fig 3.

Existe la siguiente correspondencia entre las abreviaturas utilizadas en la Fig. 3 y su significado:

- 5 ODO= Organización del dispositivo
- ES= Entradas
- S= Salida
- P.ExP= Punto de exploración

Para fijar ideas supondremos que exploramos simultáneamente 16 puntos, aunque esta cifra pudiera ser cualquier otra. La capacidad del dispositivo representado en la Fig. sería de $128 \times 16 = 2048$ puntos de exploración.

Está unido a un decodificador que dispone de tantas salidas como grupos de 16 puntos de exploración. El decodificador recibe en sus entradas una señal digital, y, una vez decodificada aplica señal de control a las 16 puertas correspondientes al grupo representado por el código de control recibido. Veinte nanosegundos después aparecen las señales correspondientes en los 16 hilos de salida del explorador, en el caso que se describe, ya que el número de hilos de salida depende del número de puntos explorados simultáneamente.

La información obtenida de los puntos explorados tendrá en los hilos de salida la misma duración que los impulsos de permiso o control. Debido a esta última característica puede modificarse con facilidad de longitud de los impulsos de salida por variación únicamente de los impulsos de control.

El resto de las salidas del decodificador permanecen inactivas durante la operación descrita, siendo sucesivamente activadas durante el ciclo de exploración.

En la Fig. 3 se muestran filas de 16 puntos ya que en



el dispositivo que se describe se ha elegido un grupo de 16 bits sin que esta condición sea limitativa. El número máximo permisible de columnas es de 128, dadas las características de los actuales circuitos integrados "triestado" pero podría diferir al
5 cambiar la tecnología actual.

Puede aumentarse la capacidad total con agrupaciones de bloques de 2048 puntos.

El explorador descrito es aplicable a señales digitales con valores de tensión comprendidas entre 0 y 5 voltios.

10 Tampoco habría dificultad en explorar señales de niveles superiores, atenuándolos previamente hasta conseguir los valores mencionados.

-----NOTA-----

15 Los puntos de invención propia y nueva que se presentan para que sean objeto de ésta patente por veinte años son los siguientes:

1.- Un explorador electrónico a circuitos integrados que aprovecha las características de un circuito integrado "PUERTA SEPARADORA" ("BUFFER GATE") de uso general para una nueva utilización como punto de exploración y su lógica de control asociada reunidos en un solo componente.
20

2.- Un explorador electrónico de acuerdo con el punto 1 en el que es posible utilizar una salida común a 128 puntos de exploración sin emplear otros elementos intermedios ni amplificadores de puntos de cruce.
25

3.- Un explorador electrónico a circuitos integrados.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines espec:

407873

6.



ficados.

Esta Memoria consta de 6 hojas escritas por una sola cara.

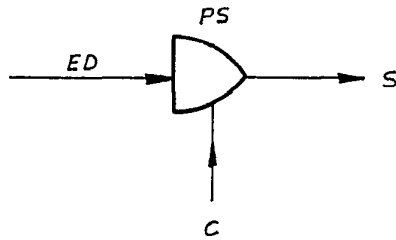
Madrid,

23 OCT. 1972



M. G. Santamaria

M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



TL

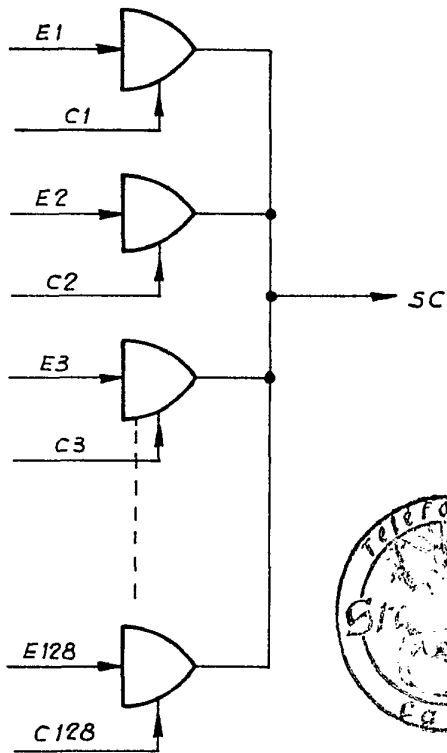
D	C	S
1	0	1
0	0	0
X	1	ALZ

TL

D	C	S
1	1	1
0	1	0
X	0	ALZ

X=IRR

FIG. 1



23 OCT. 1972



M. G. SANTAMARIA
VICEDIRECTOR GENERAL

FIG. 2

23 OCT 1972

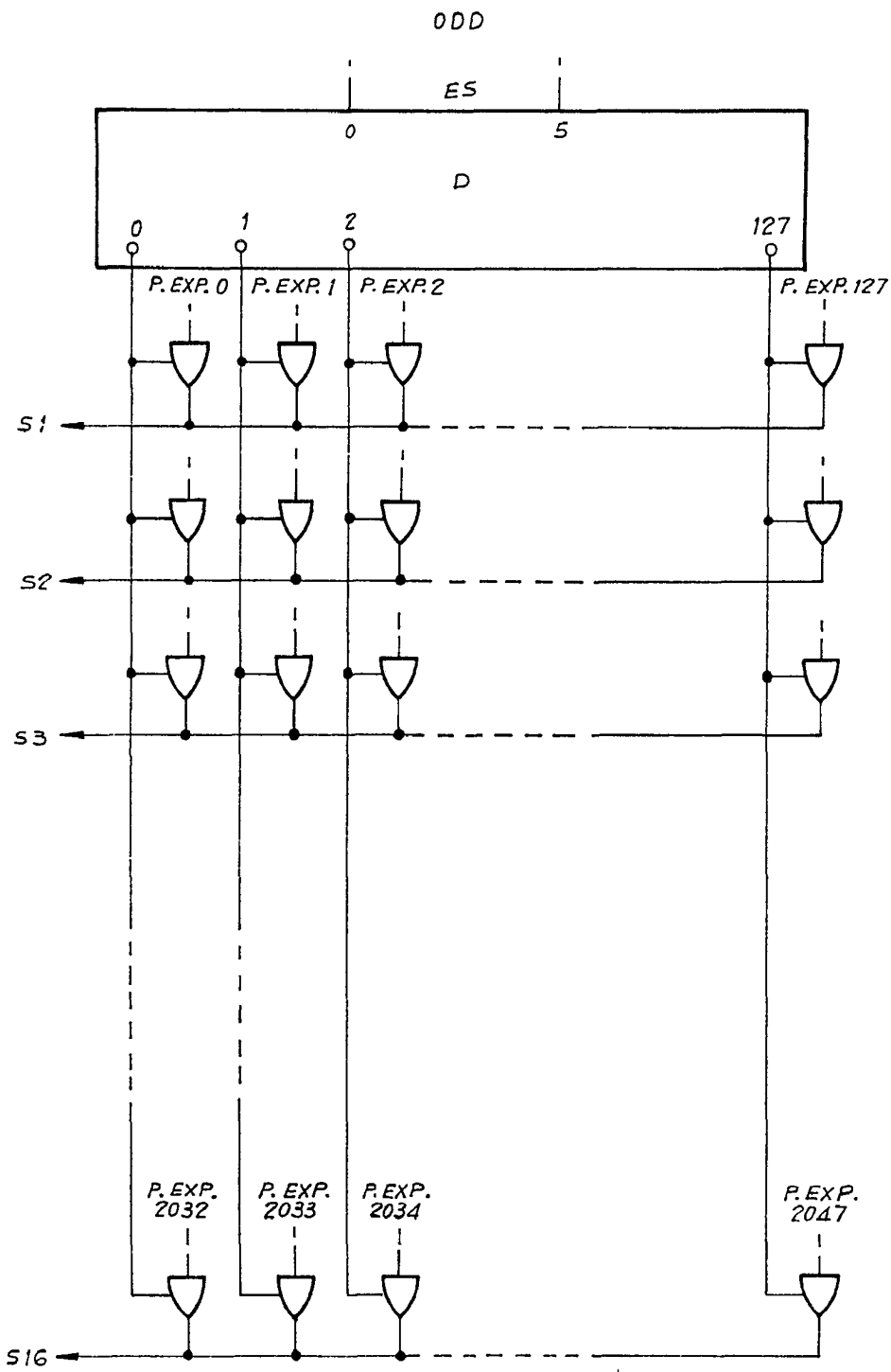
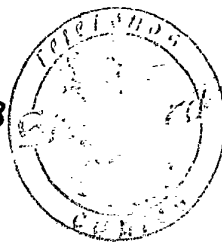


FIG. 3



M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

23 OCT 1972