



P.- 52.000

RCA 64935

407756

Int. Cl.: H03K

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION por VEINTE años

a nombre de RCA CORPORATION

entidad norteamericana

con domicilio en 30 Rockefeller Plaza, Nueva York, N.Y. 10020,
Estados Unidos de América.

por: "UNA DISPOSICION DE CIRCUITO DIVISOR DE FRECUENCIA"
(Clase Internacional H03k)

18.10.72

- 1 -

P.- 52.000

RCA 64.935



407758

5

Esta invención se refiere a nuevos circuitos divisores de frecuencia. Se conocen en la técnica un gran número de circuitos de división de frecuencia. Muchos de los circuitos de división de frecuencia conocidos se fabrican utilizando técnicas de circuitos integrados que emplean semiconductores de óxido metálico (MOS) o similares. Sin embargo, muchos de los circuitos de división de frecuencia existentes utilizan un número relativamente grande de transistores u otros dispositivos semiconductores. Típicamente, un gran número de dispositivos semiconductores requiere un área relativamente grande del circuito integrado y tiene también requisitos de disipación de potencia relativamente elevados.

Con la aparición de las técnicas de circuitos integrados y la aplicación de esta tecnología a dispositivos de relojería, tales como relojes de pulsera y similares, es deseable reducir la disipación de potencia y el área de la pastilla o dispositivo de circuitos.

407758



Por consiguiente, es en gran medida deseable idear circuitos de cómputo o de regulación de tiempo que utilicen menos transistores o dispositivos semiconductores similares a fin de reducir al mínimo los requisitos de tamaño y potencia de los circuitos. Es decir, cuanto menores sean los requisitos de área y/o requisitos de potencia o disipación para los circuitos, tanto más pequeño podrá fabricarse el reloj o similar. Además, comoquiera que la mayoría de los relojes de estado sólido propuestos de la clase de los que utilizan circuitos de tipo MOS operan sobre un órgano principal de cuenta atrás o de división de frecuencia, es en gran medida deseable reducir al mínimo los requisitos de tamaño y potencia de los circuitos del contador y del divisor de frecuencia.

Los circuitos para poner en práctica la presente invención incluyen puertas lógicas primera y segunda, cada una de las cuales tiene un terminal de salida y al menos dos terminales de entrada. Estas puertas son del tipo que produce una señal de salida de un significado binario cuando todas las señales aplicadas a sus terminales de entrada son del mismo significado binario, y que produce una señal de salida de otro significado binario cuando las señales aplicadas a sus terminales de entrada no son todas

407758



del mismo significado binario. Las puertas están acopladas en cruz; es decir, la salida de una puerta está conectada a una entrada de la segunda puerta y la salida de la segunda puerta está conectada a una entrada de la primera puerta. Otro terminal de entrada de cada puerta está destinado a recibir una señal de frecuencia dada para producir señales de frecuencia más baja en las salidas de dichas puertas.

En la realización de la invención ilustrada en esta memoria, cada puerta lógica tiene dos terminales de entrada y produce una señal de salida de frecuencia $F/2$ en respuesta a una señal de entrada de frecuencia F . Las puertas, denominadas puertas NOR (de inhibición múltiple) exclusivas (o puertas O exclusivas) pueden fabricarse utilizando dispositivos MOS. En las realizaciones ilustradas en esta memoria, las impedancias de los dispositivos MOS están dispuestas para asegurar que una de las dos puertas responda más rápidamente que la otra puerta a señales de entrada ascendentes y que la otra puerta responda más rápidamente a señales de entrada descendentes.

En la descripción detallada de los circuitos que incorporan la invención, se hace referencia a los dibujos que se acompañan y que forman parte de la presente memoria descriptiva, y en los que:

407758



La figura 1 es un diagrama esquemático, en forma de diagrama lógico, de una realización de la presente invención.

5 La figura 2 es un diagrama de tiempos que muestra los perfiles de onda aplicados al circuito mostrado en las figuras 1, 3 y 4 y suministrados por el mismo.

La figura 3 es un diagrama esquemático detallado de una realización de la presente invención.

10 La figura 4 es un diagrama esquemático detallado de otra realización de la presente invención.

En las distintas figuras descritas en lo que sigue, los elementos similares llevan números de referencia similares.

15 Haciendo ahora referencia a la figura 1, se muestra en ella una realización de la presente invención. Esta realización utiliza un par de puertas NOR exclusivas 10 y 12. Deberá entenderse que podrían utilizarse en su lugar puertas O exclusivas. Un terminal 20 14 está destinado a recibir cualquier manantial o medios de entrada adecuados para suministrar señales a contar hacia atrás o dividir. Para uso en la regulación de tiempo o como divisor de frecuencia, el manantial es uno que suministra una señal de entrada periódica de frecuencia F, y el circuito se describirá así

25

407758



5 en lo que sigue. El terminal de entrada 14 está conec-
tado a la entrada X1 de la puerta 10 y a la entrada Y2
de la puerta 12. La salida X3 de la puerta NOR (de in-
hibición múltiple) 10 está conectada a un terminal de
salida 16 y al terminal de entrada Y1 de la puerta 12.
El terminal de salida Y3 de la puerta 12 está conecta-
do al terminal de salida 18 y al terminal de entrada
X2 de la puerta 10. Cualquiera de los terminales de
salida 16 ó 18 puede utilizarse como terminal de salida
10 para el circuito. Como se verá en lo que sigue, la fre-
cuencia de señal en los terminales de salida 16 ó 18 es
la mitad de la frecuencia de la señal suministrada al
terminal de entrada 14.

15 Con el fin de describir el funcionamiento
del circuito mostrado en la figura 1, deberá hacerse
notar primeramente que las puertas 10 y 12 pueden ser
ambas puertas O exclusivas o puertas NOR exclusivas.
Los circuitos mostrados en las figuras 3 y 4 utilizan
puertas NOR exclusivas. Una puerta NOR exclusiva se
20 define como un circuito lógico que produce una señal
de salida de bajo nivel cuando una y solamente una de
las entradas recibe una señal de entrada de alto nivel.
Recíprocamente, si ambas señales de entrada tienen el
mismo nivel (es decir, señales de alto nivel o de bajo
25 nivel), la señal de salida producida por el circuito

407758



lógico es una señal de alto nivel. En esta descripción, señales de alto nivel y señales de bajo nivel son términos relativos. Ambas señales pueden ser positivas (o negativas) o la señal de alto nivel puede ser positiva y la señal de bajo nivel puede ser negativa.

Se entenderá más fácilmente el funcionamiento del circuito mostrado en la figura 1 haciendo referencia concurrente al diagrama de tiempos mostrado en la figura 2. Así, una señal A, una señal periódicamente recurrente de frecuencia F, es suministrada al terminal de entrada 14. La señal A es suministrada al terminal de entrada X1 de la puerta 10 y al terminal de entrada Y2 de la puerta 12. Las señales de salida de las respectivas puertas son suministradas a los terminales de entrada de la otra puerta en el circuito como se ha descrito más arriba. Así, en el período de tiempo T_0 , la señal de entrada A es una señal de bajo nivel que se aplica a los terminales de entrada X1 e Y2. Para fines de descripción, se supone que una señal B (en el terminal Y3) está inicialmente al nivel alto. La señal B de alto nivel es suministrada al terminal X2 de la puerta 10. Con la aplicación a él de una y solamente una señal de entrada de alto nivel, la puerta 10 produce una señal de salida C de bajo nivel. Esta señal es devuelta al terminal de entrada Y1 de la puerta 12. Por consiguiente,

407758



la puerta 12 recibe dos señales de bajo nivel que hacen que la puerta 12 produzca una señal de salida B de alto nivel. Así, se ve que el circuito de la figura 1 está en una condición estable. Sin embargo, en
5 el período T1, la señal de entrada A cambia al nivel alto. Así, una señal de alto nivel es aplicada a los terminales X1 e Y2 de las puertas 10 y 12, respectivamente. En el período de tiempo T1, la puerta 10
10 tiene dos señales de alto nivel aplicadas a sus entradas. La puerta 12 tiene aplicadas a ella una señal de entrada baja y una señal de entrada alta. La puerta 10 se hace relativamente insensible a las entradas ascendentes y, por consiguiente, no puede cambiar rápidamente de estado. En consecuencia, la puerta 12
15 primeramente producirá una señal de salida B de bajo nivel. Como resultado de este funcionamiento, en el período de tiempo T1 las señales B y C son cada una señales de bajo nivel.

En el período de tiempo T2, la señal de entrada A cambia al nivel bajo. La señal de bajo nivel
20 es aplicada a los terminales X1 e Y2 de las puertas 10 y 12, respectivamente. La puerta 10 se hace relativamente más sensible a las señales descendentes y, en consecuencia, produce una señal de salida C de alto
25 nivel. La señal C de alto nivel es suministrada al ter

407758



minal de entrada Y1 de la puerta 12 junto con la señal A de bajo nivel. Así, la puerta 12 produce una señal de salida B de bajo nivel en respuesta a una y solamente una señal de entrada de alto nivel.

5 . En el período de tiempo T3, la señal A cambia otra vez al nivel alto y es suministrada a los terminales X1 e Y2 de las puertas 10 y 12, respectivamente. La señal C de alto nivel es también suministrada al terminal Y1 de la puerta 12, con lo que la puerta 12, sensible a un borde de señal ascendente, produce una señal de salida B de alto nivel en respuesta a la pluralidad de señales de entrada de alto nivel. La señal B de alto nivel es suministrada al terminal X2 de la puerta 10 junto con la señal A de alto nivel. En consecuencia, la puerta 10 produce una señal de salida C de alto nivel.

10 En el período de tiempo T4, la señal de entrada A cambia al nivel bajo y es suministrada a los terminales X1 e Y2. La señal B de alto nivel es suministrada al terminal X2 de la puerta 10. La puerta 10 produce rápidamente una señal de salida C de bajo nivel que es devuelta al terminal de entrada Y1 de la puerta 12. El funcionamiento del circuito después del período de tiempo T4 comienza a repetir el funcionamiento del circuito descrito a partir del período de tiempo T0.

15 20 25 Se ve por la pauta de funcionamiento que las

407758



señales de salida en los terminales 16 ó 18 (es decir,
las señales C o B, respectivamente) tienen una frecuen
cia que es la mitad de la frecuencia de la señal de en
trada A. Es decir, para cada impulso de salida en el
5 terminal 16 ó 18, son aplicados en el terminal 14 dos
impulsos de entrada. Además, se ve que los impulsos de
salida en B y C son de doble duración que cada uno de
los impulsos de entrada en A. Sin embargo, como es bien
conocido en la técnica, las señales B y/o C pueden ser
10 tratadas para cambiar su configuración en función de
la duración de los impulsos individuales en caso de que
la duración del impulso sea de importancia.

Deberá entenderse también que, con el fin
de obtener el funcionamiento descrito en lo que prece-
15 de, es condición necesaria que la salida de la puerta
10 tenga que cambiar de estado antes de la salida de
la puerta 12, cuando la señal de entrada (señal A) es
descendente (es decir, de sentido negativo) en cualquiera
de los terminales de entrada X1 o Y2. Recíprocamente,
20 la señal de salida de la puerta 12 tiene que cambiar
de estado antes de la señal de salida de la puerta 10
para una señal de entrada que sea ascendente (es decir,
de sentido positivo) en los terminales de entrada X1 e
Y2. Es decir, normalmente la interconexión de las puer-
25 tas NOR exclusivas (como se muestra en la figura 1) no

407758



producirá los perfiles de onda de salida mostrados en la figura 2. Por el contrario, las señales de salida B o C tienden usualmente a ser representaciones normales o complementarias de la señal de entrada en el terminal 14 y de la misma frecuencia. El circuito tiene que ser impulsado a la condición de dividir por dos a fin de proporcionar un divisor de frecuencia como el que se sugiere en esta memoria.

Con el fin de completar el circuito anteriormente descrito, se muestran y describen en lo que sigue realizaciones ilustrativas. Los circuitos mostrados en las realizaciones ilustrativas utilizan asimismo puertas NOR exclusivas, pero deberá entenderse que pueden utilizarse también puertas O exclusivas.

Haciendo ahora referencia a la figura 3, se muestra en forma de diagrama esquemático detallado una realización ilustrativa de la presente invención. Este diagrama esquemático excluye una pluralidad de dispositivos semiconductores del tipo MOS. Estos dispositivos semiconductores son del tipo conocido e incluyen un circuito de conducción entre dos electrodos (denominados comúnmente electrodos de alimentación y de salida) y un electrodo de control que controla la conducción a través del circuito de conducción. El electrodo de control se denomina frecuentemente electrodo

407758



de puerta. Además, como sugiere la leyenda, hay dispositivos MOS de tipo P (PMOS) y de tipo N (NMOS). Estos tipos de dispositivos son bien conocidos en la técnica. Sin embargo, muy generalmente, el dispositivo MOS de
5 tipo P del tipo de enriquecimiento se hace conductor cuando el electrodo de puerta se hace negativo con relación al electrodo de alimentación del mismo. Recíprocamente, el dispositivo MOS de tipo N del tipo de enriquecimiento se hace conductor cuando el electrodo de
10 puerta se hace positivo con relación al electrodo de alimentación del mismo. Además, comoquiera que estos dispositivos son generalmente de funcionamiento bilateral, su electrodo de alimentación o de salida no está necesariamente definido de forma específica. Por el contrario,
15 los dispositivos están eficazmente definidos como conductores o no conductores, de acuerdo con la condición de señal en electrodo de puerta en comparación con la condición de señal en uno de los terminales en su circuito de conducción. De hecho, puede considerarse que
20 el dispositivo es activado por la señal apropiada en el electrodo de puerta, y que la conducción (y su sentido) viene prescrita por las condiciones de señal en los terminales del circuito de conducción.

La señal de entrada A de frecuencia F es
25 suministrada al terminal 14, tal como sucedía con el

407758



circuito mostrado en la figura 1. Esta señal es suministrada a los electrodos de puerta de dispositivos PMOS 52 y 54 y a los electrodos de puerta de dispositivos NMOS 51 y 57. La señal A es también suministrada a un terminal del circuito de conducción de un dispositivo NMOS 50 y de un dispositivo PMOS 55. Un terminal del circuito de conducción del dispositivo PMOS 52 está conectado a un manantial adecuado de potencial de trabajo $+V_{DD}$ en el terminal 60. Otro terminal del circuito de conducción del dispositivo PMOS 52 está conectado a un terminal del circuito de conducción de un dispositivo PMOS 53. El otro terminal del circuito de conducción del dispositivo PMOS 53 está conectado al terminal de salida 16 y a una unión común 78 en el segundo terminal del circuito de conducción del dispositivo NMOS 50 y un terminal del circuito de conducción del dispositivo NMOS 51. El otro terminal del circuito de conducción del dispositivo NMOS 51 está conectado a los electrodos de puerta del dispositivo NMOS 50 y del dispositivo PMOS 53. Además, el segundo terminal mencionado del circuito de conducción del dispositivo semiconductor 51 está conectado al terminal de salida 18 con lo que la señal B es devuelta al mismo. El terminal de salida 16 está conectado a un terminal del circuito de conducción del dispositivo PMOS 54, y a los

407758



electrodos de puerta del dispositivo PMOS 55 y de un dispositivo NMOS 56, con lo que la señal C es suministrada al mismo. Los circuitos de conducción de los dispositivos NMOS 56 y 57 están conectados en serie entre un terminal 62, que recibe un potencial de trabajo $-V_R$ (que puede ser un potencial de masa) y una unión común 77. El punto de unión 77 es común a un extremo de los circuitos de conducción de los dispositivos PMOS 54 y 55 y del dispositivo NMOS 56 y a los electrodos de puerta de un dispositivo PMOS 58 y de un dispositivo NMOS 59 en una unión común 75. Los circuitos de conducción de los dispositivos 58 y 59 están conectados en serie entre unos terminales 61 y 63. Los terminales 61 y 63 están conectados a los manantiales $+V_{DD}$ y $-V_R$, respectivamente. La unión común de los circuitos de conducción de los dispositivos 58 y 59 está conectada al terminal de salida 18, en cuyo punto se produce la señal de salida $F/2$. Esta señal de salida es representativa de la señal B mostrada en la figura 2. Además, los dispositivos 58 y 59 forman un circuito inversor típico 76.

El funcionamiento de este circuito es similar al funcionamiento del circuito mostrado en la figura 1. Por consiguiente, se hace referencia concurrente al diagrama de tiempos de la figura 2 a fin de entender el

407758



funcionamiento del circuito de la figura 3. Una señal
A es suministrada al terminal 14 y desde allí a los
electrodos de puerta de los dispositivos 51, 52, 54
y 57, y los terminales de circuito de conducción de
5 los dispositivos 50 y 55. En el instante T_0 , la señal
A es una señal de bajo nivel. En consecuencia, los
dispositivos NMOS 57 y 51 se hacen no conductores de-
bido a la aplicación de la señal de bajo nivel a sus
electrodos de puerta. Recíprocamente, los dispositivos
10 PMOS 52 y 54 son hechos conductores por la misma se-
ñal de bajo nivel en sus electrodos de puerta. Como
punto de partida, la señal B se define como una se-
ñal de alto nivel que es suministrada al electrodo de
puerta de los dispositivos 50 y 53 así como a un ter-
15 minal del circuito de conducción del dispositivo 51.
El dispositivo 50 es entonces conductor y hará que una
señal de bajo nivel sea suministrada a los electrodos
de puerta de los dispositivos 55 y 56 y a los termi-
nales de los circuitos de conducción de los disposi-
20 tivos 50 y 51 (en la unión 78) y el dispositivo 54. Con
estas combinaciones de señales, los dispositivos PMOS
54 y 55 se hacen conductores, con lo que la señal C de
bajo nivel es transmitida a través de ellos al termi-
nal 75 del inversor 76, con lo cual se suministra una
25 señal de salida de alto nivel al terminal 18. Es decir,

407758



la señal de bajo nivel en el terminal 75 hace conductor al dispositivo semiconductor 58 y no conductor al dispositivo 59. En consecuencia, el terminal de salida 18 está conectado a través del circuito de conducción del dispositivo 58 al terminal 61 que se define como un manantial relativamente positivo. De manera similar, a causa de las combinaciones de señales, el dispositivo 57 es no conductor, con lo que la condición de señal del dispositivo 56 (conectado en serie con el dispositivo 57) es inconsecuente. Además, las combinaciones de señales descritas en el período de tiempo T_0 hacen no conductor al dispositivo 53 y conductor al dispositivo 52. Por consiguiente, el manantial $+V_{DD}$ en el terminal 60 no está conectado al terminal 16.

En el período de tiempo T_1 , la señal de entrada A cambia al nivel alto. En consecuencia, una señal de alto nivel es suministrada a los electrodos de puerta de los dispositivos 51, 52, 54 y 57. La señal A de alto nivel es también suministrada a un terminal del circuito de conducción de cada uno de los dispositivos 50 y 55, respectivamente. De acuerdo con las condiciones indicadas en lo que precede, una señal de entrada ascendente (señal A) requiere que la señal de salida en el terminal cambie antes de la señal de salida en el terminal C. En consecuencia, el

407758

19 OCT 1972



dispositivo 55 funciona en respuesta a la combinación de la señal de alto nivel aplicada al circuito de conducción en el instante T1 y la señal de bajo nivel ya aplicada en su electrodo de puerta para conducir la señal de alto nivel al nodo 75 en esencia inmediatamente después de la aplicación de la señal de entrada de alto nivel. (A causa de la señal de alto nivel en su electrodo de puerta, el dispositivo 54 es sustancialmente no conductor). La señal de alto nivel en el nodo 75 es invertida por el inversor 76 y suministrada al terminal 18 como una señal B de bajo nivel. La señal B de bajo nivel es suministrada al electrodo de puerta de los dispositivos 50 y 53, con lo que el dispositivo 50 se hace no conductor y el dispositivo 53 es habilitado para conducción dependiendo del resto de las señales aplicadas a él. La señal A de alto nivel, que fue aplicada al electrodo de puerta del dispositivo 51, hace que este dispositivo sea habilitado de tal manera que la aplicación de la señal B de bajo nivel a su circuito de conducción actúa esencialmente para proporcionar una señal C de bajo nivel en el terminal 16. La señal C de bajo nivel es realimentada al electrodo de puerta del dispositivo 55 para bloquear esencialmente el circuito en las condiciones enumeradas. Además, la señal C de bajo nivel es suministrada al circuito de conducción del dispositi-

407758

19 OCT. 1972



5 tivo 54 que es hecho no conductor por la señal A de alto nivel en su electrodo de puerta. Además, la señal C de bajo nivel es suministrada al electrodo de puerta del dispositivo 56 que es hecho no conductor por ella. Así, se ve que la señal A de alto nivel produce señales B y C de bajo nivel en el período de tiempo T1.

10 En el período de tiempo T2, la señal A cambia al nivel bajo y esta señal de bajo nivel es suministrada a los electrodos de puerta de los dispositivos 51, 52, 54 y 57. En esta situación, la señal de entrada es una señal descendente, teniendo que cambiar de estado la señal de salida en el terminal 16 (señal C) antes de que lo haga la señal de salida de la otra puerta. Así, la aplicación de la señal A de bajo nivel al electrodo de puerta del dispositivo 52 produce conducción a través de los dispositivos 52 y 53 conectados en serie, con lo que se produce una señal C de alto nivel en el terminal 16. La señal C produce entonces una señal de alto nivel en el circuito de conducción del dispositivo 54, que ha sido hecho conductor por la señal A de bajo nivel. Así, una señal de alto nivel es aplicada al terminal 75 a través del dispositivo 54. Además, el dispositivo 57 ha sido hecho no conductor por la señal A de bajo nivel, con lo que el manantial $-V_R$ en el terminal 62 es desconectado del terminal 75.

15

20

25

19 OCT 1972

407758

El inversor 76 opera sobre la señal en el terminal 75 y produce la señal B de bajo nivel en el terminal 18, cuya señal B es devuelta al circuito de conducción del dispositivo 51. Sin embargo, el dispositivo 51 ha sido ya hecho no conductor por la aplicación de la señal A de bajo nivel a su electrodo de puerta. Además, la señal B de bajo nivel es suministrada a los electrodos de puerta de los dispositivos 50 y 53, con lo que el dispositivo 50 es hecho no conductor y el dispositivo 53 es hecho conductor. Estas condiciones de señal hacen que el circuito bloquee en la condición mostrada. Así, en el período de tiempo T2 las señales A y B son señales de bajo nivel, mientras que la señal C es una señal de alto nivel.

En el período de tiempo T3, la señal de entrada A cambia otra vez al nivel alto. Esta señal de alto nivel es suministrada al electrodo de puerta de cada uno de los dispositivos 52, 51, 57 y 54. Comoquiera que se trata de una señal de entrada ascendente, existe nuevamente la condición de que la señal de salida de la puerta 12 tiene que cambiar de estado antes de la señal de salida de la puerta 10. En este momento, son alimentadas concurrentemente señales de alto nivel a los electrodos de puerta de los dispositivos 56 y 57, con lo que estos dispositivos transfieren una señal de bajo nivel

407758



del terminal 62 al terminal 75. El inversor 76 opera sobre esta señal de bajo nivel y produce una señal de salida B de alto nivel en el terminal 18. La señal B de bajo nivel es aplicada al electrodo de puerta de los dispositivos 50 y 53, con lo que el dispositivo 50 es conductor y la señal A de alto nivel en su circuito de conducción es conducida a su través al terminal 16 mientras que el dispositivo 53 se hace no conductor. Estas condiciones de señal son suficientes para hacer que el circuito bloquee en la condición descrita. Así, en el período de tiempo T3, las señales A, B y C son todas señales de alto nivel.

En el período de tiempo T4, la señal de entrada A cambia al nivel bajo. La señal B permanece en el nivel alto y la señal C cambia al nivel bajo. Es decir, una señal de entrada descendente requiere que la señal de salida de la puerta 10 cambie antes que la señal de salida de la puerta 12. En este caso, el dispositivo 50 (habilitado por la señal B de alto nivel) transmite la señal A de bajo nivel al terminal 16. Se hace notar que estas condiciones de señal son las mismas que las condiciones de señal en el período de tiempo T0. En consecuencia, el circuito funciona ahora como en el período de tiempo T0 y repite cíclicamente el funcionamiento anteriormente descrito.

407758



Así, se ve que las señales de salida B y C son, como se ha definido en lo que precede con relación a la figura 1, señales cíclicas que son regularmente recurrentes y tienen una frecuencia $F/2$, siendo la frecuencia F la frecuencia de la señal de entrada A. En consecuencia, se proporciona un divisor de frecuencia que utiliza dispositivos COS/MOS, y que tiene de este modo poca disipación de potencia y que requiere un área pequeña de pastilla de circuito integrado.

Como se ha hecho notar en lo que precede, se aplican los requisitos de que la salida de la puerta 10 tiene que cambiar antes de la salida de la puerta 12 para una entrada descendente, mientras que la salida de la puerta 12 tiene que cambiar antes de la salida de la puerta 10 para una entrada ascendente. Con el fin de asegurar que se establezcan estas condiciones, el circuito mostrado en la figura 3 se construye con una elección apropiada de los tamaños de los dispositivos. La relación a establecer entre los distintos dispositivos se explica en esta memoria. Los tamaños de los dispositivos controlan las impedancias relativas de los dispositivos. La impedancia de cada dispositivo está representada por la letra Z con el subíndice equivalente al número de referencia del dispositivo. Una manera de asegurar que se proporcionen condiciones y parámetros

407758



de circuito apropiados consiste en utilizar transistores que tengan las impedancias relativas indicadas a continuación:

5

I.
$$Z_{55} + Z_{59} < \frac{Z_{50} Z_{51}}{Z_{50} + Z_{51}}$$

10

II.
$$Z_{52} + Z_{53} < \frac{Z_{54} Z_{55}}{Z_{54} + Z_{55}} + Z_{58}$$

15

III.
$$Z_{56} + Z_{57} + Z_{58} < Z_{51}$$

IV.
$$Z_{50} < Z_{54} + Z_{59}$$

20

Una solución o disposición de las impedancias de los dispositivos (normalizadas con respecto a Z_{51}) para satisfacer estas condiciones es la siguiente:

25

21.9.72

19
OCT 1972
GPO

407758

$$Z_{51} = .5 Z_{54}$$

$$Z_{51} = 10 Z_{59} = 10(Z_{52} + Z_{53})$$

5

$$Z_{51} = 4 Z_{58} = 4 Z_{55}$$

$$Z_{51} = 2(Z_{56} + Z_{57})$$

10

$$Z_{51} = Z_{50}$$

Las condiciones I y II anteriores se producen cuando las señales de entrada X1 y X2 (señales de entrada para la puerta 10) son ambas unos lógicos y las señales de entrada Y1 e Y2 (señales de entrada para la puerta 12) son ambas ceros lógicos. Sin embargo, a causa del efecto del substrato en cada una de estas condiciones, ambos modos de funcionamiento son naturalmente lentos. El efecto del substrato se refiere a la condición en que el electrodo de alimentación está polarizado en sentido inverso con respecto al substrato. Esto tiende a aumentar la impedancia de los dispositivos y los hace responder más lentamente. Este funcionamiento lento es beneficioso, ya que se desea que los dispositivos

407758



sitivos apropiados funcionen lentamente durante estas condiciones. En consecuencia, si bien las condiciones I y II son deseables, no son reglas rígidas. De hecho, el circuito trabajaría satisfactoriamente incluso si

5

$$Z_{55} + Z_{59} = \frac{Z_{50} Z_{51}}{Z_{50} + Z_{51}}$$

10 y

$$Z_{52} + Z_{53} = \frac{Z_{54} Z_{55}}{Z_{54} + Z_{55}} + Z_{58}$$

15

Haciendo ahora referencia a la figura 4, se muestra en ella otra realización de la presente invención. La realización de circuito mostrada en la figura 4 es sustancialmente similar a la realización de circuito mostrada en la figura 3, excepto que se han omitido los dispositivos semiconductores 51 y 54. Al revisar las condiciones anteriormente indicadas y la descripción del funcionamiento del circuito mostrado en la figura 3, resulta evidente que los semiconductores 51 y 54 no necesitan ser nunca impedancias bajas,

21.9.72

407758

19 OCT



a fin de hacer que el circuito funcione de manera apropiada. Un corolario de esto es que pueden ser (y pueden seguir siendo) impedancias altas. Si los dispositivos pueden ser impedancias altas, es sólo una
5 extensión de los mismos definir estas impedancias como infinitas y, en último lugar, separar del circuito los dispositivos. Con estos dispositivos separados, el funcionamiento descrito en lo que precede se aplica en esencia al circuito mostrado en la figura 4. El circui-
10 to resulta ser ahora una etapa de cómputo dinámico de ocho dispositivos, que tiene incluso pocos dispositivos o transistores, reduce aún más los requisitos de área de pastilla y mantiene el consumo de potencia en un índice relativamente bajo.

15 Se considera innecesaria una descripción detallada del funcionamiento del circuito mostrado en la figura 4. La referencia a la descripción del funciona-
20 miento del circuito mostrado en la figura 3 se cree que define satisfactoriamente el funcionamiento del circui-
to de la figura 4. El circuito de la figura 4 funcionará de la misma manera, con lo que el diagrama de tiempos de la figura 2 es aplicable también a este circuito.

Así, se muestra y se describe un circuito divisor de frecuencia relativamente sencillo que utiliza
25 za un número relativamente pequeño de dispositivos semi-

407758



conductores. Este circuito, cuando se ejecuta en forma de circuito integrado, tiene requisitos reducidos de (a) área de pastilla y (b) disipación de potencia. Evidentemente, se reduce la disipación de potencia,
5 ya que solamente hay un circuito de corriente continuo real de manantial positivo a manantial negativo (es decir, el inversor 76). Además, utilizando menos área de pastilla en una aplicación de circuito integrado, se obtienen las ventajas inherentes de una
10 utilización de menor área de pastilla.

Además, ha de entenderse que los circuitos mostrados en las figuras y descritos en lo que precede son solamente realizaciones ilustrativas. Las realizaciones mostradas incluyen puertas NOR exclusivas. Sin embargo, pueden utilizarse puertas O exclusivas. Además, los expertos en la técnica pueden idear modificaciones en las aplicaciones específicas mostradas. Sin embargo, en tanto estas modificaciones caigan dentro del alcance de la invención descrita, se
15 pretende que los cambios caigan dentro de esta descripción.
20

25

21.9.72

407758



La presente solicitud que corresponde a la
presentada en Estados Unidos de América, el 26 de Octu-
bre de 1971, bajo el Nº 192.242 se acoge a los beneficios
del Artículo 51 del vigente Estatuto sobre Propiedad In-
5 dustrial.

REIVINDICACIONES

10

Los puntos de invención propia y nueva, que
se presentan para que sean objeto de esta solicitud de
15 Patente de Invención en España, por VEINTE años, son los
siguientes:

1.- Una disposición de circuito divisor de
frecuencia que incluye puertas lógicas primera y segunda,
teniendo cada una de dichas puertas lógicas un terminal de
20 salida y una pluralidad de terminales de entrada, estan-
do el terminal de salida de dicha primera puerta lógica
conectado a un terminal de entrada de dicha segunda puer-
ta lógica, y estando el terminal de salida de dicha se-
gunda puerta lógica conectado a un terminal de entrada
25 de dicha primera puerta lógica, en la que: cada una de di-

18.10.72 .

- 27 -

407758



chas puertas lógicas primera y segunda es del tipo que produce un nivel binario en su terminal de salida cuando todas las señales aplicadas en sus terminales de entrada son del mismo significado binario, y que produce el otro nivel binario en su terminal de salida cuando las señales aplicadas en sus terminales de entrada no son todas del mismo significado binario; y en el que unos medios para suministrar señales, cuya frecuencia ha de ser dividida a otro terminal de entrada de cada una de dichas puertas lógicas primera y segunda, están destinados a recibir una señal, cuya frecuencia ha de ser dividida.

2.- La disposición según la reivindicación 1, en la que cada una de dichas puertas lógicas primera y segunda es una puerta 0 (disyuntiva) exclusiva.

3.- La disposición según la reivindicación 1, en la que cada una de dichas puertas primera y segunda es una puerta NOR (de inhibición múltiple) exclusiva.

4.- La disposición según la reivindicación 1, en la que cada una de dichas puertas lógicas primera y segunda incluye una pluralidad de dispositivos semiconductores, y dicha primera puerta lógica cambia de estado más rápidamente que dicha segunda puerta lógica en respuesta a una porción descendente de la señal suminis

18.10.72

- 28 -



trada por dichos medios para suministrar señales, y dicha segunda puerta lógica cambia de estado más rápidamente que dicha primera puerta lógica en respuesta a una porción ascendente de la señal suministrada por dichos
5 medios para suministrar señales.

5.- La disposición según la reivindicación 1, en la que al menos una de dichas puertas lógicas incluye medios inversores en su salida.

6.- La disposición según la reivindicación
10 1, en la que cada una de dichas puertas lógicas incluye dispositivos semiconductores primero y segundo de un tipo de conductividad, teniendo cada uno de dichos dispositivos semiconductores primero y segundo un circuito de conducción con un terminal en cada uno de sus extre
15 mos y un electrodo de puerta para controlar la conducción a través de dicho circuito de conducción, teniendo dichos dispositivos semiconductores primero y segundo una conexión común en un terminal de sus circuitos de conducción, medios de manantial de referencia, dis
20 positivos semiconductores tercero y cuarto del tipo de conductividad opuesto, teniendo cada uno de dichos dispositivos semiconductores tercero y cuarto un circuito de conducción con un terminal en cada uno de sus extremos y un electrodo de puerta para controlar la conduc
25 ción a través de dicho circuito de conducción, tenien-

407758

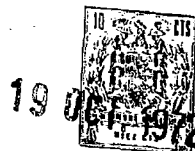
19



do dichos dispositivos semiconductores tercero y cuar
to sus circuitos de conducción conectados en serie en
tre dicha conexión común y dichos medios de manantial
de referencia, estando los electrodos de puerta de di-
5 chos dispositivos semiconductores primero y tercero y
un extremo del circuito de conducción de dicho segun-
do dispositivo semiconductor conectados a dichos me-
dios de manantial, y estando los electrodos de puerta
de dichos dispositivos semicondutores segundo y cuar-
10 to y un extremo del circuito de conducción de dicho
primer dispositivo semiconductor conectados al termi-
nal de salida de la otra puerta lógica, estando dicho
terminal de salida de cada puerta conectado a dicha
conexión común de la puerta lógica asociada.

15 7.- La disposición según la reivindica-
ción 1, en la que cada una de dichas puertas lógicas
incluye primeros medios semiconductores, un circuito
de conducción con un terminal en cada uno de sus ex-
tremos y un electrodo de control para controlar la con-
20 ducción a través de dicho circuito de conducción, te-
niendo dicho primer dispositivo semiconductor su cir-
cuito de conducción conectado entre dichos medios de
manantial y dicho terminal de salida, medios de manan-
tial de referencia, medios semiconductores segundo y
25 tercero que tienen cada uno un circuito de conducción

407758



5 con un terminal en cada uno de sus extremos y un elec-
trodo de control para controlar la conducción a través
de dicho circuito de conducción, teniendo dichos dis-
positivos semiconductores segundo y tercero sus circui-
10 tos de conducción conectados en serie entre dicho ter-
minal de salida y dichos medios de manantial de referen-
cia, estando los electrodos de control de dichos medios
semiconductores primero y segundo conectados al termi-
nal de salida de la otra puerta lógica, estando el elec-
trodo de control de dichos terceros medios semiconduc-
tores conectado a dichos medios de manantial, siendo
dichos primeros medios semiconductores de un tipo de
conductividad, y siendo dichos medios semiconductores
segundo y tercero de otro tipo de conductividad.

15 8.- La disposición según la reivindicación
6, que incluye medios inversores conectados entre el
citado terminal en una de dichas puertas lógicas y el
electrodo de puerta de dichos dispositivos semiconduc-
tores segundo y cuarto de la otra puerta lógica.

20 9.- Una disposición de circuito divisor
de frecuencia.

Tal y como se ha descrito en la Memoria
que antecede, representado en los dibujos que se acom-
pañan y con los fines que se han especificado.

25

18.10.72

- 31 -

407758



Esta Memoria consta de treinta y dos hojas.
escritas a máquina por una sola cara.

Madrid, 19 OCT. 1972

P.A.

Alberto de Eizaburu
Fot. Eizaburu

18.10.72

EAS.-

- 32 -

A handwritten signature or mark at the bottom left of the page.

407758

19 00



Fig. 1.

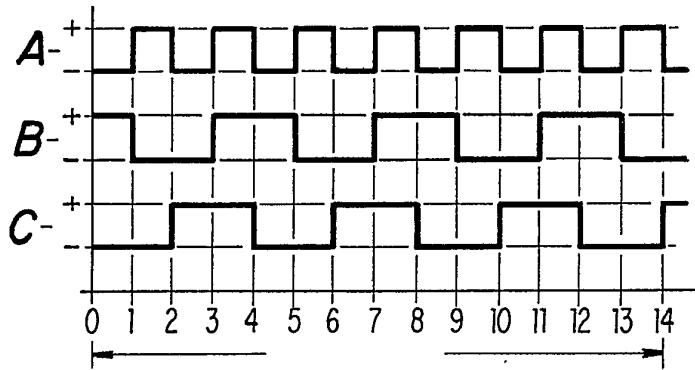
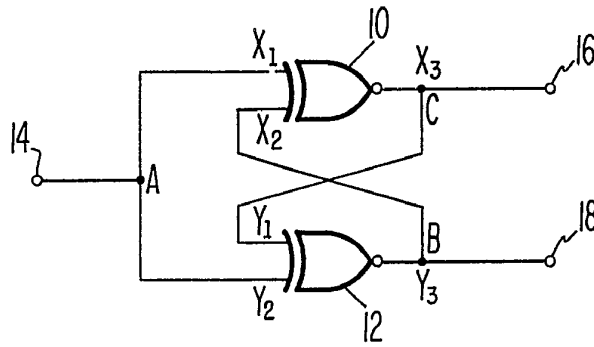


Fig. 2.

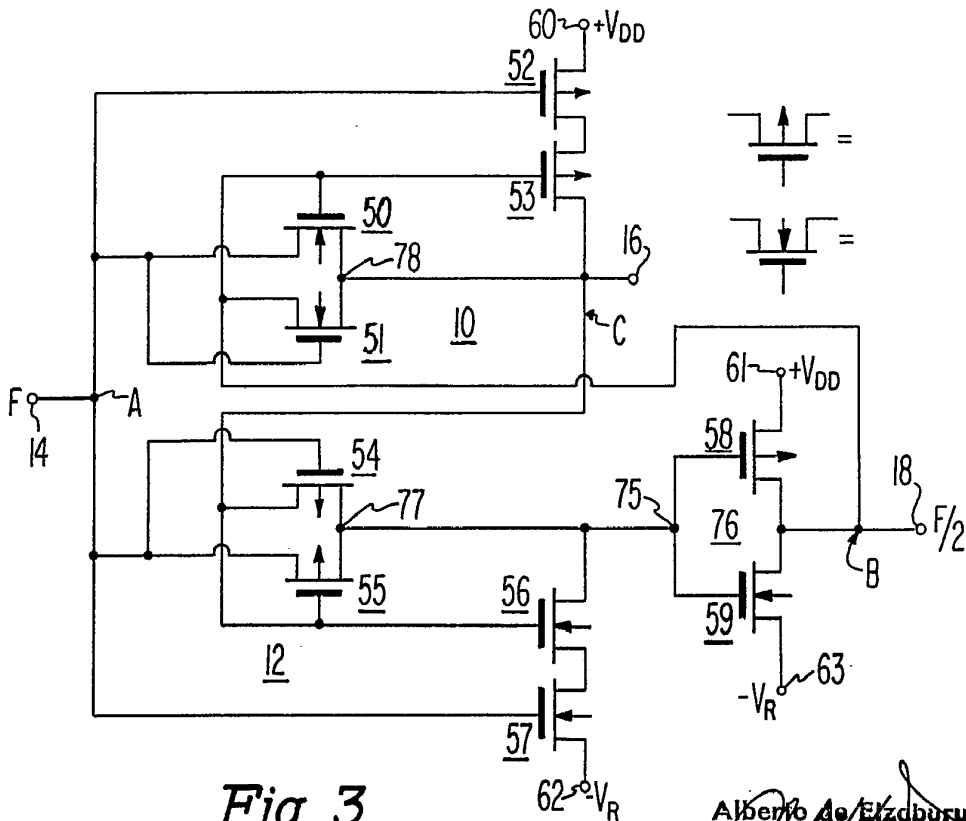


Fig. 3.

Alberto de Eizoburu
Per Paces

052006

407758

1968

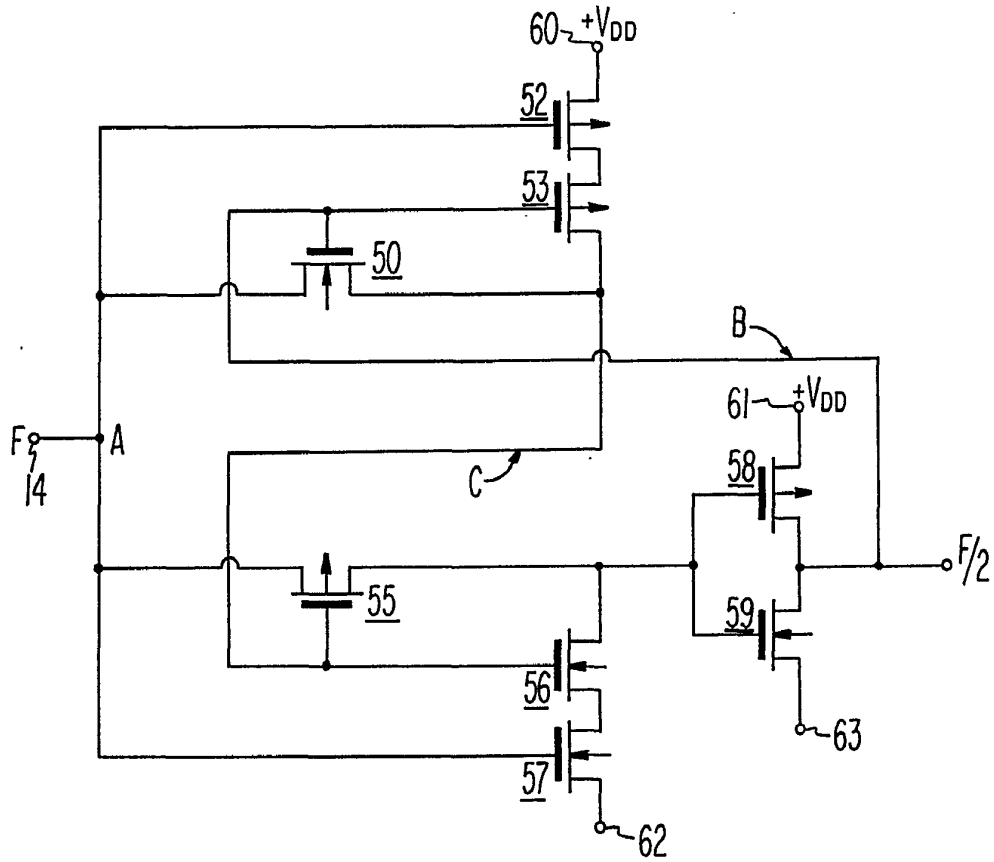


Fig. 4.

Alberto de Szaburu
Res. Id. No. 