

407535

A. REGNIER - K. KEVORKIAN - J.P. LAGER 14-3-I

F.C. 11-V-7T

3.^a COPIA

Int. Cl.²: H04B

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: " UN SISTEMA DE CONMUTACION POR DIVISION DE TIEMPO",
A NOMBRE DE STANDARD ELECTRICA, S.A. DOMICILIADA EN MADRID
CALLE DE RAMIREZ DE PRADO Nº 5.

El presente invento se refiere a un sistema de conmutación por división de tiempo, diseñado para transmitir señales de voz por modulación en código de impulsos. Tales sistemas pueden constituir partes de centrales de tránsito o terminales.

5 Todas las posibles configuraciones para este tipo de sistemas son ya conocidas y estan basadas en disposiciones de etapas por división de tiempo y otras por división de espacio (llamados también conmutadores por división de espacio). Estos sistemas se denominan, normalmente, TST (tiempo-espacio-tiempo),
10 STS (espacio-tiempo-espacio), TTT(tiempo-tiempo-tiempo), etc.

Cada conmutador por división de espacio incluye una o varias matrices de puntos cruzados, cuyo número de entradas y salidas está claramente determinado (normalmente como una potencia de dos) dependiendo del tráfico que debe procesarse. Cada etapa

POOR
QUALITY

por división de tiempo incluye, por lo menos, una memoria de voz y otra de control de cuyos ciclos de lectura-escritura están controlados por el reloj de la central.

Actualmente, los sistemas de este tipo se diseñan, a menudo con propósitos de experimentación, con un pequeño número de canales de entrada y salida, por ejemplo, 1000 canales. El diseño de este tipo de sistemas para un mayor número de canales, por ejemplo, 16000 canales de entrada y salida, causa problemas de confiabilidad debidos al gran número de componentes empleados y a la configuración de la etapa por división de tiempo ó espacio. Además, cualquiera que sea el número de canales de entrada y salida, puede ser conveniente que el sistema sea sin bloqueo, esto es, que proporcione, por lo menos, una ruta disponible entre cualquier par de canales vacíos, sin tener en cuenta el número de rutas ya ocupadas.

El tiempo permitido al sistema para establecer una conexión entre un canal de entrada y otro de salida depende del período de exploración del sistema (por ejemplo 8 kHz), y de cómo se realiza la multiplexión del canal de entrada. Este tiempo se denomina "tiempo elemental del sistema". A modo de ejemplo, este tiempo elemental puede ser de unos 0,5 microsegundos.

En sistemas tan grandes, los canales se distribuyen en grupos y se procesan diversos enlaces, cada uno de los cuales incluye un número predeterminado de canales. Por ejemplo, para un sistema de 16000 canales de entrada y salida, el sistema puede comprender 64 grupos de 8 enlaces cada uno; y comprendiendo cada uno 32 canales. En tal caso, el número de tiempos elementales del sistema es de 256. Cada grupo incluye, esencialmente, una memoria de control cuyo número de filas es igual al número de tiempos elementales, y una memoria de voz cuyo número de filas es

407535

igual al número de canales en un grupo.

El propósito de este invento es proporcionar un nuevo sistema de conmutación por división de tiempo que tiene la ventaja de ser apropiado para un gran número de canales de entrada y salida y cuyo tiempo medio entre fallos es muy alto. Además, el sistema tiene la ventaja de no constituir un bloque.

El sistema está caracterizado por el hecho de que el número de canales de entrada y salida de un grupo es igual a la mitad del número de "tiempos elementales del sistema".

Tal característica permite realizar un sistema sin bloqueo, pero sin embargo, conduce a un conmutador por división de espacio cuatro veces más importante, esto es, que tiene un número de puntos de cruce cuatro veces más importante que un sistema normal con bloqueo. Para salvar esta desventaja, el presente invento describe un conmutador por división de espacio que incluye un número impar de etapas en cascada. Esta disposición tiene la ventaja de emplear un número de puntos de cruce que es solamente el doble de los que serían necesarios en el caso del mismo sistema con bloqueo y, por consiguiente, la mitad de los puntos de cruce necesarios en el mismo sistema sin bloqueo.

A fin de aumentar la confiabilidad del sistema, se divide el conmutador multi-etapa por división de espacio en, por lo menos, dos partes independientes, montadas en paralelo y, preferiblemente, idénticas. Con tal disposición, el conmutador por división de espacio puede tener un número par o impar de etapas.

Segun el presente invento, cada una de las partes independientes montadas en paralelo del conmutador por división de espacio, está controlada por un marcador independiente. Tal disposición permite separar bloques de memoria asignados al mar-

4.
407535

cador y bloques de memoria asignados a control.

5 En el caso de un conmutador por división de espacio de tres etapas, las dos últimas pueden ser controladas por bloques de memoria marcadores, situados, respectivamente, a la entrada y a la salida de las etapas por división de tiempo del sistema. En este caso, los bloques de memoria marcadores de la etapa central son independientes y están asociados directamente a la etapa central correspondiente.

10 Según otra característica de este invento, para aumentar más la confiabilidad del sistema con un tráfico predeterminado, la memoria de voz de cada grupo está duplicada en cada etapa por división de tiempo, mientras conserva la misma memoria de control; la mitad de esta nueva memoria de voz queda asignada al tráfico normal del grupo mencionado, mientras la segunda mitad queda asignada al tráfico del grupo adyacente para el caso
15 de que ocurra un fallo en el mismo.

Otra característica de este invento es que en el sistema de conmutador por división de tiempo, cada grupo de cada etapa comprende:

20 -Una memoria de control cuyo número de filas es igual a las de la memoria de voz,

-Un decodificador binario-o-decimal cuyo número de salidas es igual al número de filas de la memoria de control, a fin de hacer posible la asignación de cada fila de la memoria de control.
25

-Un contador de llamadas conectado a las entradas del decodificador, y

-Una memoria auxiliar con un número de filas igual al doble del número de filas de la memoria de control principal.
30 Cada fila contiene un bit y es leída ciclicamente bajo el control

del reloj de la central. La memoria auxiliar cambia un paso el contador cada vez que el bit leído corresponde a la utilización de un tiempo elemental del sistema.

Así, debido a tal disposición de la memoria de control, queda espacio libre en la memoria, resultando una mayor eficiencia del número de bits de memoria empleados con respecto al número de canales de entrada y salida.

Otras características de este invento podrán apreciarse de la siguiente descripción, y de las figuras que se acompañan, en las cuales:

La Fig. 1 es un diagrama bloque de un sistema convencional con división tiempo-espacio-tiempo y bloqueo, para un gran número de canales de entrada y salida.

La fig. 2 es el diagrama bloque de un sistema de conmutación por división en tiempo y sin bloqueo, según el presente invento.

La Fig. 3 es el diagrama bloque de otro sistema de conmutación por división en tiempo, según el presente invento, que proporciona una mayor confiabilidad de operación.

La Fig. 4 es el diagrama bloque de otro sistema de conmutación por división de tiempo, según el presente invento, en el que existe una segunda memoria de voz.

La Fig. 5 es el diagrama bloque de otro sistema de conmutación por división de tiempo, según el presente invento, en el que se ha conseguido una reducción en el tamaño de la memoria de control.

La Fig. 1 representa un sistema con división tiempo-espacio-tiempo; sin embargo, esta característica no representa una limitación del sistema, dado que puede aplicarse también

6.
407535

satisfactoriamente a disposiciones con división espacio-tiempo-espacio o a cualquier otra secuencia de etapas con división-tiempo y división-espacio.

El sistema de la Fig. 1 es un sistema normal con
5 bloqueo. A modo de ejemplo, incluye 64 grupos independientes de 8 enlaces, cada uno de 32 canales, y está preparado para conmutar 16000 canales de entrada y salida. Básicamente, el sistema comprende una etapa de entrada con división en tiempo que incluye
10 64 grupos independientes 31, un conmutador 29 con división en espacio y una etapa de salida con división en tiempo que incluye 64 grupos independientes 32. La Fig. 1 muestra solamente un grupo de entrada 31 con división en tiempo, el conmutador 29 con división en espacio y solamente un grupo de salida 32 con división en espacio. El propósito del conmutador con división en espacio es
15 conectar cualquier grupo 31 de entrada a cualquier grupo 32 de salida.

Cada grupo 31 de entrada con división en tiempo incluye una memoria de control 20 cargada por el computador de la central 21. En la configuración descrita, la memoria de control
20 20 tiene 256 filas y 8 entradas de almacenaje desde el computador 21. Estas 8 entradas corresponden a los 8 bits de cualquier dirección de división en tiempo en la memoria de voz. La transferencia de cada una de las 256 direcciones de división en tiempo codificadas binariamente y contenidas en la memoria de control
25 20 se realiza mediante una conexión de ocho kilos y se controla cíclicamente por el reloj de la central 22. Estas 256 direcciones de división de tiempo corresponden a 256 "tiempos elementales del sistema". De esta manera, por cada tiempo elemental se transfiere una dirección de división en tiempo al registrador de salida
30 23 de memoria de control. Esta dirección de división en tiempo

se utiliza para indicar la fila que ha de leerse en la memoria de voz 24, que contiene también 256 filas. Este enlace entre el registrador de salida 23 y la memoria de voz 24 se realiza a través de un elemento de 8 puertas OR 25. Cada puerta OR tiene una segunda entrada conectada al canal lógico de puesta al día 26, y parte del circuito de entrada 27 al sistema de conmutación por división en tiempo. Este circuito de entrada 27 se asigna a 8 enlaces, cada uno de 32 canales, y siendo cada canal empleado para una conversación. Además, dicho circuito de entrada 27 proporciona la multiplexión para los 256 canales.

Así, cada tiempo elemental se divide en una primera mitad durante la cual se lee la memoria 24 bajo el control de la memoria 20, mientras durante la segunda mitad se efectúa el almacenaje, a través de la conexión a 8 hilos 28 (porque hay 8 bits por canal), bajo control del circuito lógico 26.

Para cada canal de salida, se transfieren los 8 bits al conmutador por división de espacio a través del registrador de salida 30 de la memoria de voz 24. En la configuración descrita el conmutador por división de espacio tiene solamente una etapa de 64 grupos de puntos de cruce, cada punto de cruce conmuta 8 hilos

El montaje de la memoria de control 20, memoria de voz 24, circuito de entrada 27, circuito lógico 26 y sus circuitos auxiliares constituyen un grupo de entrada 31 de división en tiempo de la etapa de entrada de división en tiempo del sistema al que nos estamos refiriendo.

De la misma manera, el grupo 32 de salida de división en tiempo de la etapa de salida del sistema incluye una memoria de control 33 con su registrador de salida 34, una memoria de voz 35 con su registrador de salida 36, que se conecta directamente al circuito de salida 37 del sistema.

Al igual que en el grupo de entrada 31, existe un elemento de 8 puertas OR, 38, similares a las puertas OR, 25, cada una de las cuales tiene una primera entrada conectada a la salida del registrador 34, y una segunda conectada al reloj 22 y, simultáneamente, a la entrada de lectura cíclica de la memoria 33.

La estructura del sistema ilustrado en la Fig. 1 es relativamente convencional y no necesita mayores detalles en su descripción.

En la configuración ilustrada en la fig. 2, el conmutador por división en espacio 46 incluye tres etapas en cascada A, B y C. La etapa A incluye 16 matrices con 8 entradas y 16 salidas, La etapa B comprende 16 matrices con 16 entradas y 16 salidas. La etapa C comprende 16 matrices con 16 entradas y 8 salidas.

Además, en la configuración descrita, el grupo de entrada 41 de división en tiempo es similar al grupo 31, pero el circuito de entrada 42 asociado al circuito lógico 43 está diseñado para procesar solamente 4 enlaces, incluyendo cada uno 32 canales, en lugar de los 8 enlaces procesados por el circuito de entrada 27. En consecuencia, la memoria de voz 44 tiene solamente 128 filas en lugar de las 256 de la memoria 24. Cada una de estas filas puede ser leída por cualquiera de los 256 tiempos elementales de la memoria de control 45, que tiene solamente 7 entradas de almacenaje desde el computador 21, esto es, hay solamente 7 bits para asignar las 128 filas. El registrador de salida 67 para la memoria de control 45 y el registrador de salida 68 para la memoria de voz 44 tienen, respectivamente, las mismas funciones que los registradores de salida 23 y 30.

El grupo 47 de salida de división de tiempo es similar

al grupo de salida 32, teniendo en cuenta que la memoria de voz tiene solamente 128 filas. El grupo 47 comprende la memoria de control 48 con su registrador de salida 49, la memoria de voz 50 con su registrador de salida 51 y el circuito de salida 52.

5 La configuración de la Fig. 2 tiene la ventaja de constituir un sistema sin bloqueo, aunque no representa una mejora en la confiabilidad de operación.

A fin de conseguir esta mejora, se propone, como muestra la Fig. 3 disponer, en lugar del conmutador 46 por división de espacio, Fig. 2, una etapa por división de espacio que comprende dos partes independientes por división de espacio 39 y 40, cada una de las cuales comprende tres etapas A', B' y C'. La cantidad total de puntos de cruce en ambas partes 39 y 40 es la misma que la del conmutador por división de espacio 46. En la configuración de la fig. 3, la etapa A' es idéntica a la C', e incluye 16 matrices, cada una con 8 entradas y 8 salidas. La etapa central B' incluye 8 matrices, cada una con 16 entradas y 16 salidas. Existe un bloque de memoria marcador A'', B'' y C'' asociado respectivamente con cada una de las etapas A', B' y C'. Cada bloque de memoria está controlado por el computador 21 (de modo convencional, no mostrado en la fig.).

De este modo, dividiendo en dos partes independientes el conmutador por división de espacio, se aumenta considerablemente el tiempo medio entre fallos del conjunto de las partes 39 y 40, con respecto al del conmutador 46. En cada parte 39 y 40, fig. 3, existe un número impar de etapas en cascada; no cabe duda que el mismo tiempo medio entre fallos podría obtenerse con un número par de etapas.

En la configuración ilustrada en la fig. 4, el grupo de entrada por división de tiempo 53 es similar al grupo 31, fig.

pero se encuentra conectado a los grupos anterior y siguiente, respectivamente.

El circuito de entrada 27, diseñado para 8 enlaces, procesa 4 enlaces según el método empleado en las configuraciones de las figs 2 y 3, y es capaz de procesar, además, otros cuatro enlaces del grupo adyacente. Así, en la etapa 53, la memoria de voz 24 procesa los 4 enlaces, normalmente asignados al circuito de entrada 27, en la mitad de su memoria de voz e incluye una gran reserva para, si fuera necesario, procesar los 4 enlaces, cada uno con 32 canales, del grupo adyacente.

El grupo 54 por división en tiempo tiene una configuración similar al grupo de salida 32, pero la memoria de voz 35 procesa 4 enlaces normalmente, lo que permite que la otra mitad del volumen de su memoria de voz permanezca de reserva para procesar, caso de ocurrir algún fallo, 4 enlaces del grupo adyacente de salida. De esta manera, para cada grupo 54 por división en tiempo, el circuito de salida 37 procesa cuatro enlaces en servicio normal y 8 enlaces en caso de que falle el grupo adyacente.

De un modo general, cada división entiempos puede, si ocurre un fallo, ayudar al grupo siguiente de división en tiempo. Tales grupos están dispuestos en permutación cíclica en una dirección. Si la permutación cíclica se realiza en sentido inverso, cada grupo puede ayudar al que le precede inmediatamente. Cuando un grupo por división de tiempo está ayudando a un grupo adyacente el sistema deja de ser sin bloqueo, por lo menos, en lo que concierne al primero de los grupos mencionados, constituyendo un sistema con un grado de bloqueo por debajo de lo normal, pero que es suficiente en la mayoría de los casos.

Debido a la división en dos partes independientes del conmutador por división de espacio y a la duplicidad de cada

grupo por división de tiempo de la memoria de voz, el tiempo medio entre fallos del sistema completo es considerablemente mayor que el correspondiente a la configuración de la fig. 2.

5 Normalmente, la mejora del tiempo medio entre fallos se consigue duplicando, por lo menos, cada equipo necesario. Según el presente invento, se obtiene la misma ventaja por una simple configuración del conmutador por división de espacio y duplicando solamente las memorias de voz del grupo por división del tiempo.

10 La configuración de la fig. 5 es un sistema de conmutación por división de tiempo sin bloqueo que tiene una mayor eficiencia del número de bits de memoria empleados con relación al número de canales de entrada y salida. Este es el resultado de una nueva disposición para la memoria de control de cada uno de los grupos 59 y 60 de entrada y salida.

En la configuración de la fig. 2, la memoria de control 45 tiene 256 filas de 7 bits que permiten asignar las 128 filas de la memoria de voz 44. Como resultado del hecho de que el sistema de conmutación por división de tiempo proporciona 256 tiempos elementales (para la configuración descrita), la memoria de control no puede tener solamente 128 filas, aunque ellas serían suficientes para asignar 128 filas en la memoria de voz. Por consiguiente, en la configuración de la fig. 5, existe una memoria de control auxiliar 55 que incluye 256 filas, cada una con un solo bit.

25 Así, cualquiera de las 256 filas de la memoria auxiliar 55, que son leídas cíclicamente bajo el control del reloj de la central 22, se transfiere a su registrador de salida 56. Dicho registrador se conecta al contador 57 que tiene una entrada y 7 salidas. Estas siete salidas se conectan al decodificador binario-

a-decimal 63 que tiene 128 posiciones correspondientes a las 128 filas de la memoria de control propiamente dicha 58, cuyo registro de salida 69 tiene una función idéntica a la que tiene el registrador de salida 67 de la fig. 2.

5 En el caso de la fig. 2, la dirección del canal de entrada que ha de conmutarse está determinada de una misma manera en la memoria de voz 44. El volumen necesario total de la memoria de control queda reducido, en la configuración de la fig. 5, con respecto al de la fig. 2. En efecto, en la fig. 2, la memoria de control 45 incluye 256 filas de 7 bits, esto es, $256 \times 7 =$
10 1792 bits de memoria, mientras que en la fig. 5, el volumen total de memoria empleado en la memoria de control principal 58 con 128 filas de 7 bits y en la memoria de control auxiliar 55 con 256 filas de 1 bit es $(128 \times 7) + 256 =$
15 bits de memoria.

La disposición de la memoria de control en el grupo de salida por división en tiempo 60 es similar a la disposición de la memoria de control en el grupo de entrada por división de tiempo 59, ya que ambas realizan funciones similares. Existe, de nuevo, memoria auxiliar 61 idéntica a la memoria 55 con su registrador de
20 salida 62, contador 64 y decodificador, respectivamente idénticos al contador 57 y decodificador 63. El decodificador binario-a-decimal 65 tiene también 128 posiciones para la asignación de la memoria de control principal 66 (con su registrador de salida
25 70) del grupo de salida por división de tiempo 60. Dicha memoria 66 es idéntica a la memoria 58.

De esta manera ocurre para cada uno de los grupos de entrada ó salida por división de tiempo que forman las etapas de entrada o salida por división de tiempo del sistema objeto de
30 este invento. La reducción de la memoria de control, como se ha

calculado anteriormente, se refiere a cada uno de los grupos de cada una de las etapas, lo que lleva a la obtención de una reducción de un 30% para todas las memorias de control, lo que es muy significativo en grandes sistemas.

5 En la configuración ilustrada en la fig. 5, la memoria de control auxiliar, que tiene 256 filas, se lee cíclicamente bajo el control del reloj de la central 22. Cuando aparece un "1" en el registrador de salida 56, significa que es empleado un tiempo elemental del sistema para conmutar un canal de entrada
10 a un canal de salida (estos canales de entrada o salida posibilitan la transmisión de señales de voz, datos, etc.). El "1" se transmite al contador 57 para cambiarlo por un paso del mismo. La combinación que resulta en los hilos de salida del contador 57, se transmite al decodificador 63, el cual hará posible asignar la
15 siguiente fila (entre 128 de ellas) de la memoria de control principal 58.

La operación descrita en relación con la configuración ilustrada en la fig. 2 se aplica nuevamente y la dirección leída en la memoria 58 se transfiere a la salida del registrador 69,
20 asignando cualquiera de las 128 filas de la memoria de voz 44. En la memoria 44, la fila asignada corresponde a un canal de conversación y se transmite a la memoria de voz 50 del grupo de salida por división de tiempo a través de una de las dos partes independientes 39 y 40 del conmutador por división de espacio. La asignación de la memoria de voz 50 para almacenar un canal que ha de emplearse para portar una conversación se realiza a lo largo de las
25 mimas líneas mediante la memoria de control principal 66 y la memoria auxiliar 61. La transferencia del canal de conversación desde la memoria de voz 50 al circuito de salida 52 se realiza de
30 una manera cíclica.

407535

14.

Aunque se han descrito los principios del presente invento haciendo referencia a configuraciones específicas, dicha descripción se ha hecho a modo de ejemplo y no a de considerarse como limitación de su alcance.

5 Este invento corresponde a una solicitud de patente formulada en Francia el día 12-10-71 señalada con el número 71 36 594 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

10 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

15 1.- Un sistema de conmutación por división de tiempo para procesar un gran número de canales de entrada y salida, que comprende, por lo menos, una etapa por división de tiempo y otra por división en espacio, esta formada cada etapa por división de tiempo por grupos paralelos e independientes conectados al mismo conmutador por división de espacio. Cada grupo comprende una memoria de control cuyo número de filas es igual al número de
20 tiempos elementales del sistema, y una memoria de voz cuyo número de filas es igual al número de canales en el grupo. Caracterizado también porque el número de canales de entrada y salida en cada grupo es igual a la mitad del número de tiempos elementales del sistema.

25 2.- Un sistema de conmutación por división de tiempo, según el punto 1, caracterizado porque el conmutador por división de espacio comprende un número impar de etapas en cascada.

30 3.- Un sistema de conmutación por división de tiempo según el punto 1, caracterizado porque el conmutador por división
punto

McE

sión de espacio está dividido en, por lo menos, dos partes independientes, paralelas y, preferiblemente, idénticas. Cada una de las partes formada por un número par o impar de etapas en cascada.

5 4.- Un sistema de conmutación por división de tiempo según el punto 1, caracterizado porque cada una de las etapas mencionadas en la reivindicación 3 está controlada por un marcador independiente.

10 5.- Un sistema de conmutación por división de tiempo según el punto 1, caracterizado porque, para un número predeterminado de canales de entrada y salida por grupo, la memoria de voz en cada grupo de cada etapa, está duplicada, pero conservando la misma memoria de control. La mitad de esta nueva memoria de voz está asignada al tráfico normal del grupo considerado, y la segunda mitad está asignada a manejar el tráfico del grupo adyacente en caso de que falle este último.

15 6.- Un sistema de conmutación por división de tiempo, según el punto 1, caracterizado porque cada grupo de cada etapa por división de tiempo comprende:

20 - Una memoria de control cuyo número de filas es igual al de la memoria de voz.

25 - Un decodificador binario-a-decimal cuyo número de salidas es igual al número de filas de la memoria de control, a fin de hacer posible la asignación de cada una de las filas de la memoria de control.

- Un contador conectado a las salidas del decodificador, y

30 *MC* - Una memoria auxiliar con un número de filas doble que las de la memoria de control principal, cada fila con un solo bit, y siendo leída cíclicamente bajo el control del reloj

407535

16.

de la central. Tal memoria auxiliar cambia un paso de dicho contador cada vez que el bit leído corresponde al uso de un tiempo elemental del sistema.

7.- Un sistema de conmutación por división de tiempo.

Tal y como se ha descrito en la memoria que antecede y dibujos que se acompañan y a los fines especificados.

Esta memoria consta de 16 hojas escritas por una sola cara.

Madrid, 26 MAR. 1975



Eugenio Barroso
EUGENIO BARROSO
Secretario General

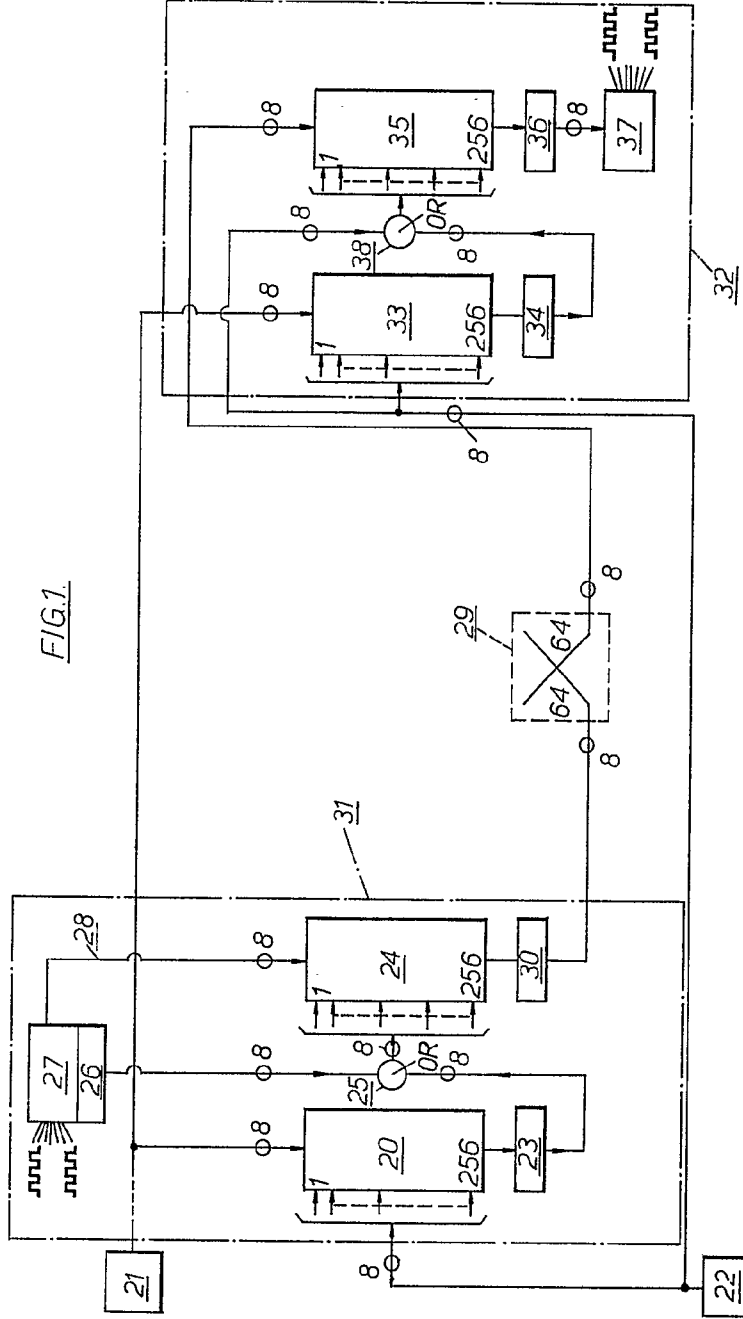
ME

7/1

STANDARD ELECTRICAL S.A.

407535

407535



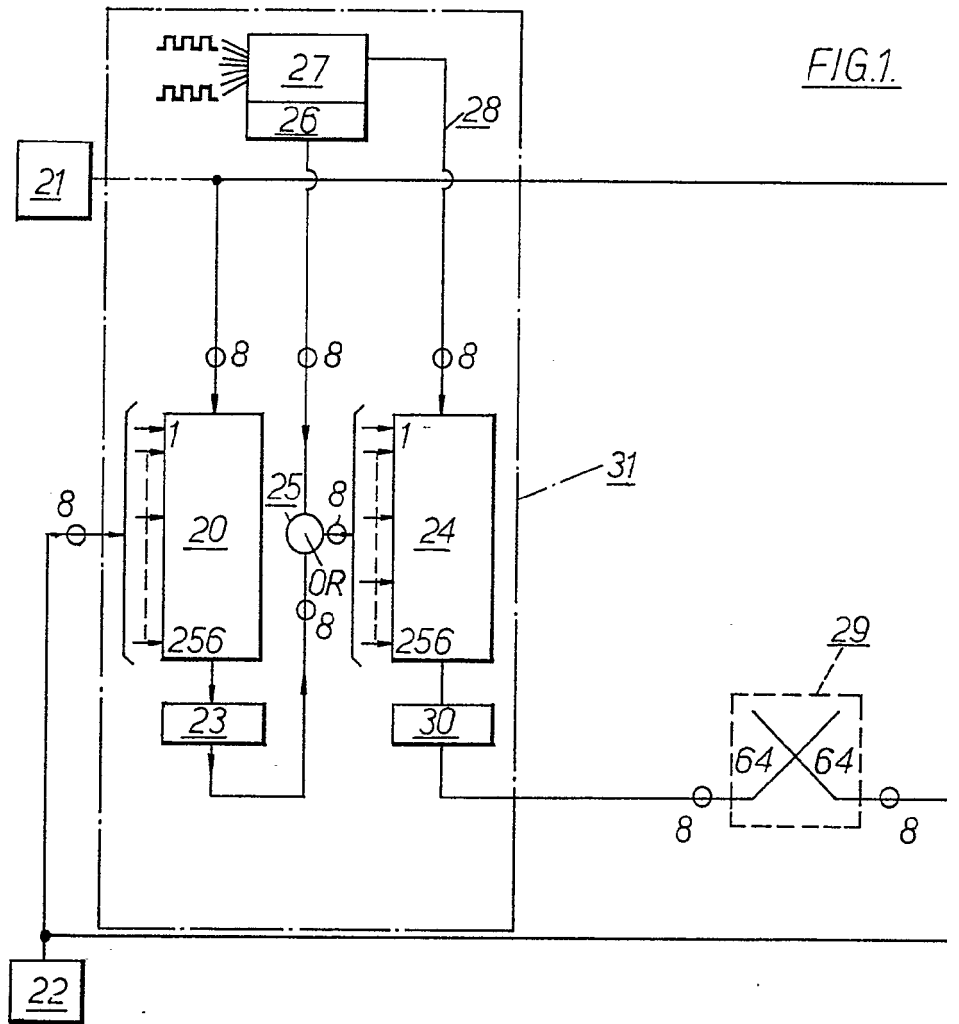
1 2 ENE. 1973



Eugenio Barroso

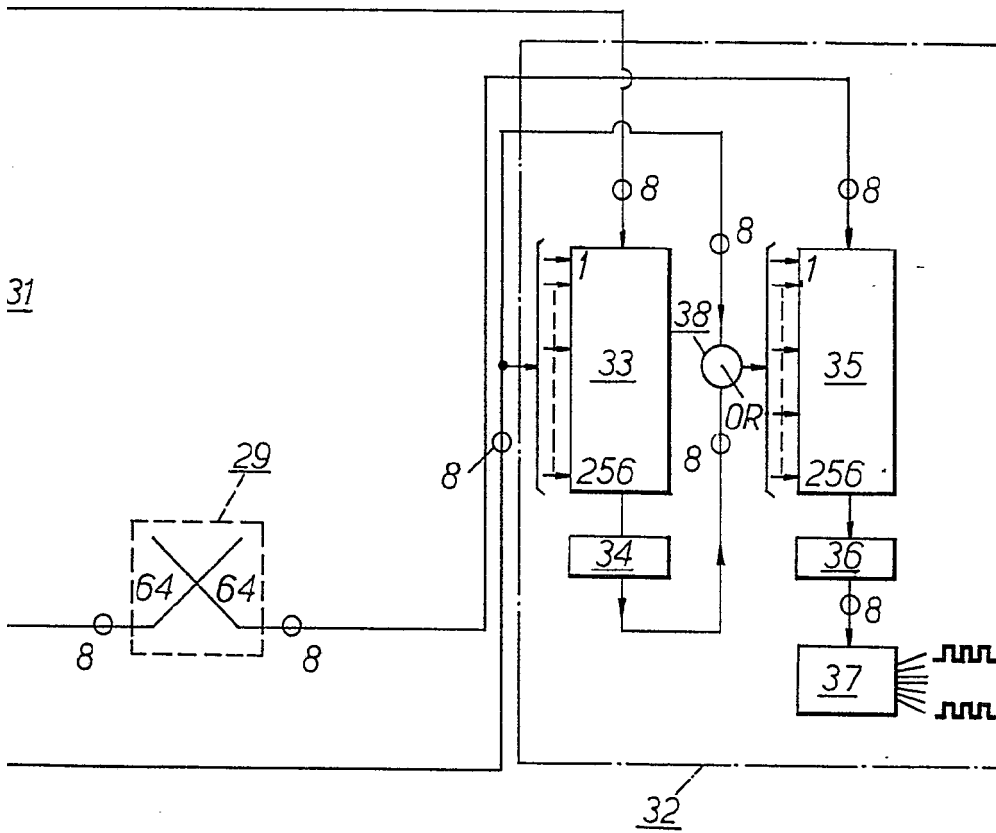
EUGENIO BARROSO
Secretario General

407535



407535

FIG.1.



1 2 ENE. 1973



Eugenio Barroso

EUGENIO BARROSO
Secretario General

407535

407535

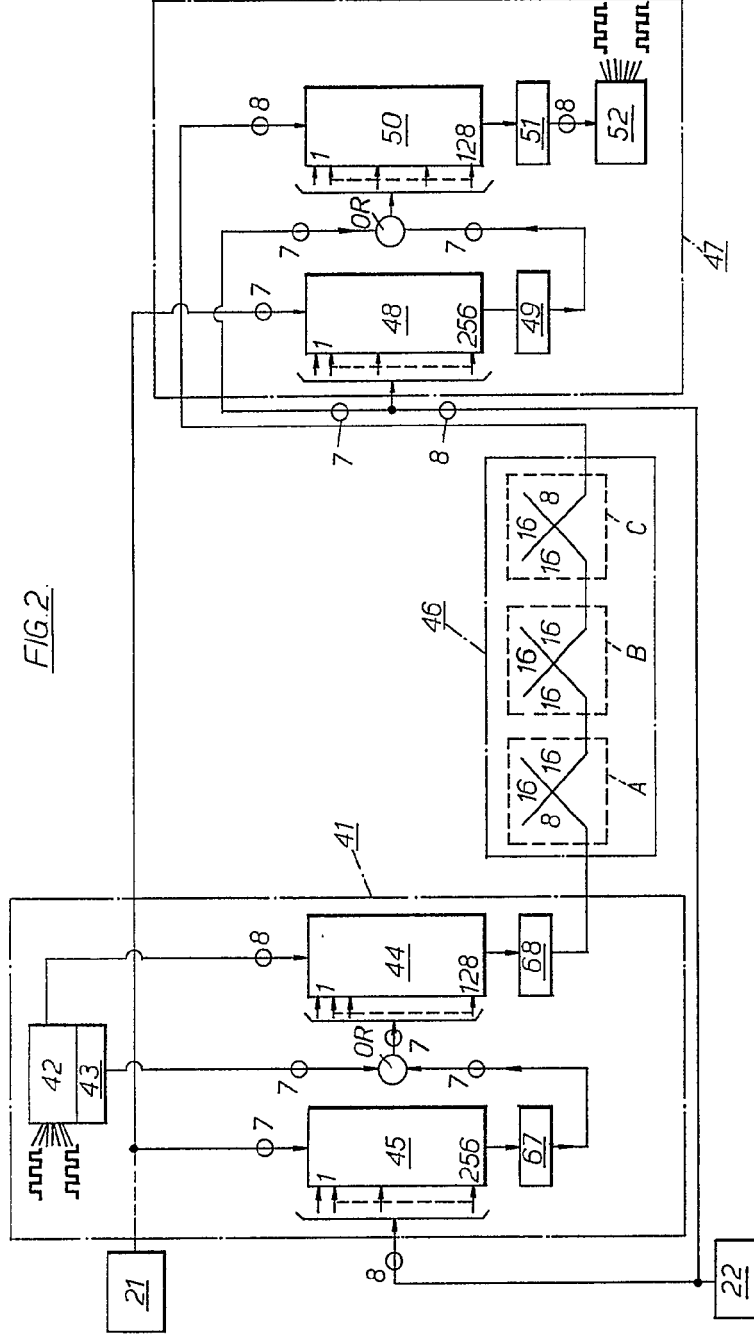


FIG. 2.

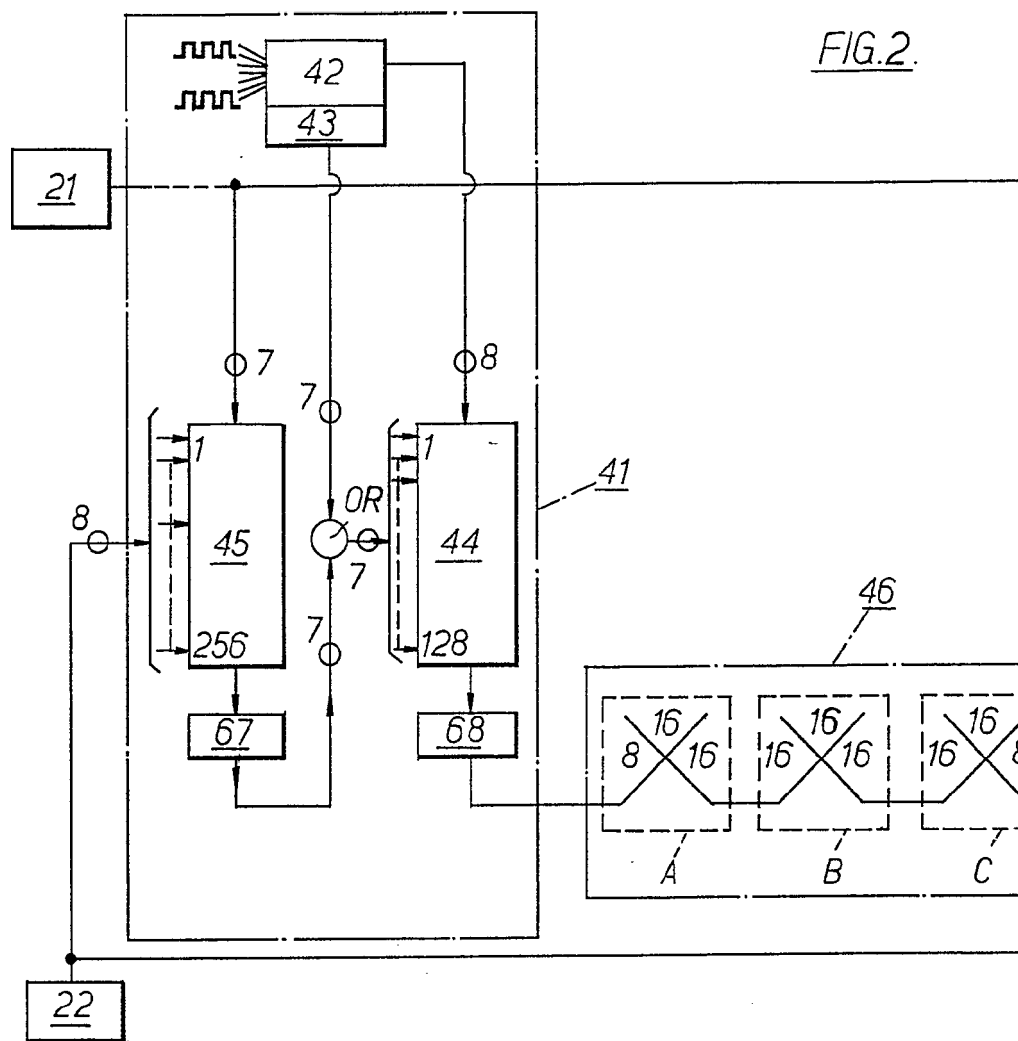
2 ENE. 1973



EUGENIO BARROSO
Secretario General

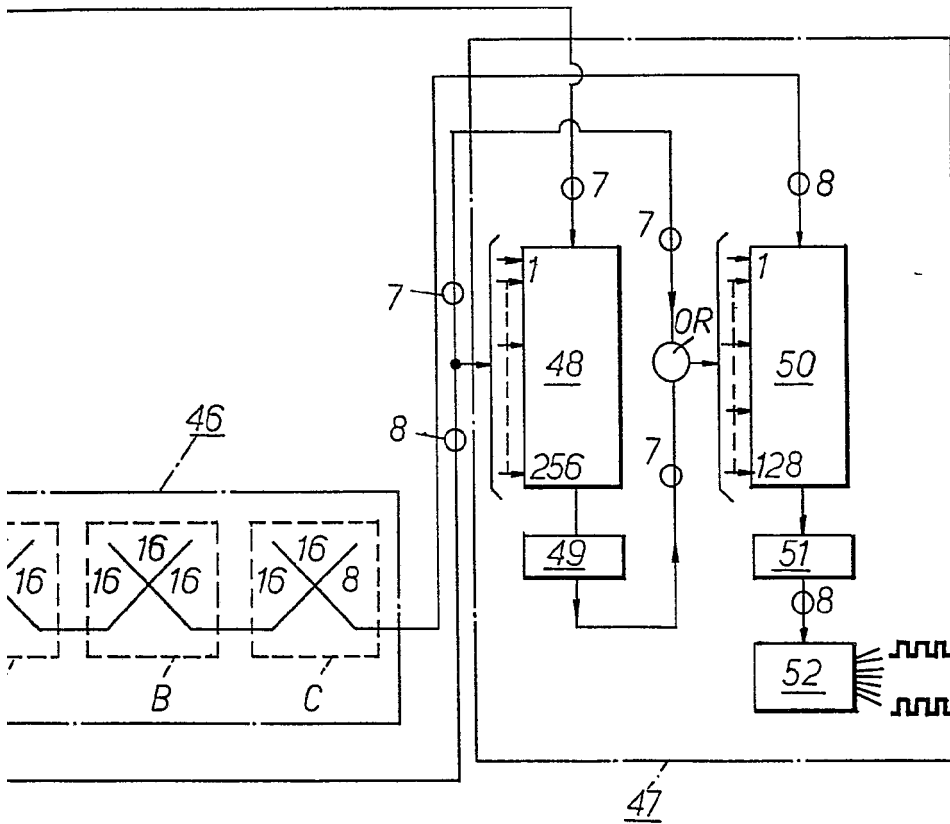
407535

FIG.2.



407535

FIG.2



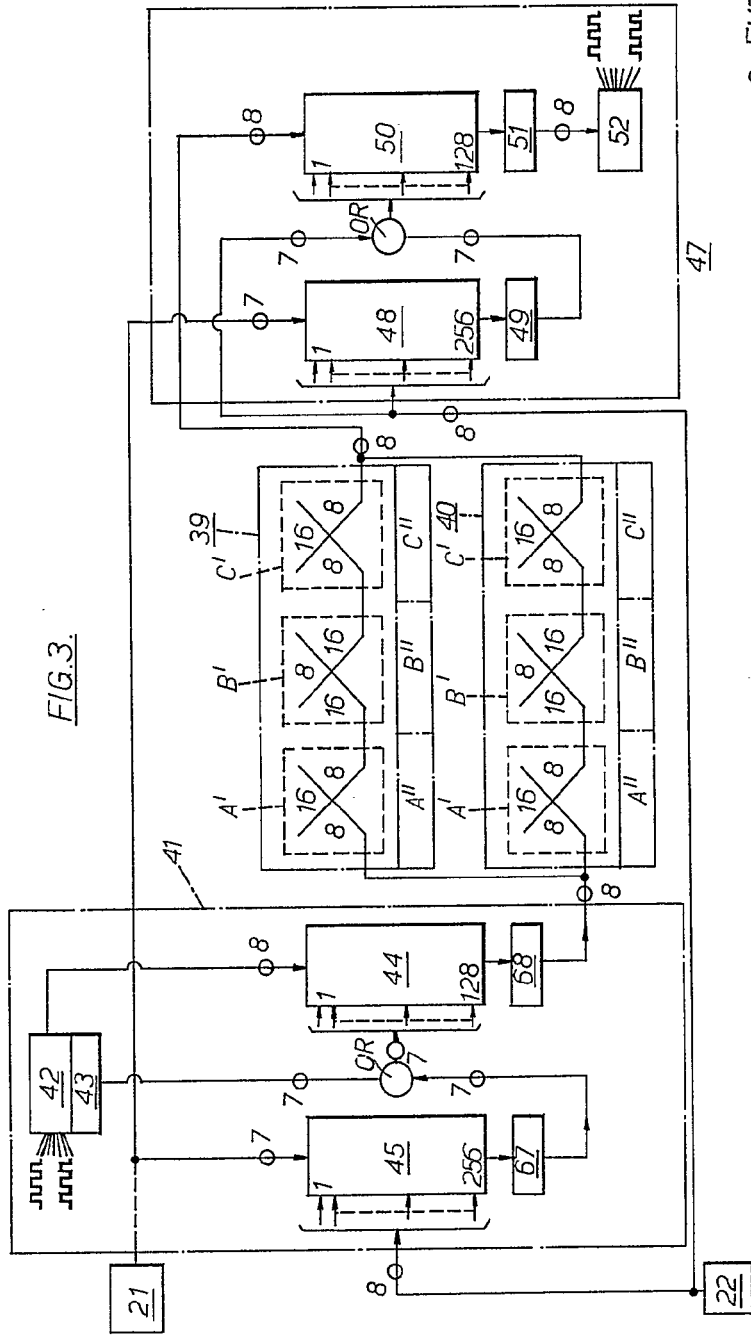
2 ENE. 1973



Eugenio Barroso
EUGENIO BARROSO
Secretario General

407 535

407 535



2 ENE. 1973



Eugenio Barroso
EUGENIO BARROSO
Secretario General

407535

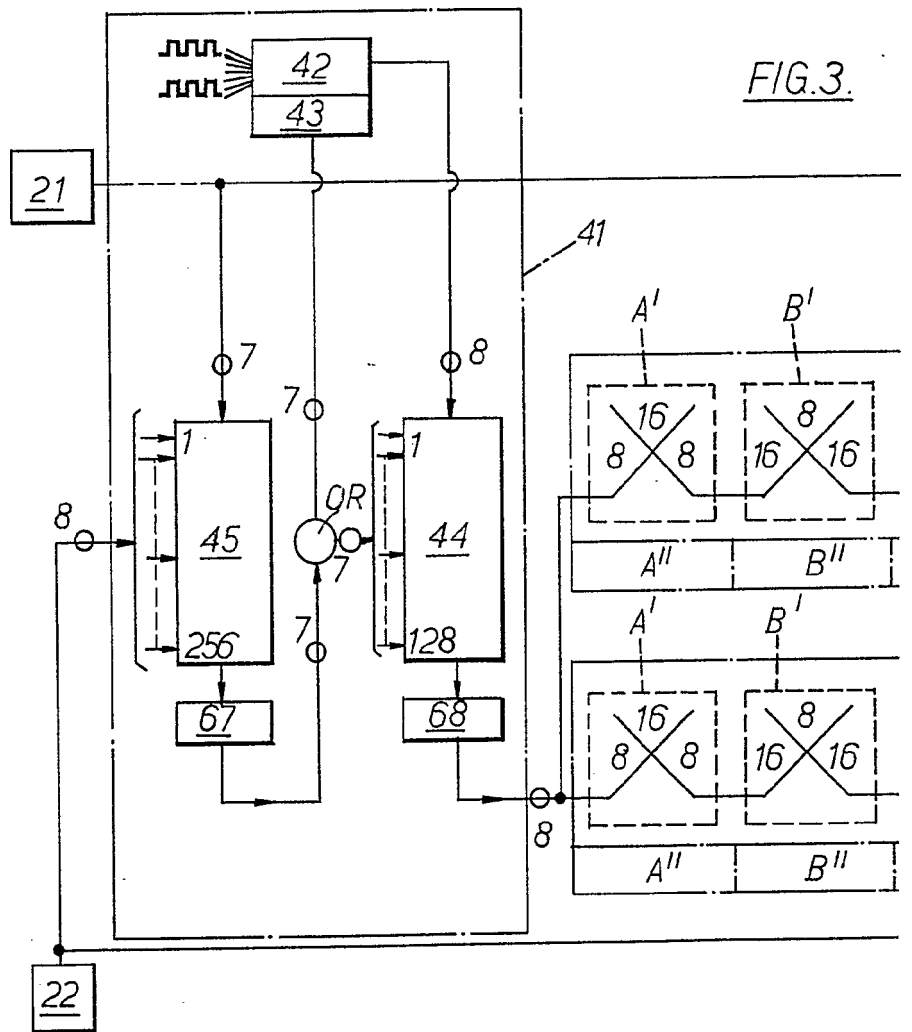
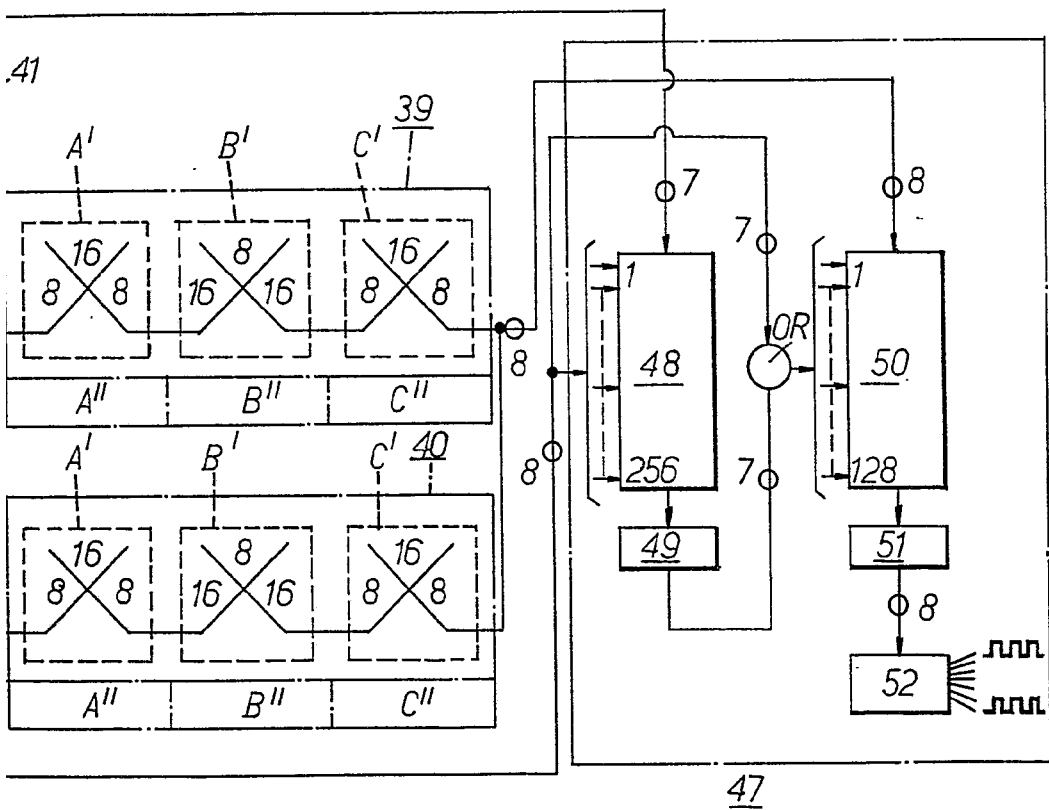


FIG. 3.

407535

FIG.3.



2 ENE. 1973



Eugenio Barroso
EUGENIO BARROSO
 Secretario General

5/4

STANDARD ELECTRICA, S. A.

407535

407535

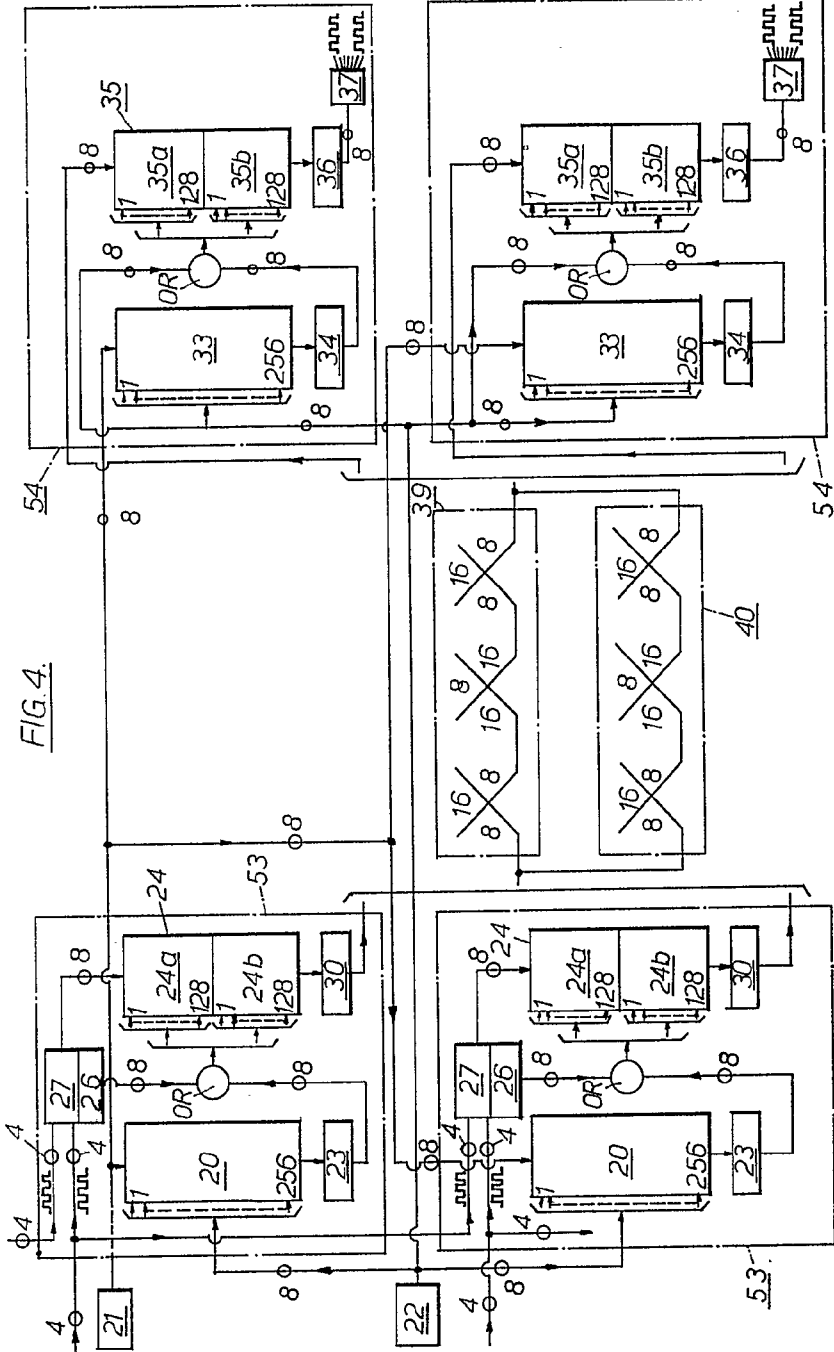


FIG. 4.

2 ENE. 1973



Eugenio Barroso

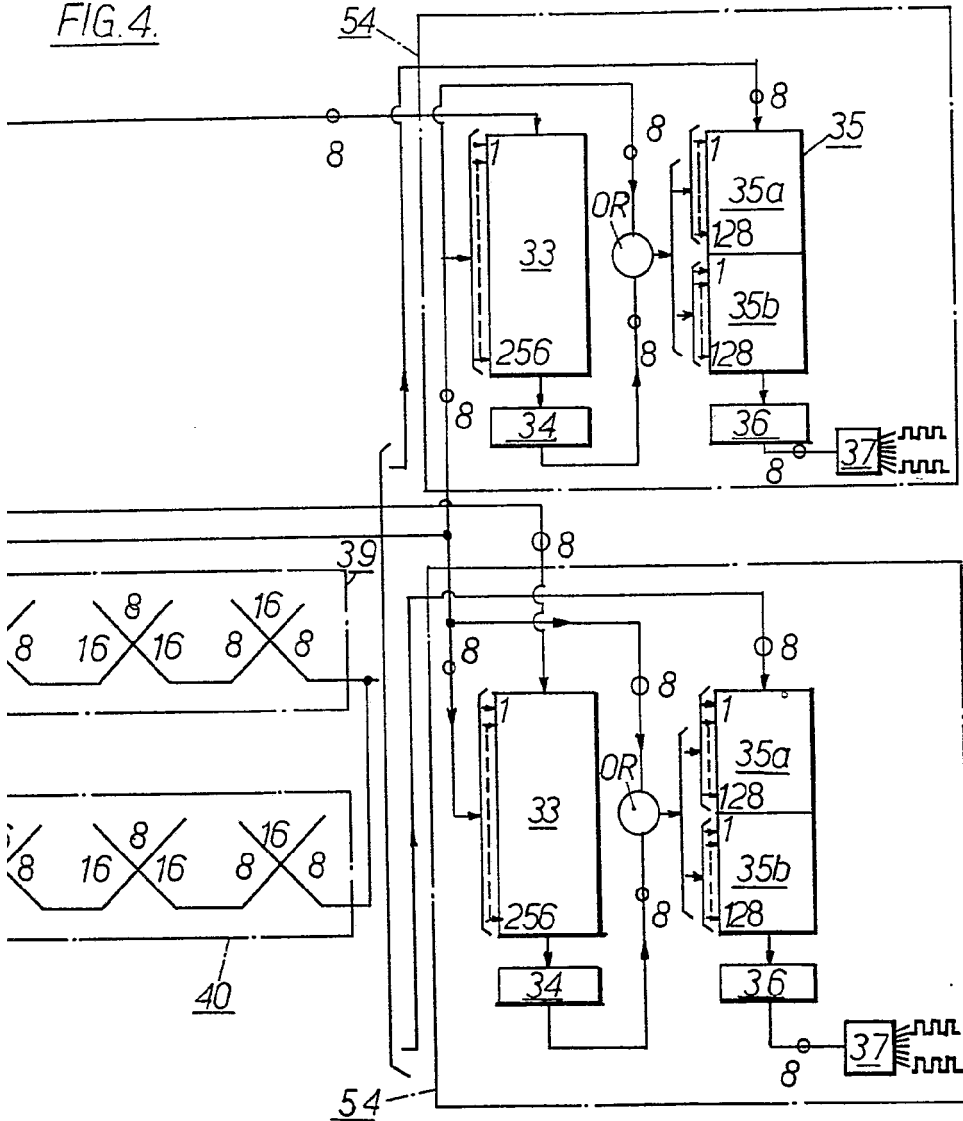
EUGENIO BARROSO
Secretario General

5/4

STANDARD ELECTRICA, S. A.

407535

FIG. 4.



2 ENE. 1973



Eugenio Barroso
EUGENIO BARROSO
Secretario General

407535

407535

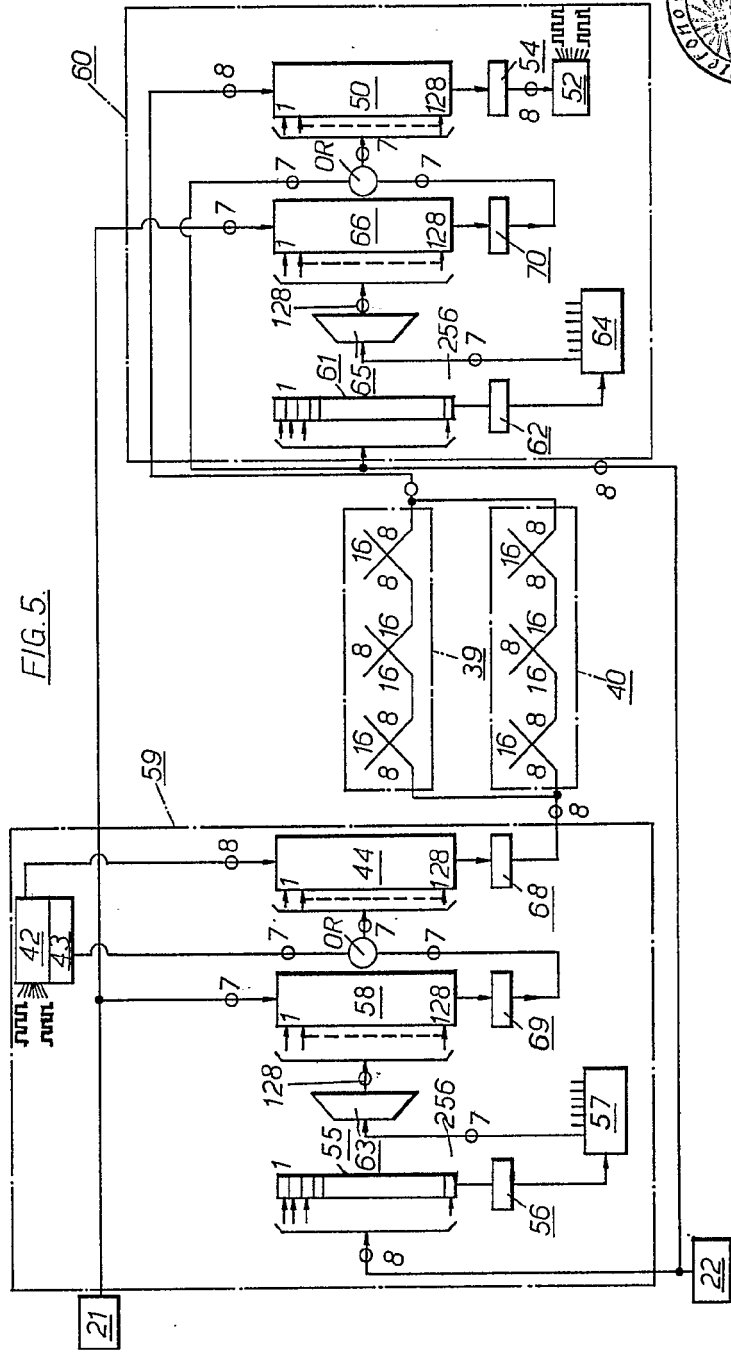


FIG. 5.

2 ENE. 1973



Eugenio Barroso
 EUGENIO BARROSO
 Secretario General

407535

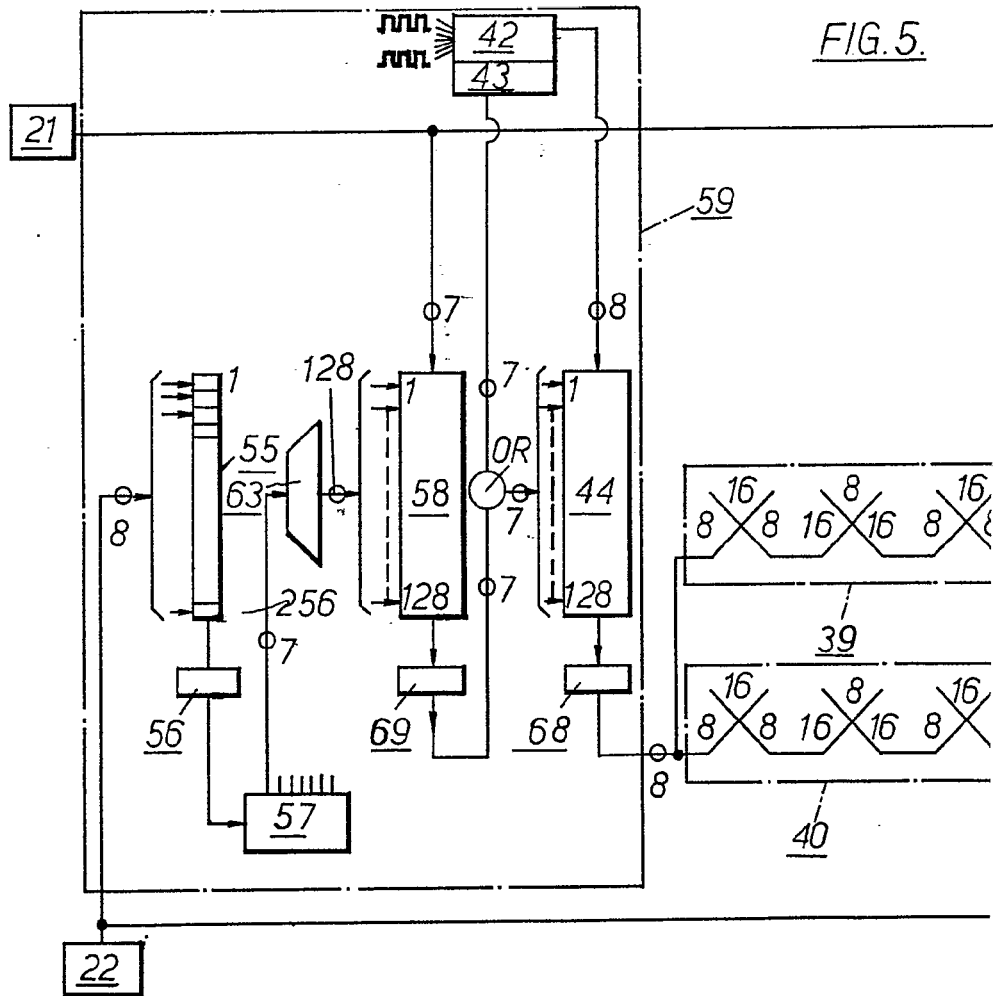


FIG. 5.

