

407416



M.J.P. Leger, C.P.H. Lerouge, M.A. Regnier 13.31.11

Let. Cl: 1103K; 1104R

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION  
EN ESPAÑA POR "UN CIRCUITO MARCADOR PARA UNA ETAPA DE  
CONMUTACION EQUIPADA CON CONMUTADORES DE MEMORIA DINAMICA  
INTEGRADA" A NOMBRE DE STANDARD ELECTRICA, S.A., CON DO-  
MICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO Nº 5.

-----  
El presente invento se refiere a un circuito  
marcador para una etapa de conmutación equipada con conmuta  
dores electrónicos asociada a una memoria dinámica integra  
da.

5 Ya fué descrito en el certificado de adición  
francés nº 69 44164, titulado "Multiselector Electrónico",  
un conmutador matriz equipado con circuitos electrónicos de  
conmutación cada uno de los cuales comprende un flip-flop  
que controla el cierre y apertura de los elementos de contac  
10 to (transistores MOS, por ejemplo) y los cuales hacen que se  
mantenga en esta posición. Un circuito de conmutación de este  
tipo presenta la única característica de permanecer cerrado



407416

o abierto durante un cierto tiempo cuando es desconectado del flip-flop central.

En este conmutador, los diferentes flips-flops están conectados como un registro de cambio de modo que, cuando el circuito de conmutación es desconectado, es posible transferir el contenido de dicho registro a un circuito marcador que efectúe unas modificaciones selectivas de la información para obtener, por ejemplo, la conexión o desconexión de una ruta.

La expresión de "conmutador de memoria dinámica integrada" define este tipo de conmutador que permite efectuar la búsqueda de una ruta en la memoria sin necesidad de una memoria de imagen independiente en la etapa de conmutación y sin que se interfiera la función de dicha etapa.

Es de comprender que esta integración de la memoria en la etapa ha de presentar numerosas ventajas y, particularmente, la de llevar a un mínimo el número de errores en la operación de "up-dating", de la memoria.

En el certificado de adición que se ha citado, los elementos de contacto son transistores MOS de gran tamaño, los cuales presentan una capacidad de gate a sustrato relativamente grande con una débil fuga. Esta capacidad es la que se emplea como memoria cuando el circuito de conmutación es desconectado. Durante este tiempo es cuando se efectúan las operaciones de lectura, modificación y reescritura del contenido del registro de cambio.

Las funciones del marcador de acuerdo con el invento son descritas como un ejemplo de su aplicación a una etapa de conmutación que comprende tres etapas de selección Ta, Tb y Tc que son la búsqueda de ruta (ruta libre u ocupa-



da), la conexión o desconexión de dicha ruta y el envío de un tono elegido entre varios, estando distribuidos dichos tonos por medio de una cuarta etapa de selección Td.

5 Para una búsqueda de ruta entre dos terminales se tienen los datos iniciales que identifican estos terminales y las secciones de las etapas Ta y Tc a las que ellos están asociados. El marcador controla la lectura de los registros identificados por los datos iniciales y escoge la información de modo que, al final de la lectura, conoce la  
10 situación de ocupado o libre de todas las salidas de las secciones concernientes. Esta información es a continuación analizada, lo que permite identificar la sección, en la etapa Tb, por la que la ruta puede ser establecida.

15 La operación siguiente, o "up-dating" es la operación de conectar o desconectar una conexión que consiste en una modificación selectiva del contenido de los registros de cambio de las secciones identificadas por los datos iniciales y por los datos reunidos durante la búsqueda de la ruta. Para el establecimiento de una conexión, los circuitos  
20 de conmutación Xt que pertenecen a la ruta reciben, por ejemplo, una señal de cierre y, además, todos los circuitos de conmutación asociados a las entradas y salidas a las que están asociados los circuitos Xt reciben una señal de apertura. Se tiene con ello la seguridad de que, en cada operación.  
25 únicamente se cierra un circuito en una entrada y una salida dadas.

Para las operaciones de envío de tono, los datos iniciales con que se cuenta son siempre completos y únicamente constituyen un "up-dating" que consiste en el cierre o apertura, en la etapa Td, de un circuito de conmutación a tra-

407416

4



vés del cual es enviado a la ruta un tono elegido entre varios.

Es, por tanto, un objeto del presente invento, la obtención de un marcador para una etapa de conmutación equipada con conmutadores electrónicos con memoria dinámica integrada.

Para efectuar las operaciones de conexión y desconexión de la ruta y del envío del tono se proveen unos medios de colección para reunir, en los conmutadores de la etapa de conmutación, los datos adicionales necesarios para una conexión o desconexión de la ruta, unos medios de análisis para la búsqueda y almacenamiento de dichos datos adicionales y unos medios de "up-dating" para la modificación del estado de algunos puntos de cruce de acuerdo con el total de los datos.

De acuerdo con otra característica del invento se proveen unos medios de inicialización para la apertura de todos los circuitos de conmutación de la etapa conmutadora al poner en funcionamiento el marcador.

Otros objetos, características y ventajas del presente invento se pondrán de manifiesto con la lectura de la descripción que sigue de un ejemplo de realización, descripción que se hace en relación con los dibujos que se acompañan, en los que:

- la fig. 1 representa un circuito de conmutación con una memoria integrada;
- la fig. 2 muestra el símbolo que caracteriza el circuito de conmutación;
- la fig. 3 representa un conmutador elemental de 4 por 4;

407416

5



- las fig. 4a a 4d muestran el diagrama de las señales de reloj;
  - la fig. 5 representa una red de conmutación;
  - la fig. 6 muestra el diagrama de bloques del marcador;
  - la fig. 7 muestra el "flow-chart" de las señales de fase;
  - la fig. 8 muestra los circuitos OLK y WCC;
  - la fig. 9 es el diagrama detallado del registro de secuencia RLQ;
  - la fig. 10 representa los registros del circuito ESW;
  - la fig. 11 muestra el modo de codificación de las direcciones de los diferentes circuitos de conmutación en un conmutador elemental;
  - la fig. 12 muestra una sección que comprende 4x2 conmutadores elementales, y
  - la fig. 13 representa el circuito de colocación y análisis ASY así como el circuito de identificación de entrada-salida INM.
- Para hacer más sencilla la lectura de esta descripción, ésta se divide de la manera siguiente:
1. El conmutador de memoria dinámica integrada.
  2. La red de conmutación.
  3. Descripción del marcador; los circuitos de entrada y de secuencia.
  4. Descripción del marcador; los circuitos de acceso.
  5. Descripción del marcador; los circuitos de operador.



407416

6. Método de identificación de dirección.
7. Las operaciones de colección y análisis.
8. La operación de "up-dating".

1. EL CONMUTADOR DE MEMORIA DINAMICA INTEGRADA.

5 Para comenzar recordaremos, en relación con las Figs. 1 a 4, el método de realización de un circuito de conmutación MOS con una memoria integrada y de un conmutador elemental que emplee dicho circuito o "conmutador de memoria dinámica integrada". Estos circuitos han sido descritos con detalle en el certificado de adición anteriormente referido.

10 La fig. 1 representa los circuitos asociados a un punto de cruce materializado por la intersección de las horizontales  $H'k$ ,  $H''k$  y de las verticales  $V'j$  y  $V''j$ . Cada uno de los pares de conductores  $H'k$ ,  $V'j$  y  $H''k$ ,  $V''j$  asegura la transmisión de la información ya sea en un sentido, como ha sido descrito en la patente francesa nº 1 555813 (conmutación con cuatro hilos) o en los dos sentidos (conmutación con dos hilos).

15 Los dos conductores de cada par se unen por medio de un transistor MOS  $Q'$ ,  $Q''$  los gates del cual van conectados a un primer electrodo de salida ("source or drain") de un transistor MOS de control identificado por  $Q_1$ . El conjunto de los tres transistores constituye un circuito de conmutación  $Xjk$ .

Las señales aplicadas al transistor  $Q_1$  vienen dadas por:

25 - El flip-flop de memoria  $Wjk$  (la señal  $Wjk$  o  $\overline{Wjk}$  presente en el conductor  $wjk$  cuando el flip-flop esté respectivamente en el estado  $\underline{1}$  o en el estado  $\underline{0}$ ). El conductor  $wjk$  es conectado al segundo electrodo de salida ("drain or source") del transistor  $Q_1$ ;

30 El inversor  $N_2$ , cuyo conductor de salida  $n$ , es co-

407416



nectados al gate de  $q_1$ .

- El Flip-flop Wjk constituye una de las etapas de un registro de cambio RW constituido por la conexión en serie de los flip-flop de memoria de varios circuitos de conmutación. Este registro recibe las señales del reloj a través de un transistor MOS  $q_0$ . La información de llegada es aplicada a su entrada B y a la información que se toma de dicho registro aparece en su salida S.

- El conductor de control  $e$  del transistor  $q_0$  recibe una de las señales de control  $E$  o  $\bar{E}$  y también está conectado a la entrada del inversor N2.

- En el circuito XJK. Los transistores  $q'$  y  $q''$  tienen un tamaño relativo grande, con lo que presentan, cuando están conectados, una baja resistencia "drain-to-source"  $R_{ds}$ . De esta forma, la capacidad de gate a substrato  $C_{gt}$  presenta un valor más bien alto con lo que, cuando el transistor de control  $q_1$  es desconectado, la capacidad mantiene, durante un cierto tiempo, la tensión que fue aplicada por el flip-flop Wjk antes de la desconexión.

El control del circuito Xjk se lleva a cabo de la forma que sigue, en el supuesto de que el circuito Xjk deba ser cerrado (abierto) cuando el flip-flop Wjk está en el estado  $\underline{1}$  ( $\underline{0}$ ).

Cuando es aplicada una señal  $\bar{E}$  al conductor  $e$ , el transistor  $q_0$  está abierto y el transistor  $q_1$  está cerrado, con lo que la señal Wjk (o  $\bar{Wjk}$ ) facilitada por el flip-flop de memoria es directamente aplicada a los transistores  $q$ ,  $q''$  que están cerrados (o abiertos).

Cuando al conductor  $e$  le es aplicada una señal de activación  $E$ :

- El transistor  $q_1$  es desconectado y los transistores  $q'$   $q''$  quedan en su primitivo estado, como se dijo anteriormente.

- El transistor  $q_0$  es conectado, aplicando las señales de reloj  $t$  al registro de cambio RW.

407416

8.



El contenido de este registro aparece en serie en la salida S y es aplicada a un circuito marcador de modo que se modifica el estado de, por lo menos, uno de sus flip-flop, por ejemplo el de Wjk, que se establece en el estado 0. Cuando esta operación se  
5 acaba, el marcador controla el "up-dating" del registro enviando la información en serie a la entrada B.

Cuando termina esta operación es de nuevo aplicada una señal E al conductor e, que desconecta a  $q_0$  y conecta a  $q_1$ . El enlace eléctrico que se establece de nuevo entre Wjk y el gate de  
10  $q_1$  produce la modificación de la carga de Cgt con lo que, en el caso del ejemplo, los transistores  $q'$  y  $q''$  son desconectados.

El circuito de conmutación Xjk se representa de forma simbólica en la Fig. 2. En esta figura los conductores  $V'j$ ,  $V''j$  ( $H'k$ ,  $H''k$ ) se han agrupado en un solo conductor  $Vj$  ( $Hk$ ) y  
15 hemos representado los conductores de control n y wjk que acaban de ser definidos.

La fig. 3 representa un conmutador elemental que comprende, como ejemplo no limitativo, 16 circuitos de conmutación  $X_0, X_1, X_2, \dots, X_{15}$  (conmutador de  $4 \times 4$ ).

Los flip-flops de memoria (tales como el Wjk de la figura 1), de estos circuitos están agrupados en el registro de cambio RW que ha sido dividido en cuatro secciones  $RH_0, RH_1, RH_2, RH_3$ , que comprenden respectivamente los flip-flop de los circuitos asociados a las horizontales  $H_0, H_1, H_2, H_3$ . Este registro RW  
20 es un registro de cambio estático de transistores MOS, el cual recibe las señales del reloj  $t_1$  y  $t_3$  y al que se aplican las señales de información a la entrada B.

Las figs. 4.a a 4.d representan los diagramas de las señales de reloj  $t_1$  a  $t_4$  que aparecen en una sucesión temporal con un periodo de repetición T y una duración de  $T/4$ .  
30

Puede observarse que, en la Fig. 3, los conductores n



407416

de todos los circuitos de conmutación están conectados juntos, lo que permite bloquear o desbloquear simultáneamente todos los transistores Q1 del conmutador. De esta forma se puede procesar todo el contenido del registro RW por el marcador sin que se interfieran las rutas establecidas a través del conmutador.

Se ve, por tanto, que los flip-flops del registro Rw cumplen dos funciones distintas:

-La función de controlar el estado de los transistores asociados a los puntos de cruce (señal  $\bar{E}$ );

-La función de "memoria de red dinámica" cuando sus estados son transferidos al marcador (señal E). En realidad, como vemos a continuación, estos flip-flops están de tal forma dispuestos que el marcador puede construir el mapa de las configuraciones útiles de la red.

## 2. LA RED DE CONMUTACION.

El circuito marcador de acuerdo con el invento está diseñado para controlar la ejecución de varias operaciones en una red de conmutación asegurando una conmutación y un mezclado.

La Fig. 5 representa, a modo de ejemplo no limitativo, una red de conmutación que desempeña las siguientes funciones:

1) El establecimiento del semiconexiónado entre uno de los terminales de entrada  $Ta_0, Ta_1, \dots, Ta_{63}$  y uno de los 24 equipos de salida. Estas conexiones son establecidas a través de las etapas de conmutación  $Ta$  (que comprende cuatro secciones de  $16 \times 8$  cpn referencias  $sa_0, sa_1, sa_2, sa_3$ ),  $Tb$  (con ocho secciones de  $4 \times 4$ , de referencia  $sbo \dots sb_7$ ), y  $Tc$  (con cuatro secciones de  $8 \times 8$  con referencia  $sc_0 \dots sc_3$ ).

407416

10.



Cada una de estas secciones comprende cierto número de conmutadores elementales del tipo representado en la Fig. 3.

Cada una de las verticales de la etapa Ta es conectada a una terminal de entrada tal como un aparato telefónico.

5 Las verticales de cada sección de la etapa Tc son conectadas a los equipos de salida, que son:

-Los conjuntors locales tales como J001, J301, etc... constituidos por los semiconjuntors que tienen acceso, para el conjuntor J001, a las verticales V0, V1 de la sección sc0. A cada sección hay asociados tres conjuntors locales.

10 -Los conjuntors de salida tales como J07, J37, que tienen acceso por una parte, a una vertical de la sección, y por otra parte, a la red exterior. Para el conjuntor J07, estos accesos tienen la referencia V7 y R07. A cada sección hay asociados un conjuntor de salida. Se ve que en cada sección de esta etapa hay una vertical, que no se usa.

15 Las interconexiones entre Ta, Tb, Tc representadas con línea llena son llevadas a cabo de la forma habitual obteniéndose un completo mezclado y concentración en la relación de uno a dos.

20 2) La emisión de tono por las semiconexiones a través de la etapa de conmutación Td (cuatro secciones de 4x4, con referencia sd0...sd3). Esta etapa permite conectar cualquiera de las cuatro fuentes de tono TNO...TN3 con cualquiera de los conjuntors locales de salida.

25 Para ejecutar estas funciones, el circuito marcador de acuerdo con el invento debe primeramente buscar las rutas libres existentes entre los terminales y los semiconjuntors. Más propiamente el terminal y el semiconjuntor que tienen que ser conectados, son inicialmente marcados y esta operación consiste en buscar las rutas libres que conecten estos dos elementos.

30

407416

11.



Es sabido que una red convencional con concentración y mezclado y que comprenda tres etapas Ta, Tb, Tc. presentan las siguientes características:

1) Desde una vertical de una sección Ta (Tc) se tiene acceso a 8 verticales (horizontales) de Tb que pertenecen respectivamente a las 8 secciones de esta etapa. Por consiguiente:

Entre un terminal y un semiconjuntor hay ocho rutas posibles, facilitando cada sección de Tb una de dichas rutas.

2) El código de identificación de una horizontal en Ta (Tc) es el mismo que el código de identificación de la sección de Tb. Por consiguiente, a través de una sección dada de Tb, solamente hay una ruta posible:

Para una concentración dada, las horizontales en Ta y en Tc así como la sección en Tb se identifican por el mismo código CH.

La tabla 1 representa el conjunto de códigos que identifican una semiconexión así como las referencias de los bits de dichos códigos.

La primera letra de cada código es la "C".

Cada bit de un código se identifica por una pequeña letra seguida por un dígito que indica su posición binaria comenzado por un bit de menor significación; así, el bit a0 del código CSa es el bit de menor significación de este código (peso:  $2^0 = 1$ ).



407416

Tabla 1: Códigos de identificación de una semiconexión.

Etapas Códigos	Ta	Tb	Tc	Td	Símbolos de entrada/salida en las etapas Ta, Tb, Tc, Td.
Vertical	CTa a5-a2	CSa a1-a0	CJc c4-c2	CJc c4-c3	Va, Vb, Vc, Vd.
Horizontal	<u>CH</u> h2-h0	Csc c1-c0	<u>CH</u> h2-h0	CNd <sup>a</sup> d1-d0	Hac, Hb, Hd.
Sección	CSa a1-a0	<u>CH</u> h2-h0	CSc c1-c0	Csc c1-c0	

Todos los códigos de la tabla, con excepción del código CH, que está subrayado, son datos iniciales dados por el computador de control cent alizado de la red de conmutación cuando ésta pide la ejecución de una búsqueda de ruta o identificación.

En la columna de la derecha tenemos representados los símbolos que se usarán más adelante y que identificaran una entrada (vertical) y una salida (horizontal) dadas en cada una de las etapas. Puede observarse que las salidas de las etapas Ta y Tc llevan la misma referencia Hac ya que, como acabamos de ver, tienen el mismo código.

Los datos iniciales son:

- El código CTa que define uno de los 16 terminales conectados a una sección de la etapa Ta.

- El código CSa que define uno de los semiconjuntores conectados a una sección de la etapa Tb.



- El código Csc que define una sección en la etapa Tc.

- El código Cnd que define el tono a enviar.

5 Como se ha mencionado anteriormente, cada sección se constituye por la asociación de un cierto número de conmutadores, elementales de los tipos representados en la Fig. 3. En la Fig. 5:

- Los conductores e han sido multiplicados de modo que cada sección comprende una simple entrada de activación Ea0, Eal, etc... para la etapa Ta; Eb0, Ebl, etc... para la etapa Tb, etc;

10 - Los registros RW han sido conectados en serie de modo que constituyen un simple registro de cambio RWS para cada sección, que así comprende una simple entrada y una simple salida;

- Las entradas y las salidas de las diferentes secciones de una etapa son multiplicadas. Así, la etapa Ta tiene solamente una entrada Ba y una salida Sa.

15 De esta forma para leer y reescribir el contenido de los flip-flops de una sección Sa0 por ejemplo cada sección es seleccionada por una señal de activación Ea0 y las señales t1, t3 controlan entonces el avance de los registros RWS.

20 Se notará que las secciones son homólogas de las etapas Tc y Td son controladas por las mismas señales de activación Ecd0, Ecd1, etc.... de modo que los contenidos de los registros RWS son leídos simultáneamente.

25 En una sección de conmutación tal como una sección de las etapas Ta, Tb, Tc, es sabido que sobre una horizontal todo lo más que se puede cerrar es un simple punto de conmutación. Por otra parte, se usa una sección de la etapa Td para inyectar tonos en los conjuntos, siendo asignada una horizontal para cada uno de los tonos TNO...TN3. En consecuencia, en una sola horizontal de esta etapa Td pueden ser cerrados simultáneamente varios circuitos de conmutación.

407416

14.



3. DESCRIPCION DEL MARCADOR. LOS CIRCUITOS DE ENTRADA Y DE SECUENCIA.

La Fig. 6 representa el diagrama de bloques del marcador de acuerdo con el invento, siendo el intermedio entre el circuito de conmutación de la Fig. 5 y el computador CP que proporciona el control centralizado de todas las operaciones que se refieren al conexasionado y desconexasionado de la ruta, así como al envío de tono.

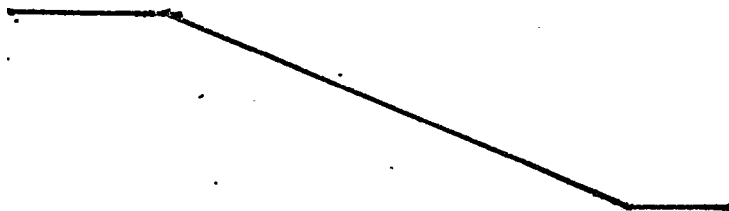
La descripción de los circuitos será dividida en tres partes, de acuerdo con las funciones por ellas ejecutadas, como sigue:

- Los circuitos de entrada y de secuencia, que son descritos en este párrafo;
- Los circuitos de acceso a la red de conmutación, descritos en este párrafo;
- Los circuitos de operador, que se describan en el párrafo 5.

3.1. EL CIRCUITO DE ENTRADA.

Las operaciones del marcador dan comienzo por unas órdenes que son enviadas por el computador CP, las cuales son almacenadas en el registro RK.

Las diferentes órdenes se muestran en la tabla 2.



407416



Tabla 2: Ordenes.						
5	Orden		Otros códigos			Fases correspondientes
	Objeto	Señal	k1	k2	k3	
10	Conexión de red	K1	1	1	1	SQ1 a SQ4
	Desconexión de red	K2	0	1	1	
15	Conexión de tono	K3	1	0	1	SQ5 y SQ4
	Desconexión de tono	K4	0	0	1	
	Inicialización	K5	0	1	0	SQ7
	Desconexión del marcador	K0	0	0	0	SQ0(libre).

Cada orden se recibe junto con los datos iniciales necesarios para su ejecución (véase la Tabla 1). Estos datos son almacenados en los registros (RTa, RJc, RNd para los códigos CTa, CJc, CNd) y los contadores (KSa, K Sb, para los códigos CSa, CSb) del registro de entrada RI.

### 3.2. EL SECUENCIADO DE FASES.

Después de recibidos estos datos, el marcador comienza una secuencia de operaciones o "fases" que son lo representado en el "flow-chart" de la Fig. 7.

El diferente tipo de operaciones es:

- La colección ASS.
- El análisis ANY.
- El "up-dating" UPD.
- La inicialización INZ.

Cada una de estas fases está compuesta de varias microfases.



Quando es ejecutada la orden, estamos en la fase SQ4 y el marcador transmite al computador primeramente una señal I (de orden ejecutada) y después una señal L (de orden con buen resultado) o  $\bar{L}$  (de orden sin buen resultado) en dependencia con las LO y L1 definidas en el párrafo 7.4.

Las señales de fase de la Fig.7 son dadas por un generador de secuencia SLQ, situado en el secuenciador OLK.

La fase SQ0 es establecida después de la recepción de una orden KO de desconexión del marcador e indica que el marcador está libre. Este envía una señal Q0 al computador.

Tabla 3: Secuenciado de operaciones de la red (Códigos K1, K2)

Condiciones lógicas (en el tiempo t4).	Significado	Señales de fase.	Operaciones y señales enviadas al computador.
SQ0.FO.k2.k3=S1	El marcador está libre y recibe una orden K1 o K2.	SQ1	Colección.
SQ1.F127.H0=s2	Fin de colección.	SQ2	Z(KF) - Análisis
SQ2.FO.Y=S3(1)	El análisis da un resultado positivo.	SQ3	"Up-dating"
SQ3.F127 + SQ2.H9=S4	Fin del "up-dating" para una orden K1. El análisis da un resultado negativo.	SQ4	Llamada del computador por una señal I Envío de una señal L o $\bar{L}$ .
$\bar{K2}.\bar{K3}=K0$	Los resultados han sido tomados por el computador, que manda una orden K0.	SQ0	Desconexión del marcador Z(RSQ)
(1)	Y=k1.L0 k1.L1		



Las fases activas controlan la ejecución de las siguientes operaciones:

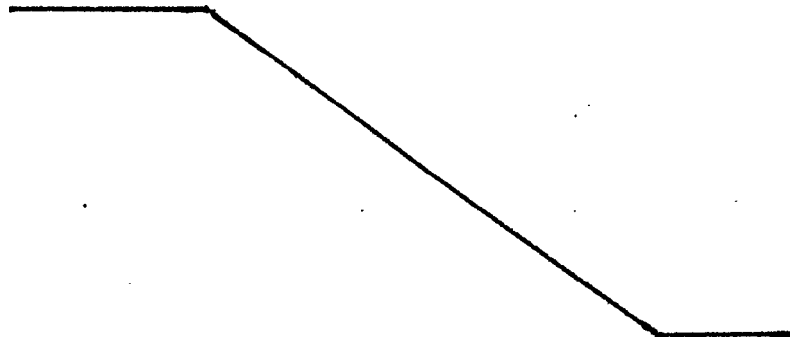
- Colección, que es una operación que permite coleccionar, en la red de conmutación, la información necesaria para ejecutar el establecimiento de una ruta (conexión) o la rotura de una ruta (desconexión).

- Análisis, que es la operación que permite identificar completamente una ruta encontrando un código CH (ver la tabla 1);

- "Up-dating", que permite modificar el estado de ciertos puntos de cruce para realizar la conexión o desconexión, e.

- Inicialización, cuando arranca el marcador, siendo indeterminado el estado de los registros RWS de los computadores elementales, permite limpiar todos los registros con lo que quedan abiertos todos los circuitos de conmutación.

Durante las operaciones de colección y de "up-dating" es efectuada la identificación de los puntos de cruce con los códigos almacenados por el contador KF. Durante la operación de análisis, el código de identificación CH de la sección en la etapa Tb es facilitado por el contador KH.





407416

Tabla 4: Secuenciado del tono y operaciones de inicialización-(Ordenes K3, K4, K5).				
5	Cóndiciones lógicas (en el tiempo t4)	Significado	Señales de fase	Operaciones
	$SQ0.F0.\overline{K2}.K3=S5$	El marcador libre recibe una orden K3 o K4.	SQ5	"Up-dating"
10	$SQ5.F127=S4$	Final de "up-dating" para una orden K3 o K4.	SQ4	Llamada del computador por una señal I.
	$\overline{K2}.\overline{K3}=K0$	El computador envía una orden K0.	SQ0	Desconexión del marcador.
15	$\overline{K2}.\overline{K3}=K0$	Al comienzo de la operación, el computador envía una orden K0 de liberación	SQ0	Marcador libre
20	$SQ0.F0.\overline{K2}.\overline{K3}=S7$	El marcador procesa la orden de inicialización K5.	SQ7	Inicialización
25	$\overline{K2}.\overline{K3}=K0$	Tras un tiempo de espera, el marcador recibe una orden de desconexión K0.	SQ8	Desconexión del marcador.

Las tablas 3 y 4 muestran las condiciones lógicas de secuenciado del generador de secuencia. Con objeto de simplificar la escritura de las condiciones lógicas, el tiempo t4 durante el que ellas son satisfechas no ha sido incluido en las ecuaciones.



secuencia depende de las señales F0 y F127 (decodificador DF', fig.13). Estas son:

- Las señales K0, S1, S2, S3, S4, S5, S7 que controlan el establecimiento de las señales de fase SQ0, SQ1, SQ3, SQ4, SQ5, SQ7;

- Las señales I, L, Q, que son enviadas al computador.

### 3.3. LAS MICROFASES.

En cada una de las fases, el secuenciado de las microoperaciones es controlado por unas señales microfase facilitadas por el circuito MCC que pertenece al circuito OLK. La elaboración de estas señales es función de:

- El valor de la señal de fase;

- Las señales t1 a t4 facilitadas por el reloj CU;

- El estado del progreso de la operación.

Las señales microfase son:

- La señal M1, la cual controla una limpieza general durante la fase SQ0;

- Las señales de activación Ea, Eb, Ecd que controlan la selección de las etapas Ta, Tb, Tc, Td (véase la Fig. 3);

- Las señales M2, M3, M4, M5 que controlan el avance de los contadores de identificación KF, KH y de los contadores de sección KSa, KSc.

Hay que observar que estas señales están sincronizadas con las del reloj CU y que el contenido de una sección elegida es leído en sincronismo con el avance del contador KF.

- Las señales Na y Nc que controlan la operación de recolección.

La Tabla 5, que sigue, muestra las condiciones de elaboración de estas señales.

407416



Tabla 5: Señales de microfase entregadas por el circuito MCC.

Señal de microfase	Fases							Operación controlada
	SQ0	SQ1	SQ2	SQ3	SQ4	SQ5	SQ7	
M1	t2							Z(KH, KF) Z(Ra, Rc)
M2		t2						Tf(Ra, Rb)
M3			t, t2					+1(KH) Z(KF)
M4		t1		t1		t1	t1	+1(KF)
M5							T4.F127	+1(KSa, KSc)
Ea		X		X			X	Activación.
Eb				X				
Ecd		X		X		X	X	
Na		Sa (kl+Va)						Colección.
Nc		Sc (kl+Vc)						

25

En la tabla 5, las indicaciones de la columna "operación controlada" tienen el significado siguiente:

Z(KH etc...): limpieza del contador KH, etc...

Tf(Ra, Rb): Transferencia de la información a los registros Ra, Rb.

30

+1(KH): Aumento en una unidad del contenido del contador KH.

407416

21.



En la parte superior de la Tabla 5, la presencia, por ejemplo, de la señal t2 en la primera línea significa que la señal M1 es generada para la condición lógica SQ0.t2. Así es con la parte inferior de la tabla (señales Na, Nc). En la parte central de dicha tabla, la presencia de una cruz indica que la señal de salida, Eb, por ejemplo, es generada durante la duración completa de la fase SQ3.

#### 3.4 DESCRIPCION DEL CIRCUITO OLK

Las tablas 3, 4 y 5 muestran las condiciones de elaboración de las señales de fase y de microfase. Se comprende que la realización de los circuitos que materializan estas condiciones lógicas son harto conocidas para los iniciados en esta técnica. No obstante esto, en las Figs. 8 y 9 se ha representado un método de realización que se da a modo de ejemplo no limitativo.

La fig. 8 representa el circuito de secuenciado OLK, el cual comprende los circuitos SQL y MCC y también un circuito WCC que será descrito en el párrafo siguiente.

El circuito SQL controla la generación de las señales de fase que son almacenadas en el registro del generador de secuencia RSQ cuyo diagrama detallado se representa en la Fig. 9.

Este registro RSQ comprende un flip-flop JK por fase que lleva la misma referencia que la señal de fase que entrega. Cada flip-flop es puesto en el estado 1 en el tiempo t4 por una señal K0, S1, ..., S5, S7 dada por el circuito SQL. Cuando un flip-flop tal como el SQ2 recibe una señal S2, dicha señal controla al mismo tiempo el restablecimiento al estado 0 de los flip-flops que corresponden a la fase previa, que es, en este caso, la fase SQ3. Además, la recepción de una orden

407416

22.



de desconexión del marcador KO controla el restablecimiento a 0 de todos los flip-flops de RSQ.

En la Fig. 8 se tienen representados, como ejemplo, los circuitos lógicos usados:

- 5                    -En el circuito SLQ, para la generación de la señal S4;
- en el circuito MCC, para la generación de la señal Ea.

#### 4. DESCRIPCION GENERAL DEL MARCADOR: LOS CIRCUITOS DE ACCESO

Los circuitos de acceso a la etapa de conmutación de la Fig. 5 cumplen las siguientes funciones:

- 10                    -Selección de las secciones;
- Colección de los datos almacenados en los registros RWS de las secciones seleccionadas;
- Escrituras de datos en dichos registros.
- 15                    Puede observarse que, siendo la lectura de los registros RWS destructiva, una operación de colección de datos es inmediatamente seguida de una operación de reescritura con la que se repone su contenido.

##### 4.1. LA SELECCION DE LAS SECCIONES

20                    Esta se lleva a cabo durante las fases SQ1, SQ3, SQ5 y SQ7 (véase la tabla 5) por medio del circuito ESW (Fig. 6). Este circuito recibe:

-Las señales Ea, Eb, Ecd que indican que la operación en curso se refiere a la etapa Ta, Tb, Tc y Td. Estas señales han sido

25                    definidas en relación con la Fig. 5.

-Los códigos CSa, CH, CSc que identifican la sección en la etapa.

La Fig. 10 representa el diagrama detallado de este circuito ESW, que comprende:

30                    -Los decodificadores DSa, DH, DSc asignados a la decodificación de los códigos CSa, CH, CSc;



-Los gates de control de decodificación, controlados por las señales Ea, Eb, Ecd.

Las señales de salida de este circuito se aplican a las entradas con las mismas referencias de la Fig. 5.

5 4.2. COLECCION DE DATOS Y REPOSICION

Estas operaciones son controladas por el circuito WCC (Figs. 6 y 8) que actúa durante las fases SQ1, SQ3 y SQ5. La información extraída de las secciones seleccionadas bajo el control de las señales facilitadas por el circuito ESW, aparece a la salidas Sa-Sd de la etapa de conmutación y es aplicada al circuito WCC. Este da unas señales en las salidas Ba-Bd que son aplicadas a las entradas de la etapa de conmutación que llevan las mismas referencias.

La generación de las señales Ba-Bd se controla por

15

- Las señales Sa-Sd;
- Las señales de orden;

-Las señales de marcado Va, Hac, Vb, etc...dadas por el circuito de identificación de entrada-salida INM que se describe en el párrafo siguiente. Estas señales elaboradas "in flight" durante la lectura de los registros RWS, marcan las verticales y horizontales a que pertenecen los circuitos de conmutación cuyo estado se está leyendo. Así, la señal Vc(Hc) marca el tiempo cuando se lee el estado de un flip-flop de memoria asociado a la vertical (horizontal) identificado por el código CJc (CH).

25 La tabla 6 da las condiciones de generación de las señales Ba-Bd.

Tabla 6: Señales elaboradas en el circuito WCC			
Señales de Salida	SQ1	SQ3	SQ5
Ba	.Sa	kl.Va.Hac+Va.Hac.Sa	
Bb		kl.Vb.Hb+Vb.Hb.Sb	
Bc	Sc	Kl.Ac.Hac+Vc.Hac.Sc	Sc
Bd	Sd	Sd	kl.Vd.Hd+Vd.Sd

30

407416



24.

En esta tabla leemos, por ejemplo, que:

$$Ec = SQ1.Sc + SQ3.(kl.Vc.Hac + \overline{Vc.Hac}.Sc) + SQ5.Sc.$$

Refiriéndonos a las definiciones que se dieron anteriormente vemos que obtenemos:

- 5 - La condición  $Vc.Hac$  para el circuito de conmutación situado en la intersección de la vertical y de la horizontal identificadas por los códigos CJC y CH;
- La condición  $\overline{Vc.Hac}$  para todos los circuitos que no están en esta vertical ni en esta horizontal.
- 10 Se notará que la condición  $Bc = (SQ1 + SQ5).Sc$  significa que el estado del circuito de conmutación  $St$  considerado es reescrito sin ninguna significación. Veremos más tarde que se designará por  $Xt$  el circuito de conmutación cuyo estado se lee en un tiempo dado.
- 15 También es de notar que durante la fase de inicialización  $SQ7$  este circuito es eliminado con lo que, al final de esta operación, los registros RWS están limpios y todos los circuitos de conmutación están abiertos. Viendo la Tabla 5 observamos que, para cada señal  $F127$  que caracteriza el final de la lectura del contenido de un registro RWS, es elaborada una señal  $M5$  que controla el avance de los contadores de la sección  $KSA$  y  $KSc$  por una unidad, ello permite limpiar sucesivamente todas las secciones de las etapas  $Ta, Tb$  y  $Td$ .
- 20 La duración de la operación se controla por un temporizado que se realiza en el computador y cuyo extremo controla la emisión de un orden  $K0$ .
- 25 La parte inferior de la Fig.8 representa un modo de realización del circuito  $WCC$ . El circuito ha sido acoplado con los circuitos  $MCC$  y  $SQL$  porque, como estos su funcionamiento es controlado por las señales de fase. En la Fig. se han representado los circuitos lógicos para generar la señal  $Bd$ .
- 30



407416

## 5. DESCRIPCIÓN GENERAL DEL MARCADOR: LOS CIRCUITOS DE OPERADOR

Los circuitos que siguen se agrupan bajo el nombre de "circuitos de operador".

- Contador KF de identificación de dirección que da a cada ciclo de señal de base de fses impares(SQ1,SQ3,SQ5,SQ7), el código que identifica el circuito Xt. Este contador avanza bajo el control de las señales M4 (Tabla 5);
- El contador horizontal KH que da el código CH al final de la fase SQ2. Este contador avanza bajo el control de las señales M3;
- Los circuitos ASY é INM que serán descritos a continuación.

### 5.1. EL CIRCUITO DE COLECCION Y ANALISIS ASY

Este circuito se usa durante las fases SQ1 (colección) y SQ2 (análisis).

10 Durante la fase de colección SQL, el circuito ESW efectúa la selección de las secciones de las etapas Ta y Tc (ver la Tabla 5) donde deben ser examinados los contenidos de los registros asociados RWS. En cada ciclo de señales de base t1-t4 tenemos que:

- 15 - La señal t1 controla el avance de estos registros RWS por unidad, apareciendo los bits leídos en los conductores Sa y Ac (Fig. 5).
- La señal M4, que aparece en el mismo tiempo t1, controla el avance por unidad del contador KF, de modo que muestra el código de identificación de la horizontal a que pertenecen los bits leídos en los registro RWS. El estado de los flip-flops, caracterizado por el valor de las señales Sa y Sc, es escrito en dos registros, Ra (asignado a la etapa Ta) y Rc (de la etapa Tc) cada uno de los cuales comprende un
- 20 flip-flop por horizontal. En consecuencia, cuando los registros RW han sido leídos por completo, cada flip-flop de estos
- 25 registros muestra si el horizontal correspondiente está libre



407416

u ocupado.

Durante la fase de análisis SQ2, la señal M3, que aparece a cada tiempo t2, controla el avance por unidad del contador KH. La sucesión de códigos CH controla la exploración de los flaps-flops en los registros Ra y Rc de modo que  
5 identifica:

- O bien una sección Tb a través de la cual se puede establecer una nueva conexión (orden K1);
- O la sección Tb usada por una conexión existente (orden K2).

10 El circuito y su modo de funcionamiento se describirán en el párrafo 7.

#### 5.2. EL CIRCUITO INM DE MARCADO DE ENTRADAS Y SALIDAS

15 Este circuito se usa durante las fases SQ3 (Tabla 3) y SQ5 (Tabla 4). Durante estas fases, el circuito ESW selecciona las secciones de las etapas Ta, Tb, Tc, Td (véase la Tabla 5) donde tiene que ser modificado el contenido de los registros RWS.

20 En cuantooa las fases de colección, el avance de los registros RWS y del contador KF es controlado en el tiempo t1.

La secuencia de códigos dada por el contador KF es comparada con los códigos almacenados en el registro RI y con el código almacenado en el contador KH al final de la  
25 fase SQ2. Esta comparación da las señales de marcado Va, Hac, Vb, etc.... definidas en el párrafo 4.2.

Este circuito y su funcionamiento serán descritos con detalle en el párrafo 8.

#### 6. METODO DE IDENTIFICACION DE DIRECCION

Hemos visto (párrafo 5.1) que, durante la fase

407416

27-



SQL, se lleva a cabo una operación que permite identificar la horizontal a que pertenece cada circuito Xt. Además, en el circuito INM efectuamos (párrafo 5.2) el marcado de algunas verticales y horizontales durante las fases SQ3 y SQ5, que se obtiene partiendo de los códigos que identifican estas entradas y salidas.

Todas estas operaciones pueden ser agrupadas bajo el nombre de "identificación de la dirección en una sección". Esta identificación se hace posible de un modo muy fácil por medio de una interconexión especial, en cada sección, de los flip-flops individuales del registro de cambio RWS.

En la Fig. 5 se ha descrito una red de conmutación realizada con conmutadores elementales de  $4 \times 4$ .

La fig. 11 representa, de un modo simbólico, la interconexión de los flip-flops en un conmutador de este tipo para formar un registro de cambio RWS.

En esta fig. 11 los códigos que caracterizan los circuitos X0, X1, .... X15 son, en base decimal, los códigos 0, 1.... 15. Así, si se compara esta figura con la fig. 3, se ve que la parte RHO del registro RW es asignada a las direcciones 0, 1, 2, 3 y que, cuando el contenido de este registro es transmitido al marcador por la salida S, la información escrita en estas direcciones es mandada en el mismo orden 0, 1, 2, 3.

En otros aspectos hemos visto que estas direcciones fueron identificadas por los códigos provistos por el contador KF que avanza sincrónicamente con la lectura del registro RWS. Así, la información escrita en las direcciones 0, 1, 2, 3, etc... es identificada por los códigos binarios cuyos equivalentes decimales son 0, 1, 2, 3, etc....

407416



Los códigos binarios que representan las direcciones de un conmutador de 4x4 son códigos de 4 bits b3, b2, b1, b0 (b3 es el bit más significativo) y el método para la conexión de los circuitos de conmutación al registro RW (Fig. 3) es tal que, como puede verse en la fig. 11:

- los dos bits más significativos b3 y b2 caracterizan la posición de la horizontal en el conmutador. Así, por ejemplo, b3b2 = 00 caracteriza la primera horizontal H0, b3b2 = 01 caracteriza la segunda horizontal H1, etc...
- los dos dígitos menos significativos, b1 y b0, caracterizan de igual modo la posición de la vertical en el conmutador.

La fig. 12 representa una sección de conmutación constituida por la asociación de 8 conmutadores elementales y comprendiendo un total de 16 verticales (V0 a V15) y 8 horizontales (H0 a H7).

Los registros RW de los diferentes conmutadores son interconectados en serie de tal forma que la información aparece, a la salida S, en el orden indicado por los códigos de dirección decimales representados en la figura.

La sección comprende  $2^7 = 128$  circuitos y los correspondientes códigos de dirección binarios facilitados por el contador KF tienen 7 bits f6, f5....f0.

Este orden de interconexión permite identificar los circuitos de conmutación que pertenecen a cada horizontal y cada vertical por un código especial constituido por la asociación de un número de bits del código de dirección binario.

Las tablas 7 y 8 que siguen permiten determinar estos bits.



407416

5

Tabla 7: Identificación horizontal en una sección									
Horizontales		H0	H1	H2	H3	H4	H5	H6	H7
Primer código	Decimal	0	4	8	12	16	20	24	28
	Binario	0	$2^2$	$2^3$	$2^2+2^3$	$2^4$	$2^4+2^2$	$2^4+2^3$	$2^4+2^3+2^2$
Códigos de identificación			f3 - f2			f4 - f3 - f2			

10

Tabla 8: Identificación vertical en una sección								
Verticales		V0	V1	V2	V3	V4	V8	V12
Primer código	Decimal	0	1	2	3	32	64	96
	Binario		$2^0$	$2^1$	$2^0+2^1$	$2^5$	$2^6$	$2^5+2^6$
Códigos de identificación			f1 - f0			f6 - f5		

15

La Tabla 7 representa los bits de los códigos de dirección que caracterizan las posiciones de las diferentes horizontales de cada sección. En las dos primeras líneas de esta figura se muestran los códigos que caracterizan la dirección del primer circuito de conmutación de lo considerado horizontal o "primeros códigos" y en la tercera línea los bits que permiten la identificación de las diferentes horizontales.

20

Las columnas H0 a H3 agrupan la información relativa al primer conmutador elemental que ha sido estudiado en relación con la fig. 5.

25

Se observará que las posiciones de los bits significativos dadas en la tercera línea de la figura son iguales a los exponentes de la segunda línea.

Esta observación se puede ampliar a las horizontales H4 a H7, viéndose que la horizontal a que pertenece el circuito

30



407416

de conmutación Xt es identificada por un código que comprende los bits "centrales" f4, f3, f2 del código de dirección dado por el contador KF.

La tabla 8 es una representación similar a la de la tabla 7, pero ella se ha establecido para determinar los códigos que identifican las verticales.

La parte de la izquierda de la figura se refiere a las verticales V1 a V3 que han sido estudiadas en relación con la Fig. 11 y, como en la tabla 7, las posiciones de los bits aignificativos son iguales a los exponentes de la segunda línea.

La parte de la derecha se refiere a las verticales V4, V8, V12 que son las primeras de cada uno de los otros conmutadores de la sección. Se ve que a ellas se identifican por los bits f6 y f5 con lo que la vertical a la que pertenece el circuito de conmutación cuyo estado se lee en un tiempo dado es identificado por un código constituido por los bits "extremos" f6, f5, f1, f0..

Vemos, por consiguiente que, en cada sección, los circuitos de conmutación son conectados en serie de modo que, cuando se hace la lectura en serie, sus números de serial en código binario dados por el contador sincronizado KF permiten facilmente identificar la vertical y la horizontal a que están asociados.

Asi se tiene que, para la sección de 16 entradas y 8 salidas (128 circuitos de conmutación) que se muestra en la Fig. 12:

- Los bits f4, f3, f2 (bits centrales) identifican la horizontal (salida);
- Los bits f6, f5, f1, f0, (bits extremos) identifican la vertical (entrada).



Los códigos de 7 bits se dan por el contador KF que avanza en sincronismo con la lectura de la sección.

En una sección que comprende 8 entradas en lugar de 16 y otras tantas salidas Sección de la etapa Tc) los mismos bits centrales  $f_4, f_3, f_2$  identifican la salida; pero entre los bits extremos, el bit más significativo  $f_6$  deja de tener significado para la identificación.

Al menos en una sección de 4 entradas y 4 salidas (etapas Tb, Td) la entrada se identifica por los bits  $f_0, f_1$  y la salida por los bits  $f_2, f_3$ .

Esta reducción en el número de los bits significativos de entradas/salidas muestra que el contenido de la sección de las etapas Tb, Tc, Td se lee varias veces durante la lectura en la etapa Ta. Por supuesto que esto no presente ningún inconveniente.

#### 7. LAS OPERACIONES DE COLECCION Y ANALISIS.

A continuación se describe, en conexión con la Fig. 13 el circuito ASY que controla las operaciones de colección y análisis y se explica su funcionamiento.

Como se vió en el parrafo 5.1 este circuito se usa durante las fases SQ1 y SQ2.

##### 7.1. DESCRIPCION DEL CIRCUITO.

El circuito ASY comprende:

- El decodificador DF "al que son aplicados los bits" "centrales"  $f_4, f_3, f_2$ , el código dado por el contador KF. Ellos identifican la horizontal a que está asociado el circuito de conmutación Xt. Cada una de las 8 salidas de este decodificador caracteriza una de las 8 horizontales de las señales seleccionadas;

- Un circuito de conmutación constituido por los cir-

407416

32.



cuitos AND, G11, G12 controlados por las señales Na, Nc (ver tabla 5);

- Los registros Ra, Rc que dan el estado de las horizontales y comprenden 8 flip-flops cada uno, Cada uno de estos flip-flops está conectado a una de las salidas del decodificador DH y está por consiguiente asignado a una horizontal dada de la sección. La escritura de la información en estos registros es controlada por el circuito de conmutación.

- El circuito de análisis comprende el decodificador DH asociado a las tres bit menos significativos del contador KH los circuitos en múltiple AND, G13, G14, los circuitos OR G15, G16 y los circuitos AND, G17, G18. Cada uno de los gates múltiples G13, G14 comprende 16 gates elementales a los que se aplican las salidas 0 y 1 de los registros Ra, Rc. Estos gates son controlados en grupos de dos por las señales dadas por el modificador DH. Cuando el contador KH sale de la posición cercana al control de la señal M3 es explorado el contenido de los registros Ra y Rc, comenzando por el flip-flop asignado a la horizontal HO.

Las salidas de los gates G13, G15 son aplicadas a los circuitos doble OR G15, G16 siendo cada uno de los circuitos elementales OR de cada par asignado al grupo de las salidas 0 y al grupo de las salidas 1 de los flip-flops de Ra (G15) y Rc (G16).

Finalmente los circuitos AND G17, G18 hacen la comparación del estado de los flip-flops homólogos en Ra, y Rc dando el circuito G17 (G18) una señal LO (L1) cuando estos dos flip-flops están ambos en el estado 0 (1). Se observará que la elaboración de estas señales viene condicionada por la señal KI

(K1). (Véase la Tabla 2).

407416

33.



7.2 LA OPERACION DE COLECCION PARA LA BUSQUEDA DE SALIDAS LIBRES (FASE SQ1).

El objeto de esta operación, usada en la búsqueda de una ruta libre entre una entrada identificada por los códigos C<sub>Ta</sub>, C<sub>sa</sub>, y una entrada identificada por los códigos C<sub>Jc</sub>, C<sub>Sc</sub>, es el de reunir, en R<sub>a</sub> y R<sub>c</sub>, una información que caracterice el estado de ocupación de las salidas de las secciones identificadas por los códigos C<sub>Sa</sub> y C<sub>Sc</sub>.

Para ello la señal SQ1 controla la generación de las señales siguientes (véase la Tabla 5);

- E<sub>a</sub> y E<sub>cd</sub>, que controlan la activación de las secciones seleccionadas;

- N<sub>a</sub>=SQ1.kl.S<sub>a</sub> y N<sub>c</sub>=SQ1.kl.S<sub>c</sub> (se observará que la condición SQ1.kl caracteriza un orden K1). Estas señales controlan, cuando el circuito X<sub>t</sub> se cierra (condición S<sub>a</sub> o S<sub>c</sub>), la escritura de un dígito 1 en el flip-flop de R<sub>a</sub> o R<sub>c</sub> seleccionado por los bits "centrales" f<sub>4</sub>, f<sub>3</sub>, f<sub>2</sub> del código CF.

En consecuencia, si por lo menos se cierra un punto de cruce de una salida dada (horizontal), el correspondiente flip-flop de R<sub>a</sub> o R<sub>c</sub> es establecido en el estado 1 por lo menos hasta el final de la exploración de la sección, estando caracterizado este final de la exploración por la aparición del código 127 en el contador KF, que es la condición F 127. Como se mostró en la Table 3, termina entonces la fase de colección y comienza la fase SQ2. Cada flip-flop de R<sub>a</sub>(R<sub>c</sub>) que está en el estado 0 caracteriza entonces una salida libre en la sección identificada por el código C<sub>Sa</sub> (C<sub>Sc</sub>).

7.3. LA OPERACION DE COLECCION PARA LA BUSQUEDA DE UNA SALIDA OCUPADA (FASE SQ1).

407416

34.

20



El objeto de esta operación, usada en la identificación de una ruta cuyos códigos C<sub>Ta</sub>, C<sub>Sa</sub>, C<sub>JC</sub> y C<sub>Sc</sub> son conocidos, es el de reunir, en R<sub>a</sub> y R<sub>c</sub>, la información que permita encontrar el código que falta CH.

5 En esta operación, la información a escribir en R<sub>a</sub> y R<sub>c</sub> se limita a la que procede de los circuitos de conmutación asociados a las entradas (verticales) V<sub>a</sub>, V<sub>c</sub> cuyos códigos son escritos en R<sub>Ta</sub> y R<sub>Vc</sub>. Ello se obtiene para las condiciones lógicas  $N_a = S_{Q1}.S_a.V_a$  y  $N_c = S_{Q1}.S_c.V_c$  (véase la Tabla 5).

10 Al final de la operación (señal F 127) un flip-flop de R<sub>a</sub> (R<sub>c</sub>) que está en el estado 1 caracteriza un circuito cerrado a la entrada V<sub>a</sub> (V<sub>c</sub>), es decir, una salida ocupada.

#### 7.4 LA OPERACION DE ANALISIS (FASE SQ2).

15 El objeto de esta operación, que se efectúa después de cualquier tipo de colección de los que han sido descritos, es la búsqueda del código CH que identifique una sección en la etapa T<sub>b</sub> y unas salidas en las etapas T<sub>a</sub> y T<sub>c</sub>.

Para ello, el contador Kh avanza un paso por cada ciclo de las señales de temporización (señal M 3) y explora  
20 simultáneamente los flip-flops homólogos de R<sub>a</sub> y R<sub>c</sub>. Se obtienen las siguientes señales:

- La señal L<sub>0</sub> cuando los dos flip-flops homólogos están en el estado 0, es decir, cuando están libres las salidas homólogas de las secciones seleccionadas en T<sub>a</sub> y T<sub>c</sub>;

25 - La señal L<sub>1</sub> cuando estos dos flip-flops están en el estado 1, o sea, cuando están ocupadas las salidas homólogas de las secciones seleccionadas.

En ambos casos, los tres bits de menos significación del contador KH forman el código CH cuando aparece la señal de  
30 salida.



Refiriendonos a la Tabla 3, vemos que la siguiente fase depende del valor  $Y$  o  $\bar{Y}$  de la ecuación  $Y = k_1.L_0 + \bar{k}_1.L_1$ .

La primera parte de esta ecuación caracteriza el éxito de una búsqueda de ruta para una orden  $K_1$  (señal  $K_1$ ) de conexión de red y la segunda parte del éxito de una identificación de ruta para una orden de desconexión de red  $K_2$  (señal  $\bar{k}_1$ ).

Se ve que:

- Tan pronto como aparece la condición  $Y$ , es inmediatamente conectada la fase  $SQ_3$ , con lo que el contador se para;

- Si el contador  $KH$  da una señal  $H_9$  que caracteriza el hecho de que todos los flip-flops de los registros  $R_a$  y  $R_c$  han sido explorados sin la elaboración de una señal  $Y$ , se conecta la fase  $SQ_4$ .

Debe observarse (véase la Fig. 13) que la señal  $H_9$  es decodificada a través del circuito  $AND\ G_{10}$  cuando el bit de más significación y el bit de menos significación de los contenidos de  $KH$  sean iguales a  $\underline{1}$  (bits  $h_3$  y  $h_0$ ).

#### 8. LA OPERACION DE "UP-DATING".

Como ya se ha visto, la información necesaria para el "up-dating" durante las fases  $SQ_3$  (órdenes  $K_1$ ,  $K_2$ ) y  $SQ_5$  (órdenes  $K_3$ ,  $K_4$ ) son dadas por el circuito  $INM$  representado en la Fig. 13. Esta información controla el funcionamiento del circuito  $WCC$  (párrafo 4.2, Tabla 6).

#### 8.1 PRINCIPIO DEL MARCADO DE ENTRADA/SALIDA.

El marcado de entrada/salida consiste en la generación "in flight", es decir, durante la lectura de los registros  $RWS$  de las secciones seleccionadas, de las señales  $V_a$ ,  $H_a$ ,  $V_b$ ,  $H_b$ , etc... que marcan las entradas y salidas cuyos códigos están escritos en el registro  $RI$  y en el contador  $KH$  (Fig. 6).

407416 36.

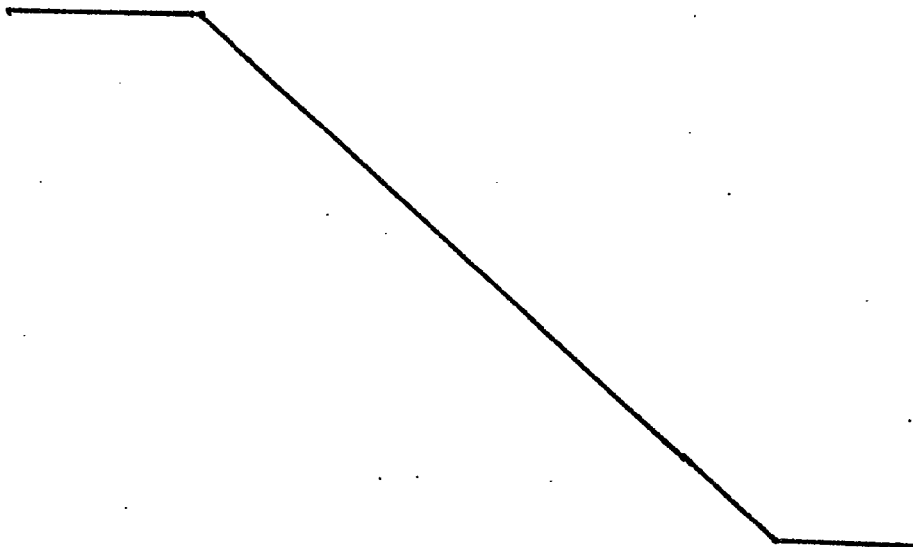


Para ello comparamos, en el circuito INM, grupos de bits seleccionados por una parte entre los del registro RI y los del contador KH y, por la otra, entre los del contador KF. Las referencias de estos bits han sido ya escritas en las 5 tablas 1, 7 y 8.

Además, el significado de los diferentes bits del código CF ha sido ya estudiado en el párrafo 5 y en las tablas 7 y 8.

La Tabla 9, obtenida directamente de las tablas 7 10 y 8, da la correspondencia entre los bits contenidos en RI y KH y los bits del código CF.

Para obtener una señal dada, Va por ejemplo, comparamos los bits a5-a2 de la parte 1 de la tabla con los bits f6, f5, f1, f1 de la parte 2 de la Tabla. Estos bits están 15 marcados con un signo "/".

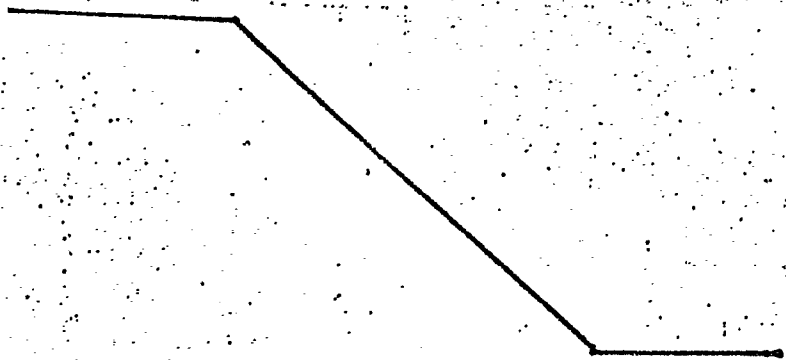


407416 37.



Tabla 9: Comparación de códigos en el circuito INM

Señal de marcado	CTa				CSa		CH			CJe			CSc		CNd		CF						
	a5	a4	a3	a2	a1	a0	h2	h1	h0	c4	c3	c2	c1	c0	d1	d0	f6	f5	f4	f3	f2	f1	f0
Va	/	/	/	/													/	/				/	/
Vb					/	/																/	/
Vc										/	/	/										/	/
Vd										/	/											/	/
Hac.							/	/	/										/	/	/		
Hb													/	/						/	/	/	
Hd															/	/				/	/	/	
<del>X</del>	1															2							



407416 38.



### 8.2 DESCRIPCION DEL CIRCUITO INM.

El circuito INM, que proporciona las siete señales de marcado que se muestran en la primera columna de la Tabla 9, comprende siete comparadores U1-U7.

5 Los bits aplicados a estos comparadores son identificados en cada uno de los conductores que van conectados a ellos.

### 8.3 EL CONTROL DE LA ESCRITURA DURANTE LAS FASES SQ2 Y SQ3.

10 El circuito WCC es usado no solamente durante las fases de "up-dating" SQ3, SQ5 sino también durante la fase de recolección SQ1.

1) Escritura durante la fase SQ1: esta fase únicamente corresponde a la colección de la información según el estado de las horizontales en las secciones seleccionadas. La información reunida en los conductores Sa, Sc, Sd es escrita de nuevo sin modificación, como ha sido mostrado en la columna 1 de la Tabla 6. Así se tiene :  $Ba=SQ1.Sa, Bc=SQ1.Sc, Bd=SQ1.Sd$ .

2) Escritura durante la fase SQ3: la fase SQ3 termina la ejecución de una orden de conexión de red K1 o de una orden de desconexión de red K2 y concierne a las secciones seleccionadas en las etapas Ta, Tb, Tc, en las que han sido hechas modificaciones en relación con las señales de marcado. A medida de que es también leído el contenido de la sección seleccionada de Td, va siendo reescrita sin modificación (condición:  $Bd=SQ3.Sd$ ).

Las condiciones de modificación en las etapas Ta, Tb Tc se dan en la columna "SQ3" de la Tabla 6. Puede observarse que, para la etapa Ta:

30 - Aparece la condición Va.Hac al leer el estado del

407416 39.



circuito de conmutación Xa situado en el punto de cruce identificado por los códigos CTa y CH. Se tiene que  $Ba = SQ3.kl.Va.Hac$ , es decir, que este circuito está cerrado si la orden ejecutada es la orden kl;

5                   - aparece la condición  $\overline{Va.Hac}$  cuando se hace la lectura del estado de los circuitos de conmutación que no están asociados con esta entrada ni con esta salida. Se tiene que,  $Ba = SQ3.\overline{Va.Hac}.Sa$  es decir que, sea cual sea la orden ejecutada, únicamente el estado de los circuitos de conmutación que  
10 no están asociados con esta salida ni con esta entrada es reescrito sin modificación mientras que los otros circuitos reciben una orden de apertura.

En consecuencia,

15                   - Cuando se efectúa el "up-dating" para una orden Kl, el circuito de conmutación Xa recibe una orden de cierre Ba y todos los circuitos asociados a Va y Hac reciben una orden de apertura  $\overline{Ba}$ ;

20                   - Cuando se efectúa el "up-dating" para una orden K2, todos los circuitos asociados a Va y Hac reciben una orden de apertura  $\overline{Ba}$ .

La interpretación de las condiciones de escritura para las etapas Tb y Tc se hace de igual modo.

#### 8.4 LA OPERACION DE "UP-DATING" DURANTE LA FASE SQ5.

25                   La operación de "up-dating" la fase SQ5 se inicia directamente al recibir una orden K3 para la conexión de tono K4 o para la desconexión de tono (véase la Tabla 4, parte superior).

Los datos dados por el computador son:

30                   - El código de sección CSc y el código de conjuntor CJe.

407416 40.



- El código de tono CTn.

Estos códigos definen, en la sección seleccionada de Td, un punto de cruce Xd de coordenadas Vd, Hd que debe ser cerrado (orden K3) o abierto (orden K4).

5           Como ya se vió en el párrafo 2 (Fig. 6), las secciones homólogas en Tc y Td son simultaneamente elegidas y la Tabla 6 muestra que el contenido de la sección Tc es reescrito sin modificación ( condición lógica  $Bc = SQ5.Sc$ ) mientras que el estado de algunos de los circuitos de conmutación en  
10 Td se modifican como sigue:

- Condición  $Bd = SQ5.k1.Vd.Hd$ : cierre del circuito Xd por una orden K3;

- Condición  $Bd = SQ5.\overline{Vd}.Sd$  : reescritura sin modificación del estado de todos los circuitos en la sección, excepto  
15 para el estado de aquellos asociados a la vertical Vd.

En consecuencia.

- En la operación de "up-dating" bajo el control de una orden K3, el circuito Xd recibe una orden de cierre Bd y todos los otros circuitos asociados a la vertical Vd, es decir,  
20 al conjuntor en el que se inyecta el tono, reciben una orden de apertura  $\overline{Bd}$ , para tener la seguridad de que este conjuntor unicamente recibe un tono;

- Cuando se hace la operación de "up-dating" bajo el control de una orden K4, todos los circuitos asociados a  
25 Vd reciben una orden de apertura  $\overline{Bd}$  para tener la seguridad de que este conjuntor no recibe tono alguno.

Si bien el presente invento ha sido descrito en relación con un ejemplo particular de realización, ha de ser claramente entendido que el mismo no se limita a dicho ejemplo  
30 y que facilmente puede presentar otras variantes sin que por

407416<sup>41</sup>.



eso se salga de su finalidad.

Este invento corresponde a una solicitud de patente formulada en Francia en día 8 de Octubre de 1971, señalada con el Nº 71 36232 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

1. Un circuito marcador para una etapa de conmutación equipada con conmutadores de memoria dinámica integrada que comprende tres etapas de selección Ta, Tb, Tc y una etapa Td para distribución de tono, en el que cada una de las etapas comprende varias secciones constituidas por la asociación de varios conmutadores electrónicos elementales de memoria dinámica integrada, estando constituida la memoria de cada sección por la conexión, como un registro de cambio RWS, de los elementos de memoria asociados a cada conmutador elemental. Esta conexión en serie es realizada de tal forma que, cuando la lectura del registro y el avance de un contador de identificación de dirección KF son efectuados sincrónicamente los bits centrales del código CF puestos de manifiesto por este contador identifican la horizontal a la que pertenece el circuito de conmutación St cuyo estado es leído en ese tiempo, y los bits extremos de dicho código identifican la vertical a la que este circuito Xt pertenece. Dicho marcador está caracterizado por el hecho de que comprende primeramente un circuito de entrada el cual comprende un registro de orden RK y un registro de datos iniciales RI que contiene todos los datos de identificación necesitados para el establecimiento de

407416<sup>42</sup>.

20



una conexión de ruta (orden K1), de una desconexión de ruta  
(orden K2), de una conexión de fuente de tono (orden K3), de  
una desconexión de fuente de tono (orden K4), en segundo lu-  
5 gar un circuito de secuenciado de operación que da unas seña-  
les de fase SQ0, SQ1, ... SQ7 y dé señales de microfase, ca-  
racterizando la fase SQ0 la fase libre del marcador y contro-  
lando las otras fases respectivamente la ejecución de las ope-  
raciones de colección (SQ1), de análisis (SQ2), de "up-dating"  
(SQ3, SQ5), de inicialización (SQ7) y de final de la operación  
10 (SQ4), en tercer lugar circuitos de acceso a la etapa de con-  
mutación que comprenden por una parte un circuito de selección.  
ESW que permite seleccionar en cualquier etapa la sección iden-  
tificada por un código de datos iniciales o por un código dado  
por un contador KH y, por otra parte, un circuito de control de  
15 escritura WCC al que se aplica la información leída en los re-  
gistros RWS de las secciones seleccionadas y el cual da la  
información a ser de nuevo escrita en dichos registros, siendo  
modificado el valor de dicha información en relación con la  
información suministrada por el circuito INM y, en cuarto lu-  
20 gar, unos circuitos de operador que comprenden el contador KF  
de identificación de dirección y el contador KH de identifica-  
ción horizontal, un circuito de colección y análisis ASY que  
proporciona en un primer paso la colección de los datos nece-  
sitados para cumplimentar una orden K1 o K2 (fase SQ1) y, en  
25 un segundo paso, el análisis de estos datos para la obtención  
de los datos que faltan (resultados) para la ejecución de la  
orden (fase SQ2) y un circuito de marcado de entradas y salidas  
INM, facilitando dicho circuito las señales de marcado durante  
la lectura del registro RWS de una sección seleccionada cuando  
30 las partes del código Cf que caracterizan la vertical o la



horizontal (o ambas) son idénticas a los datos iniciales correspondientes o códigos resultantes, siendo aplicadas dichas señales a los circuitos WCC y ASY para controlar la operación de "up-dating" de la información escrita en los registros RWS  
5 (fases SQ3, SQ5).

2.Un circuito marcador de acuerdo con la reivindicación 1 en el que la conexión o desconexión de una ruta bajo el control de una orden K1 o K2 se caracteriza por el hecho de que la recepción de dicha orden K1 o K2 controla el cambio de la  
10 fase de libre SQ0 a la fase de colección SQ1, porque la señal de fase Sq1 controla, primero, la selección, por el circuito ESW, de las secciones en las etapas Ta y Tc, identificadas por los códigos CSa, CSc y la lectura del contenido de los registros RWS de dichas secciones, segundo, el proceso de dichos  
15 datos, el cual consiste, por una parte, en escribirlos de nuevo en los registros, sin ninguna modificación, a través del circuito WCC y por otra parte en transmitirlos al circuito ASY, porque dicho circuito ASY, recibe, primero, dichos datos, segundo, los bits centrales del código CF que identifican, por una primera  
20 señal de selección obtenida por decodificación, la horizontal a que pertenece el circuito St y, tercero, unas segundas señales de selección Na y Nc procedentes de dos registros Ra y Rc, cada uno de cuyos registros comprende un flip-flop por horizontal, porque la combinación de las primeras y segundas señales de selección controla el establecimiento en el estado 1 del correspondiente flip-flop en Ra o Rc ( o ambos ), porque, para una  
25 orden K1, aparece una señal Na (nc) cada vez que la información leída en la sección seleccionada de la etapa Ta (Tc) caracteriza el hecho de que se cierra el circuito Xt (señal Sa o Sc),  
30 Sc), porque, para una orden K2, aparece una señal Na(Nc) cada

407416 44.



vez que se recibe una señal Sa (Sc) al tiempo que el circuito INM da una señal de marcado Va (Vc), lo que caracteriza el hecho de que el circuito Xt está asociado a la vertical identificada por el código CTa (CJc) y porque, al final de la lectura del registro RWS, el circuito de secuenciado produce una señal de fase SQ2, mostrando entonces el registro Ra (Rc) el estado de ocupación de las horizontales de la sección seleccionada en la etapa Ta (Tc).

3. Un circuito marcador de acuerdo con las reivindicaciones 1 y 2 caracterizado por el hecho de que la señal de fase SQ2 controla el avance en una unidad del contador HK en cada ciclo de las señales Básicas, porque las señales obtenidas por la decodificación del contenido de este contador controlan la exploración de los flip-flops homólogos de los registros Ra y Rc, porque las informaciones leídas en dichos flip-flops son comparadas de tal modo que producen o bien una señal LO cuando ambas están en el estado 0 (estando libres las horizontales homólogas en las etapas Ta y Tc) o una señal L1 cuando las dos están en el estado 1 ( las horizontales homólogas, ocupadas), porque es generada una señal Y cuando aparece una LO (L1) al ejecutar una orden K1 (K2), porque dicha señal Y controla primero la conmutación a la fase SQ3 y segundo la parada del contador KH que así muestra el resultado que es el código CH de las horizontales homólogas libres (ocupadas) en las secciones seleccionadas de las etapas Ta y Tb y, porque, si todos los flip-flops de los registros Ra y Rc han sido explorados sin obtener una señal Y, la fase SQ4 es conectada.

4. Un circuito marcador de acuerdo con las reivindicaciones 1, 2 y 3 caracterizado por el hecho de que la señal de fase SQ3 controla primero la selección, por el circuito ESW, de

407416 45.



las secciones en las etapas Ta, Tb, Tc identificadas por los  
códigos CTa, CH, CJc, y la lectura del contenido de los regis-  
tros RWS de dichas secciones, segundo el proceso, en el circui-  
to WCC, de la información así colectada, porque dicho proceso  
5 es efectuado bajo el control de las señales de marcado dadas  
por el circuito INM, consiste por una parte en permitir la  
rescritura de la información leída únicamente cuando se refiere  
a los circuitos Xt que no están asociados a las entradas y sa-  
lidas cuyos códigos están escritos en el registro de entrada  
10 RL y en el contador KH y, por otra parte, en el control, sola-  
mente para una orden Kl, del cierre, en cada sección seleccio-  
nada, del circuito de conmutación Xt identificado por dichos  
códigos y, porque, cuando esta operación de "up-dating" está  
terminada, la fase SQ4 es conmutada junto con la elaboración  
15 de una señal de fin de la operación I y de una señal de logro  
L.

5. Un circuito marcador de acuerdo con las reivin-  
dicaciones 1, 2, 3 y 4 diseñado para ejecutar una operación  
de conexión de tono (orden K3) o de desconexión de tono (orden  
20 K4) caracterizado por el hecho de que la recepción de una or-  
den tal controla la conmutación en la fase SQ5, porque la se-  
ñal SQ5 controla primero la selección, por el circuito ESW,  
de las etapas Td y Tc de las secciones identificadas por el  
código CSc y la lectura del contenido de los registros RWS  
25 de dichas secciones, segundo el proceso, en el circuito WCC,  
de la información así colectada, porque dicho proceso es efec-  
tuado bajo el control de las señales de marcado dadas por el  
circuito INM y que consisten por una parte en la escritura  
sin ninguna modificación en la sección seleccionada de la e-  
30 tapa Tc y en permitir la reescritura, en la sección Tc de la

407416

46.



información leída unicamente si concierne a los circuitos Xt que no están asociados a la vertical cuyo código está escrito en el registro RI y por otra parte en controlar, unicamente para una orden K4, el cierre, en la sección seleccionada de Td, del circuito Xt identificado por los códigos de entrada y de salida almacenados en el registro RI y porque, cuando esta operación de "up-dating" es acabada, la fase SQ4 es conmutada y elaborada una señal I.

6. Un circuito marcador de acuerdo con las reivindicaciones 1, 2, 3, 4 y 5 diseñado para inicializar la red de conmutación, caracterizado por el hecho de que la recepción de una orden K5 controla la conmutación en la fase SQ7, porque esta señal controla, a través del circuito ESW, la selección sucesiva de todas las secciones de las etapas Ta, Tb, Tc y Td, porque la información leída no es reescrita y porque al final de esta operación es conectada la fase SQ0 bajo el control de una orden de desconexión del marcador KO.

7. Un circuito marcador de acuerdo con las reivindicaciones 1, 2, 3, 4, 5 y 6 caracterizado por el hecho de que por un computador son mandadas las órdenes K1, K2, K3, K4 y K5 y porque, cuando dicho computador recibe una señal final de operación I, transmite una orden de desconexión de marcador KO que controla la conmutación en la fase SQ0.

8. Un circuito marcador para una etapa de conmutación equipada con conmutadores de memoria dinámica integrada.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

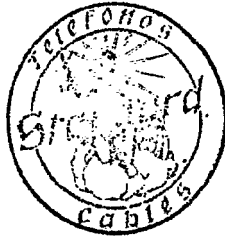
407416<sup>47.</sup>



Esta memoria consta de 47 hojas escritas por una sola cara.

Madrid, 20 NOV 1972

M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL





407416

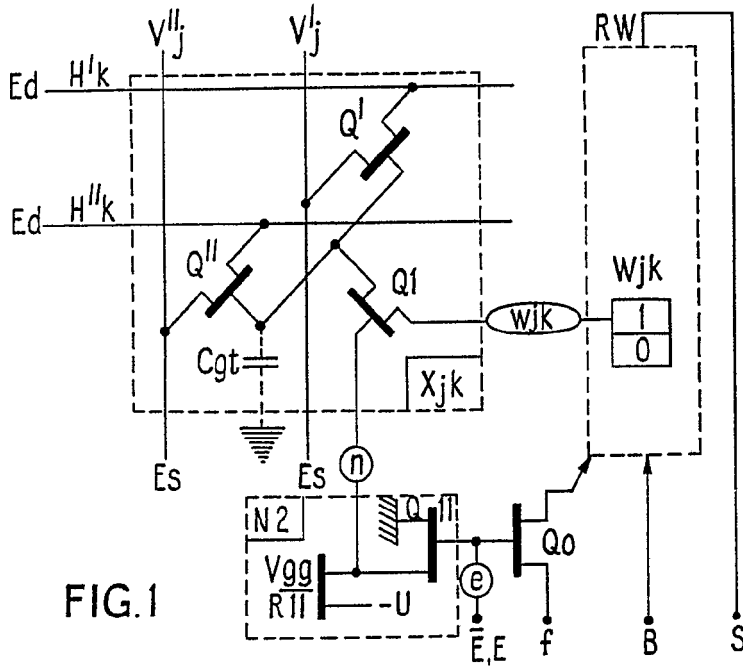


FIG. 1

20 Nov 1972

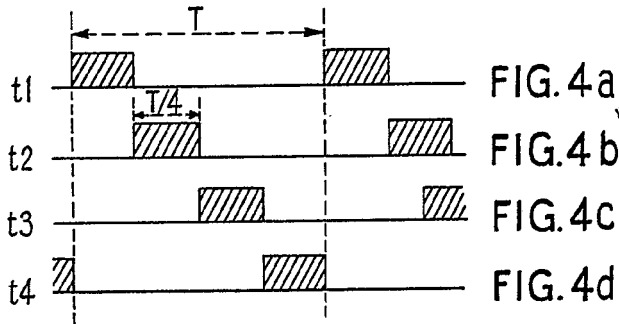


FIG. 4a

FIG. 4b

FIG. 4c

FIG. 4d

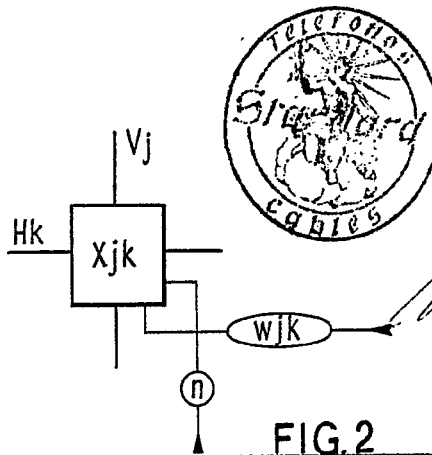


FIG. 2



*M. G. Santamaria*  
 M. G. SANTAMARIA  
 VICE-SECRETARIO GENERAL



STANDARD ELECTRICA

407316

20

20 NOV 1972



M. G. SANTAMARIA  
VICESECRETARIO GENERAL

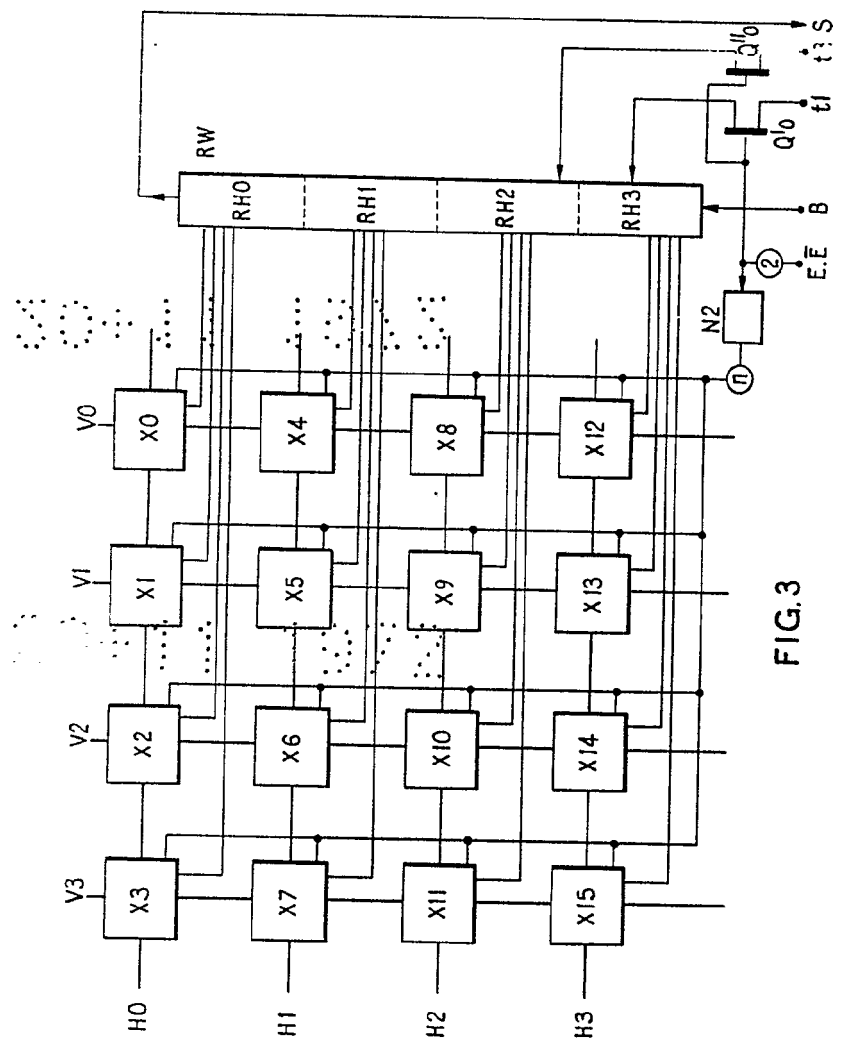


FIG. 3

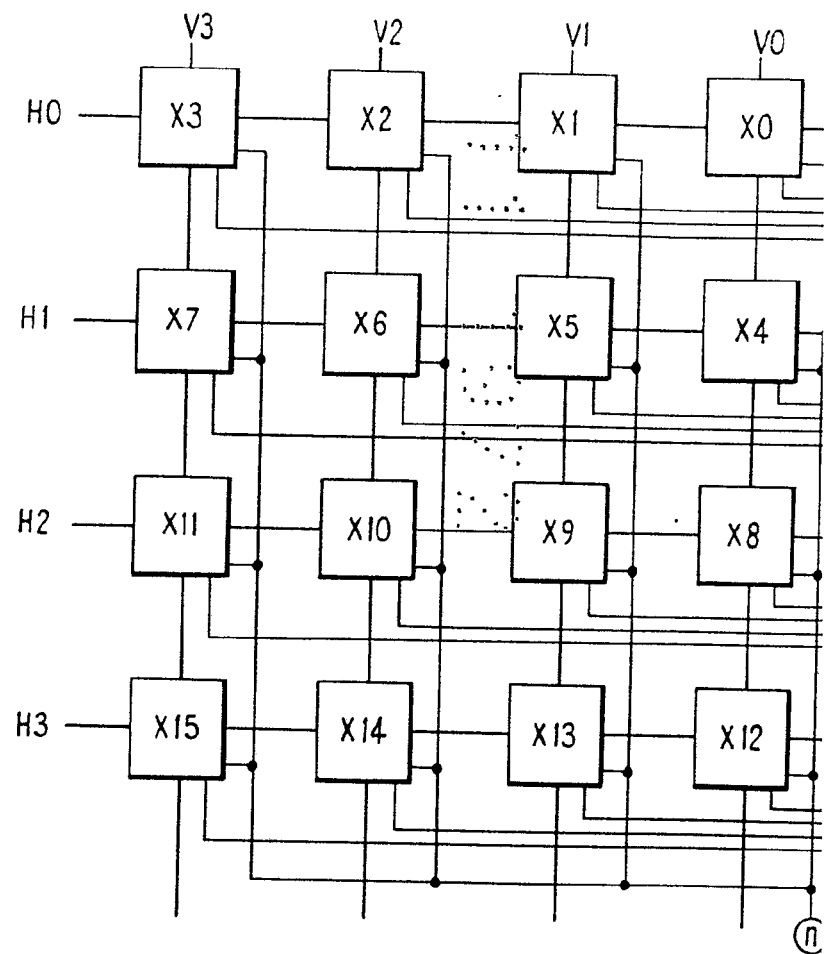
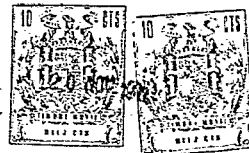
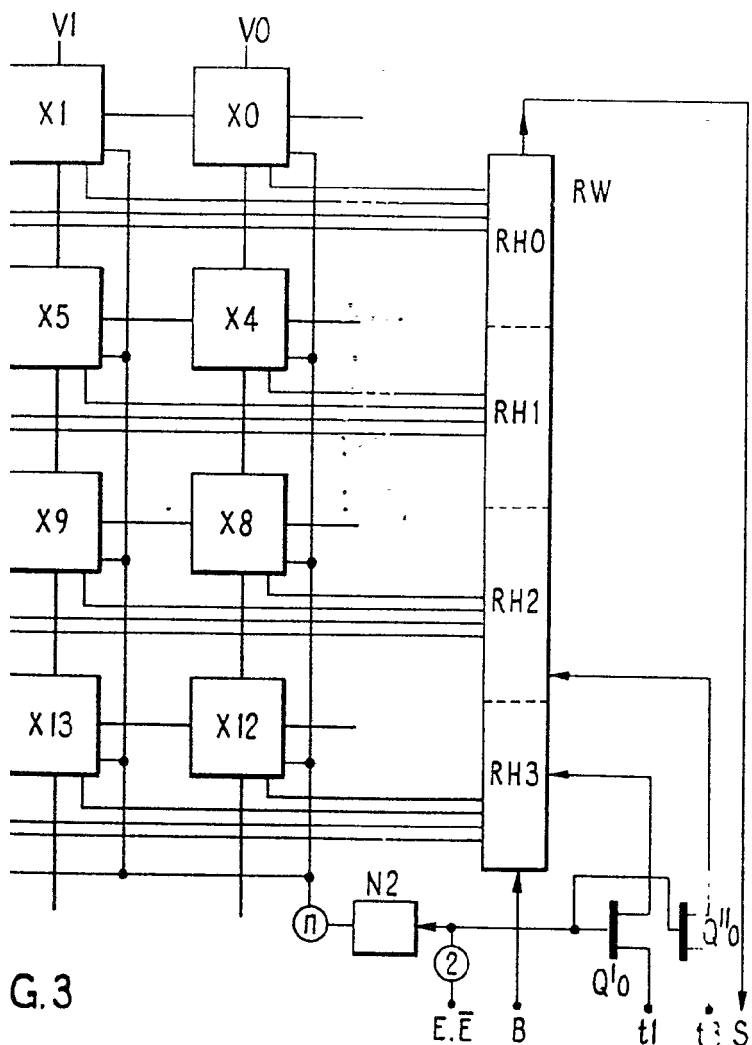


FIG. 3



407 410



20 NOV 1972



M. G. SANTAMARIA  
VICESECRETARIO GENERAL



STANDARD ELECTRICAL

407416

20 NOV 1972

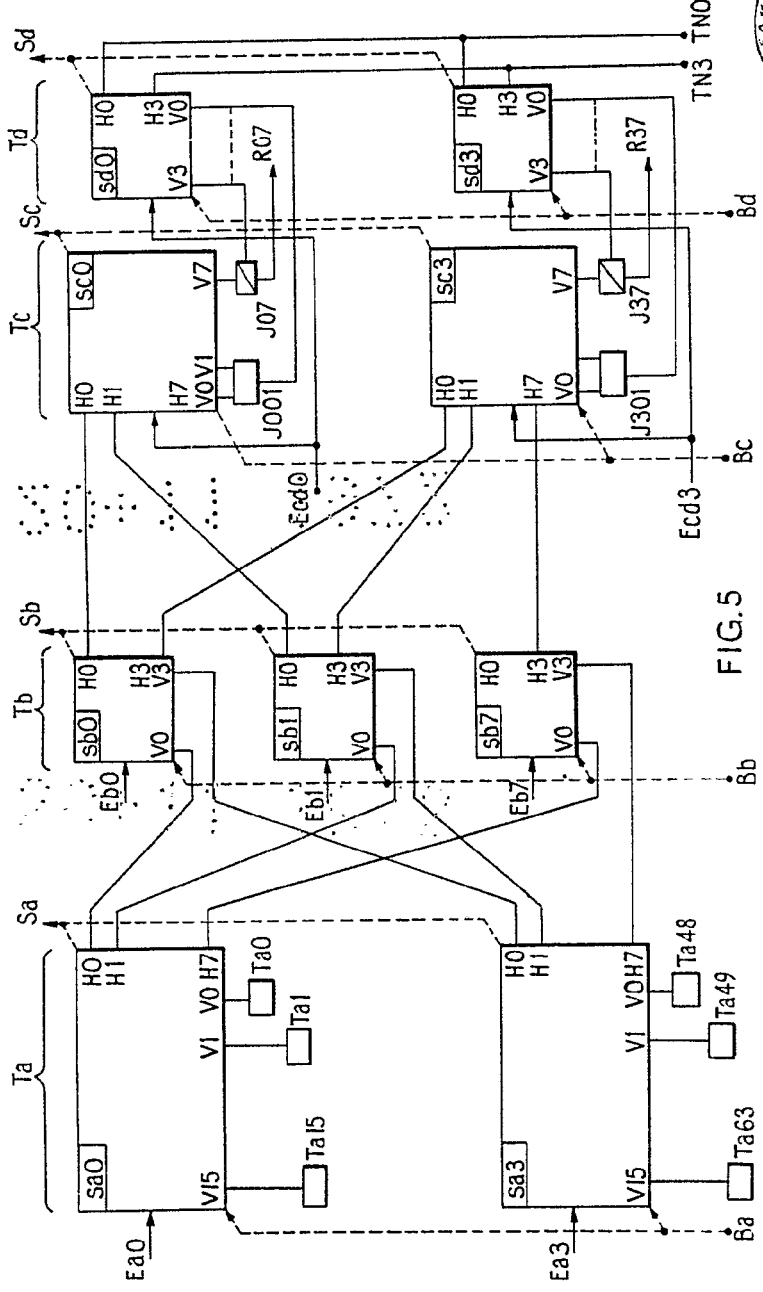


FIG. 5



M. G. SANTAMARIA  
VICESEGRETARIO GENERALE

407415

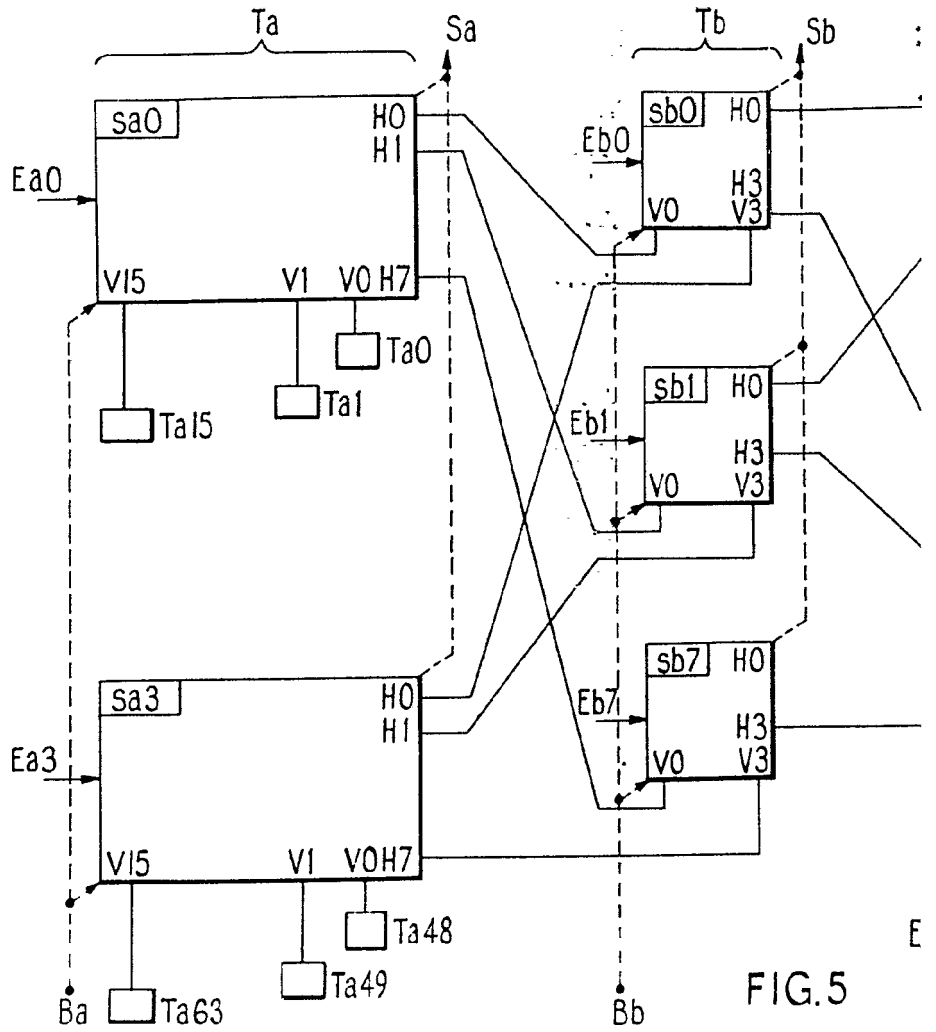
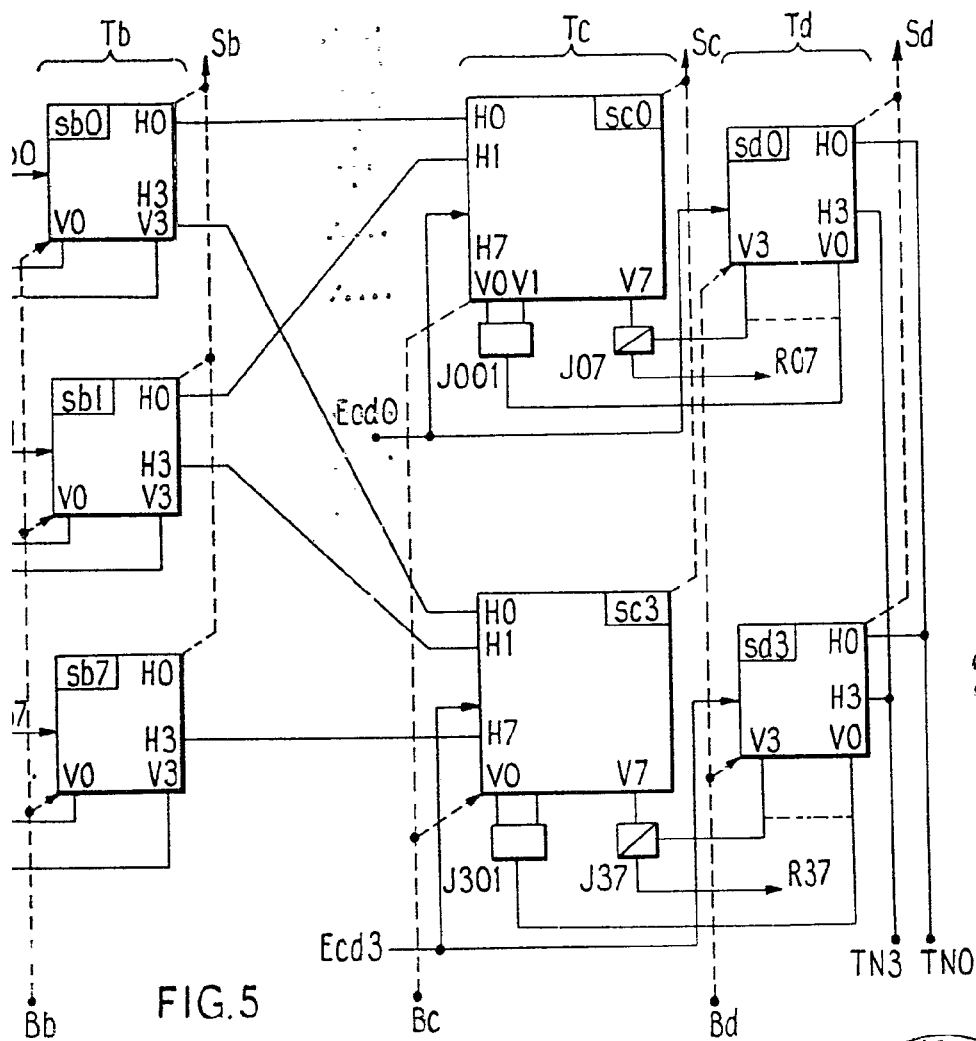
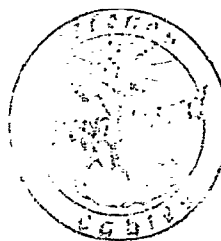


FIG.5



20 NOV 1972



Standard Electrical  
Washington, D.C.



STANDARD ELECTRICAL

407416

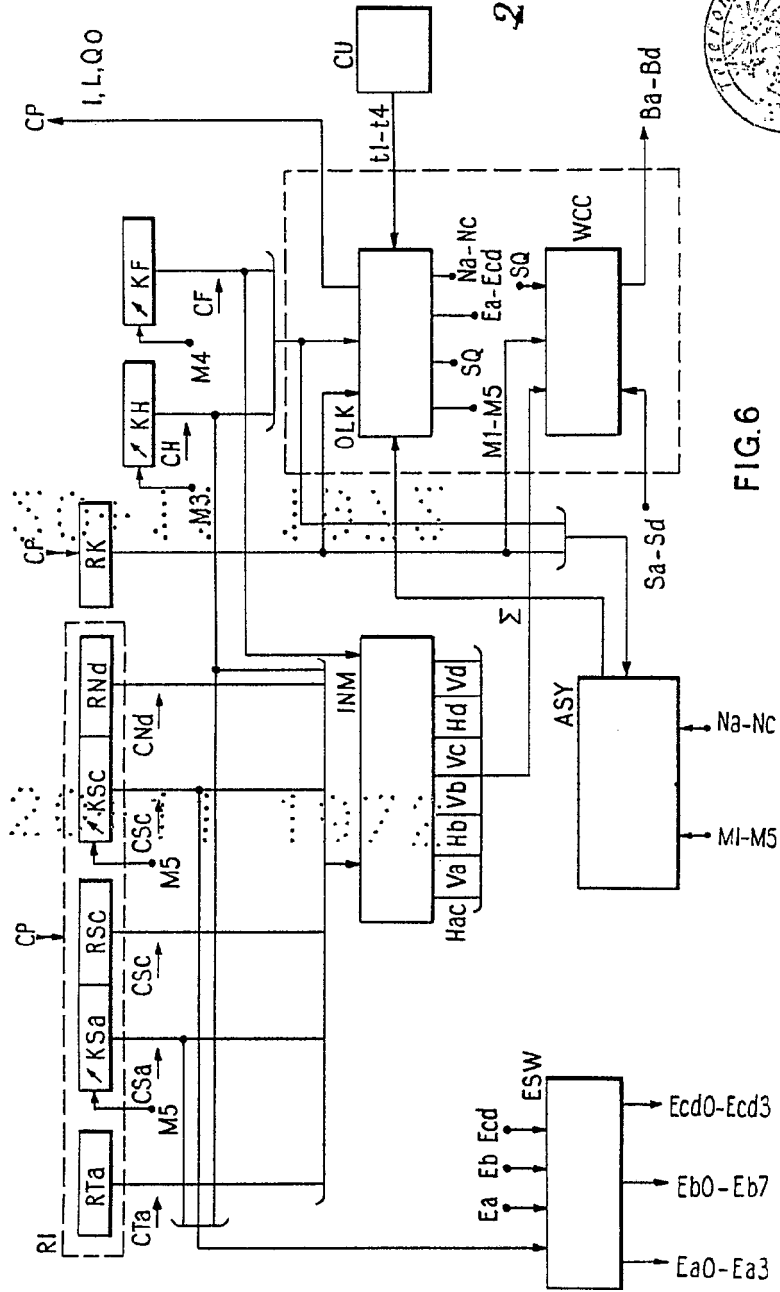
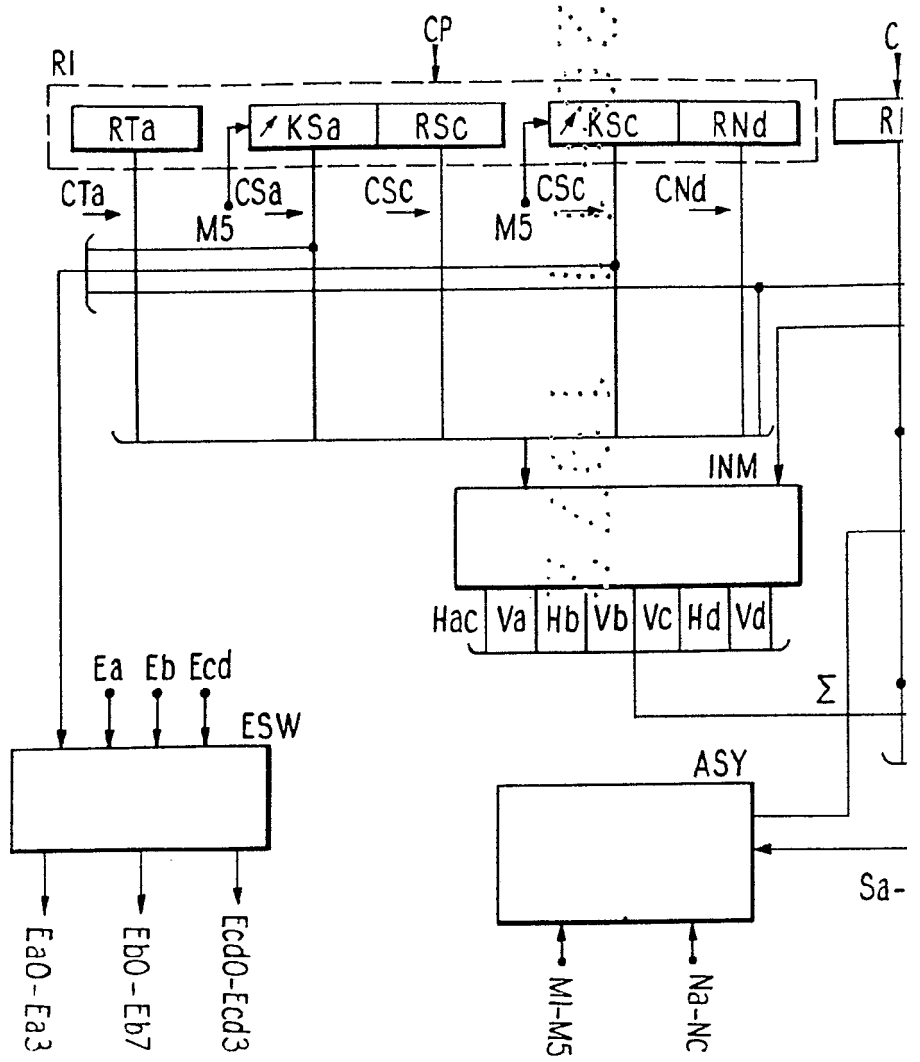


FIG. 6

*M. G. Santamaria*  
 M. G. SANTAMARIA  
 VICE-SECRETARIO GENERAL

407410



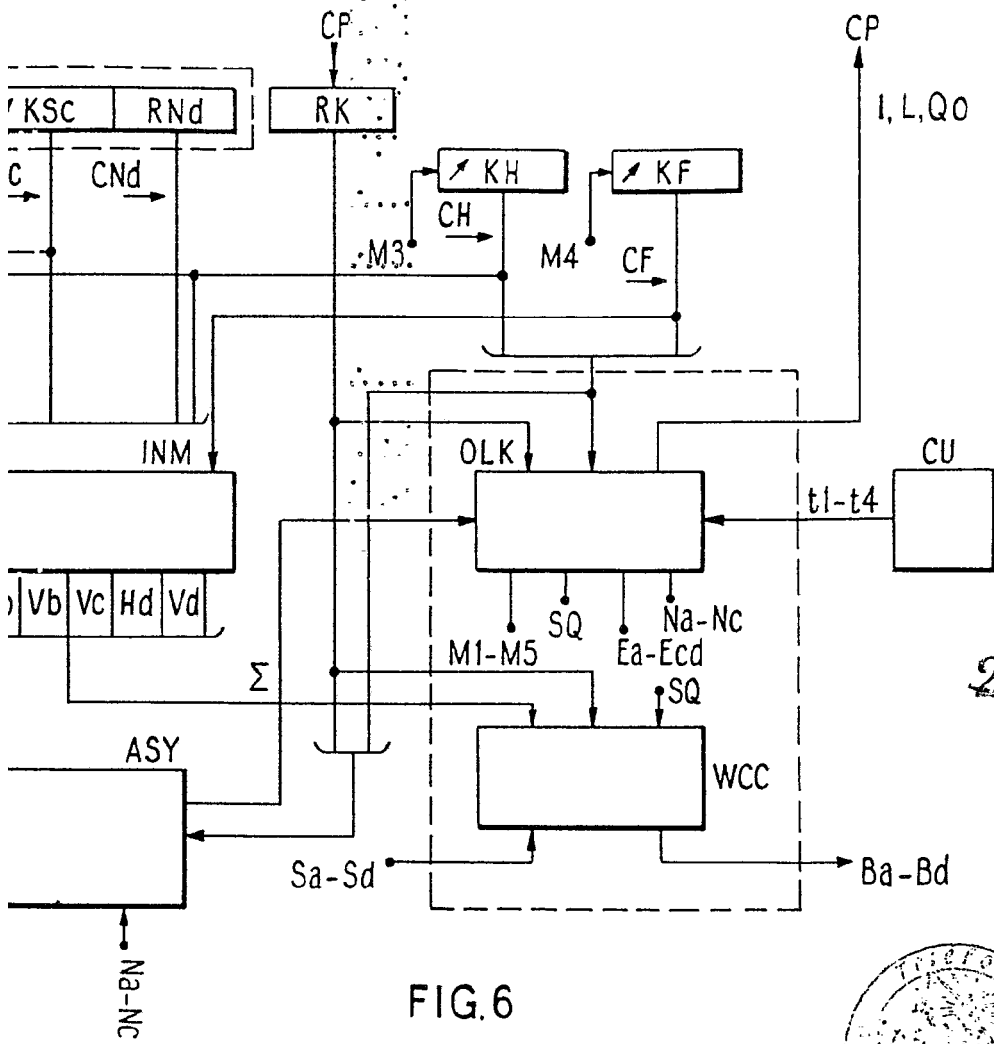


FIG. 6

24 NOV 1972



*M. G. Santamaria*  
**M. G. SANTAMARIA**  
 VICE-SECRETARIO GENERAL



# 407416

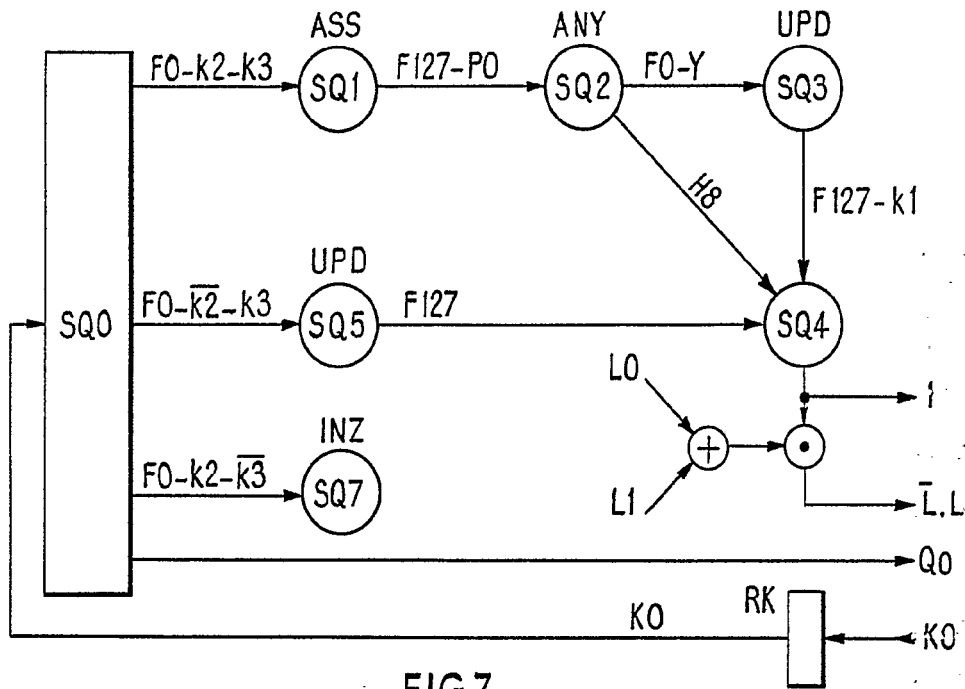


FIG. 7

20 NOV 1972

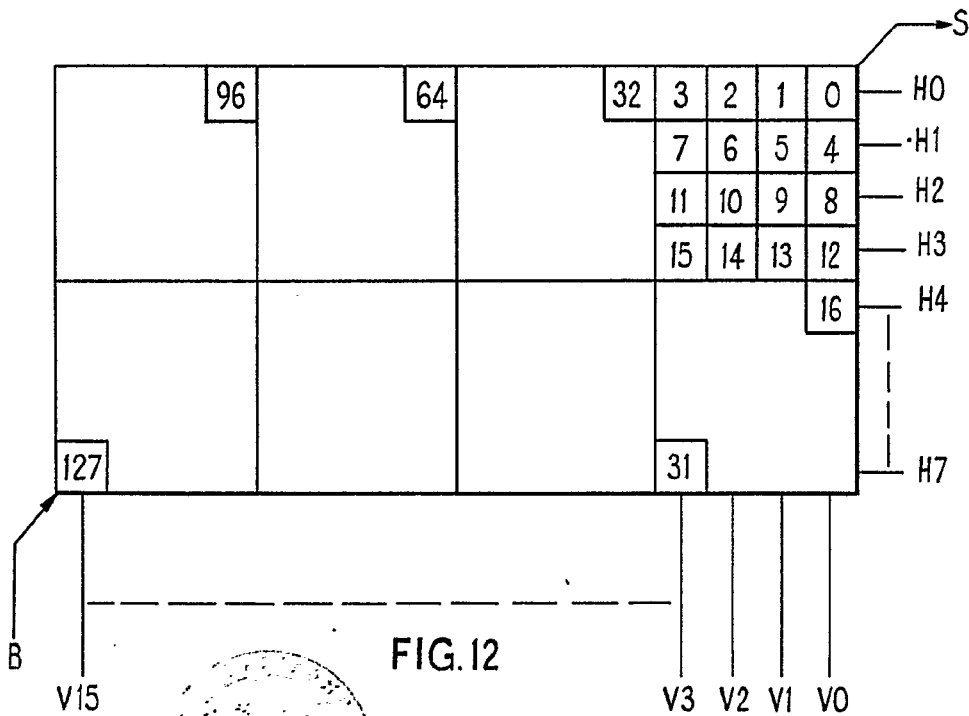


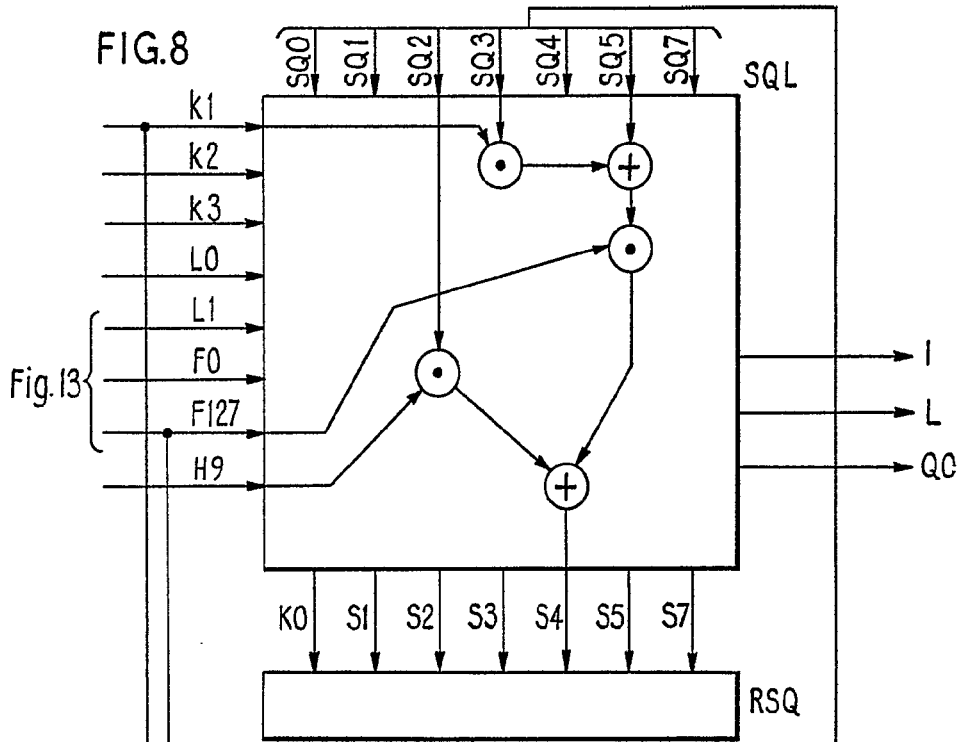
FIG. 12



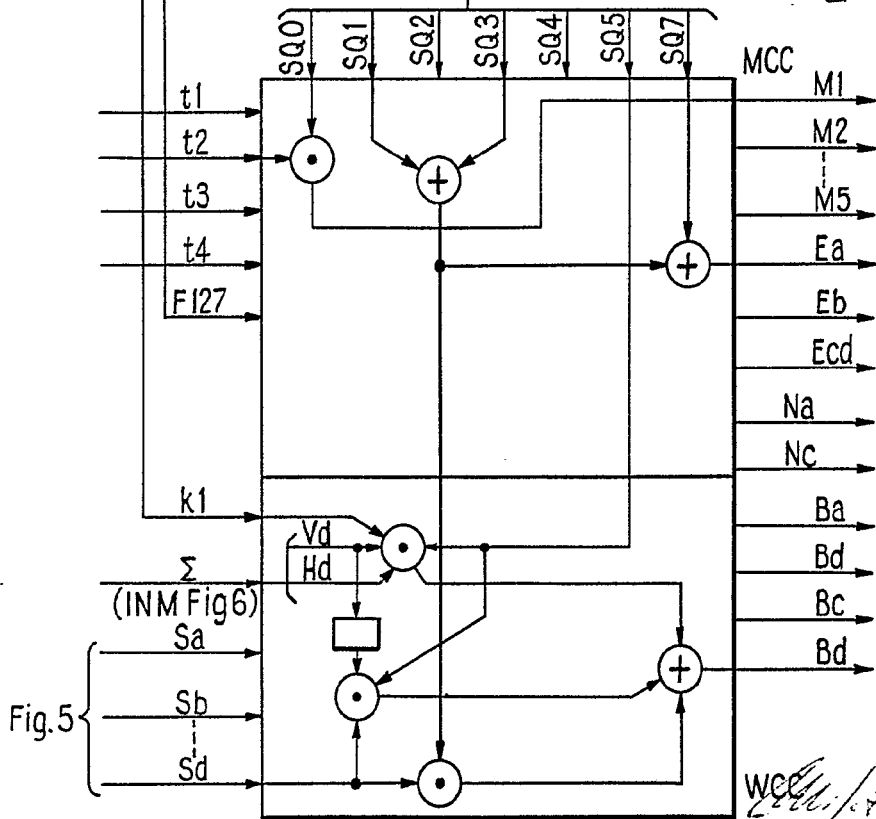
*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

407416

8/6  
STANDARD ELECTRICA, S. A.



20 NOV 1972



*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

407416

STANDARD ELECTRICAL, S. A.

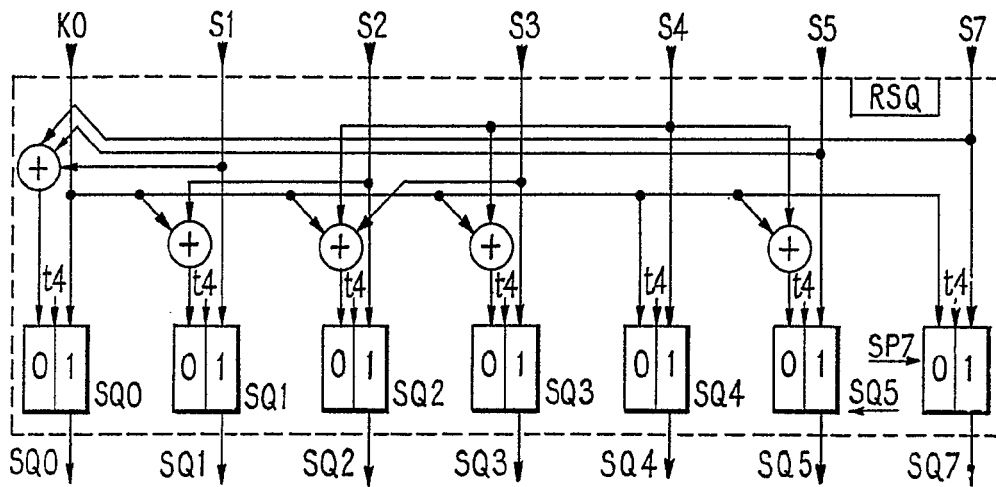


FIG. 9

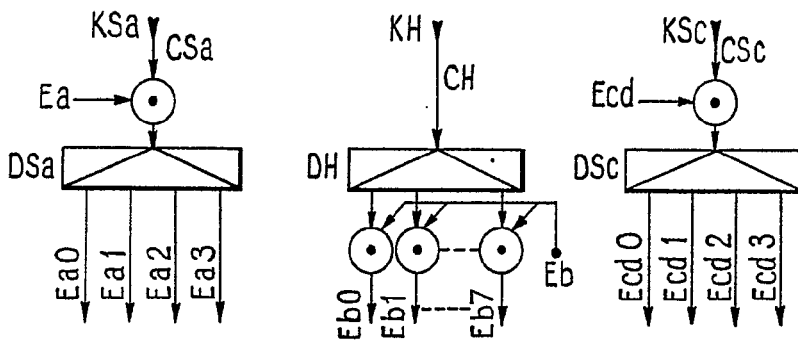


FIG. 10

	--11	--10	--01	--00	
00--	3	2	1	0	H0
01--	7	6	5	4	H1
10--	11	10	9	8	H2
11--	15	14	13	12	H3
	V3	V2	V1	V0	

FIG. 11



20 NOV 1972

*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

407416

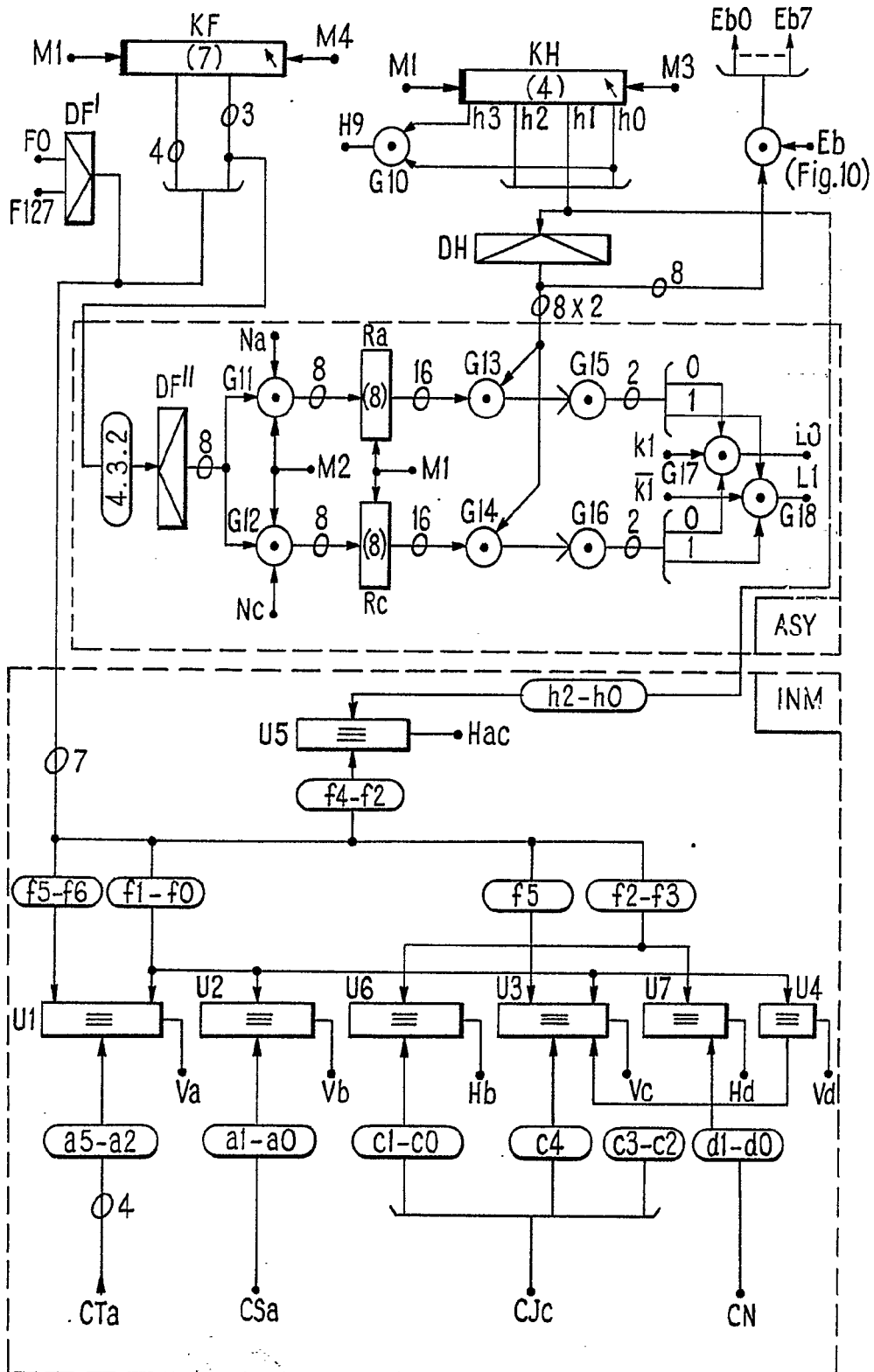


FIG. 13

*M. J. Santamaria*  
 N. G. SANTAMARIA  
 VICE-SECRETARIO GENERAL

20 NOV 1972