

30 SEP 1972



PATENTE DE INVENCIÓN
TE 73.

407186

Memoria Descriptiva

sobre:

PERFECCIONAMIENTOS EN CIRCUITOS ELECTRICOS DE MANDO DE LA
ATRIBUCION DE UN RECURSO A UNA PLURALIDAD DE SOLICITADORES.

Solicitante LA TELEMECANIQUE ELECTRIQUE, entidad francesa, resi-
dente en 33 bis, Av. du Maréchal Joffre, 92000
NANTERRE, Francia.

La presente invención se refiere a la atribución de un recurso (por ejemplo, la memoria central de un ordenador) a una pluralidad de solicitadores, y a la resolución de los conflictos de prioridad eventuales.

5. Las soluciones mas evidentes, que comprenden por



ejemplo una exploración ciclica de las entradas de los organos solicitadores por una señal de interrogación, conducen generalmente a circuitos de atribución que tienen una complejidad que crece linealmente en función del número de los órganos solicitadores y, por otra parte, no establecen ninguna ley de prioridad entre los diferentes solicitadores, que son servidos sucesivamente.

5.

La invención se refiere más particularmente a los casos de aplicación en que algunas solicitudes tienen un ritmo propio, mientras que las otras solicitudes no lo tienen.

10.

A título de ejemplo, las periféricas rápidas, tales como discos, canales de cambio y otros, solicitan la memoria central con una cierta periodicidad que corresponde a algunos ciclos de memoria, y deben ser absolutamente tomadas en cuenta a este ritmo que les es propio, si se quiere evitar una pérdida de tiempo considerable o una complicación excesiva de los circuitos. Por el contrario, las unidades centrales de ordenador, por ejemplo, pueden sin inconveniente notable, esperar durante un espacio de tiempo cualquiera que su solicitud sea satisfecha.

15.

20.

Es entonces lógico establecer una ley de prioridad entre los diferentes solicitadores, tanto mas cuanto que las unidades centrales tendran tendencia a conservar la memoria durante varios ciclos sucesivos, si se les permite.

25.

Un caso muy corriente en la práctica es el de cuatro solicitadores, de los cuales dos a ritmo propio sean A_1 y A_2 , y dos sin ritmo propio sean A_3 y A_4 .

30.

Es preciso evidentemente que estos cuatro solicitadores sean, en caso de llamadas simultaneas, servidos en plazos razonables, que no excedan de cuatro a ocho ciclos de me-



moria.

A este objeto, la invención propone la puesta en práctica de una ley de atribución definida por la reglas siguientes:

5. 1ª regla : ningun solicitador puede ser servido dos veces sucesivamente (es decir durante dos ciclos de memoria sucesivos en el ejemplo considerado o, mas generalmente, durante dos ciclos sucesivos de una base de tiempos que establece la cronología del recurso), salvo en ausencia de llamada que proceda de otro solicitador.
10. 2ª regla : el solicitante nº 1 es servido al final del ciclo en curso, salvo en el caso en que otras llamadas intervengan cuando era ya servido durante el ciclo en curso.
15. 3ª regla : el solicitante nº 2 es servido al final del ciclo en curso, salvo el caso en que otras llamadas intervengan cuando era ya servido durante el ciclo en curso, y el caso en que el solicitante nº 1 efectue una llamada el final del ciclo en curso.
20. 4ª regla : el solicitante nº 3 es servido al final del ciclo en curso, salvo en los siguientes casos:
- era ya servido durante el ciclo en curso, y otras llamadas intervienen;
 - uno de los dos primeros solicitantes emite una llamada;
 - 4 es solicitante y aquel de los solicitantes 3 y 4 que ha sido servido último en curso de los ciclos anteriores era 3.
25. 5ª regla : el solicitante nº 4 es servido al final del ciclo en curso, salvo en los siguientes casos:
- era ya servido durante el ciclo en curso y otras llamadas intervienen;
30. - uno de los dos primeros solicitantes emite una llamada;

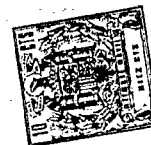


- 3 es solicitante y el último servido de los solicitantes 3 y 4 durante ciclos anteriores, era 4.

5. Esta ley de atribución permite, por ejemplo, servir en prioridad dos discos (u otros órganos de ritmo propio) nº 1 y nº 2 no atribuyendoles a cada llamada mas que un ciclo de memoria, y servir alternativamente dos unidades centrales (u otros órganos sin ritmo propio) nº 3 y nº 4, durante los ciclos de memoria no utilizados por los discos. Es evidente que dicho sistema alcanzará la saturación cuando el ritmo de llama-
10. das de los discos sea demasiado elevado, no siendo las unidades centrales entonces ya jamas servidas.

La invención tiene por objeto un circuito apto para la puesta en práctica de la ley de atribución definida mas arriba.

15. Este circuito comprende medios para engendrar señales de validación de las conexiones entre los solicitantes respectivos y el recurso, en función de señales de llamada emitidas por los solicitantes, y se caracteriza principalmente por la combinación, a un dispositivo de muestreo de las citadas señales
20. de llamada, que define un cierto número de niveles lógicos que corresponden a su presencia o a su ausencia, de un dispositivo de memoria muerta que recibe en sus entradas todas las combinaciones posibles de los citados niveles lógicos, de niveles lógicos correspondientes, para cada muestreo a la presencia
25. o a la ausencia de las señales de validación en el momento del muestreo, y de aquella de dos al menos de las señales de validación que ha sido establecida en último lugar antes del muestreo considerado, constituyendo el citado dispositivo de memoria muerta una matriz agenciada para engendrar en sus salidas
30. señales de validación que obedecen a la ley de atribución



arriba citada.

Otras particularidades, así como las ventajas de la invención, aparecerán claramente con ayuda de la descripción que sigue y con referencia a los dibujos anexos, en los que:

5. La figura 1 representa la tabla de veracidad que corresponde a la ley de atribución arriba citada.

La figura 2 es un esquema de principio de un circuito de mando de atribución que permite la puesta en práctica de dicha ley.

10. La figura 3 representa la forma de onda de las señales de reloj utilizadas para el muestreo.

En la tabla de veracidad de la figura 1, la letra A designa las llamadas, la letra C las señales de validación de conexiones entre el solicitante y el recurso.

15. La columnas A_4 y A_1 contienen las dieciseis combinaciones posibles de los estados de las llamadas efectuadas por los solicitantes 1 a 4, correspondiendo el estado 1 a presencia de una llamada y el estado 11 a la ausencia de una llamada, en el instante en que se considera el funcionamiento del montaje.

20. Si se examina entonces la segunda línea del cuadro, en la que solo la llamada A_1 existe, se observa que, en la columna C_1 , se ha colocado un 1 entre parentesis. Ello significa que si, en el instante en que interviene la llamada A_1 , la señal C_1 es ya establecida (solicitante 1 en tren de ser servido),

25. será preciso confirmarlo. Así mismo, el 1 colocado entre parentesis en la columna C_2 significa que si el solicitante 2 era servido antes de que intervenga la llamada A_1 , será preciso establecer C_1 . Esta es la aplicación de la segunda regla enunciada mas arriba: interviniendo A_1 cuando A_2 es ausente, por ende C_2 acaba de desaparecer, es el solicitante nº 1 el que

30.



debe ser servido.

5. La segunda línea del cuadro expresa finalmente que, cualquiera que sea el solicitante establecido en el momento en que interviene la llamada A_1 , será preciso servir al solicitante nº 1 durante la llamada A_1 .

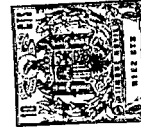
10. La tercera línea expresa asimismo, por unos 2 entre parentesis que, en el instante en que interviene la única llamada A_2 , será preciso servir al solicitante nº 2, cualquiera que sea la señal C_1 a C_4 que se encuentra entonces establecida.

15. Las cifras 01 colocadas en esta tercera línea por encima de la cifra 2 entre parentesis, indican que se tendrá entonces $V_1 = 0$ y $V_2 = 1$, siendo V_1 y V_2 variables de codificación de las señales C_1 a C_4 . Asimismo, en la segunda línea, el establecimiento de C_1 es representado por el código $V_1 = 0$ y $V_2 = 0$. En el resto del cuadro, se observa que el establecimiento de C_3 está representado por el código $V_1 = 1$ y $V_2 = 0$, y el establecimiento de C_4 por el código $V_1 = V_2 = 1$.

20. La primera línea indica que en ausencia de toda llamada, estando en reposo el sistema desde hace tiempo, la señal C_1 será a pesar de todo establecida, cualquiera que sea la conexión que había sido establecida antes de este estado de reposo. Se explicará a continuación el significado de esta anomalía aparente.

25. En la cuarta línea, hay dos llamadas simultaneas A_1 y A_2 . Si este acontecimiento se produce cuando C_1 era establecida, no siendolo C_2 , ello significa que el ciclo durante el cual el solicitante nº 1 es servido ha terminado: es preciso por tanto confirmar C_1 . Si, por el contrario, C_2 era establecida en el momento de las llamadas simultaneas A_1 A_2 , es

30.



preciso evidentemente confirmarlo, no siendo terminado el ciclo atribuido al solicitante nº 2. Si C_3 ó C_4 era establecida en el momento de las llamadas simultaneas $A_1 A_2$, la tercera regla anterior indica que es C_1 la que debe ser establecida al final del ciclo en curso.

5.

Es fácil verificar que el conjunto de la tabla de veracidad no hace mas que expresar, de forma precisa, las cinco reglas enunciadas anteriormente.

10.

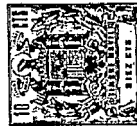
La tercera línea de la tabla presenta la particularidad siguiente: cuando C_1 ó C_2 sean establecidas durante el ciclo que precede al momento en que intervienen las llamadas simultaneas A_3 y A_4 , el montaje deberá establecer la señal C_4 si, de los dos solicitantes nº 3 y 4, es el nº 3 quien ha sido servido en último lugar; por el contrario, la señal C_3 será la que deberá ser establecida si el solicitante nº 4 ha sido servido en último lugar. Es la aplicación de las 4ª y 5ª reglas anteriores, la que permite evitar en el caso de un ritmo de llamadas elevado de los solicitadores nº 1 y 2, que uno de los dos solicitantes nº 4 y 5 sea favorecido en detrimento del otro.

20.

En la figura 2, se ha representado un circuito destinado a procurar a cuatro solicitadores, que enviaran señales de llamada respectivas $A_1-A_2-A_3-A_4$ aplicadas a la entrada D de cuatro "básculas D" 1-2-3-4, unas señales de autorización de conexión C_1, C_2, C_3, C_4 . (Se ha indicado las señales complementarias $\overline{C_1}$ ó $\overline{C_4}$ a la salida del montaje: Es evidente que bastará aplicarlas a unos circuitos inversores lógicos para obtener señales de igual polaridad que las señales de llamada; asimismo, son de hecho los complementos $\overline{A_1}$ ó $\overline{A_4}$ que son aplicadas a las entradas de las basculas). A las en-

25.

30.



tradas de reloj C de las básculas 1 á 4 es aplicada una señal de muestreo H engendrada, en el punto referenciado H sobre el montaje, de la menra que será explicada a continuación.

5. De ello resulta que, durante cada frente ascendente de la señal H, la señales A_1 á A_4 son aplicadas a las entradas de una memoria muerta 5, la cual en cooperación con un selector 6 cuya función será explicada mas tarde, engendra las dos señales V_1 y V_2 ya mencionadas.

10. Estas señales son aplicadas a un descodificador 7, que engendra las señales de salida \overline{C}_1 á \overline{C}_4 , por mediación de dos básculas D, 8 y 9, come se explicará mas tarde.

El descodificador 7 comprende cuatro puertas PAS Y de potencia 71 á 74 y unos inversores 75 á 78, como se explicará a continuación.

15. El conjunto 5-6 está destinado a engendrar dos señales V_1 y V_2 cuyos estados son definidos en función de A_1 , A_2 , A_3 , A_4 , C_1 , C_2 , C_3 , C_4 y de una señal ASP validada cuando A_3 ha sido servida anteriormente, e invalidada cuando A_4 ha sido servida anteriormente, por la tabla de veracidad de la figura 1.

20. La señal ASP es tomada a la salida de una báscula compuesta de dos puertas PAS Y 10 y 11 interbloqueadas, cuyas entradas están conectadas a las salidas \overline{C}_3 y \overline{C}_4 del descodificador 7.

25. Conviene hacer observar que se habrian podido obtener las señales V_1 y V_2 realizando, según la técnica conocida de las memorias muertas, una matriz que comprende dos columnas (que corresponden a las dos salidas V_1 y V_2) y 128 líneas (que corresponden a las 128 combinaciones posibles de las 9
30. señales de entrada mencionadas anteriormente). Sin embargo, en



la práctica, teniendo las matrices actualmente disponibles 32 líneas y 8 columnas, se ha preferido constituir la memoria muerta con ayuda de 4 de estas matrices y asociarla un selector que realiza las intersecciones entre las 32 combinaciones posibles de A_1, A_2, A_3, A_4 y ASP y las señales respectivas C_1 a C_4 . Este selector debe por tanto recibir V_1 y V_2 , como se verá a continuación.

5.

Las treinta y dos entradas de cada una de las cuatro matrices que constituyen la memoria muerta reciben respectivamente las treinta y dos combinaciones de los 5 niveles lógicos correspondientes a las llamadas A_1 a A_4 y a la señal ASP. Estas combinaciones son formadas por medio de un descodificador 5a compuesto de un conjunto de puertas realizado por medio de circuitos integrados incorporados a la caja de la memoria muerta.

10.

Cada matriz proporciona dos informaciones binarias y el selector 6 es un conjunto de puertas que permite seleccionar en función de las señales V_1 y V_2 recogidas a la salida de las basculas 8 y 9, dos solamente de las 8 informaciones binarias disponibles a la salida de la memoria muerta. Así pues se ha realizado

15.

un conjunto 6-7 que equivale a una matriz de 128 líneas y 2 columnas que materializa la tabla de veracidad de la figura 1. Esta técnica original permite evitar la realización del circuito extremadamente complejo que habría deducido de la puesta en práctica directa por medio de puertas, unas ecuaciones lógicas deducidas de la tabla de veracidad.

25.

Se ha visto mas arriba que C_1 es establecida por el montaje en ausencia de toda llamada. Es preciso evidentemente anular la señal C_1 así obtenida cada vez que A_1 está ausente. Este resultado prodria ser obtenido por medio del inversor

30.

75 y de la puerta 71 que valida la salida C_1 solamente cuando



A_1 está presente. La conexión entre este inversor y la entrada A_1 debe evidentemente comprender un órgano de retardo, como está previsto en todo sistema secuencial que comprende un re-
buclaje.

5. Mas precisamente, es preciso validar la salida C_1 por una señal A_1 retardada en el ascenso, para evitar que, cuando hay una llamada diferente de A_1 que se ha producido antes del ascenso de la señal de reloj y una llamada A que se produce un poco después del ascenso de la señal de reloj, haya aparición de una conexión parásita C_1 .

10. En la forma de ejecución descrita, el re-
buclaje ha sido hecho mas complejo (órganos 12 a 15 que serán descritos a continuación), pero esto constituye un perfeccionamiento no indispensable.

15. Otros perfeccionamientos han sido previstos. En particular, para evitar las oscilaciones y otras suertes de funcionamiento del sistema debidas a los tiempos de propagación de las señales en los diferentes órganos, un cierto número de medidas han sido tomadas.

20. Ante todo, las básculas D, 1 a 4, tienen la propiedad bien conocida de congelar, en sus salidas, los estados de las señales de entrada en los instantes de muestreo. En caso de señales de entrada simultaneos, una variación de estas señales que intervienen después de un instante de muestreo no tendrá por tanto ya ninguna influencia sobre el montaje. Sin embargo, en el propio sistema 5-6 puede todavía producirse algunas variaciones de las señales, y es por esta razón que las básculas 8 y 9 congelan a su vez los estados de las salidas V_1 y V_2 del selector 6, en instantes determinados por señales de reloj \bar{H} aplicadas sobre sus entradas C. Los frentes ascenden
- 25.
- 30.

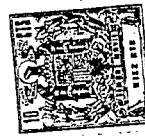


tes de las señales \bar{H} serán decalados por ejemplo 80 nanosegundos con respecto a las señales H, siendo este decalaje suficiente para permitir una estabilización completa de las señales (este decalaje corresponde a los tiempos de recorridos de las señales a través de las básculas 1 á 4 y el conjunto 5-6). Una forma de onda utilizable para las señales \bar{H} está representada en la figura 3. Se observa que basta con dar a las crestas H engendradas por un oscilador una anchura de al menos 80 ns para que la señal complementaria \bar{H} tenga sus frentes de ascenso decalados en 80 ns con respecto a los de H.

El tiempo de recorrido de las señales a través de las básculas 8 y 9 y del descodificador 7 al ser por ejemplo de 50 nanosegundos, el periodo mínimo T del reloj será finalmente igual a 130 ns, tiempo necesario al dispositivo para emitir una decisión, es decir engendrar una señal de validación a partir del instante de muestreo. (Cada solicitante deberá por tanto espaciar el comienzo de llamada del final de su llamada anterior al menos en 130 ns). Conviene hacer observar que a este tiempo de decisión se suma el tiempo de tomada en cuenta.

Es evidente, en efecto, que si una llamada cualquiera interviene, cuando ninguna otra llamada esta presente, casi inmediatamente después del ascenso de H, no será normalmente tomada en cuenta por las básculas 1 á 4 y el resto del montaje, mas que después del frente de ascenso siguiente de H, es decir después de un plazo que puede alcanzar un valor proximo a 130 nanosegundos. La decisión no intervendrá por tanto mas que al cabo de 260 nanosegundos, en el ejemplo numerico anterior.

Esto no es apenas admisible para los solicitantes



sin ritmo propio, una unidad central por ejemplo.

5. Es por esta razón que otra perfeccionamiento del montaje consiste en la adición de una puerta Y 16 y de una báscula D 17 destinadas a reducir notablemente este plazo en lo que respecta A_1 (que se considera como prioritaria con respecto a A_4), a condición, bien entendido, que la llamada A_3 intervenga en un momento en que ninguna otra llamada esta presente.

10. Las otras llamadas diferentes de A_3 no se benefician de esta aceleración que funciona de la siguiente manera.

15. La puerta 16 recibe \bar{A}_1 , \bar{A}_2 , \bar{A}_4 y A_3 , aunque engendre un nivel uno cuando solo A_3 es validada. La báscula 17 cambia entonces de estado y aplica sobre su salida Q un nivel cero que es transmitido a las entradas PS y RZ de las básculas respectivas 8 y 9, lo que tiene por efecto forzar la conexión C_3 en un tiempo muy breve (50 nanosegundos por ejemplo). Incluso si una de las llamadas A_1 , A_2 , A_4 asciende inmediatamente antes que la báscula 17 cambie de estado, esta báscula conserva su estado y mantiene así la conexión C_3 , la cual es por consiguiente confirmada por el conjunto del montaje. Cuando A_3 cae, la aplicación del frente correspondiente a la entrada RZ de la báscula 17 tiene por efecto cortar la conexión C_3 .

20. Por lo demás, para una cualquiera de las llamadas que intervienen cuando uno de los solicitantes está en tren de ser servido, es evidentemente deseable que el frente ascendente de H arranque lo mas rápidamente posible tras la llegada de la llamada de este solicitante, de ahí la utilización de un circuito generador de señales de reloj realizado como sigue.

30. Este circuito comprende una puerta PAS Y 18 y dos



inversores lógicos 19, 20, montados en circuito cerrado como lo muestra la figura 2, comprendiendo la conexión entre la salida de 19 y la entrada de 20 dos constantes de tiempo constituidas por dos resistencias 21-21a y por un condensador 22.

5. El tiempo de propagación a lo largo de este circuito cerrado define una frecuencia de oscilación. Dos inversores 23 y 24 proporcionan las dos señales complementarias H y \bar{H} ya mencionadas.

10. Una puerta Y 25 aplica una señal uno a una entrada de la puerta 18 cuando $\bar{C}_1, \bar{C}_2, \bar{C}_3, \bar{C}_4 = 1$. Este nivel uno desaparece desde el momento en que una conexión de un solicitante ha sido atribuida. Esto tiene entonces por efecto bloquear la oscilación, por tanto hacer $H = 0$.

15. La otra entrada de la puerta 18 está entonces al nivel 1. De ello resulta que desde que el solicitante deja de estar conectado y que por consiguiente la salida de la puerta 25 asciende al nivel 1, el nivel uno reaparece a la salida H y la oscilación arranca de nuevo al cabo de un corto plazo de 20 nanosegundos por ejemplo. En definitiva, la espera del solicitante siguiente se reduce.

20. Se ha indicado más arriba que la señal \bar{A}_1 es aplicada al inversor 75 por mediación de un circuito 12-15. 12 es un inversor lógico, 13 una báscula D que recibe la señal A_1 sobre su entrada RZ, la señal \bar{H} sobre su entrada C, y una tensión de +5 voltios sobre su entrada D. La salida Q de la báscula 13 ataca un inversor lógico 14 que ataca por su parte una entrada de una puerta PAS Y 15. La otra entrada de la puerta 15 está conectada a la salida \bar{Q} de la báscula 17, y su salida ataca al inversor 75.

30. Cuando la báscula 13 y la puerta 15 son pasantes, la



señal A_1 , transmitida al descodificador 7 por el circuito 12-13-14-15, valida la señal \bar{G}_1 de la manera explicada anteriormente.

5. La báscula 13 asegura que esta transmisión no podrá efectuarse mas que durante el ascenso de \bar{H} , es decir en un instante en que las básculas 8 y 9 han sido convenientemente posicionadas para definir la salida C_1 . Se suprime así el riesgo de un funcionamiento inseguro del montaje.

10. La puerta 15 es normalmente pasante, salvo cuando la salida \bar{Q} de la báscula 17 está al nivel 0, lo que produce como se ha explicado anteriormente en caso de aceleración de la señal A_3 . En este caso, es en efecto ventajoso suprimir el riesgo de que la salida C_1 pueda ser validada.

15. En lo que respecta a las señales C_2 , C_3 , C_4 , su validación se efectúa por las puertas 72 á 74 que recibe las señales respectivas A_2 á A_4 proporcionadas por los inversores 76 á 78, cuya entrada está directamente conectada a las entradas de las puertas respectivas 2 á 4.

20. Esta claro que, desde la desaparición de una llamada, la puerta 71 á 74 correspondiente es bloqueada, aunque la señal de validación desaparezca al cabo de un corto plazo tras la caída de la llamada que la a engendrado.

25. Innecesario es decir que diversas modificaciones del montaje descrito y representado podrán ser aportadas por el experto, sin salirse del espíritu de la invención.

N O T A

30. Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su



principio fundamental. También se hace constar que el invento corresponde a una solicitud de patente presentada en Francia nº 71 35429 de 1 de Octubre de 1971, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor y siendo lo que constituye la esencia del referido invento se solicita Patente de Invención por 20 años en España sobre:

5. Perfeccionamientos en circuitos eléctricos de mando de la atribución de un recurso a una pluralidad de solicitadores; caracterizándose por lo siguiente:

10. 1ª.- Perfeccionamientos en circuitos eléctricos de mando de la atribución de un recurso a una pluralidad de solicitadores, que comprenden medios para engendrar señales de validación de las conexiones entre los solicitantes respectivos y el recurso, en función de las señales de llamada emitidas

15. por los solicitantes, caracterizados porque dichos medios comprenden, en combinación: un dispositivo de muestreo que define niveles lógicos que corresponden a la presencia o a la ausencia de las señales de llamada y un dispositivo de memoria muerta que recibe en sus entradas, todas las combinaciones posibles entre los citados niveles lógicos, niveles lógicos que corresponden, para cada muestreo, por una parte a la presencia o a la ausencia de señales de validación en el momento del muestreo y al nivel lógico suplementario que depende de aquel

20. de dos al menos de las señales de validación que ha sido establecido en último lugar antes del muestreo considerado, constituyendo dicho dispositivo de memoria muerta una matriz agenciada para engendrar, en sus salidas, señales de validación que obedecen a una ley de atribución predeterminada.

25. 2ª.- Perfeccionamientos según la reivindicación 1ª, caracterizados porque para cuatro solicitadores, el primero y

30.



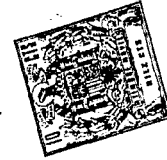
5. el segundo son servidos con prioridad, siendo servidos los dos últimos alternativamente durante aquellos de los ciclos de una base de tiempos que establece la cronología del recurso que no son utilizados por los dos primeros, siendo el tercero servido cuando el cuarto ha sido servido el último durante ciclos precedentes y viceversa.

10. 3ª.- Perfeccionamientos según la reivindicación 2ª, caracterizados porque están previstos unos medios para acelerar la toma en cuenta de una llamada que procede del tercer solicitante cuando interviene en un momento en que ninguna otra llamada esta presente.

15. 4ª.- Perfeccionamientos según la reivindicación 2ª, caracterizados porque dicho dispositivo de muestreo comprende cuatro basculas y el dispositivo de memoria muerta esta agenciado de forma a engendrar la información correspondiente a las cuatro señales de validación bajo la forma de dos señales binarias, transmitiendo estas dos básculas suplementarias estas dos señales a un descodificador, un generador de reloj que aplica sus frentes ascendentes a las basculas de muestreo y sus frentes descendentes a las básculas suplementarias, siendo la anchura de las señales de reloj al menos igual al tiempo de recorrido de las señales a través de las básculas de muestreo y el dispositivo de memoria muerta.

25. 5ª.- Perfeccionamientos según la reivindicación 4ª, caracterizados porque está prevista una báscula cuyas entradas son conectadas a las salidas del descodificador que engendran las señales de validación del tercer y cuarto solicitadores, proporcionando la citada bascula dicho nivel lógico suplementario al dispositivo de memoria muerta.

30. 6ª.- Perfeccionamientos según la reivindicación 4ª,



5. caracterizados porque el dispositivo de memoria muerta comprende un descodificador que recibe los cuatro niveles lógicos correspondientes a las llamadas y dicho nivel lógico suplementario para establecer las treinta y dos combinaciones, cuatro matrices que reciben cada una las treinta y dos combinaciones y sus treinta y dos entradas y que proporcionan dos señales binarias de salida y un selector que efectúa la intersección entre las ocho salidas de las matrices y las dos citadas señales binarias, que engendra en sus dos salidas.
10. 7ª.- Perfeccionamientos según la reivindicación 4ª, caracterizados porque el dispositivo de memoria muerta está agenciado de tal forma que engendra la señal de validación del primer solicitante en ausencia de toda llamada y porque están previstos unos medios para inhibir la aplicación de dicha señal de validación al descodificador en ausencia de una llamada del primer solicitante, estando conectados dichos medios a la entrada del circuito de mando que recibe dicha llamada por mediación de un órgano de retardo.
15. 8ª.- Perfeccionamientos según la reivindicación 7ª, caracterizados porque dicho órgano de retardo comprende una báscula que asegura que dicha conexión no sea validada mas que por un frente descendente de la señal de reloj.
20. 9ª.- Perfeccionamientos según las reivindicaciones 3ª y 4ª, caracterizados porque los citados medios de aceleración comprenden una puerta Y apta para engendrar un nivel de validación cuando solo la llamada que procede del tercer solicitante está presente y una báscula de aceleración armada por dicho nivel de validación y que transmite entonces, a las citadas basculas suplementarias, una señal que permite forzar el establecimiento de la señal de validación del tercer solicitante.
25. 30.



te.

5. 10ª.- Perfeccionamientos según la reivindicación 4ª, caracterizados porque dichos frentes ascendentes y descendentes son proporcionados bajo la forma de dos señales de reloj complementarias, por un montaje oscilador del tipo "timbre" que comprende unos órganos lógicos agenciados para hacer arrancar al reloj desde el momento de la llegada de una llamada que interviene cuando uno de los solicitantes esta en tren de ser servido.

10. 11ª.- Perfeccionamientos según la reivindicaciones 8ª y 9ª, caracterizados porque están previstos unos medios para inhibir dicha conexión cuando la citada báscula de aceleración es armada.

15. 12ª.- Perfeccionamientos en circuitos eléctricos de mando de la atribución de un recurso a una pluralidad de solicitadores, tal y como queda sustancialmente descrito en la presente Memoria e ilustrado en los dibujos adjuntos.

Esta Memoria consta de dieciocho hojas escritas a máquina por una sola cara.

Madrid, 30 SET. 1972

LA TELEMÉCANIQUE ÉLECTRIQUE

I. GOMEZ ACEBO Y HODET

p. p. Firmado: J. Suarez Diaz

José Suárez Díaz

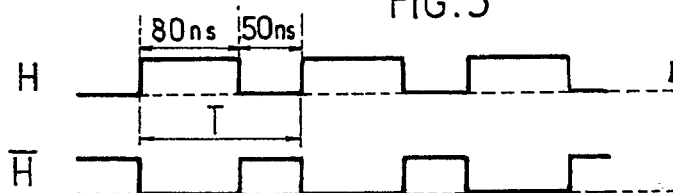


FIG. 1

ESCALA VARIABLE

A ₄ A ₃ A ₂ A ₁	A ₃				A ₄			
	C ₁	C ₂	C ₃	C ₄	C ₁	C ₂	C ₃	C ₄
0000	00 (1)	00 (1)	00 (1)	00 (1)	00 (1)	00 (1)	00 (1)	00 (1)
0001	00 (1)	00 (1)	00 (1)	00 (1)	00 (1)	00 (1)	00 (1)	00 (1)
0010	01 (2)	01 (2)	01 (2)	01 (2)	01 (2)	01 (2)	01 (2)	01 (2)
0011	00 (1)	01 (2)	00 (1)	00 (1)	00 (1)	01 (2)	00 (1)	00 (1)
0100	10 (3)	10 (3)	10 (3)	10 (3)	10 (3)	10 (3)	10 (3)	10 (3)
0101	00 (1)	00 (1)	10 (3)	00 (1)	00 (1)	00 (1)	10 (3)	00 (1)
0110	01 (2)	01 (2)	10 (3)	01 (2)	01 (2)	01 (2)	10 (3)	01 (2)
0111	00 (1)	01 (2)	10 (3)	00 (1)	00 (1)	01 (2)	10 (3)	00 (1)
1000	11 (4)	11 (4)	11 (4)	11 (4)	11 (4)	11 (4)	11 (4)	11 (4)
1001	00 (1)	00 (1)	00 (1)	11 (4)	00 (1)	00 (1)	00 (1)	11 (4)
1010	01 (2)	01 (2)	01 (2)	11 (4)	01 (2)	01 (2)	01 (2)	11 (4)
1011	00 (1)	01 (2)	00 (1)	11 (4)	00 (1)	01 (2)	00 (1)	11 (4)
1100	11 (4)	11 (4)	10 (3)	11 (4)	10 (3)	10 (3)	10 (3)	11 (4)
1101	00 (1)	00 (1)	10 (3)	11 (4)	00 (1)	00 (1)	10 (3)	11 (4)
1110	01 (2)	01 (2)	10 (3)	11 (4)	01 (2)	01 (2)	10 (3)	11 (4)
1111	00 (1)	01 (2)	10 (3)	11 (4)	00 (1)	01 (2)	10 (3)	11 (4)

FIG. 3

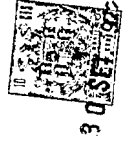


30 SET. 1972

Madrid

J. GOMEZ ACEBO Y MOBET
E. p. Firmados / Super-Diaz

Jesús Acebo



ESCALA
VF

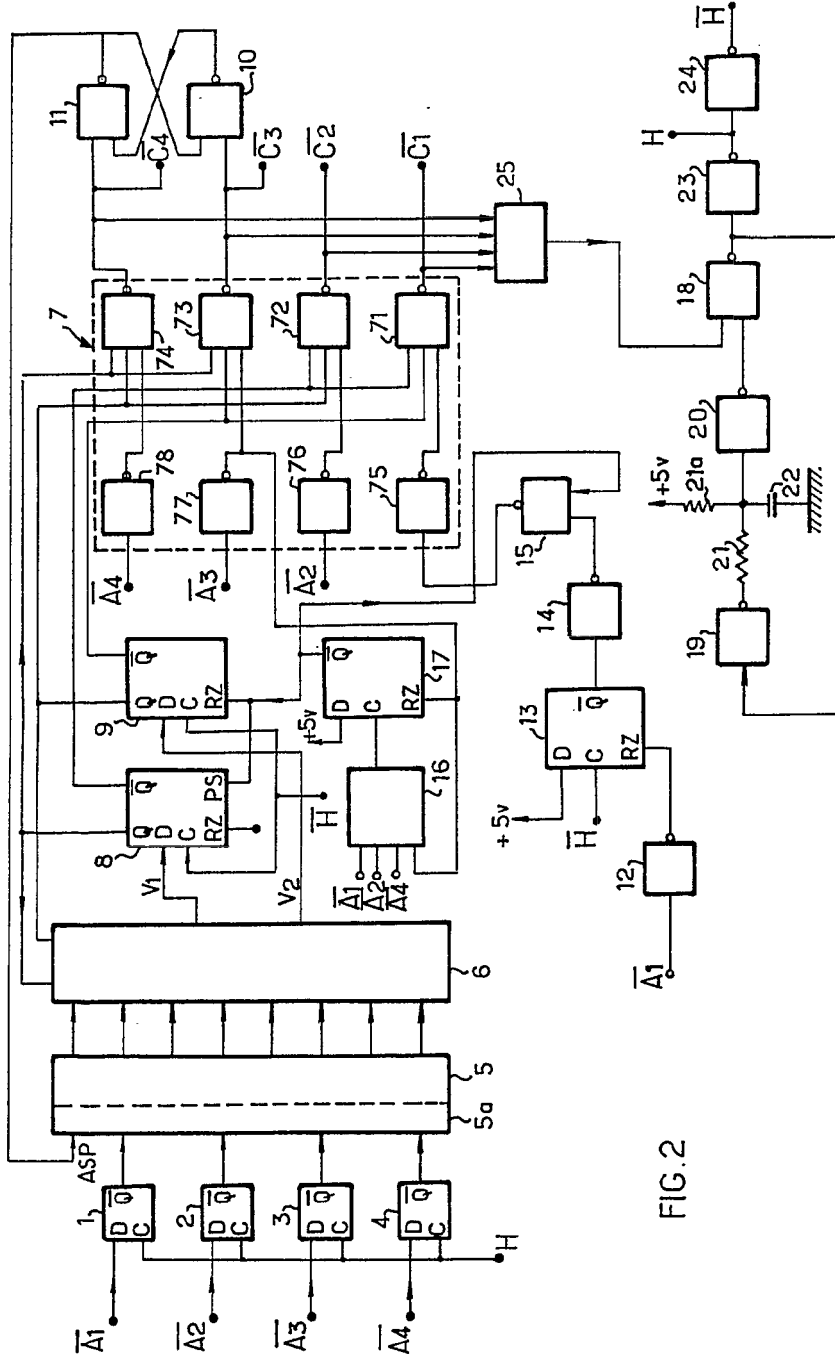


FIG.2

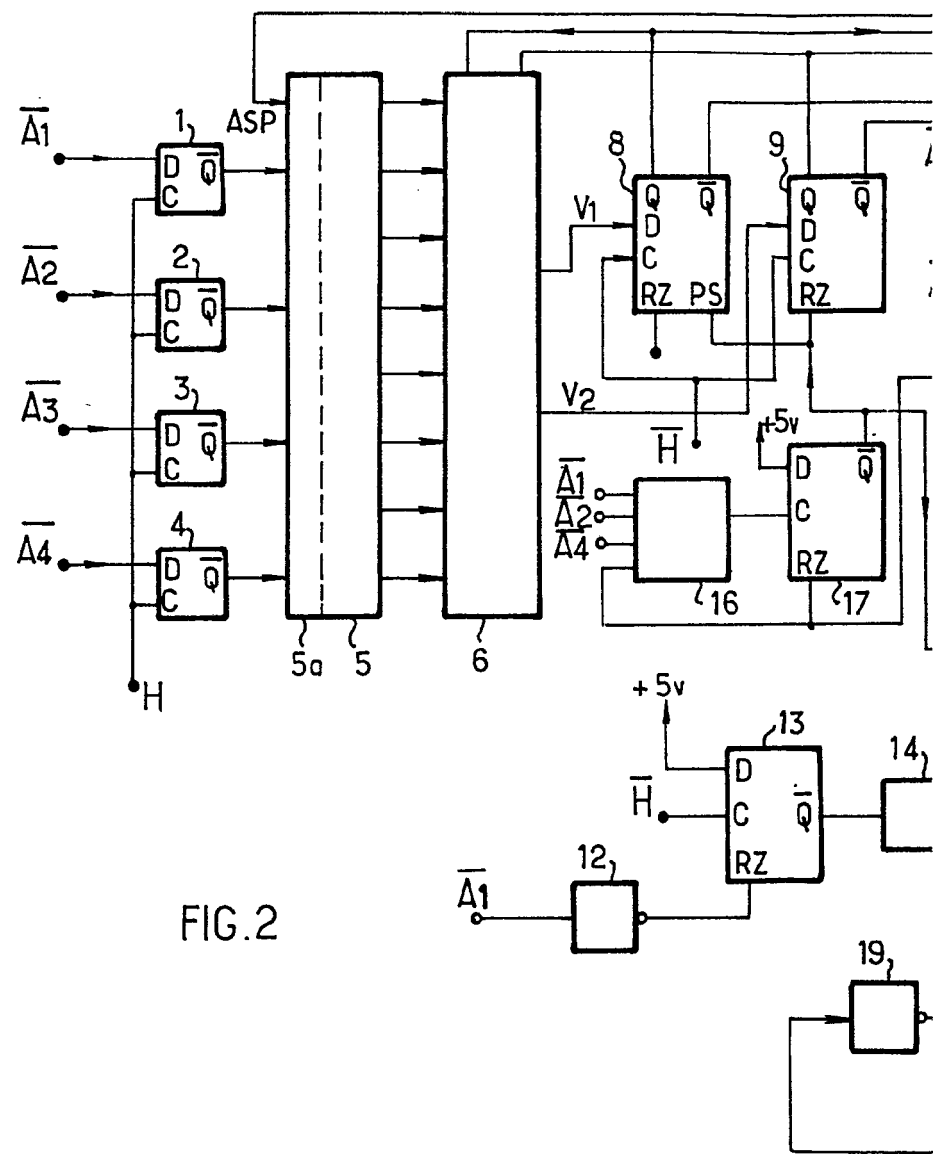
30 SET. 1972

Madrid

E. GOMEZ ACEBO Y MIBET

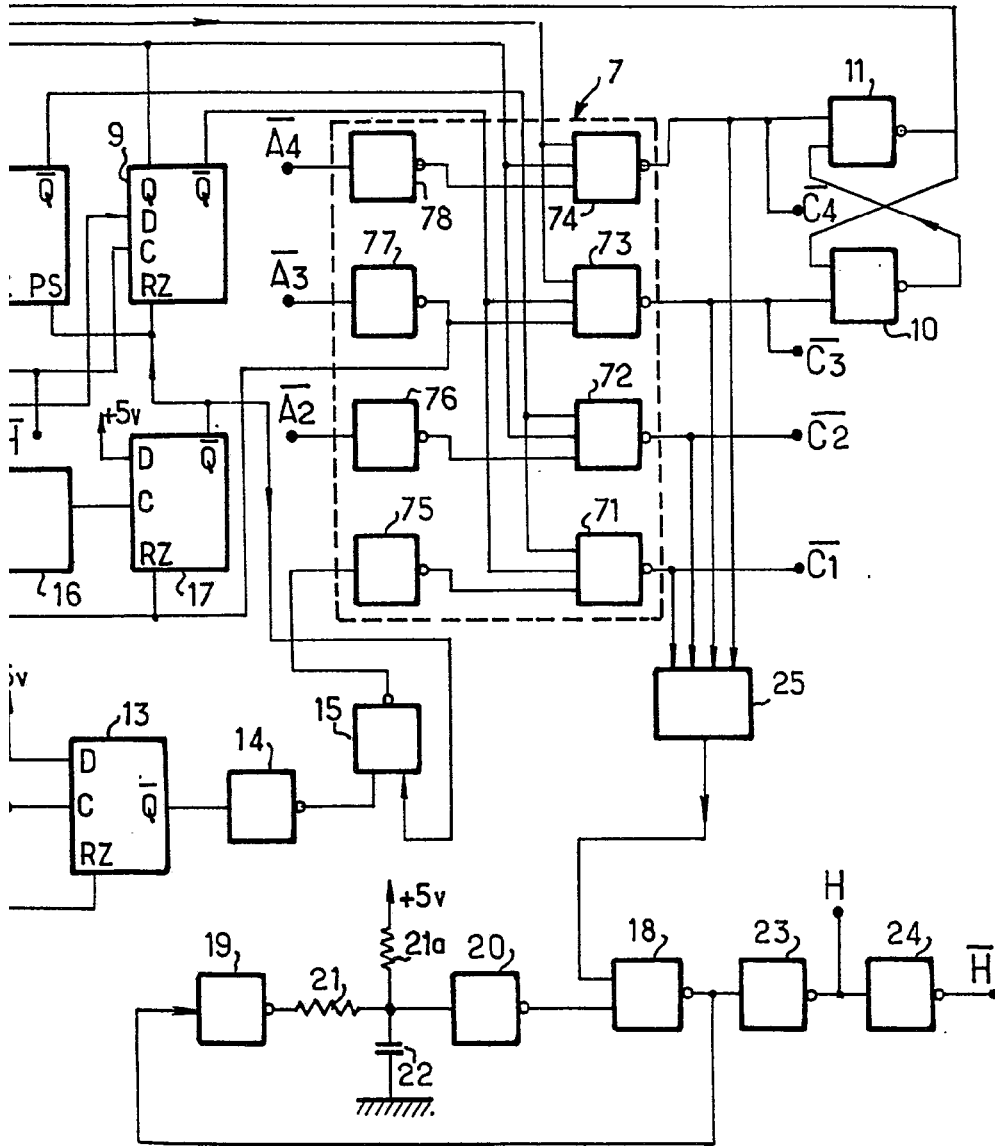
Ingenieros de Telecomunicaciones

Isidro S. S. S.



30 SET. 1972

30 SET. 1972



ESCALA
VARIACIONES

30 SET. 1972

Madrid

L. GOMEZ ACEBO Y MOJER

El Firmador: J. Gomez Acebo

Jesús Acebo