



407 164

Int. Cl. ² : <u>H04M</u>

F.E. 12-5-75

P A T E N T E
D E
I N V E N C I O N

por "PERFECCIONAMIENTOS EN SISTEMAS CONMUTADORES DE COMUNI-
CACION", a favor de la firma estadounidense WESTERN ELECTRIC
COMPANY, INCORPORATED,, residente en 195 Broadway, New York,
New York 10007. (EE. UU.)

= . =

MEMORIA DESCRIPTIVA

Se expone un sistema conmutador telefónico inter-
urbano para conmutar datos de modulación de impulsos en
código entre líneas multiplex por división de tiempo.
El sistema comprende una red simétrica de división de
5. espacio en tiempo compartido y circuitos a través que in-
troducen en memoria intermediaria los datos de modula -
ción de impulsos en código entrantes y distribuyen los
datos entrantes de un grupo de líneas multiplex sobre
un grupo de puertas de entrada de la red. Los circui -
10. tos a través introducen asimismo en memoria intermedia -

407164



ria los datos de modulación de impulsos en código salientes en el lado de salida de la red y distribuyen los datos de un grupo de puertas de salida de la red sobre un grupo de líneas multiplex salientes.

5. Esta invención se refiere a un sistema conmutador de comunicación perfeccionado que comprende una pluralidad de líneas multiplex por división de tiempo que tienen un número predeterminado de palabras de información en un período de cuadro, una pluralidad de puertas de entrada y de salida conectadas a una red conmutadora y una disposición de transferencia para transferir palabras de información entre líneas multiplex vía las puertas de la red.
- 10.

- Es la función de un sistema conmutador de comunicación establecer conexiones de comunicación entre líneas principales o líneas que llaman y líneas principales o líneas llamadas. Se conocen sistemas en la técnica previa en los que señales análogas de una pluralidad de líneas principales o líneas se convierten en palabras de información de modulación de impulsos en código y se multiplexan sobre una línea de transmisión única que tiene una pluralidad de canales. Uno de tales canales es un período de tiempo identificable sobre la línea de transmisión que se verifica una vez en cada cuadro de tiempo de la línea. Los sistemas de la técnica previamente conocidos tienen típicamente 24 canales por cuadro de tiempo y se transmite durante cada cuadro de tiempo información de palabra desde 24 líneas o líneas principales independientes. La información de modulación de impulsos en código puede ser conmutada entre líneas multiplex al transferir selectivamente palabras de in-
- 15.
- 20.
- 25.

407 164



1972

- formación de modulación de impulsos en código desde los varios canales de una línea multiplex de entrada a una pluralidad de líneas multiplex de salida. La transferencia de palabras de información desde líneas multiplex de entrada
5. a líneas multiplex de salida puede realizarse por medio de una red de división de espacio de múltiples etapas que tiene trayectorias que son establecidas en una velocidad pre-determinada compatible con la velocidad a la cual se reciben los datos desde las líneas multiplex de entrada.
10. Es conocido que pueden ocurrir serios problemas de bloqueo en redes de división de espacio por tiempo compartido. Algunas técnicas para soslayar tal bloqueo son asimismo conocidas. Una técnica para soslayar tal bloqueo es proveer a proporcionar una red de división de tiempo no
15. bloqueante que tiene un tiempo de ciclo que es una mitad de la duración de un cuadro de las líneas multiplex. Así, para atender líneas multiplex que tienen n canales por cuadro, la red debe tener $2n$ espacios de tiempo durante un período de tiempo que es equivalente a un cuadro. Debido a
20. avances en la técnica, la velocidad operacional de las líneas multiplex se ha incrementado en una extensión tal que la producción de una red por división de tiempo que se re-configura dos veces por cada canal se hace económicamente prohibitiva sino impracticable por la tecnología hoy presente. Otra técnica para soslayar el bloqueo en redes por
25. división de tiempo en tiempo compartido es proporcionar una red no bloqueante sobre la cual a la línea multiplex entrante se da dos aspectos en la red. Está claro que tal disposición es impracticable en sistemas amplios debido

407164

30 SET



al elevado coste de la red. Además, es conocido que pueden construirse redes que tienen características bloqueantes predeterminadas y que tales redes son considerablemente menos caras que las redes no bloqueantes. En sistemas amplios, por ejemplo, sistemas que tienen por encima de mil líneas multiplex de entrada y un número correspondiente de líneas multiplex de salida, la ventaja económica ganada al utilizar tal red bloqueante menos cara es substancial.

5. El problema se solventa de acuerdo con la presente invención en un sistema conmutador de comunicación perfeccionado en el que la disposición de transferencia comprende por lo menos una memoria intermediaria para cada una de las puertas de entrada, una circuitería de reloj que controla las transferencias de todas las palabras de información entrantes desde cada línea multiplex de un grupo de líneas multiplex en un primer período de cuadro a las memorias intermediarias en una secuencia predeterminada ocasionando con ello que las palabras de información entrantes de cada línea multiplex sean distribuidas en una primera forma entre las memorias intermediarias en un primer período de cuadro, y la circuitería de reloj controla además la transferencia de todas las palabras de información entrantes desde cada línea multiplex de un grupo de líneas multiplex en un segundo período de cuadro a las memorias intermediarias en una secuencia predeterminada diferente ocasionando con ello que las palabras de información entrantes de cada línea multiplex sean distinguidas en una segunda forma entre las memorias intermediarias en el segundo período de cuadro, por lo que la misma palabra de información nume-
- 10.
- 15.
- 20.
- 25.

407164



rada de una línea multiplex particular se transferirá a una puerta de entrada diferente en diferentes cuadros disminuyendo con ello la probabilidad de bloqueo de la misma palabra de información numerada desde la conexión a una puerta de salida de la red conmutada.

- 5.
- En sistemas telefónicos amplios es de esperar que la intensidad del tráfico llevada sobre las líneas principales de frecuencia vocal variará de línea principal a línea principal. Similarmente, la frecuencia del tráfico sobre
10. líneas multiplex por división de tiempo que llevan tráfico de una pluralidad de líneas principales de frecuencia vocal puede esperarse asimismo que varíe de línea multiplex a línea multiplex. Al agrupar líneas multiplex de intensidades de tráfico variantes y al distribuir el tráfico de un grupo
15. de líneas sobre un grupo de puertas de entrada de red, se verifica un efecto promediante. Por consiguiente, incluso donde algunas de las líneas multiplex tienen una ocupación cercana al 100%, el tráfico de tales líneas puede promediarse con tráfico de líneas de menor ocupación. Así, la intensidad del tráfico aplicada a las puertas de entrada de la
20. red será menor del 100% de ocupación. Por consiguiente, puede emplearse una red conmutadora que tiene una probabilidad bloqueante predeterminada. Adicionalmente, con el paso del tiempo, el tráfico sobre algunas líneas multiplex puede esperarse que se incremente y en otras puede esperarse que decrezca. En el sistema de esta invención, el impacto resultante de tales variaciones es disminuído ya que el único
25. impacto que se percibe en la estación conmutadora es un incremento o decrecimiento en la intensidad de tráfico media

407 164



- de grupos de línea multiplex. Además, de acuerdo con esta invención, la intensidad de tráfico de un grupo de líneas multiplex de entrada que tiene una ocupación considerablemente inferior que la ocupación de puerta que puede manipular la red sin bloqueos puede distribuirse sobre un grupo menor de puertas de entrada, elevando con ello la ocupación de las puertas a un nivel superior al de las líneas multiplex de entrada. Similarmente, donde la ocupación de un grupo de líneas multiplex de entrada es conocido que es superior al de ocupación de puerta permitido, puede distribuirse el tráfico de un grupo de líneas multiplex de entrada sobre un grupo más amplio de puertas de red, descendiendo con ello la ocupación de puerta a un nivel por debajo del de las líneas de entrada.
5. 10. 15. 20. 25.
- En una primera realización de esta invención, se asocia individualmente una memoria intermediaria con cada puerta de entrada de la red de tiempo compartido. Una palabra de información de cada línea de un grupo de líneas de entrada durante cada período de espacio de tiempo del reloj se transfiere al grupo de las memorias intermediarias asociadas con los períodos de las puertas de entrada por medio de un circuito de transferencia. El circuito de transferencia establece trayectorias diferentes en espacios de tiempo sucesivos de forma que las palabras de información sucesivamente recibidas de una línea de entrada se transfieren a unas memorias diferentes de las memorias intermediarias asociadas a la puerta. La información recibida de las líneas de entrada y almacenada en las memorias intermediarias asociadas a la puerta comprenden códigos disponibles así como tam-

407 16 43



bién otra información codificada. Aquellas palabras de entrada que transportan datos de significación completa se transfieren selectivamente desde las memorias intermediarias a las puertas de entrada asociadas bajo control de impulsos

5. que se derivan directamente de los impulsos de reloj independientes del control por la unidad central de proceso del sistema. La transferencia de las palabras de información desde las memorias intermediarias a través de las puertas de la red se verifica bajo control de las memorias de espacio de tiempo que contienen información de control derivada de la unidad central de proceso, cuya información de control se calcula específicamente para transferir información durante un espacio de tiempo en el que se ha establecido una trayectoria apropiada a través de la red. Una concentración
10. o expansión de las líneas multiplex de entrada a las puertas de entrada puede realizarse fácilmente por selección del número de memorias intermediarias que acceden a cada puerta.
- 15.

En esta primera realización, todas las palabras de información de un grupo de siete líneas multiplex de entrada por división de tiempo se distribuyen sobre ocho memorias intermediarias asociadas de puerta de entrada de red.

20. El circuito empleado para realizar la función de transferencia se refiere aquí como un circuito decorrelacionador. El circuito decorrelacionador se dispone para transferir una
25. palabra de información multibit desde cada una de las siete líneas multiplex de entrada a siete de las ocho memorias intermedias durante cada espacio de tiempo de acuerdo con un esquema que es módulo 8 respectivo. Esto es, el primero, el noveno, el décimoséptimo, etc. bits desde una línea multiplex

407164



de entrada que transfiere siempre a la misma memoria inter-
mediaria.

- En una segunda realización de esta invención,
5. una pluralidad de memorias intermediarias se asocian única-
mente con cada línea multiplex de entrada por división de
tiempo y todas las palabras de información recibidas de la
línea se distribuyen a las memorias intermediarias asocia-
das en una secuencia predeterminada. Una memoria interme-
diaria de cada línea multiplex por división de tiempo de
10. un grupo predeterminado tiene acceso a una puerta de un
grupo de puertas de entrada. Todas las palabras de informa-
ción de las líneas multiplex de entrada se transfieren a
las memorias intermediarias asociadas bajo control de im-
pulsos que se derivan directamente de los impulsos de reloj
15. independiente del control por la unidad central del proce-
so de sistema. La transferencia de las palabras de infor-
mación desde las memorias intermediarias a través de las
puertas de red se verifica bajo control de las memorias de
espacio de tiempo que contienen información de control de-
20. rivada de la unidad central de proceso y cuya información
de control se calcula específicamente para transferir in-
formación durante un espacio de tiempo en el cual ha sido
establecida una trayectoria apropiada a través de la red.
Una concentración o expansión de las líneas multiplex de
25. entrada a las puertas de entrada puede realizarse fácilmen-
te por selección del número de memorias intermediarias que
acceden a cada puerta.

El sistema en el que se incorpora la realización
ilustrativa de esta invención es un sistema conmutador te-

407 164

30



5. telefónico interurbano en el que una pluralidad de líneas principales de frecuencia vocal se multiplexan y la función conmutadora es realizada al conmutar muestras codificadas digitalmente de señales análogas entre líneas multiplex por división de tiempo. Debido a que tales líneas multiplex por división de tiempo pueden ser de longitudes variantes y, por consiguiente, tienen características de retardo diferentes, el primer sistema ilustrativo emplea una memoria intermedia de entrada para cada línea multiplex en la cual se
10. almacenan todas las palabras de información recibidas de la línea multiplex. Si se desean pueden proporcionarse memorias intermediarias de entrada similares en la segunda realización.

Breve descripción del dibujo.-

15. La figura 1 es una representación de esquema en bloques de un sistema conmutador telefónico que sirve para ilustrar la invención.
- La figura 2 muestra en mayor detalle una unidad de intercambio de espacio de tiempo del sistema ilustrativo que comprende una primera realización
20. específica de la invención.
- La figura 3 muestra una red por división de espacio de tiempo compartido a cuatro etapas utilizada en conjunción con la unidad de intercambio de espacio
25. de tiempo.
- La figura 4 muestra un par de conmutadores de red representativos como se utilizan en las etapas centrales de la red, e ilustra el control de las etapas centrales.

407 164



Las figuras 5 y 6 representan en forma tabular la relación de interconexión entre los terminales de entrada y de salida de los circuitos de decorrelación y de recorrelación de las unidades de este intercambio de espacio de tiempo, respectivamente.

5.

Las figuras 7 y 8, son representaciones esquemáticas de los circuitos de decorrelación y de recorrelación, respectivamente.

10.

Las figuras 9 y 10 muestran en mayor detalle una unidad de intercambio de espacio de tiempo del sistema ilustrativo que comprende otra realización específica (segunda) de la invención.

Descripción.-

15.

La función del sistema telefónico interurbano ilustrativo es la de establecer selectivamente trayectorias de comunicación entre líneas de comunicación que se extienden desde la estación interurbana a otras estaciones telefónicas. Estas líneas de comunicación pueden ser líneas

20.

principales de frecuencia vocal que llevan señales análogas o líneas multiplex portadoras de datos digitales. El sistema ilustrativo aquí descrito está equipado para convertir información de frecuencia vocal a palabras de información multiplexadas. El sistema comprende un cuadro terminal 152

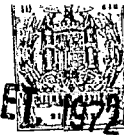
25.

al que se conectan las líneas principales de frecuencia vocal. Algunas de estas líneas principales de frecuencia vocal pueden ser las líneas principales de dos cables bien conocidas y otras pueden ser líneas principales de cuatro cables. El cuadro terminal 152 comprende circuitos que con-

407 164



- vierten todas las líneas principales de dos cables en líneas principales de cuatro cables que tiene un par entrante y un par saliente. El sistema comprende además una pluralidad de circuitos multiplex 103 y cada circuito multiplex
5. tiene ambos pares entrante y saliente de 120 líneas principales de frecuencia vocal conectadas a él. Cada circuito multiplex 103 comprende un convertidor analógico a digital y un convertidor digital a analógico. El convertidor analógico a digital muestrea las señales analógicas que se presentan sobre cada 120 líneas principales entrantes durante cada período de tiempo de 125 microsegundos, que aquí se refiere como un cuadro. Cada cuadro de 125 microsegundos se divide en 128 períodos de tiempo, referidos aquí como canales, y cada línea principal entrante conectada a un circuito multiplex se asigna únicamente a uno de los canales. El
10. convertidor analógico a digital convierte cada muestra en una palabra de información digital multibit. El número de bits utilizados para representar una muestra puede variar con el modo multiplex empleado. En esta descripción se supondrá que cada muestra es codificada en una palabra información digital de 8 bits. Sin embargo, es de comprender que el número de bits utilizado no es esencial en nuestra invención. Las palabras de información digitales se transmiten serialmente desde un circuito multiplex 103 a una
15. unidad de intercambio 110 de espacio de tiempo correspondiente, por medio de una línea multiplex de entrada 105. Cada unidad de intercambio 110 de espacio de tiempo comprende una sección de entrada y una sección de salida. Las palabras de información recibidas desde una línea multiplex de
- 20.
- 25.



407164

- entrada 105 son almacenadas en una memoria intermedia-
ria de entrada asociada en la sección de entrada de la unidad de
intercambio de espacio de tiempo y se transfieren subsi-
guientemente por medio de la red 120 a la sección de salida
5. de la misma o de otra unidad de intercambio de espacio de
tiempo. La sección de salida de cada unidad de intercambio
de espacio de tiempo comprende una memoria intermedia-
ria de salida para cada línea multiplex de salida 106 y palabras
de información digitales que representan muestras de pala-
bra que son transmitidas desde las unidades de intercambio
10. de espacio de tiempo a los circuitos multiplex 103 por me-
dio de las líneas multiplex de salida 106. Un convertidor
digital a analógico de cada circuito multiplex 103 convier-
te las palabras de información digitales a señales analógi-
cas. Cada señal analógica se aplica a la línea principal
15. saliente que corresponde al canal sobre la línea multiplex
de salida 106 en la cual se transmitió la palabra digital.

- Los circuitos multiplex 103 reciben impulsos de
temporización desde el reloj de precisión 130, que se mues-
tra en la figura 1, para determinar los 128 canales en cada
20. cuadro de 125 microsegundos de las líneas multiplex de en-
trada 105. El reloj de precisión 130 suministra asimismo
impulsos de temporización al contador 131 de espacio de
tiempo que a su vez suministra impulsos de espacio de tiem-
po a los circuitos de control de la red y a las unidades
25. de intercambio de espacio de tiempo. Así, la temporización
de los circuitos multiplex y de la porción conmutadora del
sistema se derivan de una fuente común. El contador 131 de
espacio de tiempo suministra 128 impulsos de espacio de

407164



- tiempo durante cada ciclo de 125 microsegundos y suministra adicionalmente ciertos impulsos que representan una pluralidad de espacios de tiempo. La transferencia de palabras de información digitales desde la sección de entrada de una
5. unidad de intercambio de espacio de tiempo a través de la red de tiempo compartido a la sección de salida de la misma o de otra unidad de intercambio de espacio de tiempo se controla por información almacenada en una pluralidad de memorias de espacio de tiempo. La información se lee de las
10. memorias de espacio de tiempo en respuesta a los impulsos de espacio de tiempo suministrados por el contador 131 de espacio de tiempo y una nueva serie de trayectorias de transferencia se establece en la red durante cada espacio de tiempo sucesivo. La información es escrita en las memo-
15. rias de espacio de tiempo mediante la unidad central de proceso 150 vía la barra de distribución periférica 155. La unidad central del proceso 150 puede ser cualquier máquina procesadora de datos conocida capaz de comunicar con el equipo telefónico de este sistema ilustrativo capaz de hacer
20. varios cálculos y traducciones necesarios para el control del sistema. Una unidad de proceso que tiene tal capacidad general se describe en The Bell System Technical Journal volumen XLIII, Septiembre 1964, número 4, parte 1, páginas 1845 a 1923. En el sistema ilustrativo, la unidad
25. central de proceso comunica con una unidad periférica referida aquí como el explorador y el distribuidor de señal 151 combinados. Esta unidad explora autónomamente todas las líneas principales que aparecen sobre el terminal 152 para cambios en estados supervisores, y reciben información de

407 164³



1972

- señalización de las líneas principales. El explorador y distribuidor de señal 151 combinados comunican con la unidad central del proceso 150 vía la barra de distribución periférica 155 y responde a órdenes de la unidad central de proceso 150 para retransmitir información a la unidad central de proceso y para transmitir información de señalización sobre las líneas principales.
- 5.

- El funcionamiento del sistema ilustrativo puede comprenderse mejor por medio de una breve discusión de una llamada de muestra. El explorador y distribuidor de señal 151 combinados explora continuamente las líneas principales para requerimientos de servicio y, bajo detección de tal requerimiento, pasa esta información, incluyendo información que identifica las líneas principales requeridoras de servicio, a la unidad central de proceso 150. Bajo orden de la unidad central de proceso, el explorador y distribuidor de señal combinados inicia la exploración para entrar información señalizadora de llamada, que se pasa subsiguientemente sobre la unidad central de proceso. La unidad central de proceso interpreta la información señalizadora para identificar la central telefónica que se desea alcanzar y selecciona una línea principal utilizable por aquella central telefónica. En la primera realización, por traducción de la información de identidad de la línea principal que llama, la unidad central de proceso determina la identidad de la unidad de intercambio de espacio del tiempo y las direcciones de las situaciones en las memorias intermedias 205 e intermediaria 215 de salida en la unidad de intercambio de espacio de tiempo, asociada con la línea prin-
- 10.
- 15.
- 20.
- 25.

407164

SO SE



5. cipal que llama. Similarmente, al traducir la información de identidad de la línea principal llamada (es decir la línea principal seleccionada por la central llamada), la unidad central de proceso determina la unidad de intercambio de espacio de tiempo y las situaciones en las memorias intermedia e intermediaria de salida asociadas con la línea principal llamada. En la segunda realización por traducción de la información de identificación de línea principal que llama, la unidad central de proceso determina la identidad de la unidad de intercambio de espacio de tiempo, así como también las situaciones de la memoria intermediaria asociada con la línea principal que llama. Similarmente, por traducción de la información de identidad de línea principal llamada (es decir, la línea principal seleccionada por la central llamada), la unidad central de proceso determina la identidad de la unidad de intercambio de espacio de tiempo y la situación de la memoria intermediaria asociada con la línea principal llamada. Luego la información es transferida entre las memorias intermediarias de entrada y de salida y las líneas multiplex en respuesta a impulsos de reloj y sin control ulterior de la unidad central de proceso. La unidad central de proceso selecciona subsiguientemente dos trayectorias de red desocupadas en uno de los 128 espacios de tiempo. Una trayectoria se utiliza para transferir datos de modulación de impulsos en código desde la puerta de entrada de red asociada con la línea principal que llama a la puerta de salida asociada con la línea principal llamada, y la otra trayectoria se utiliza para transferir datos de modulación de impulsos en código desde la puerta de entrada asociada
- 10.
- 15.
- 20.
- 25.

407 164



1972

- con la línea principal llamada a la puorta de salida asociada con la línea principal que llama. Además, la unidad central de proceso computa la información señalizadora necesaria a ser transmitida en la línea principal llamada a la central distinta y transmite esta información al explorador y distribuidor de señal 151 combinados. Después que han sido recibidas las señales de acuse necesarias de la central de destino, la unidad central de proceso computa y transmite a las memorias de espacio de tiempo apropiadas la información necesaria para transferir los datos de modulación de impulsos en código desde las memorias intermediarias a través de la red a las memorias intermediarias. Luego, la información de la línea principal que llama es transferida a la línea principal llamada y la información de entrada de la línea principal llamada es transferida a la línea principal que llama una vez cada 125 microsegundos, hasta que se termina la llamada.
- 5.
- 10.
- 15.

En la primera realización, las unidades de intercambio 110 de espacio de tiempo se discutirán en mayor detalle con referencia a la figura 2. Ya que todas las unidades de intercambio de espacio de tiempo son idénticas en esta realización, la discusión de una de estas unidades será suficiente para los propósitos de esta descripción. Como ya se mencionó anteriormente, cada unidad de intercambio de espacio de tiempo está dividida en una sección de entrada y una sección de salida. Siete líneas multiplex de entrada 105 se conectan a cada sección de entrada y siete líneas multiplex de salida 106 se conectan a cada sección de salida. Cada unidad de intercambio de espacio de

25.

407164



- tiempo comprende tres equipos de memoria intermedia-
ria; un equipo de siete memorias intermedias de entrada 202, un
equipo de ocho memorias intermedias 205, y un equipo de
ocho memorias intermedias de salida 215. Cada memoria in-
5. termedia-ria comprende 128 situaciones de palabra que corres-
ponden a los 128 canales de un cuadro multiplex. Las memo-
rias de esta medida se eligieron para el sistema ilustrati-
vo por motivos de simplicidad y conveniencia y se comprende
que pueden utilizarse memorias de una medida diferente, en
10. dependencia de la relación de carga y descarga de las memo-
rias. Aquí no se describen en detalle ni los elementos de
memoria ni la circuiteria de acceso ya que los elementos de
memoria pueden ser de cualquier tipo conocido, tal como me-
15. morias de núcleo magnético, y la circuitería de acceso para
cada memoria es bien conocida en la técnica. La carga y la
descarga, igual que todas las otras operaciones dependen -
tes del tiempo entre las unidades de intercambio de espacio
de tiempo, se realizan bajo control de impulsos suministra-
dos por el contador 131 de espacio de tiempo. Cada una de
20. las memorias intermedias puede ser tanto cargada como
descargada desde situaciones específicas durante un espacio
de tiempo unitario. Es necesario que las memorias tengan es-
ta propiedad ya que se verifican un número de operaciones
de transferencia de datos independientes dentro del sistema
25. conmutador durante cada espacio de tiempo, como se explica-
rá ulteriormente en párrafos subsiguientes.

Las unidades de intercambio de espacio de tiempo
reciben, de cada línea multiplex de entrada 105 conectada
a la unidad, una ondulación serial de muestras de palabras

407 164



- verificada digitalmente de señales analógicas y marcas de cuadro. El convertidor de serie a paralelo 201 convierte cada muestra en una palabra paralela de ocho bits y deriva un número de canal correspondiente, que se transmite con la
5. palabra de ocho bits a la memoria intermediaria de entrada 202 a la cual se conecta el convertidor. El número de canal sirve para definir la dirección de la situación en la memoria intermediaria de entrada en la cual debe almacenarse la palabra de ocho bits acompañante. La carga de las memorias
10. intermediarias de entrada se realiza en respuesta a un impulso de reloj de espacio de tiempo y es solamente una de una pluralidad de operaciones que se verifican durante cada espacio de tiempo. Las transferencias de datos desde las
15. memorias intermediarias de entrada a las memorias intermediarias intermedias, desde las memorias intermediarias intermedias a las memorias intermediarias de salida, y desde las memorias intermediarias de salida a las líneas multiplex de salida se verifica asimismo durante cada espacio de tiempo. Así, cada una de las memorias intermediarias debe ser
20. capaz de ser leída y escrita durante un espacio de tiempo único.

- La transferencia de datos desde las memorias intermediarias de entrada a las memorias intermediarias intermedias es por medio del conmutador decorrelacionador 203.
25. La función del conmutador decorrelacionador 203 es igualar la intensidad del tráfico y efectuar una reducción de la intensidad del tráfico que se aplica a las puertas de entrada de la red conmutadora. El conmutador decorrelacionador actúa tanto como expansor como de circuito de distribución.

407 164



Una representación de esquema lógico del conmutador se muestra en la figura 7. Las puertas lógicas del conmutador son accionadas bajo el control de impulsos de temporización suministrador por el contador 131 de espacio de tiempo. Du-

5. rante cada espacio de tiempo, siete palabras de información, una de cada una de las siete memorias intermediarias de entrada 202, se distribuyen a siete de las ocho memorias intermediarias intermedias 205. En espacio de tiempo sucesivo, se lee datos en secuencia desde las situaciones de las siete memorias intermediarias de entrada y se distribuyen
10. a una serie diferente de siete memorias intermediarias intermedias. Por ejemplo, durante el espacio de tiempo 0, una palabra de información se lee de la situación 0 de cada una de las memorias intermediarias de entrada y se transfie
15. rd a la situación 0 de memorias intermediarias intermedias 0 a 6; durante el espacio de tiempo 1, se lee una palabra de información de la situación 1 de cada una de las memorias intermediarias de entrada y se transfiere a la situación 1 de las memorias intermediarias intermedias 1 a 7. Ya
20. que existen ocho memorias intermediarias intermedias, es evidente que el esquema de distribución será el módulo 8 repetitivo. Las faltas de interconexión entre los terminales de entrada y de salida del conmutador decorrelacionador 203 se muestran en forma gráfica, como una función de los espacios de tiempo, en la figura 5.
- 25.

La figura 5 indica que existen ocho terminales de entrada decorrelacionadores designados de 0 a 7 pero solamente terminales 0 a 6 tienen conexión a una memoria intermediaria de entrada. La figura 2 muestra que el terminal 7

407 16³² 367-1972



- se deja sin conexión. Sin embargo, este terminal puede utilizarse como un terminal de verificación para introducir datos de verificación en el sistema. De la figura 5 puede determinarse que durante el espacio de tiempo 0, el terminal
5. de entrada 0 del conmutador decorrelacionador se conecta al terminal de salida 0, mientras que durante el espacio de tiempo 1 se conecta al terminal de salida 1, etc. Además, durante el espacio de tiempo 7, el terminal de entrada 0 se conecta al terminal de salida 7 y durante el espacio de tiempo 8, se conecta de nuevo al terminal de salida 0. Así, se desarrolla una falta de módulo 8 repetitivo con respecto al terminal de entrada 0. Una inspección ulterior de la figura mostrará que una falta similar existe con respecto a los
10. otros terminales de entrada. Ya que cada terminal de entrada se conecta a un terminal de salida numerado igualmente, durante el espacio de tiempo 0, se conectará asimismo a aquel mismo terminal durante los espacios de tiempo 8, 16, 24, etc. hasta 120. En cada espacio de tiempo sucesivo después del espacio de tiempo 0, cada terminal de entrada se
15. conecta al terminal de salida siguiente numerado más elevado, cuando se cuenta el módulo aritmético 8.

La figura 7 muestra que el conmutador decorrelacionador 203 comprende 64 puertas Y simbólicas (por ejemplo la puerta Y 710). Cada una de las puertas Y simbólicas representa ocho puertas lógicas y cada una de las entradas

25. marcadas de 0 a 7 y cada una de las salidas marcadas de 0 a 7 representa ocho conductores independientes. Así, puede transmitirse una palabra paralela de ocho dígitos sobre cada una de las trayectorias mostradas en la figura 7. La figura 7

407 164



- muestra además ocho conductores de control, marcados de A a H. Estos conductores de control llevan impulsos de temporización, generados por el contador 131 de espacio de tiempo, que sirven para controlar la transferencia de datos a través del conmutador. Solamente uno de los ocho conductores de control es activo durante cada espacio de tiempo, y cada conductor de control activa ocho de las puertas Y simbólicas. Así durante cada espacio de tiempo, ocho palabras de ocho bits pueden transferirse simultáneamente desde los ocho terminales de entrada a los ocho terminales de salida. Debe observarse que este operador no actúa bajo control directo de la unidad central de proceso 150 y que las palabras de información se transfieren a las memorias intermedias intermedias independientemente de si transmiten o no realmente información referida a conversación. La relación entre los impulsos de temporización sobre los conductores de control A a H y los espacios de tiempo de sistema se muestra en la tabla A.

TABLA A

20.	A =	espacio de tiempo	0, 8, 16	120
	B =	"	" 1, 9, 17	121
	C =	"	" 2, 10, 18	122
	D =	"	" 3, 11, 19	123
	E =	"	" 4, 12, 20	124
25.	F =	"	" 5, 13, 21	125
	G =	"	" 6, 14, 22	126
	H =	"	" 7, 15, 23	127

Las memorias intermedias intermedias 205 están conectadas cada una a una puerta de entrada de red y se

407164



- transfieren datos desde las memorias intermediarias intermedias a las puertas de entrada de red bajo control de memorias 220 de espacio de tiempo. El conmutador de etapa único 210, mostrado en la figura 2, es la primera etapa de la red por división de espacio de cuatro etapas, de tiempo compartido mostrada en la figura 3. Las memorias 220 de espacio de tiempo contienen información que definen las situaciones de la memoria intermedia desde la cual deben leerse datos y la información que define conexiones a ser realizadas en el conmutador 210 de etapa única.
- 5.
 - 10.

- Desde una memoria intermedia, las palabras de información se transfieren a través de la red de división de espacio de tiempo compartido a las memorias intermediarias de salida 215 de la misma o de otra de las unidades de intercambio de espacio de tiempo. El conmutador 211 de etapa única mostrado en la figura 2 pertenece a la última etapa de la red de cuatro etapas, que se muestra en la figura 3. Ocho memorias 215 intermediarias de salida se conectan a los ocho terminales de salida del conmutador de etapa única y se transfieren datos a través del conmutador 211 a las memorias intermediarias de salida 215 bajo control de las memorias 221 del espacio de tiempo. Cada memoria de espacio de tiempo 221 contiene información que define conexiones a ser establecidas en el conmutador 211 de etapa única y la información que define la situación en la cual debe almacenarse una palabra de información en la memoria 215 intermedia de salida asociada. En el sistema ilustrativo, los datos se transfieren a través de la red en forma de serie en cada espacio de tiempo. Para abastecer
- 15.
 - 20.
 - 25.

407164



- la conversación necesaria, las memorias intermediarias intermedias 205 contienen cada una un registro de desplazamiento de salida. Además de la palabra digital de ocho bits que representa una muestra vocal, un adelanto de fase "1" se transmite desde las memorias intermediarias intermedias a las memorias intermediarias de salida. Este adelanto de fase "1" sirve para correlacionar el registrador de desplazamiento de entrada de la memoria intermediaria de salida con el registrador de desplazamiento de salida de la memoria intermediaria intermedia. Los detalles de los registradores de desplazamiento y la circuitería relativas no se describen aquí ya que los registradores de desplazamiento requeridos para tal función son conocidos en la técnica.
- 5.
- 10.

- Como ya se mencionó anteriormente, la sección de salida de cada unidad intercambiadora de espacio de tiempo tiene siete líneas multiplex de salida 106 conectadas a ella. Asociado con cada línea existe un convertidor de paralelo a serie que recibe una palabra en paralelo de ocho bits desde las memorias intermediarias de salida, y que transmite la palabra en forma de serie a lo largo de marcas de cuadro sobre las líneas multiplex de salida asociadas. Las palabras de información se transfieren desde las memorias intermediarias de salida 215 a los convertidores de paralelo a serie 212 por medio del conmutador recorrelacionador 204. Durante cada espacio de tiempo se transfiere una palabra de información a cada convertidor de paralelo a serie. Sin embargo, ordinariamente no puede existir una muestra vocal para cada canal de la línea multiplex saliente y se transferirá un código de canal desocupado desde la memoria intermediaria de
- 15.
- 20.
- 25.

407164



salida al convertidor de paralelo a serie si no existe muestra vocal a ser transmitida en un canal especificado,

- El conmutador recorrelacionador 204 sirve para comprimir datos que se originan desde ocho puert_{5.} de salida de red sobre siete líneas multiplex de salida y para distribuir los datos a las siete líneas de salida de acuerdo con una distribución algorítmica que es complementaria a la distribución algorítmica del conmutador decorrelacionador 203. Es de comprender que no es esencial para el funcionamiento del sistema que el recorrelacionador sea complementario ya que cualquier transposición introducida por el decorrelacionador puede compensarse por traducción en la unidad central de proceso 150. Así, en casos donde no se utilice el decorrelacionador como un expensor, el recorrelacionador no es esencial. El conmutador recorrelacionador opera bajo control de impulsos desde el contador 131 de espacio de tiempo y durante cada espacio de tiempo se lee una palabra de cada una de las ocho memorias intermediarias de salida 215 y se distribuye a ocho terminales de salida del conmutador recorrelacionador. De la figura 2 puede verse que se conecta un convertidor de paralelo a serie a cada uno de los terminales de salida 0 a 6 del conmutador recorrelacionador pero que no se realiza conexión al terminal de salida 7. El terminal de salida 7 del conmutador recorrelacionador 204 corresponde al terminal de entrada 7 del conmutador de correlacionador 203, y puede utilizarse como un terminal verificador de salida. La figura 6 muestra la relación entre los terminales de entrada y de salida del conmutador recorrelacionador 204 como una función de los espa -

407164



cios de tiempo. Una comparación de la figura 6 con la figura 5 mostrará que el esquema de la figura 6 es el módulo 8 verdadero complementario del esquema de la figura 5 (siendo definido el módulo verdadero 8 complementario del número 5. como el valor que debe adicionarse a aquel número para producir la suma de ocho). Mediante el uso del esquema complementario el desalineamiento introducido por el conmutador decorrelacionador 203 se cancela completamente mediante el conmutador recorrelacionador 204. En el conmutador recorrelacionador 204 cada terminal de entrada está conectado al terminal de salida igualmente numerado durante espacios de tiempo 0, 8, 16, etc., y está conectado al terminal de salida siguiente numerado más inferior, cuando se cuenta en módulo 8 aritmético, en espacios de tiempo sucesivos.

15. La figura 8 es una representación de diagrama esquemático del conmutador recorrelacionador 204 que, igual que el conmutador decorrelacionador 203 mostrado en la figura 7, comprende 64 puertas Y simbólicas (por ejemplo puerta Y 810). Cada una de las puertas Y simbólicas representa 20. 8 puertas lógicas y cada una de las entradas señaladas de 0 a 7 y salidas señaladas de 0 a 7 representa ocho conductores independientes. Los conductores de control A a H mostrados en la figura 8 representan los mismos conductores que los conductores de control A a H mostrado en la figura 25. 7. Los conductores de control A a H están relacionados directamente a los espacios de tiempo en la forma mostrada en la tabla A (anterior).

En la segunda realización se discutirá en mayor detalle con referencia a las figuras 9 y 10 las unidades

407164



- de intercambio de espacio de tiempo 110. La figura 9 representa una parte de la porción de entrada de una unidad de intercambio de espacio de tiempo. En esta disposición ilustrativa, el tráfico de un grupo de diez líneas multiplex de entrada 105 se aplica a ocho puertas de entrada de red 121. Las ocho memorias intermediarias están asociadas con cada línea multiplex de entrada 105. La figura 9 muestra además un primer conmutador de etapa 210 que es parte de la red de tiempo compartido que se muestra en su totalidad en la figura 3. En la figura 9, las diez líneas multiplex de entrada están señaladas de 0 a 9 y las ocho puertas de entrada de red están señaladas de 0 a 7. Cada una de las memorias intermediarias 205 está señalada con una designación $m - n$, donde m se refiere a la línea multiplex de entrada desde la cual se recibe datos y n se refiere a la puerta de entrada a la cual se transmite datos desde la memoria. Por ejemplo, la memoria intermediaria 9-7 recibe datos de entrada desde la línea multiplex de entrada 9 y datos de esta memoria se transmiten al terminal de entrada 7. Las memorias intermediarias pueden ser de cualquier tipo de memoria conocido. Cada memoria intermediaria debe ser capaz de recibir y de almacenar palabras de información en secuencia en respuesta a una señal escrita, y ser capaces de leer por acceso al azar en respuesta a una señal de lectura que especifica la situación a ser leída. Las palabras de información que llegan de cada línea multiplex de entrada se distribuyen a las ocho memorias intermediarias asociadas con la línea bajo control de señales sobre ocho conductores de con-
- 5.
 - 10.
 - 15.
 - 20.
 - 25.



407164


trol señalados de A a H en la figura 9. Cada cuadro de una línea múltiple del sistema ilustrativo comprende 128 canales y cada canal puede llevar una muestra codificada digitalmente de una señal análoga o un código de canal desocupado. Las señales que aparecen sobre los conductores de control A a H se generan mediante el contador 131 de espacio de tiempo independiente del control por la unidad central de proceso del sistema y todas las palabras de información entrantes, si representan muestras codificadas o códigos de canal desocupados, se almacenan en las memorias intermedias.

La relación entre las señales de control sobre los conductores A a H y los 128 espacios de tiempo del sistema se representan en la tabla B.

TABLA B

15.	A = espacio de tiempo	0, 8, 16	120
	B = "	" 1, 9, 17	121
	C = "	" 2, 10, 18	122
	D = "	" 3, 11, 19	123
	E = "	" 4, 12, 20	124
20.	F = "	" 5, 13, 21	125
	G = "	" 6, 14, 22	126
	H = "	" 7, 15, 23	127

Por la tabla B puede verse que solamente uno de los ocho conductores de control es activo durante cada espacio de tiempo. Por la figura 9 puede verse que cada conductor de control controla una memoria de cada una de las diez líneas multiplex de entrada. Así, en cada uno de los 128 espacios de tiempo, se transfiere una palabra de información desde cada línea multiplex a una de sus memorias intermedia-

407164³⁰ 

- rias asociadas. Por ejemplo, durante los espacios de tiempo 0, 8, 16, etc., el conductor de control A es activo y una de las palabras de información de cada línea multiplex se conectará en puente en su memoria intermediaria respectiva,
5. 0-0 a 9-0 durante estos espacios de tiempo. Similarmente, durante los espacios de tiempo 7, 15, 23, etc., un conductor de control H es activo y una palabra de información conectará en puente su memoria intermediaria respectiva 0-7 a 9-7 durante estos espacios de tiempo.
10. Una memoria intermediaria de cada una de las diez líneas está asociada únicamente con cada una de las ocho puertas de entrada a la cual debe aplicarse el tráfico desde las diez líneas. Como aquí se explicó anteriormente, las palabras de información desde las líneas multiplex de entrada
15. están siendo transferidas continuamente a las memorias intermediarias bajo control de impulsos de reloj, independientemente de si representan códigos en reposo o muestras codificadas. Sin embargo, solamente aquellas palabras de información que pueden ser conmutadas a través del sistema, se
20. transfieren desde las memorias intermediarias 205 a las puertas de entrada de red 121 y esto se realiza bajo control de las memorias de espacio de tiempo 220. Una memoria 220 de espacio de tiempo está asociada con cada una de las ocho puertas de entrada y esta memoria de espacio de tiempo controla
25. la transferencia desde diez memorias intermediarias a la puerta de entrada asociada. Las memorias de espacio de tiempo 220, comprenden cada una 128 situaciones y así son capaces de realizar una transferencia en cada espacio de tiempo. Una palabra de información es leída desde cada una de las



407164

memorias de espacio de tiempo 220 durante cada espacio de tiempo para realizar la transferencia de datos deseados desde las memorias intermediarias 205 a las puertas de entrada de red 121. La información que se almacena en las me-

5. memorias 220 de espacio de tiempo, se deriva por la unidad central del proceso 150 desde la información que procesa la llamada. La información se transmite a las memorias del espacio de tiempo por la barra de distribución periférica 155. Se realiza una función de intercambio de espacio de tiempo mediante el uso de las memorias de espacio de tiempo y las memorias intermediarias en donde los datos que lleguen durante un cierto espacio de tiempo, pueden leerse selectivamente de las memorias intermediarias en cualquier otro espacio de tiempo.

15. La figura 10 muestra una parte de la sección de salida de una de las unidades de intercambio 110 de espacio de tiempo. La figura 10 muestra un conmutador de última etapa 211 de la red de tiempo compartido y los elementos requeridos para transferir datos desde ocho de las puertas de salida de red 122 del conmutador a diez líneas múltiples de salida. Las ocho memorias intermediarias 215 están asociadas con cada una de las diez líneas multiplex de salida 106 mostradas en la figura 10. Estas memorias pueden ser cualquier disposición de memoria conocida que tiene acceso de lectura al azar y de la que puede leerse en secuencia palabras de información. Cada una de las ocho puertas de salida de red tiene acceso a una memoria de cada una de las diez líneas multiplex de salida. En la figura 10, las ocho puertas de salida de red del conmutador de última etapa

407164³



- pa 211 están señaladas de 0 a 7, y las diez líneas multiplex de salida están señaladas de 0 a 9. Cada una de las memorias intermediarias 215 está señalada con una designación m-n, donde m se refiere a la línea multiplex de salida sobre la cual debe transmitirse datos desde la memoria y n se refiere a la puerta de salida desde la cual la memoria está para recibir datos. Por ejemplo, la memoria intermedia 9-7 recibe datos del terminal de salida 7 y transmite datos a la línea multiplex de salida 9. La transferencia de palabras de información desde las puertas de salida de red a las memorias intermediarias 215 es bajo control de datos almacenados en las memorias 221 de espacio de tiempo. Esta información es derivada por la unidad central de proceso 105 y se transfiere a las memorias 221 de espacio de tiempo vía la barra de distribución periférica 155. Cada situación de memoria de las memorias intermediarias 215 está relacionada directamente a un canal específico sobre la línea multiplex de salida con la cual está asociada la memoria intermedia. Así, la unidad central de proceso 150, después de haber determinado el canal en el cual debe transmitirse una palabra de información, debe especificar la situación de memoria en la memoria intermedia en la que debe almacenarse la información y debe situarse esta información en la memoria de espacio de tiempo apropiada. Durante cada espacio de tiempo se lee una palabra de control de cada memoria de espacio de tiempo para realizar la transferencia de datos deseada.

La transferencia de palabras de información desde las memorias intermediarias 215 a las líneas multiplex de



407164

salida está bajo control de los impulsos que se verifican sobre los conductores A a H. Estos impulsos de control son generados por el contador 131 de espacio de tiempo, independiente de las acciones de la unidad central del proceso 150.

5. Bajo condiciones normales operativas el sistema no estará totalmente ocupado y no se utilizará cada situación de las memorias intermediarias 215 durante cada cuadro de tiempo. Sin embargo, cada situación de cada una de las memorias intermediarias es leída una vez durante cada cuadro de tiempo
10. y en caso de que una situación no contenga datos de significación completa, se genera un código de canal desocupado y se transmite sobre la línea multiplex de salida asociada en el canal correspondiente.

15. Anteriormente se ha descrito una disposición mediante la cual el tráfico desde un grupo de líneas multiplex de entrada se distribuye sobre un grupo menor de puertas, se conmuta a través de la red, y se distribuye desde un grupo de puertas de salida a un grupo mayor de líneas multiplex de salida. Es evidente de lo que precede que puede asimismo
20. diseñarse una disposición en donde el tráfico de un grupo de líneas multiplex de salida se distribuye sobre un grupo mayor de puertas de entrada, se conmuta a través de la red conmutadora, y se distribuye desde un grupo de puertas de salida sobre un grupo menor de líneas multiplex de salida.
25. Por ejemplo, si se desea que el tráfico de un grupo de siete líneas multiplex de salida se distribuya sobre ocho puertas de entrada, cada línea de entrada debe dar acceso a ocho memorias intermediarias de entrada. El dato que llega desde una línea de entrada debe distribuirse a las ocho memorias

407164

30

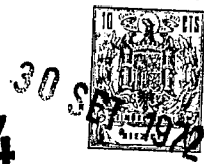


- intermediarias asociadas a la línea bajo control de impulso de reloj de espacio de tiempo, y cada puerta de entrada asociada a la memoria de espacio de tiempo debe disponerse para transferir datos desde una memoria a cada una de las siete líneas a la puerta de entrada asociada. Similarmente, cada línea de un grupo de líneas multiplex de salida debe dar acceso a ocho memorias intermediarias desde las que se transfieren datos a las líneas de salida bajo control de impulsos de reloj de espacio de tiempo, y cada puerta de salida asociada a la memoria de espacio de tiempo transferirá vía datos desde la puerta asociada a una memoria de cada una de las siete líneas.
- 5.
- 10.

- En el sistema ilustrativo, las palabras de información se transfieren desde la sección de entrada a una unidad de intercambio 110 de espacio de tiempo a la sección de salida de la misma o de otra unidad de intercambio de espacio de tiempo por medio de una red de división de tiempo. La red es controlada desde las memorias de espacio de tiempo que contienen memoria almacenada mediante la unidad central de proceso 150 del sistema.
- 15.
- 20.

- La figura 3 muestra una red de división de espacio, de cuatro etapas, de tiempo compartido que puede utilizarse en conjunción con la unidad de intercambio de espacio de tiempo descrita anteriormente. La red ilustrativa es completamente simétrica. Sin embargo, debe comprenderse que no se requiere para la práctica de la invención una red simétrica. En la red de la figura 4, la pauta de enlaces que interconectan las etapas de red a la izquierda de una línea de red imaginaria llevada a través de la red es una imagen
- 25.

407164



- especular de la pauta a la derecha de la línea de centro. Además, existe una correspondencia directa entre las puertas de entrada y las puertas de salida de la red. Cada línea principal de frecuencia vocal conectada al sistema tiene un par entrante y un par saliente conectados a uno de los circuitos multiplex 103 que a su vez tiene una línea multiplex por división de tiempo de entrada y una línea multiplex por división de tiempo de salida conectadas a una de las unidades de intercambio de espacio de tiempo del sistema. Cada par entrante es asignado a un canal único sobre la línea multiplex de entrada y el par saliente correspondiente asignado al mismo canal en la línea multiplex de salida. Ya que la pauta entre las líneas multiplex de entrada y las puertas de entrada de la red es fija, se infiere que existe una puerta de entrada identificable asociada con cada canal y, por consiguiente, con cada línea principal de frecuencia vocal conectada con el sistema. Similarmente, ya que la pauta entre las líneas multiplex de salida y las puertas de salida de la red es fija se infiere que existe una puerta de salida identificable asociada con cada canal, y por consiguiente, con cada línea principal de frecuencia vocal. La red es de tiempo compartido y, por consiguiente, una pluralidad de canales de todas las líneas de multiplex en la misma unidad de intercambio de espacio de tiempo está asociada con cada puerta de la red pero cada línea principal de frecuencia vocal que corresponde a un canal específico sobre una línea multiplex específica puede asociarse con solamente una puerta de entrada y una puerta de salida específicas. Las conexiones a la red se eligen de tal

407164



forma que la puerta de salida asociada con una cierta línea principal vocal presenta la misma designación numérica que la puerta de entrada asociada con aquella línea principal.

La primera y la última etapa de la red, compren-

5. den cada una 128 conmutadores 8 x 8. La porción central de la red consta de cuatro rejillas independientes, comprendiendo cada una 16 conmutadores de segunda etapa 16 x 16 y dieciseis conmutadores de tercera etapa 16 x 16. Las varias etapas de la red se interconectan por medio de enlaces; los
10. enlaces A interconectan las etapas primera y segunda, los enlaces B interconectan las etapas segunda y tercera, y los enlaces C interconectan las etapas tercera y cuarta. Cada etapa tiene 1024 terminales de entrada y terminales de salida y cada terminal de entrada o de salida puede definirse
15. mediante un número binario 10-bit. Si un terminal de salida de la primera etapa es definido por el número binario $M9...M0$ y un terminal de entrada de la segunda etapa es definido por el número binario $N9...N0$, entonces la etapa de interconexión del enlace A está definido como sigue.
20. $M9...M0$ se conecta a $N9...N0$ y
 $N9...N0 = M1 M0 M2 M5 M4 M3 M9 M8 M7 M6;$
- donde
- $M9...M3$ identifica un conmutador de primera etapa,
 $M2 M1 M0$ identifica un nivel de un conmutador,
25. $N9 N8$ identifica una rejilla de etapa central,
 $N7...N4$ identifica un conmutador de segunda etapa, y
 $N3...N0$ identifica un nivel de un conmutador.

Las dos etapas centrales de la red están divididas en cuatro rejillas independientes idénticas y las cone-

407164



72

- xiones entre los conmutadores de segunda y tercera etapa se efectúan solamente en una rejilla. En cada rejilla existen 256 terminales de salida de segunda etapa y 256 terminales de entrada de tercera etapa. Así, un terminal de salida o
5. un terminal de entrada puede ser definido por una palabra binaria de ocho bits. Si $P7...P0$ representa el número binario que identifica un terminal de salida de la segunda etapa y $Q7...Q0$ representa el número binario que identifica un terminal de entrada de la tercera etapa, la falta de
10. interconexión del enlace B para cada una de las rejillas puede ser definida como sigue.

$P7...P0$ se conecta a $Q7...Q0$ y

$Q7...Q0 = P3 P2 P1 P0 P7 P5 P4;$

donde

15. $P7...P4$ identifica un conmutador de segunda etapa,
 $P3...P0$ identifica un nivel de un conmutador,
 $Q7...Q4$ identifica un conmutador de tercera etapa,

y

$Q3...Q0$ identifica un nivel en un conmutador.

20. Existe una excepción para la pauta de enlace B anterior cuando $P7...P4$ es idénticamente igual a $P3...P0$. Cuando existe esta condición, la pauta de enlace B está definida como sigue:

$Q7...Q0 = P3 P2 P1 P0 P7 P6 P5 P4.$

25. La razón para esta excepción es proporcionar más posibilidades de trayectoria de enlace B en casos en que la línea principal que llama y la línea principal llamada están ambas asociadas con un único conmutador de segunda etapa.



407164

La falta de interconexión del enlace C es la misma que la falta de interconexión del enlace A. Si R9...RO representa el número binario que identifica un terminal de entrada de la cuarta etapa de la red y S9...S0 representa el número binario que identifica un terminal de salida de la tercera etapa de la red, la pauta de interconexión de enlace C está definida como sigue.

R9...RO se conecta a S9...S0 y
 S9...S0 = R1 R0 R2 R5 R3 R9 R8 R7 R6;

10. donde

R9...R3 identifica un conmutador de cuatro etapas,
 R3...RO identifica un nivel de un conmutador,
 S9 S8 identifica una rejilla de etapa central,
 S7...S4 identifica un conmutador de tercera etapa,

15. y

S3...S0 identifica un nivel de un conmutador.

A causa de la naturaleza simétrica de la red es siempre posible utilizar trayectorias complementarias a través de la red. Las líneas gruesas que marchan a través de la red en la figura 3 muestran dos trayectorias completas para establecer comunicaciones entre una línea principal vocal asociada con las puertas número 9 de entrada y salida de red y una línea principal asociada con las puertas número 69 de entrada y salida, por ejemplo puerta de entrada 9 conectada a la puerta de salida 69 y puerta de entrada 69 conectada a puerta de salida 9. Como se explicó aquí anteriormente, antes de que pueda establecerse una trayectoria a través de la red, la unidad central de proceso 150 debe explorar para trayectorias desocupadas en la red. Con objeto de facilitar

20.

25.



407164

- esta exploración de trayectoria, la unidad central de proceso 150 mantiene un registro de los estados ocupados y desocupados de los enlaces de la red. Como se muestra en la figura 4, los enlaces que interconectan la primera y segunda etapa de la red se identifican como enlaces A, aquellos que interconectan la segunda y la tercera etapa están identificados como enlaces B, y aquellos que interconectan la tercera y la cuarta etapa están identificados como enlaces C. Con objeto de hallar dos trayectorias desocupadas completas, la unidad de proceso tendría que encontrar dos enlaces A desocupados, dos enlaces B desocupados, y dos enlaces C desocupados. Al utilizar una red simétrica y trayectorias complementarias, la unidad de proceso necesita encontrar solamente un enlace A desocupado, un enlace B desocupado, y un enlace C desocupado. Habiendo encontrado estos tres enlaces desocupados no es necesaria búsqueda ulterior ya que es seguro que los enlaces de imagen especular correspondiente están asimismo desocupados. Como una consecuencia, la unidad de proceso necesita menos espacio de memoria para almacenar información de enlace desocupado ocupado y requiere menos tiempo real de unidad de proceso para realizar la exploración de trayectoria. Habiendo determinado los enlaces a ser empleados la unidad de proceso debe entonces computar la información para controlar los conmutadores de primera, segunda, tercera y cuarta etapas que interconectan los enlaces seleccionados. A causa de la naturaleza simétrica de la red, las interconexiones realizadas en la primera y cuarta etapas de la red son complementarias y las interconexiones realizadas en la segunda y
- 5.
- 10.
- 15.
- 20.
- 25.

407 164



- la tercera etapa de la red son complementarias. Por consiguiente, puede utilizarse una palabra de control para controlar ambos conmutadores de primera y cuarta etapa y otra palabra de control se puede utilizar para controlar los conmutadores de segunda y tercera etapa. Por consiguiente, se requiere menos tiempo real de unidad de proceso para generar palabras de control. Además, es posible utilizar solamente una memoria de espacio de tiempo para controlar simultáneamente un equipo de conmutadores de segunda etapa y un equipo correspondiente de conmutadores de tercera etapa. El control de las dos etapas centrales se ilustra en la figura 4.
- 5.
- 10.

REIVINDICACIONES

- Descrito el objeto del presente invento se declaran nuevas y de propia invención las siguientes reivindicaciones, con prioridad de la solicitud de patentes U.S.A. nº 185,748 del 1 de octubre de 1971 y nº 185,749 del 1 de octubre de 1971.
- 15.

1.- Perfeccionamientos en sistemas conmutadores de comunicación que comprenden :

20. una pluralidad de líneas multiplex por división de tiempo que tienen un número predeterminado de palabras de información en un período de cuadro;
una pluralidad de puertas de entrada y de salida conectadas a una red de conmutación; y
25. una exposición de transferencia para transferir palabras de información entre las líneas multiplex y las puertas de la red;
caracterizados en que
la disposición de transferencia comprende:

407164



1972

- por lo menos una memoria intermediaaria (205) para cada una de las puertas de entrada;
- una circuitería de reloj (131) que controla la transferencia de todas las palabras de información que llegan de cada línea multiplex de un grupo de líneas multiplex en un primer período de cuadro a las memorias intermediarias en una secuencia predeterminada ocasionando con ello que las palabras de información que llegan de cada línea multiplex se distribuyan en una primera forma entre las memorias intermediarias en el primer período de cuadro; y
- la circuitería de reloj (131) controla además la transferencia de todas las palabras de información que llegan de cada línea multiplex de un grupo de líneas multiplex en un segundo período de cuadro a las memorias intermediarias en una secuencia predeterminada diferente ocasionando con ello que las palabras de información que llegan de cada línea multiplex se distribuyan en una segunda forma entre las memorias intermediarias en el segundo período de cuadro;
- con lo cual la palabra de información igualmente numerada de una línea multiplex particular se transcribirá a una puerta de entrada diferente en cuadros diferentes disminuyendo con ello la probabilidad de bloqueo de la palabra de información igualmente numerada de la conexión a otra puerta de salida de la red conmutada.

2.- Perfeccionamientos de acuerdo con la reivindicación 1, caracterizados en que la circuitería de reloj controla la transferencia de





407 164

- todas las palabras de información que llegan de cada línea multiplex de un grupo de líneas multiplex a las memorias intermediarias de acuerdo con un grupo predeterminado de secuencias predeterminadas durante cuadros sucesivos.
- 5.
- 3.- Perfeccionamientos de acuerdo con las reivindicaciones 1 ó 2 caracterizados en que
- los circuitos (220) controlan selectivamente la transferencia de cada palabra de información desde cada una de las memorias intermediarias (205) a través de la red conmutadora.
- 10.
- 4.- Perfeccionamientos de acuerdo con la reivindicación 1, caracterizados en que
- la disposición de transferencia comprende además n memorias intermediarias de entrada (205) asociadas con cada línea multiplex de un grupo de m de líneas multiplex, cada una de las n memorias intermediarias asociadas con cada una de las m líneas multiplex se conecta a una puerta de entrada diferente; y
- 15.
- la disposición de transferencia distribuye palabras de información desde cada línea multiplex del grupo de m líneas multiplex de entrada a una diferente de las n memorias intermediarias conectadas a las n puertas de entrada de red diferentes durante cuadros diferentes.
- 20.
- 5.- Perfeccionamientos de acuerdo con la reivindicación 4, caracterizados en que
- la disposición de transferencia distribuye palabras de información desde cada línea multiplex del grupo de m líneas multiplex de entrada a una diferente a las n
- 25.

407 164 30



memorias intermediarias conectada a las n puertas de entrada de red diferentes de acuerdo con secuencias pre-determinadas diferentes durante cuadros diferentes.

5. 6.- Perfeccionamientos de acuerdo con la reivindicación 1, caracterizados en que la disposición de transferencia comprende además p memorias intermediarias asociadas con cada línea multiplex de un grupo de q líneas multiplex; cada una de las p memorias intermediarias asociadas con cada una de las q líneas multiplex se conecta a una
10. puerta de salida diferente; y la disposición de transferencia distribuye palabras de información desde la puerta de salida diferente respectiva de un grupo de q puertas de salida de red a las líneas multiplex de un grupo de p líneas multiplex de salida durante cuadros diferentes.
- 15.

- 7.- Perfeccionamientos de acuerdo con la reivindicación 1, caracterizados en que la disposición de transferencia comprende una circuiteria (203) para transferir palabras de información que
20. llegan de cada línea de un grupo de m líneas multiplex de entrada a la memoria intermediaria (205) de la puerta de entrada respectiva de acuerdo con secuencias pre-determinadas durante cuadros diferentes; y circuitos (220) controlan selectivamente la transferencia de cada palabra de información de cada una de las
25. memorias intermediarias (205) a través de la red conmutadora.

- 8.- Perfeccionamientos de acuerdo con la reivindicación 1, caracterizados en que





407164

- la circuitería (221) para transferir las palabras de información desde cada puerta de salida a la memoria intermediaria respectiva; y
- la disposición de transferencia comprenden la circuitería (204) para distribuir las palabras de información desde las memorias intermediarias diferentes respectivas a las líneas multiplex durante cuadros diferentes.
- 5.


9.- Perfeccionamientos en sistemas conmutadores de comunicación.

10. Según se describe y reivindica en la presente memoria descriptiva que consta de 42 hojas foliadas y escritas a máquina por una sola cara.

Madrid, a 30 de septiembre de 1972.

p.a.

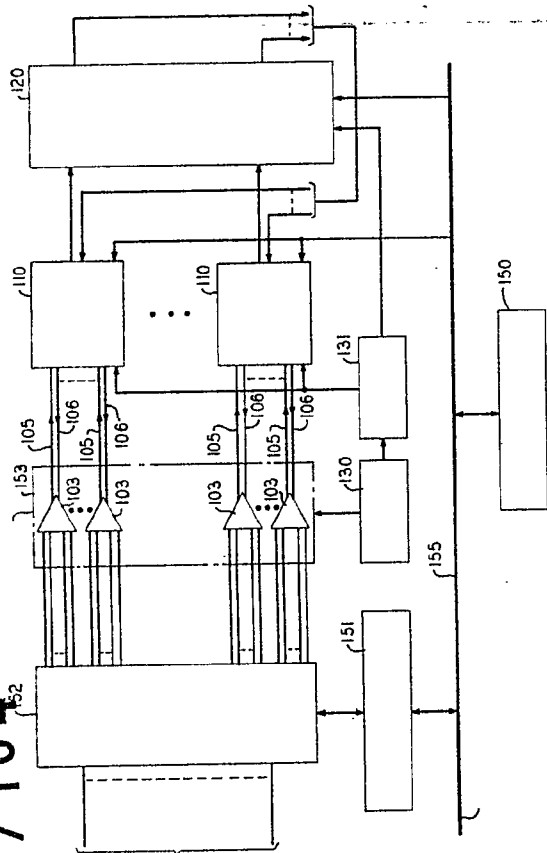
p. JAIME ISERN


Firmado: JOSE F. NIÑO

MLA.

407164¹⁵²

FIG. 1



407164³⁰



FIG. 5

0	0	1	2	3	4	5	6	7	8	9	...	126	127
0	0	1	2	3	4	5	6	7	0	1	...	6	7
1	1	2	3	4	5	6	7	0	1	2	...	7	0
2	2	3	4	5	6	7	0	1	2	3	...	0	1
3	3	4	5	6	7	0	1	2	3	4	...	1	2
4	4	5	6	7	0	1	2	3	4	5	...	2	3
5	5	6	7	0	1	2	3	4	5	6	...	3	4
6	6	7	0	1	2	3	4	5	6	7	...	4	5
7	7	0	1	2	3	4	5	6	7	0	...	5	6

FIG. 2

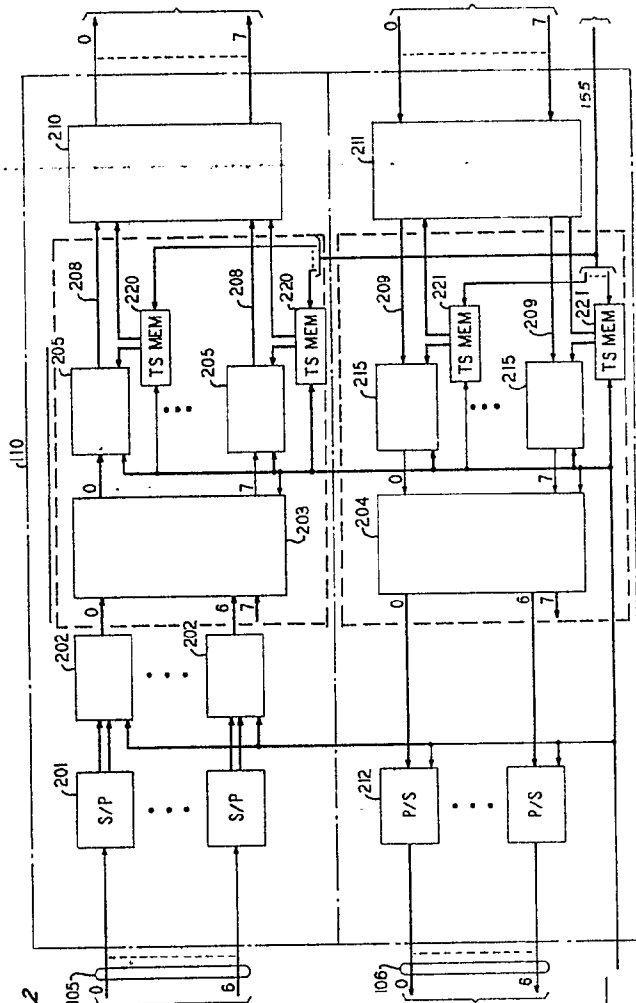


FIG. 6

0	0	1	2	3	4	5	6	7	8	9	...	126	127
0	0	7	6	5	4	3	2	1	0	7	...	2	1
1	1	0	7	6	5	4	3	2	1	0	...	3	2
2	2	1	0	7	6	5	4	3	2	1	...	4	3
3	3	2	1	0	7	6	5	4	3	2	...	5	4
4	4	3	2	1	0	7	6	5	4	3	...	6	5
5	5	4	3	2	1	0	7	6	5	4	...	7	6
6	6	5	4	3	2	1	0	7	6	5	...	0	7
7	7	6	5	4	3	2	1	0	7	6	...	1	0

Madrid, a 30 SET. 1972

J. A. NIETO

P. P.

Firma: JOSÉ F. NIETO

407164

FIG. 1

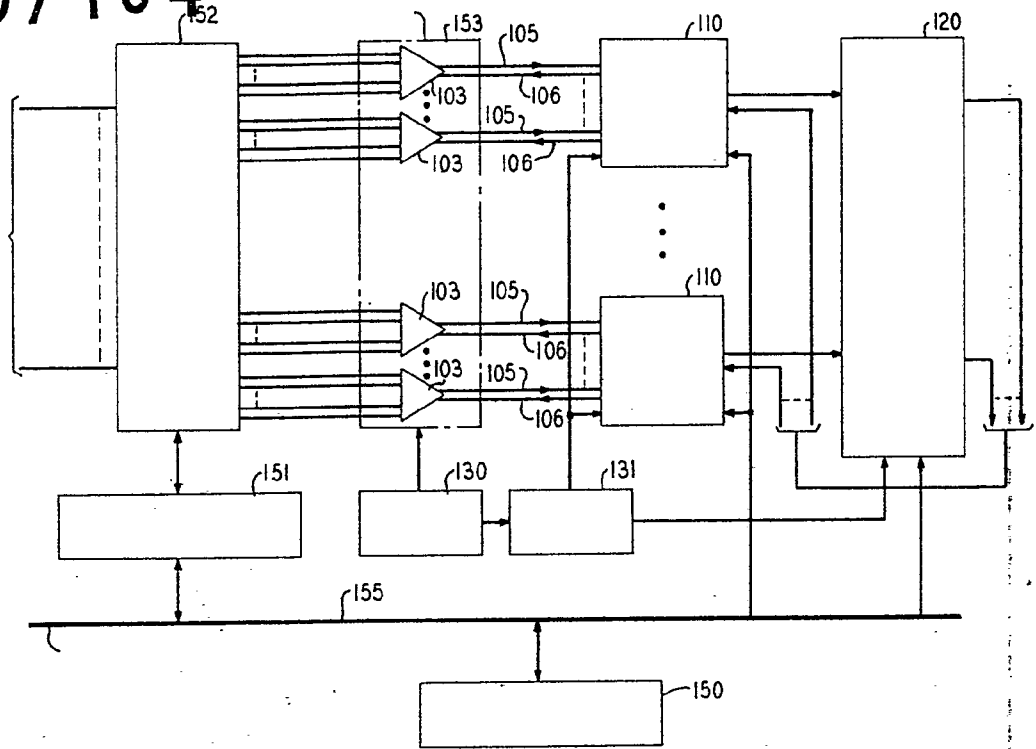
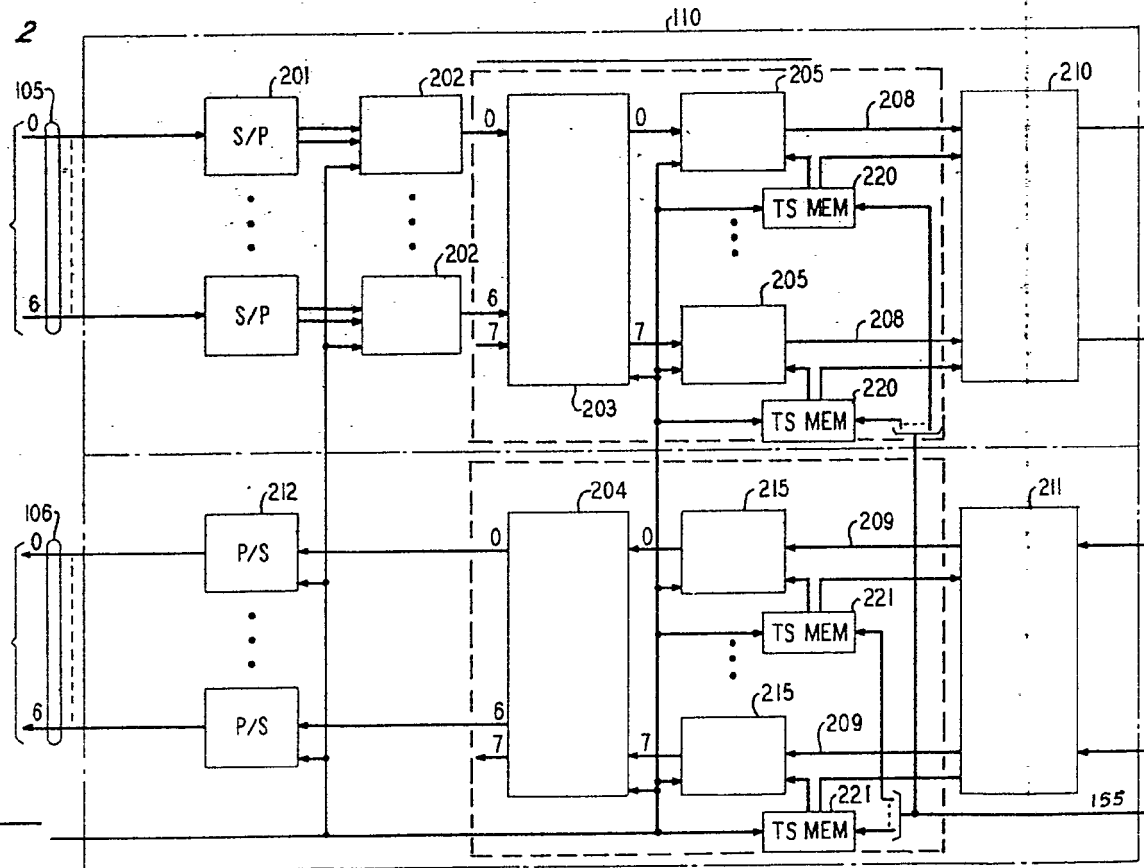


FIG. 2



407 164³⁰

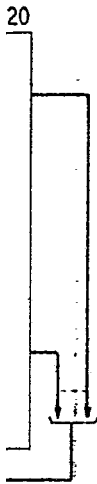


FIG. 5

	0	1	2	3	4	5	6	7	8	9	---	126	127
0	0	1	2	3	4	5	6	7	0	1	---	6	7
1	1	2	3	4	5	6	7	0	1	2	---	7	0
2	2	3	4	5	6	7	0	1	2	3	---	0	1
3	3	4	5	6	7	0	1	2	3	4	---	1	2
4	4	5	6	7	0	1	2	3	4	5	---	2	3
5	5	6	7	0	1	2	3	4	5	6	---	3	4
6	6	7	0	1	2	3	4	5	6	7	---	4	5
7	7	0	1	2	3	4	5	6	7	0	---	5	6

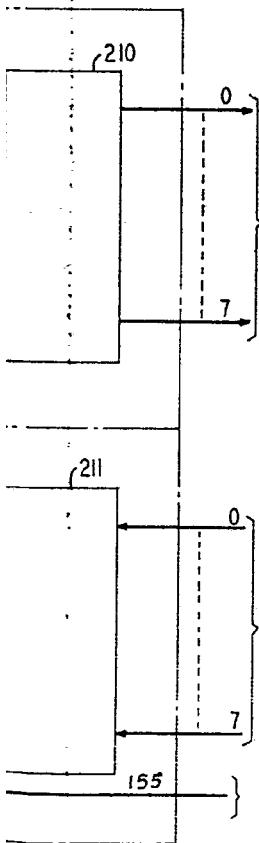


FIG. 6

	0	1	2	3	4	5	6	7	8	9	---	126	127
0	0	7	6	5	4	3	2	1	0	7	---	2	1
1	1	0	7	6	5	4	3	2	1	0	---	3	2
2	2	1	0	7	6	5	4	3	2	1	---	4	3
3	3	2	1	0	7	6	5	4	3	2	---	5	4
4	4	3	2	1	0	7	6	5	4	3	---	6	5
5	5	4	3	2	1	0	7	6	5	4	---	7	6
6	6	5	4	3	2	1	0	7	6	5	---	0	7
7	7	6	5	4	3	2	1	0	7	6	---	1	0

Madrid, a 30 SET. 1972

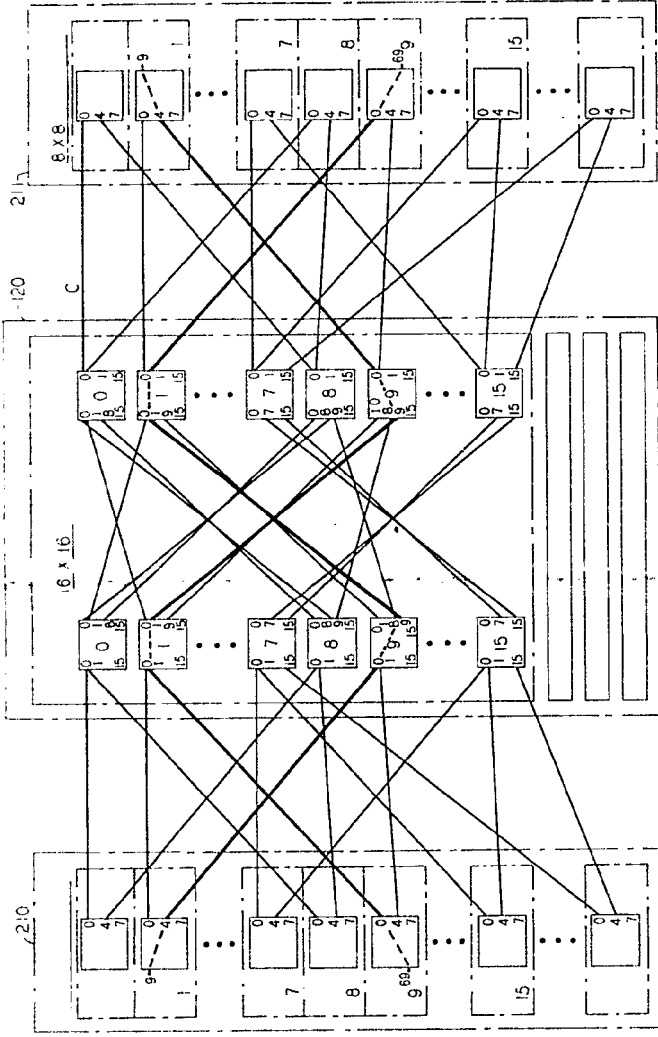
p. a.

p. p. JAIME ISERN

Firmado: JOSE F. NIETO

407164

FIG. 3

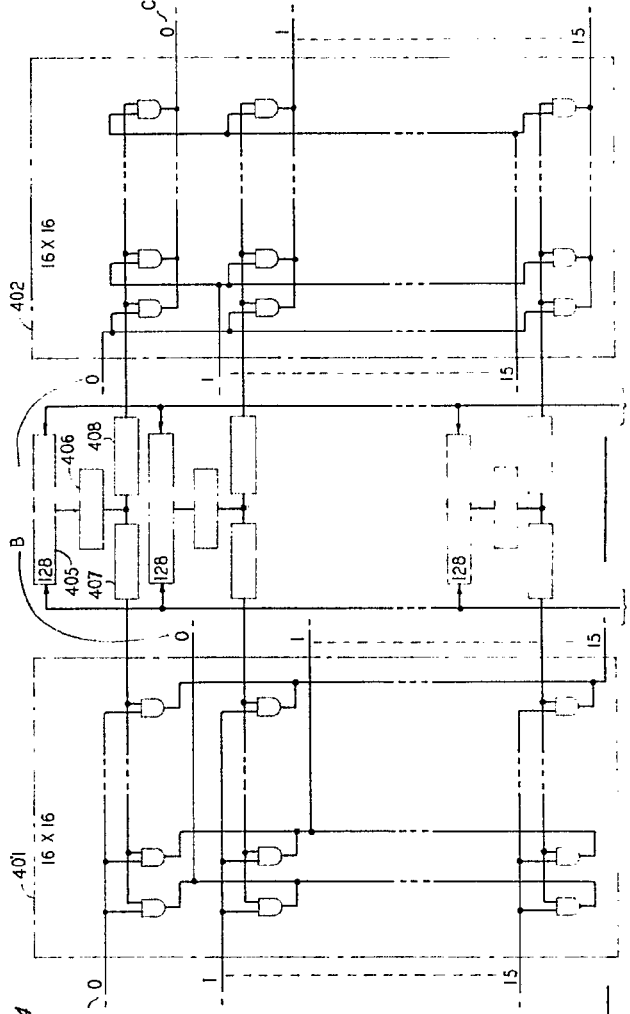


407164

30



FIG. 4



Madrid, 30 SET. 1972

P.O. P.P. J.A.M.E. ISERN.

Firmado: JOSE F. NIETO

407164

FIG. 3

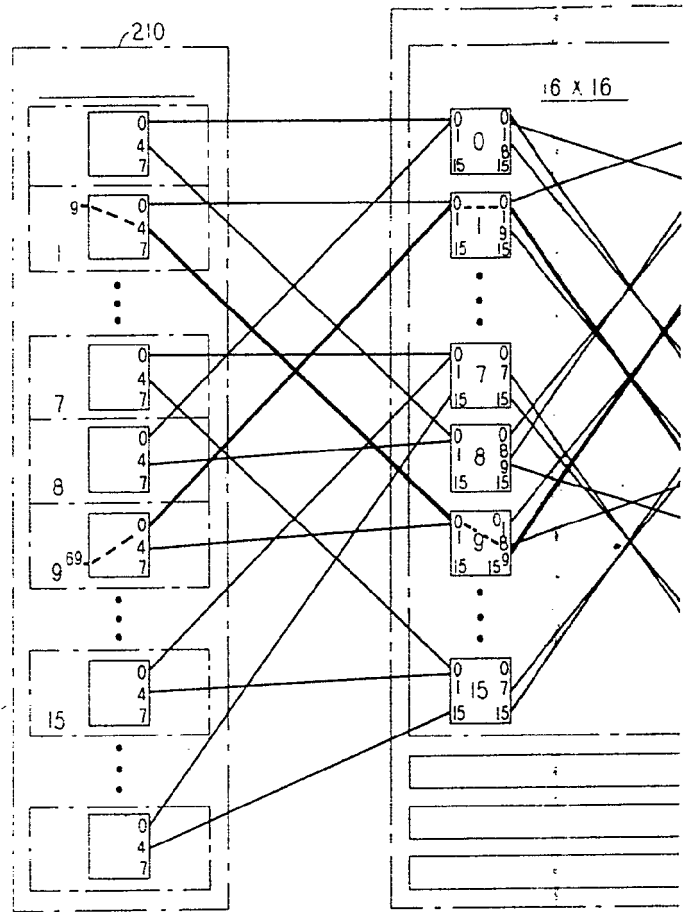
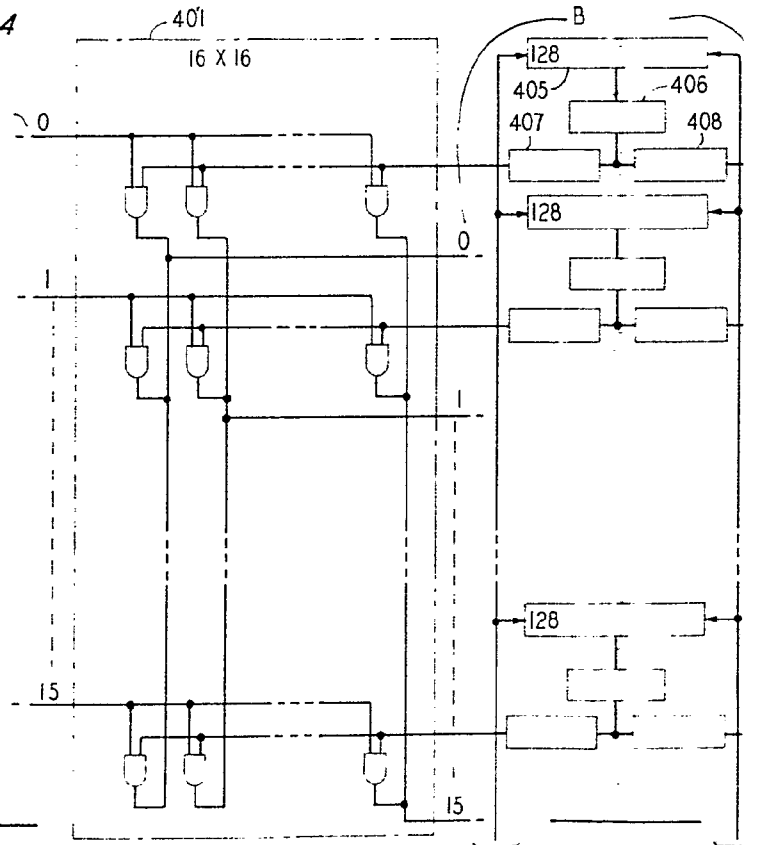
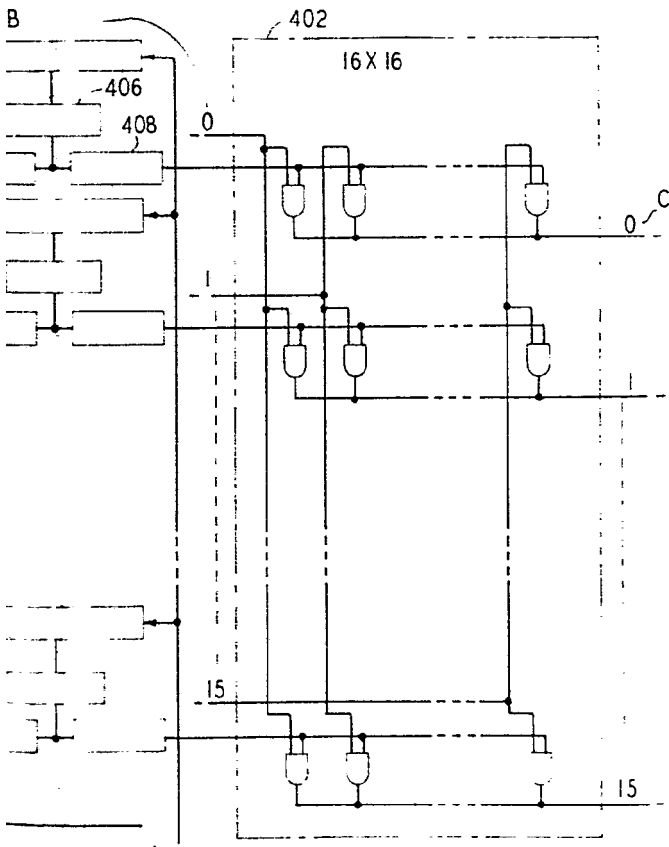
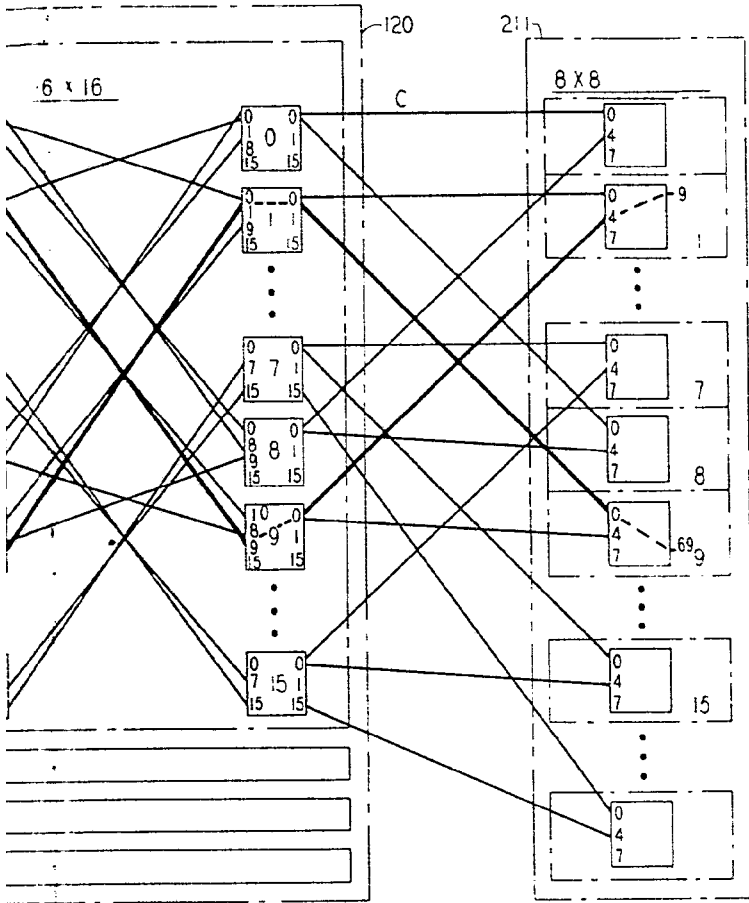


FIG. 4



407164

30



Madrid, a 30 SET. 1972

p. a. JAIME ISERN.
p. p.

Firmado: JOSE F. NIETO

407164

407164

710

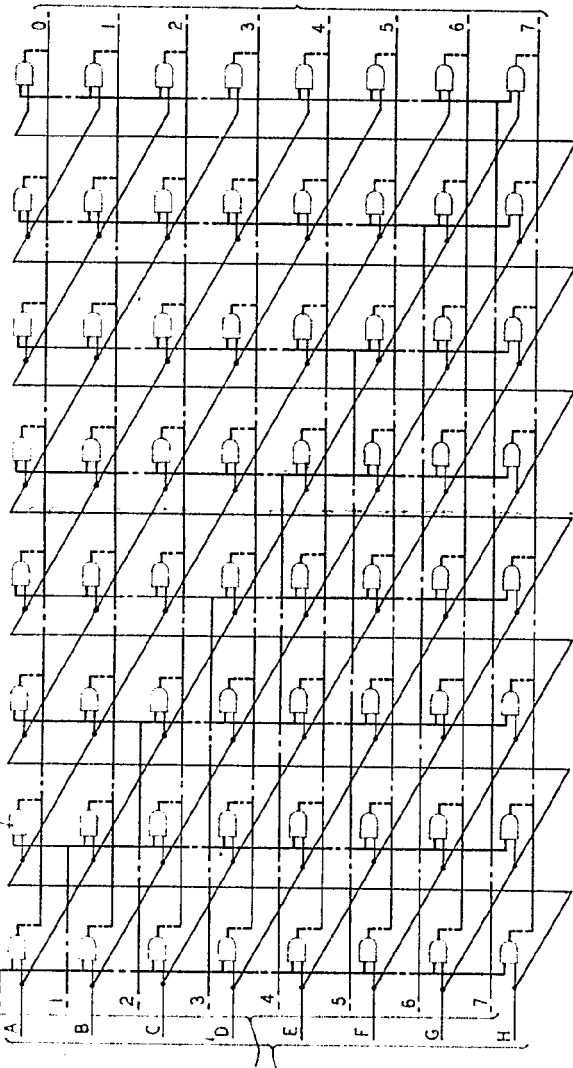
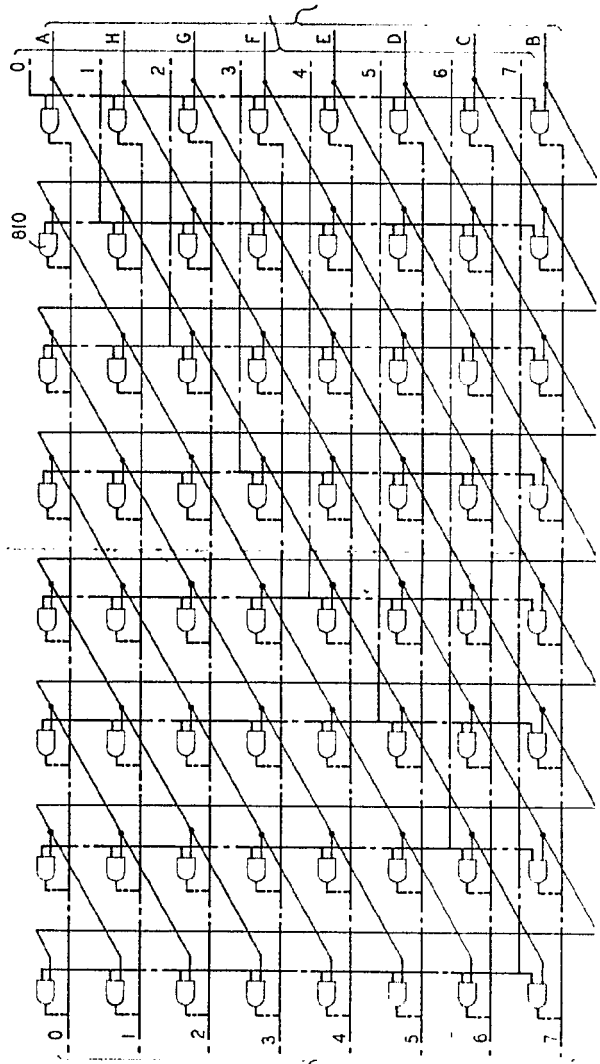


FIG. 7

FIG. 8



Modific. a. O. S. E. I. 1972

P. D.

RECEIVED

407164

FIG. 7

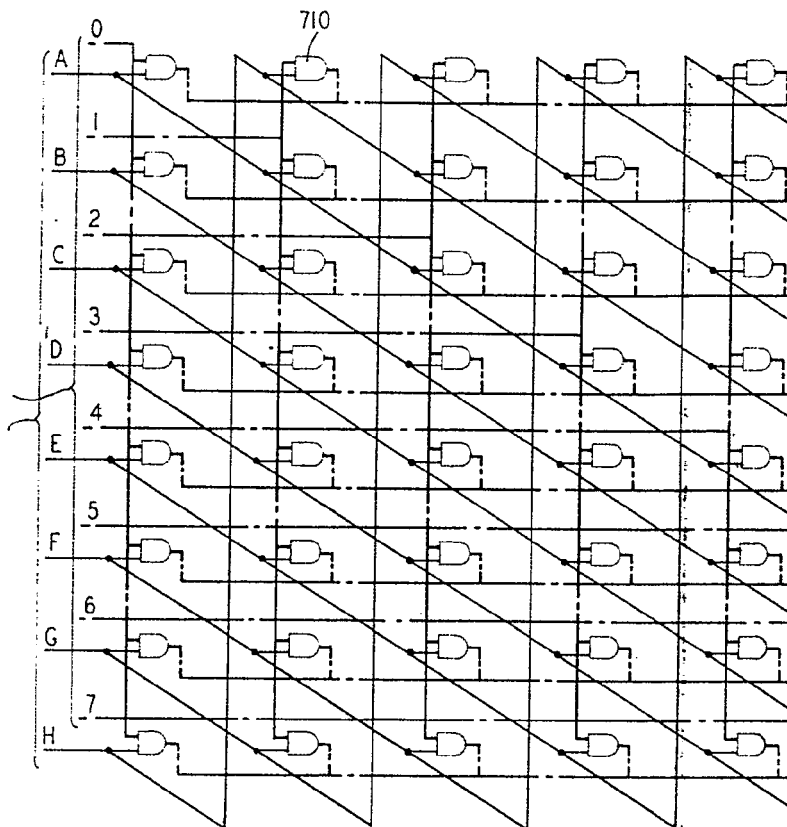


FIG. 8

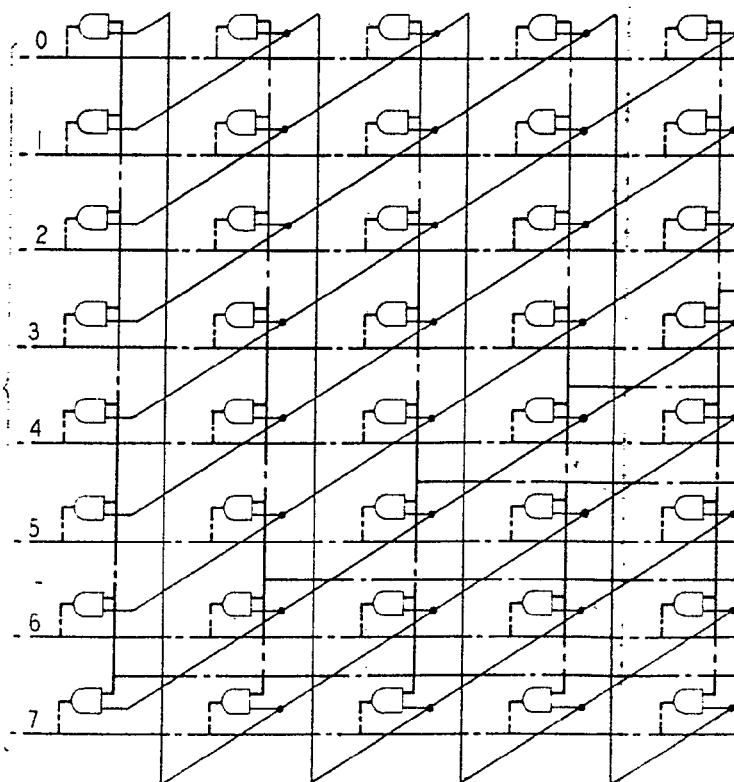
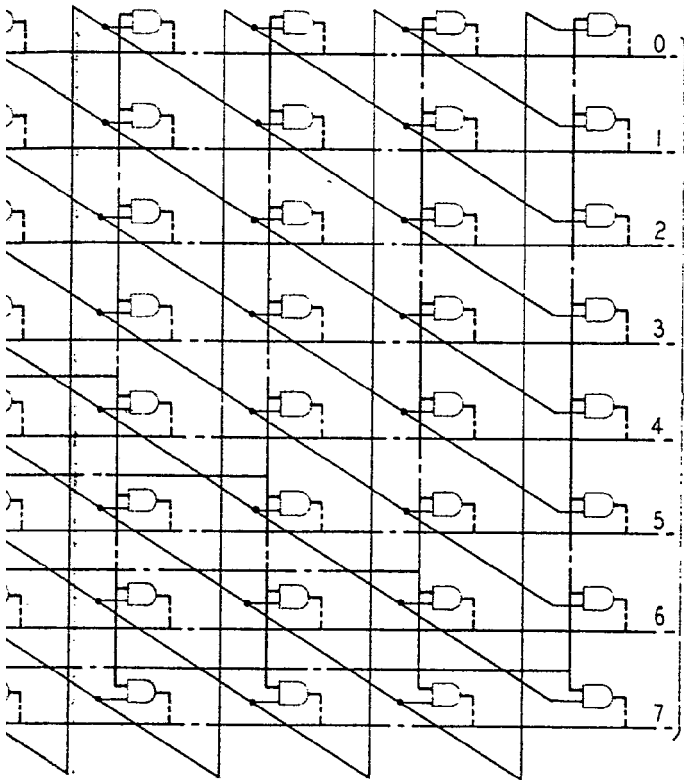


FIG. 7

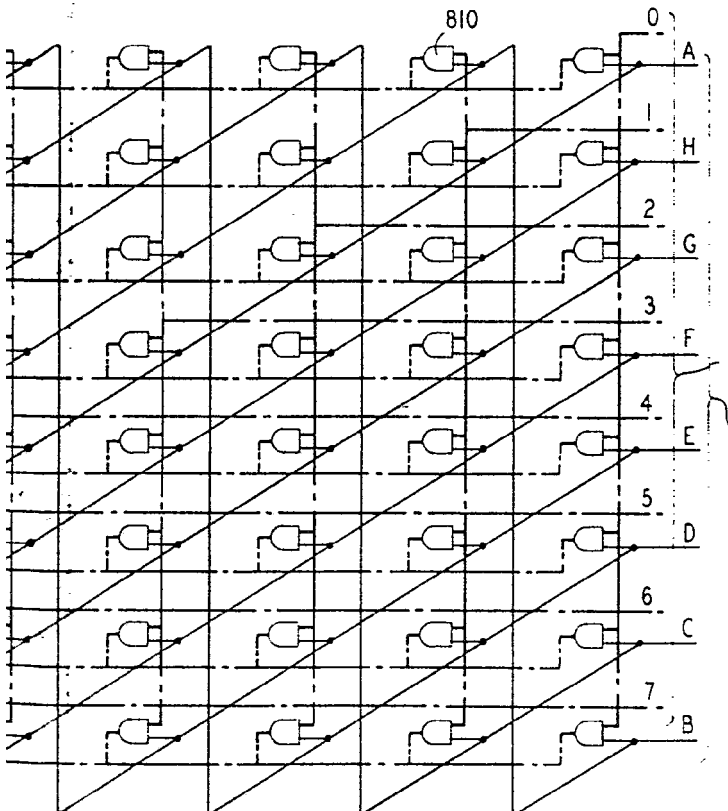


407 164

30



FIG. 8



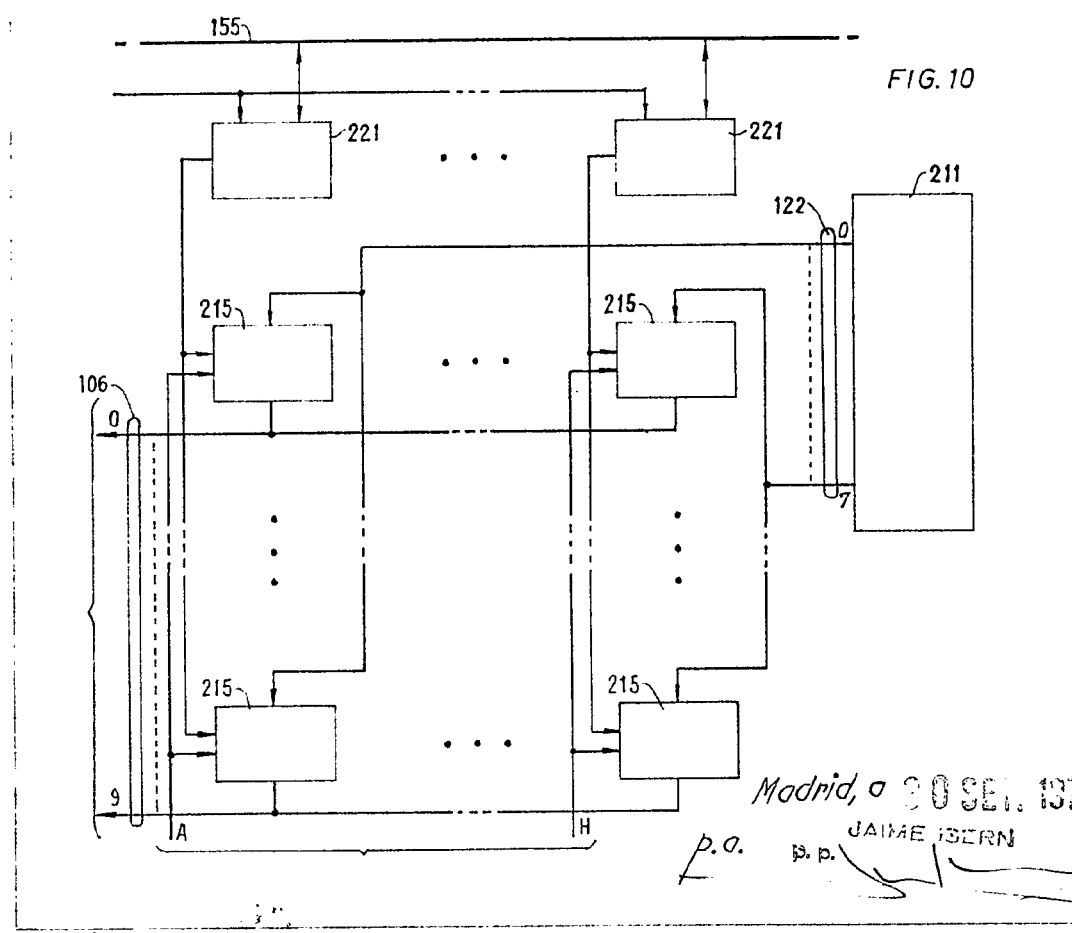
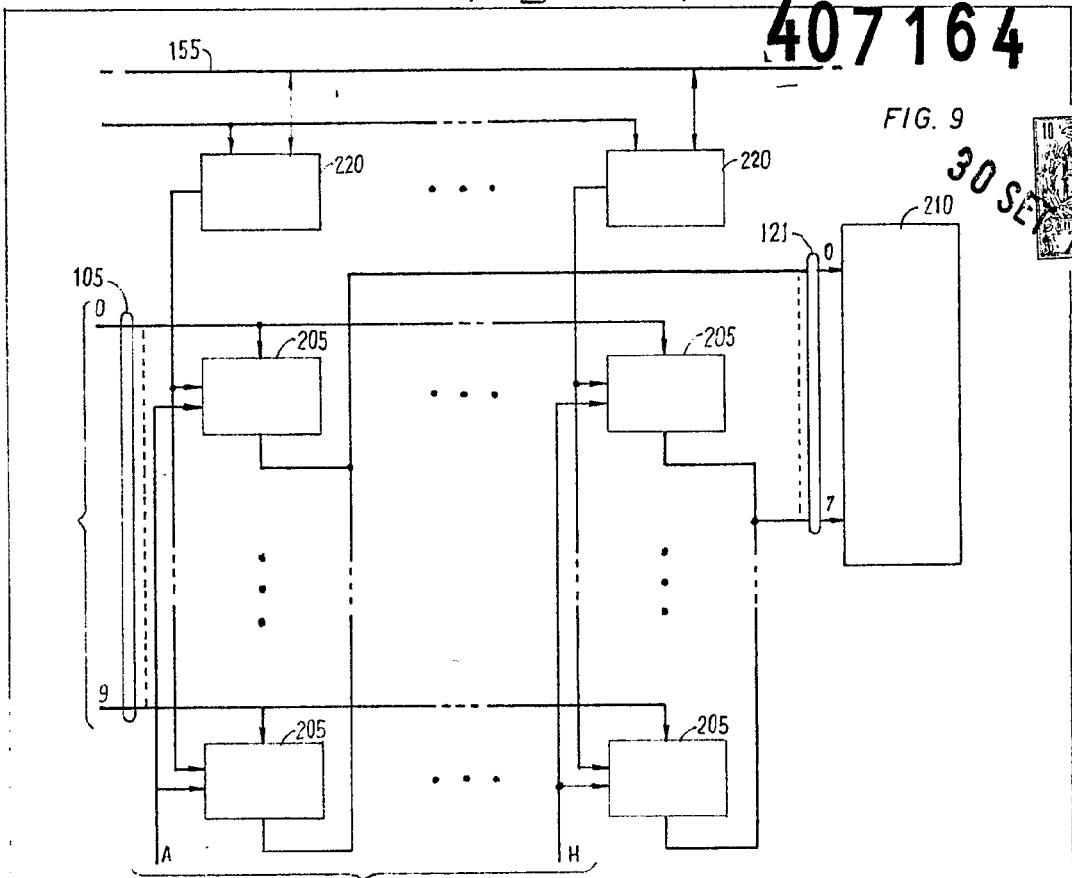
Madrid, 09 SET. 1972

JAMÉ IBERN

p.a. p.p. *[Handwritten signature]*

Firmado: JOSE F. NETO

407164



Madrid, a 30 SET. 1972

p. a. p. p. JAIME ISERN

Firmado: JOSE F. NIETO