



407161

F.e. 13-1-75

Int. No. 1403 K

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR "UN CODIFICADOR CORRECTOR DE ERRORES" A NOMBRE
DE STANDARD ELECTRICA, S.A., CON DOMICILIO EN MADRID, CALLE
DE RAMIREZ DE PRADO Nº 5.

Se refiere este invento a los codificadores con corrección de errores.

Los codificadores de este tipo codifican muestras sucesivas de señales de entrada que llevan información en el código empleado que usualmente es un código binario o un código derivado de éste.

Un método de codificación de la información es por la comparación sucesiva de una serie de señales de referencia con una señal analógica de entrada, siendo seguida cada comparación por la sustracción de la señal de referencia de la señal de entrada. Si la señal de referencia es mayor que la señal de entrada es transmitido un dígito del

407161

2.



código que representa la señal de referencia, continuandose este proceso hasta que el resto de las señales de entrada es menor que la menor señal de referencia usada.

Ya sean de este tipo o de otro conocido, los codificadores son de por sí complicados y representan un consumo de tiempo entre las fuentes de información, si bien los arreglos que se hacen para el muestreo y el multiplexado de las fuentes de información dan lugar a errores en el código obtenido.

Es un objeto del presente invento la obtención de un codificador corrector de errores particularmente aplicable a los sistemas multiplexados.

De acuerdo con el invento, se obtiene un codificador corrector de errores dispuesto para recibir unas señales de entrada que contienen información y para producir una señal digital del código de salida que codifica la información, en el cual una señal de código inicial representativa de la información es almacenada y una réplica de la señal de entrada es reproducida de la misma, la señal de réplica es comparada con la señal de entrada, si la señal de entrada y la de su réplica son diferentes es producida una señal de error, y la señal de código inicial es corregida en respuesta a la señal de error para producir una señal digital de código de salida con error corregido.

Se describe ahora el invento en relación con los dibujos que se acompañan, en los que:

-La Fig. 1 es un diagrama de bloques de una realización de un codificador corrector de errores de acuerdo con los principios del presente invento;

-La Fig. 2 es un diagrama de bloques de una reali-

407161

3.



zación alternativa de codificador corrector de errores de acuerdo con los principios del presente invento;

5 -La Fig. 3 muestra unas formas de onda ideales de señales, usadas para describir el funcionamiento del codificador corrector de errores de la Fig. 2;

-La Fig. 4 es un diagrama esquemático de un generador de señales de control adecuado para el uso en el codificador corrector de errores de la Fig. 2;

10 -La Fig. 5 es un diagrama esquemático de un gate de muestreo adecuado para el uso en el codificador corrector de errores de la Fig. 2;

-La Fig. 6 es un diagrama esquemático de un componente generador de señales de referencia adecuado para su uso en el codificador corrector de errores de la Fig. 2;

15 -La Fig. 7 es un diagrama esquemático de un contador adecuado para su uso en el codificador corrector de errores de la Fig. 2;

20 -Las Figs. 8a a 8f muestran unas formas de onda ideales que se tienen durante el ciclo de codificación del codificador corrector de errores de la Fig. 2, con las que se explica el funcionamiento del mismo, y

-La Fig. 9 es un diagrama que ilustra el modo de funcionar del codificador de la Fig. 2.

25 Refiriendonos a la Fig. 1 vemos que la señal de entrada al codificador es aplicada por el terminal 1 a la primera entrada del comparador 8 y a la entrada de un generador de códigos 3. El generador de códigos 3 está conectado a un almacén 4 cuya salida va conectada, a través de un circuito de corrección de errores 5, al circuito de salida 30 6 y también, a través de un decodificador 7, a una segunda

407161

4.



5 entrada del comparador 8. La salida del comparador 8 está
conectada a una entrada del circuito de corrección de errores
5, Un circuito de temporización 9 está conectado al generador
de códigos 3, al almacén 4 y al circuito de corrección de
errores 5.

10 El funcionamiento del codificador es cíclico, codi-
ficándose en cada ciclo un valor del parámetro de la señal
de entrada que lleva la información que ha de codificarse,
siendo en esta realización el parámetro la amplitud. El có-
digo es una señal digital producida por el generador 3 en
15 respuesta a las señales procedentes del circuito de tem-
porización 9 y es almacenado en el almacén 4. El decodifi-
cador 7 decodifica la señal almacenada y aplica la señal
decodificada al comparador 8 que la compara con la señal de
15 entrada y produce unas señales de error que son aplicadas
al circuito de corrección de errores 5. El circuito 5 corri-
ge el código que hay en el almacén y en respuesta a la señal
del circuito temporizador aplica el código corregido al ter-
minal de salida 2 del codificador.

20 Con elementos lógicos de tipo conocido se pueden
ensamblar circuitos adecuados para ser usados en los dife-
rentes bloques, no siendo dados aquí los detalles del circui-
to de salida 6, codificador 7 y comparador 8.

25 No es esencial que la entrada del codificador esté
conectada al generador de códigos, pudiendo ser usada la se-
ñal de código generada como una señal de referencia y compa-
rada con la señal de entrada, siendo modificada la señal de
código, antes de la transmisión, por el circuito de corrección.
Refiriéndonos a la Fig. 2, vemos en ella el diagrama de blo-
30 ques de una realización alternativa del invento en la que por



el código generado es producida una señal analógica, que es comparada con la señal de entrada. El ciclo de codificación tiene dos partes. En la primera parte, los dígitos de un código binario de ocho dígitos que corresponde a valores decrecientes de la amplitud son sucesivamente producidos y almacenados cuando la amplitud de la señal de entrada es mayor que la señal analógica. En la segunda parte del ciclo el código es corregido si es necesario. Se pueden dar cinco operaciones de corrección, cada una de las cuales cambia el código para codificar con un aumento o disminución en el paso completo más pequeño.

Los bloques que se corresponden con los de la Fig. 1 tienen los mismos números. El circuito de temporización 9 comprende un oscilador 11, un generador de señales de control 12 y un gate de muestreo 10. El generador de códigos 3 y el almacén 4 de la Fig. 1 se encuentran combinados en el codificador de la Fig. 2 como un generador de señales de referencia componente 3. El generador de señales de control 12 tiene dos salidas 170 y 174 conectadas, respectivamente, a las entradas 139 y 140 del gate de muestreo 10. Otras tres salidas 171, 173 y 172 están conectadas a tres entradas numeradas 34, 35 y 56 del generador de señales componentes 3; una salida 167 está conectada a la entrada de señales de control 118 del circuito contador 5 que se corresponde con el circuito de corrección de errores 5 de la Fig. 1. Otra salida del oscilador se encuentra conectada al convertidor de paralelo a serie del circuito de salida 6. El generador de señales de referencia 3 de la Fig. 2 tiene siete salidas 28 a 34 conectadas, respectivamente, a las siete entradas 90 a 84 del circuito contador 5. El circuito

407161

6.



5 contador 5 tiene nueva salidas numeradas 180 a 188, conec-
tadas a las correspondientes entradas del decodificador 7
y a las entradas del circuito de salida 6 de la Fig. 2. La
salida del decodificador 7 está conectada a una primera en-
10 trada del comparador 8, cuya segunda entrada tiene conecta-
da a sí misma la entrada 1 del codificador. La salida del
comparador 8 está conectada a la entrada 143 del gate de
muestreo 10, el cual tiene dos salidas 144 y 145 que están
conectadas, repectivamente, a las entradas de señal de con-
15 trol 113 y 114 del contador 5. La salida 144 está también
conectada a una entrada de señal de control 57 del genera-
dor de señales componentes 3.

En la Fig. 4 se muestra un circuito adecuado pa-
ra el generador de señales de control 12, el cual compren-
15 de cinco filp-flops 150 a 154, dos flip-flops tipo D nume-
rados 155 y 156, cinco gates NAND 157 a 161 y un gate NOR
162 interconectado de la forma que se muestra. El terminal
de entrada 168 está conectado a la salida de un oscilador
que en esta realización es de 8,192 MHz. En las salidas
20 169 a 174, respectivamente, se obtienen las señales de con-
trol con las formas de las ondas que se muestran en las
curvas 317, 314, 313, 311, 315 y 316 de la Fig. 3.

Un circuito adecuado para su uso como gate de
muestreo 10 es el que se representa en la Fig. 5, el cual
25 comprende nueve gates NAND 130 a 138 y un inversor 146 inter-
conectado como se indica. A través del terminal 143 es a-
plicada la señal de salida 823 de la Fig. 8b del comparador
8, a través del terminal 143 a una entrada del gate NAND
134 y la señal de control 314 de la Fig. 3, que procede del
30 generador de señales de control 12, es aplicada, a través

407161

7.



del terminal 139 al gate NAND 130 a través del inversor 146, así como al gate NAND 132. Una señal bit de polaridad, que es más adelante descrita, es aplicada a través de la entrada 139 al gate NAND 132 y a través del inversor 146 al gate
5 NAND 130. Al gate NAND 138 se le aplica la señal 316 de la Fig. 3 que procede del contador 5 y una señal de inhibición procedente del circuito de salida. Los pares de gates NAND 133, 134 y 135, 136 están interconectados para formar un par de circuitos biestables que tienen como respectivos "esclavos"
10 los gates NAND 130 y 137. Los "esclavos" reciben la señal de reloj 314 a la salida del inversor 146 y cada uno de ellos tiene una entrada inhibitoria extra a la que le es aplicada una señal que procede de las salidas de los gates NAND 131 y 132.

15 En respuesta a la señal de reloj 314 de la Fig. 3 y a la señal de error que es la señal de salida del comparador 8, el gate de muestreo 10 produce una sucesión de señales de salida 813 u 814 de la Fig. 8b, siendo las señales 814 contadas como señales descendentes producidas cuando la
20 amplitud de la señal de salida del decodificador 7 está por debajo de la amplitud de la señal de entrada a la entrada del codificador 1 y las señales 813 son contadas como señales ascendentes producidas cuando la amplitud está por encima de la amplitud de salida del decodificador. Las señales de
25 contado ascendente son inhibidas cuando la señal bit de polaridad indica una señal de entrada positiva y los impulsos de contado descendente son inhibidos cuando la ausencia del bit de polaridad indica una señal de entrada negativa.

En la Fig, 6 se muestra un circuito esquemático
30 que es adecuado para uso como generador 3 de señales de re-

407161 8.



ferencia, produciendo siete señales componentes de referencia que corresponden a los siete primeros dígitos del código. El circuito comprende siete flip-flops J.K. 21 a 27 los cuales tiene sus entradas J y K y sus salidas Q y Q' interconectadas a través de los quince gates NOR 37 a 51 con tres gates NAND 52 a 54, como se muestra en la Fig. 2. En esta interconexión también se encuentran incluidos dos inversores 55 y 56. Las entradas K de los flip-flops J.K. 21 y 27 están puestas a tierra. En esta interconexión es alimentada una señal de control 311, que se muestra en la Fig. 3, a través del terminal 33 y de una de las entradas del gate NOR 39 y la señal de salida D de la salida 145 del gate de muestreo 3 es también aplicada a través del terminal 57 y de una entrada de cada uno de los gates NOR 37, 40, 42, 44, 47 y 50. La señal de reloj 313 de la Fig. 3 es aplicada a las entradas de reloj de los siete flip-flops a través del terminal 36 y la señal de reposición 315 de la Fig. 3 es aplicada a todas las entradas de reposición de flip-flop a través del terminal 35. La señal en la salida 28 se obtiene de Q' del flip-flop J.K. y las señales en las salidas 29, 30, 31, 32, 33 y 34 de las respectivas salidas Q de los flip-flops 22, 23, 24, 25, 26 y 27.

La fila de los siete flip-flops "J.K." 21 a 27 tiene unas interconexiones lógicas a las entradas J y K como sigue:



Flip-flop	Entrada J	Entrada K
21	0 lógico	$X_d (B+C+D+E+F+G)$
22	A. $(B+C+D+E+F+G)$	$X_d (C+D+E+F+G)$
23	B. $(C+D+E+F+G)$	$X_d (D+E+F+G)$
5 24	C. $(D+E+F+G)$	$X_d (E+F+G)$
25	D. $(E+F+G)$	$X_d (F+G)$
26	E. $(F+G)$	$X_d (G)$
27	F.G	0 lógico

en donde A a F son las salidas de los flip-flops 21 a 27 y D es la señal procedente del gate de muestreo.

En un codificador de N bits se necesitan N-1 flip-flops y para cualquier flip-flop Φ_n las entradas serán:

$$\begin{aligned} \text{entrada J} &= \Phi_{n-1} \cdot (\Phi_n + \Phi_{n-1} + \Phi_{n-2} + \dots + \Phi_N) \\ \text{entrada K} &= X_d \cdot (\Phi_{n+1} + \Phi_{n+2} + \dots + \Phi_N) \end{aligned}$$

El funcionamiento de cada uno de los elementos de flip-flop es tal que;

- a) si el flip-flop está en lógico 1 y los flip-flops siguientes están todos en lógico 0, cualquier señal D que tenga lugar cuando la señal de reloj permita las entradas J y K producirá un cambio de 1 a 0 en el borde de la forma de onda del reloj, sacando así ese componente de la señal de referencia;
- b) si el flip-flop y los flip-flops siguientes están en lógico 0, actuará como un registro de cambio y después de su aplicación de un impulso de reloj tomará el estado del flip-flop anterior;
- c) si cualquiera de los flip-flops siguientes están dispuestos para lógico 1, el flip-flop será puesto fuera de servicio y mantendrá este estado hasta la segunda parte del ciclo de codificación.

En respuesta a la señal de reposición 315, Fig. 3,

407161

10.



los flip-flops 21-27 son repuestos con las Q salidas bajas (lógico 0) y los \bar{Q} salidas altas (lógico 1). En respuesta a la primera señal de reloj 313 Fig. 3 que tiene lugar después de la reposición, el biestable 21 retiene su estado si
5 en la entrada 56 hay una señal D, o bien, cambia si no existe esta señal D. El flip-flop 22 cambia simultáneamente. La operación se repite en respuesta al siguiente impulso de reloj 313 por los flip-flops 22 y 23 y por los flip-flops 23, 24, 25, 26 y 27 para los sucesivos impulsos de reloj.

10 El generador de señales componentes genera, por tanto, sucesivamente en cada ciclo de codificación siete componentes de las señales de referencia que representan órdenes decrecientes de amplitud y actuará como almacén para esas señales, al menos que el gate de muestreo de salida sea
15 una señal 814 que indique que la suma de las señales de referencia componentes hasta entonces almacenadas represente una amplitud que esté por debajo de la amplitud de la señal de entrada.

En la Fig. 7 se muestra un circuito de contado
20 que es adecuado como circuito de corrección de errores y el cual consiste en dos contadores binarios de cuatro bits conectados por los dos gates AND 128 y 129. Cada contador de cuatro bits está formado por cuatro flip-flops "toggle" J-K 60 a 63 y 64-67 y de los inversores de entrada 115, 166,
25 y 122, 123. Los respectivos gates NAND 69, 71, 73, 77, 79, 81, 83 tienen una entrada conectada a través del inversor 115 a la entrada 118 y las salidas respectivamente conectadas a las entradas preestablecidas de cada flip-flop. La otra entrada de cada gate NAND está conectada respectiva-
30 mente a una de las entradas 84-89. El gate OR 93 conecta

407161

11.



la entrada de reloj del flip-flop 60 a través de los inver-
sores 122 y 123 a las entradas 113 y 114. Una combinación de
un gate OR y dos gates AND 94, 101, 102;95, 103, 104;96,
105, 106; interconecta las entradas 113 y 114 y las salidas de
5 los flip-flops precedentes a las entradas de reloj de los
otros flip-flops 61-63. El gate OR 97 y la combinación de
los gates OR 98-100 y de los gates AND 107-112 interconecta
similarmente las salidas de los gates NAND 124 y 125 y las
entradas de reloj de los flip-flops 64-67. Cada una de las
10 salidas del generador de señales componentes es aplicada a
una entrada respectiva, las cuales están numeradas de 84
a 90.

El gate 124 constituye el "carry output" y facilita
un impulso negativo cuando el primer contador de cuatro
15 bits alcanza su máximo estado de contacto. El gate 125 es
el "borrow output" y facilita un impulso negativo cuando
el primer contador de cuatro bits alcanza su estado mínimo.
Estas señales son aplicadas a la entrada del segundo conta-
dor de cuatro bits a través de los inversores 116 y 117. No
20 hay conexión a las entradas J K de flip-flops, que actúan
como "toggle". Los gates 93-100 combinan las señales de en-
trada y las señales de salida de flip-flop y facilitan una
señal a la entrada "toggle" de cada uno de los flip-flops.
Las señales 814 y 813 son aplicadas a través de las entra-
25 das 113, 114. Los flip-flops son habilitados cuando la señal
317 Fig. 3 aplicada a la entrada 118 es alta. Los tres ga-
tes NAND 68-83 están dispuestos en pares, de modo que cuando
la entrada 118 es alta (lógico 1) la salida de cada flip-
flop es la misma que sus datos de entrada, sea cual sea el
30 estado de entrada de reloj y cuando es baja (lógico 0) el

407161

12.



contador cuenta hacia abajo con una señal aplicada a la entrada 113 o hacia arriba con una señal aplicada a la entrada 114. El contador en respuesta a la señal de carga tiene el contado establecido para las señales componentes de referencia almacenadas por el generador de señales componentes de referencia. En la segunda parte de este ciclo produce la octava señal de referencia y corrige el valor indicado por los ocho dígitos por la adición o sustracción de otras cinco señales de referencia componentes del orden más bajo, cada una de las cuales representa lo mínimo en la sucesión de reducción de amplitudes, como será descrito más tarde.

El codificador se controla por el circuito de temporización 9 para que funcione ciclicamente, codificando cada ciclo la amplitud de una muestra la señal de entrada al código binario de ocho bits. Las dos partes del ciclo son codificadoras seguidas de una corrección, operación que se muestra en la Fig. 8. En ella 8a y b muestran las formas de onda con una muestra de señal de entrada constante 811. En 8c y d se ven las formas de onda cuando la muestra de la señal de entrada es rizada en su comienzo y en la Fig. 8d y f se ven las formas de onda cuando la muestra de la señal de entrada decae durante el proceso de codificado.

Refiriéndonos a la Fig. 8a vemos la amplitud de la señal de entrada 811 y la señal analógica 830, mostrándose la segunda parte del ciclo con una escala de mayor amplitud. La tabulación muestra el código generado y almacenado en la primera parte del ciclo y la corrección que sigue en la segunda parte del ciclo. Unas formas ideales que tienen lugar durante la codificación de la señal que se muestra en



407161

la Fig. 8a se ven en la Fig. 8b en que 812 es la forma de onda de la salida del circuito comparador, 813 y 814 son las señales de contado ascendente y de contado descendente respectivamente producidas por el circuito gate de muestreo 5 10, siendo de 815 a 821 las formas de onda de las señales en las siete salidas 28 a 34 del generador de señal componente 3. Las formas de onda 822 a 829 son las formas de onda de salida de las ocho salidas de 180 a 188 del circuito contador 5.

10 Al comienzo del circuito de codificación en respuesta a la señal de reposición 316 de la Fig. 3 la señal de salida 815 de la salida 28 se va a su nivel alto (lógico 1) produciendo así la señal de referencia de orden más alto mientras que las señales de salida 816 a 821 van a sus niveles 15 inferiores (lógico 0). Si vemos las Figs. 8a y 8b tenemos en ellas que el primer impulso de la forma de onda 813 es producido por el comparador en respuesta al nivel positivo de la forma de onda 811 que excede la salida del convertidor de dígito a analógico 830, producida en respuesta al nivel 20 de la señal 815. En respuesta a un impulso de reloj la salida 28 permanece en el nivel alto por el resto del ciclo de codificación, como muestra la forma de onda 815 y simultáneamente la señal 816 a la salida 29 representando el orden inmediato inferior de señales de referencia. La salida 29 es 25 similarmente retenida en su nivel alto hasta el final del ciclo de codificación, como se muestra con la forma de onda 816 en respuesta al siguiente impulso de reloj y al segundo impulso de la forma de onda producido porque el nivel de la señal 811 aún excede a la señal 830. Simultáneamente la forma de 30 onda 817 es puesta en su nivel alto. El primer impulso de

407161

14.



contado hacia abajo de forma de onda 814 se produce en res-
puesta al bajo nivel del comparador que resulta de que el
nivel de la señal 830 que resulta de las señales 815 y 816
está por encima de la señal 811. La salida 30 vuelve a su
5 nivel bajo en respuesta al tercer impulso de reloj y retiene
este nivel hasta el final del ciclo, puesto que la señal
814 está en su nivel alto mientras que simultáneamente la forma
de onda 818 es puesta en su nivel alto. Similarmente las for-
mas de onda 818 a 821 son establecidas en su nivel alto y o
10 bien retenidas en ese nivel en respuesta a los impulsos de
la señal 813 a reducida a su nivel bajo en respuesta al im-
pulso de la forma de onda 814. Durante la primera mitad del
ciclo de codificación las salidas 815 a 821 son aplicadas
al circuito de contador y las salidas 810 a 817 del circuito
15 de contador tienen las formas de onda correspondientes que
se ven en 822 y 828. El contador está, por consiguiente, ya
puesto y registrando siete de sus ocho dígitos del código
binario.

En la segunda parte del ciclo es producido el octavo
20 y más pequeño dígito y el código es corregido por el contador,
contando una unidad arriba en respuesta a un impulso de con-
tado ascendente en la señal 813 o abajo en respuesta a un im-
pulso de contado descendente en la señal 814, produciendo así
una señal codificada inicial. La operación de corrección tie-
25 ne cinco pasos que tienen lugar en los impulsos de reloj
octavo y doceavo después del impulso de reposición, siendo
el quinto paso, en el treceavo impulso de reloj; de raciona-
lización.

En el quinto paso de corrección, cuando la señal
30 analógica está por encima de la mitad de la amplitud máxima,



el codificador está dispuesto para codificar (Figs. 8a y 8c)
y el contador o retiene la cuenta existente o bien cuenta ha-
cia abajo, es decir, el contado ascendente es inhibido. Cuan-
do la señal analógica está en la mitad inferior de dicha am-
plitud máxima (Fig. 8b) el contador puede retener su cuenta
5 existente o contar hacia arriba, es decir, el contador descen-
dente es inhibido.

La semiamplitud máxima es el cero de la entra-
da al codificador de una señal de C.A. como consecuencia de
10 la primera señal de referencia, que si es retenida indica
una señal en o por encima de la mitad del máximo de la ampli-
tud según la polaridad de la muestra de señal de A.C. que
se codifica.

El paso de racionalización produce un contado
15 cero y con ello permite que el contador ascendente y descen-
dente produzca un contado final en unidades que son la mitad
de las unidades de contado insertadas durante la operación
de carga de la primera mitad del ciclo de codificación.
Esto se representa en la Fig. 9.

20 La inhibición del contado es controlada por
el gate de muestreo que inhibe los impulsos de contado ascen-
dente cuando el primer dígito del código es lógico 1 e in-
hibe los impulsos de contado descendente cuando el primer
dígito del código es lógico 0.

25 Se evita que el contador vaya a su máximo, y
produzca un código bajo falso, por medio de una señal que
procede de su circuito de salida.

El circuito de salida de esta realización in-
cluye un convertidor de paralelo a serie para producir el
30 código sucesivamente desde las salidas de contador y el cual

407161

16.



también produce el código serie en forma binaria reflectada. El circuito requerido es ya conocido y no es aquí descrito.

En los códigos binarios reflectados la codificación de la máxima señal positiva difiere de la máxima señal negativa únicamente por la condición del bit de polaridad, teniendo todos los otros bits la condición lógica 1. El circuito lógico para producir la señal que evite que se sobrepase es por consiguiente un gate AND múltiple cuyas entradas son los dígitos de código 2º a 8º.

Las Figs. 8c y d muestran las formas de onda y los datos cuando las señales de entrada 911 están rizadas en su comienzo y las Figs. 8e y f muestran las formas de onda y datos cuando la señal de entrada decae continuamente durante el ciclo de codificación. En el ciclo de corrección de errores el codificador puede, por tanto, corregir hasta 5 dígitos positivos o negativos y, si la corrección se termina antes del cuarto dígito, el codificador "caza" más o menos un dígito a uno y otro lado del nivel verdadero.

Como alternativa al circuito para el codificador de errores preciamente descrito, en el que se usa un circuito de lógica negativa, es posible el uso de circuitos lógicos positivos y en uno u otro caso puede ser usada cualquier forma conocida de circuito biestable como alternativa a los flip-flops J K, como por ejemplo núcleos de "therike" saturables o conmutadores de cristal.

No es necesario usar los ocho bits ni el uso del código binario pero sí es esencial que la duración del ciclo de codificación sea igual o menor que la duración de la señal de código producida si solo ha de usarse un codificador. También son posibles métodos alternativos de operación. Todos

407161

17.



los dígitos del código podrían ser generador durante la primera parte del ciclo y omitirse en el ciclo de corrección de errores el paso final de racionalización.

5 El codificador puede trabajar con una señal de entrada analógica o con una señal de entrada pulsatoria y por lo general el codificador tendrá un tiempo asignado entre varios suministros diferentes de señales de entrada, en cuyo caso se toma ciclicamente una muestra de cada señal de un origen. Cada período de muestreo tiene una duración
10 igual a la duración de un ciclo de codificación y se toma por conmutación sucesiva de la entrada del comparador a las salidas de los suministros de señales. El codificador puede compensar errores debidos a decisiones prematuramente tomadas en el ciclo de decodificado, las cuales tienen un efecto
15 grande sobre la amplitud codificada. Ello es de particular aplicación a los circuitos de telecomunicación en multiplex, p.e., a la telefonía por canales múltiples. Es una ventaja de este tipo de codificador que pueden ser corregidos los errores debidos a oscilaciones en la conmutación debidas al
20 multiplexado, puestos que éstos usualmente afectan al comienzo de la muestra y por consiguiente al comienzo del ciclo de codificado durante el cual se producen los dígitos de código más significativo.

En un ejemplo particular de un codificador como
25 el que se ha descrito con referencia a la Fig, 2 para operación en un sistema de telefonía multiplex de oscilador de temporización básico 11 tiene una frecuencia de 8,192 MHz. El circuito de salida incluía un convertidor de paralelo a serie y producía un código binario reflectado. La señal de control para el ritmo del bit transmitido correspondiente a la
30

407161 18.



señal 311 de la Fig. 3, aplicada al convertidor de serie a paralelo tenía una frecuencia de 2,048 MHz. El tiempo del ciclo de codificación era igual al slot de tiempo en la señal transmitida ocupado por el código producido durante el ciclo, y era de 1/256 de segundo. Las señales de sincronización requeridas por el sistema eran también insertadas entre grupos de código apropiados por el circuito de salida.

Este invento corresponde a una solicitud de patente formulada en Inglaterra el día 30 de septiembre de 1971, señalada con el Nº 45535/71 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

1. Un codificador corrector de errores dispuesto para recibir señales de entrada que contienen información y producir una señal digital de código de salida que codifica la información, en el cual una señal de código inicial representativa de la información es almacenada y una réplica de la señal de entrada es reproducida de la misma, la señal de réplica es comparada con la señal de entrada, si la señal de entrada y la de su réplica son diferentes es producida la señal de error, y la señal de código inicial es corregida en respuesta a la señal de error para producir una señal digital de código de salida con error corregido.

2. Un codificador de acuerdo con la reivindicación 1, en el que es producida una señal de referencia de un orden alto y almacenada o rechazada como resultado de una pri-

30



mera comparación entre la señal de entrada y la señal de réplica, en el que es producida una señal de referencia de un orden más bajo y similarmente es comparada y almacenada o rechazada y en el que sucesivamente son producidas señales de referencia de un orden más bajo y almacenadas o rechazadas, comprendiendo la señal de código inicial las señales de referencia almacenadas.

3. Un codificador de acuerdo con las reivindicaciones 1 o 2, en el que la corrección de las señales de referencia almacenadas es efectuada por la adición de sucesivas señales de referencia del orden más bajo a las previas señales de referencia o por la sustracción de sucesivas señales de referencia del orden más bajo de las previas señales de referencia, y las señales del código de salida son producidas partiendo de las señales de referencia almacenadas corregidas.

4. Un codificador de acuerdo con la reivindicación 3, en el que la conexión final comprende la producción de una señal de referencia del orden más bajo y de (a) añadirla o rechazarla como resultado de una comparación entre la señal de entrada y la señal de réplica o bien (b) sustraerla y rechazarla como resultado de la comparación final.

5. Un codificador de acuerdo con la reivindicación 4, en el que si en la penúltima corrección la señal de código inicial tiene un valor que está por abajo o por encima del nivel de la señal de referencia del orden más alto se producirá respectivamente la corrección final (a) o (b).

6. Un codificador de acuerdo con cualquiera de las anteriores reivindicaciones, el cual comprende un circuito generador de señales, un circuito de almacenamiento,



407161

20.



un circuito de corrección de errores y un circuito de salida conectados en tandem y un circuito de temporización conectado a cada uno de los circuitos y dispuesto de modo que temporice el funcionamiento de los mismos, un circuito comparador que tiene dos entradas conectadas respectivamente a la entrada del codificador y a la salida del circuito decodificador y una salida conectada al circuito de temporización, en el que el circuito generador de señales está dispuesto para producir unas señales de referencia para representar el valor del parámetro que contiene la información de la señal de entrada del codificador que tiene lugar durante un intervalo de tiempo predeterminado, estando dispuesto el circuito de almacenamiento para almacenar las que se requieran de las señales de referencia como las de la señal de código inicial y aplicarlas al circuito corrector de errores, estando dispuesto el circuito temporizador para producir unas señales de error en respuesta a la salida del comparador, estando dispuesto el circuito corrector de errores para alterar la señal de código inicial en respuesta a las señales de error de modo que las señales de referencia almacenadas representen más exactamente el valor del parámetro y el circuito de salida produzca la señal digital de código de salida con error corregido partiendo de la señal de código inicial almacenada corregida.

7. Un codificador de acuerdo con la reivindicación 6, en el que el circuito generador de señales produce unas señales digitales de código binario representando los dígitos binarios respectivamente valores sucesivamente decrecientes del parámetro, siendo cada dígito producido en una salida correspondiente, en el que el circuito de almacenamiento uni-

30





camente almacena la señal digital binaria de un valor más alto en respuesta a una primera señal de error producida por el circuito comparador en respuesta al parámetro de la señal de entrada que sea mayor que el parámetro correspondiente a la
5 señal de réplica producida en respuesta a dicha señal digital y a cualquier señal previamente almacenada y a una segunda señal de error cuando el parámetro de la señal de entrada es menor que el de la señal de réplica.

8. Un codificador de acuerdo con la reivindicación 7, en el que en una primera parte de un ciclo de codificación el circuito generador de señales está dispuesto para generar algunas o todas las sucesivas señales dígitas para el resto del ciclo de codificación en respuesta a las primeras señales de error, estando dispuesto en una segunda parte del ciclo de codificación un circuito de contado para cargar con las señales digitales binarias y después de cargadas está dispuesto para añadir o sustraer cada uno de varios pasos binarios de unidad en respuesta respectivamente a la primera o segunda señales de error.
10
15

9. Un codificador de acuerdo con las reivindicaciones 6, 7 u 8, en el que el circuito de salida incluye un convertidor de paralelo a serie dispuesto para producir la señal la señal de código como una sucesión de señales digitales y en el que la duración del ciclo de codificación es controlada por el generador de señales de temporización para que sea sustancialmente igual a la duración de dicha señal de código de salida producida en el circuito de salida.
20
25

10. Un codificador corrector de errores sustancialmente como ha sido descrito aquí con referencia a la
30 Fig. 1 de los dibujos que se acompañan.

407161

22.



11. Un codificador corrector de errores sustancialmente como ha sido descrito aquí con referencia a las Figs. 2 a 9 de los dibujos que se acompañan.

12. Un codificador corrector de errores.

5 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta Memoria consta de 22 hojas escritas por una sola cara.

Madrid, 4 DIC 1972



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

407161

407161

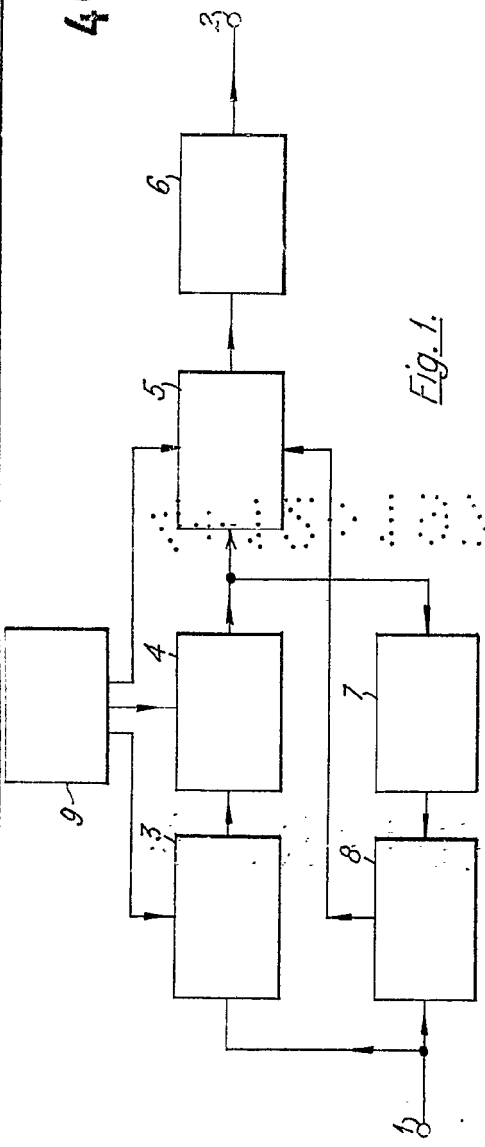


Fig. 1.

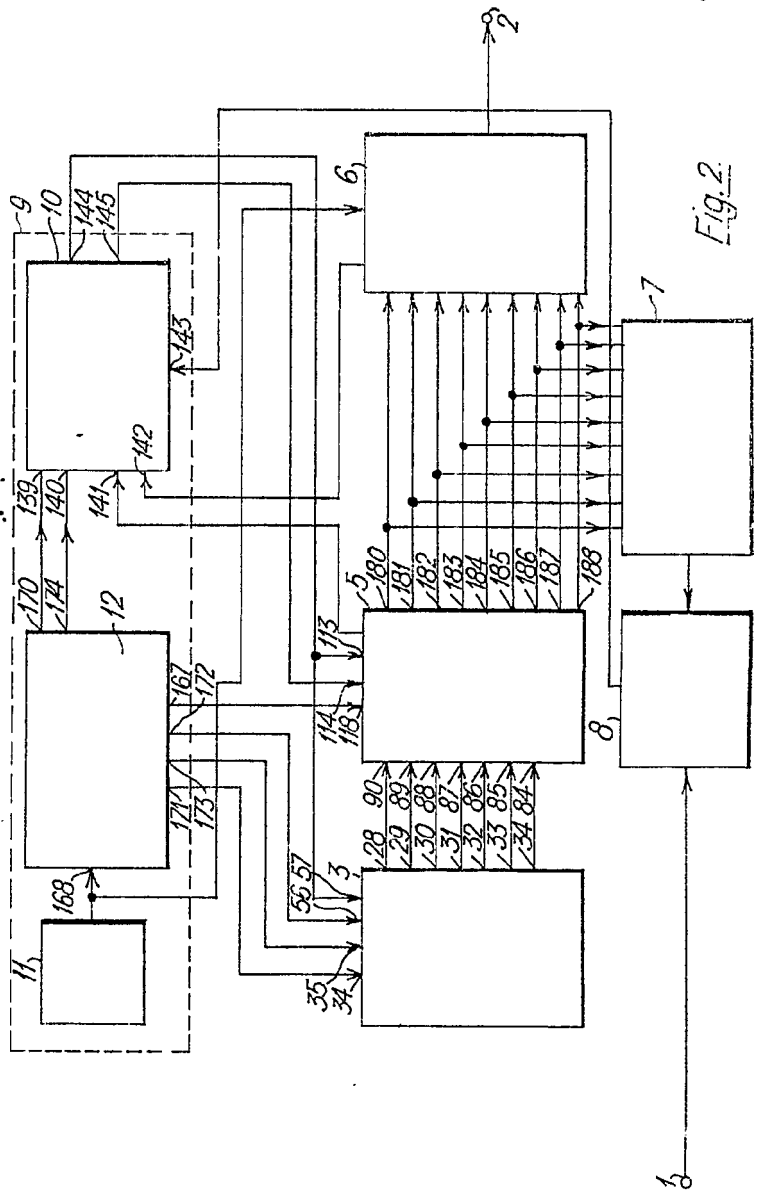
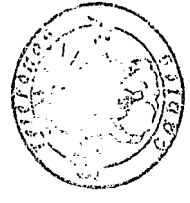
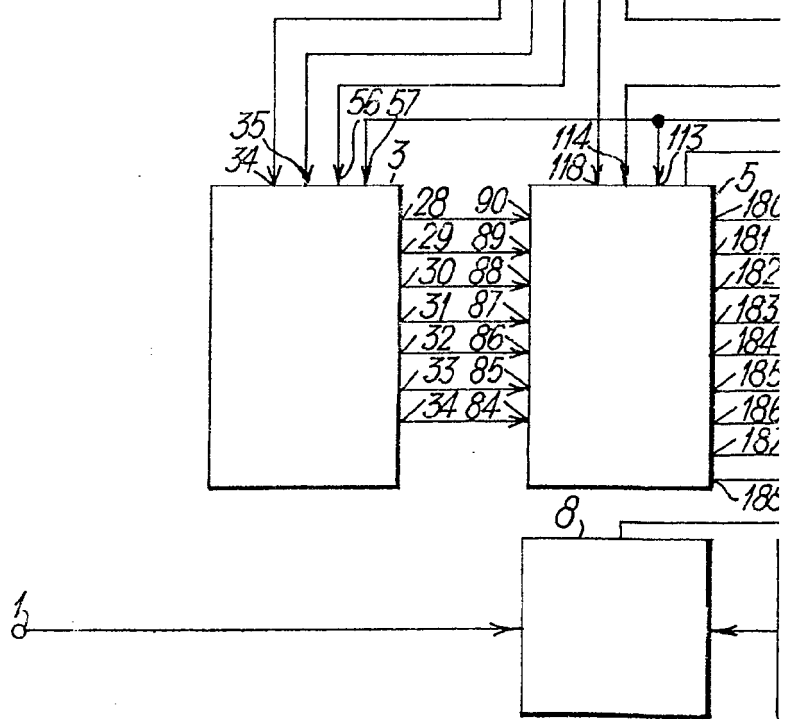
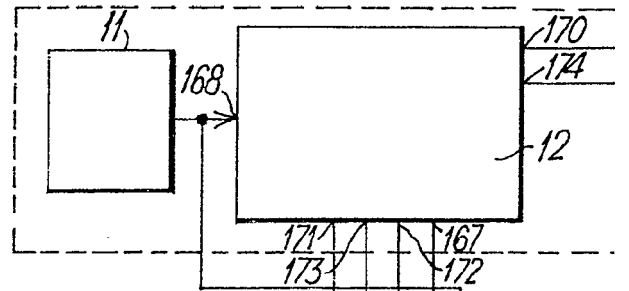
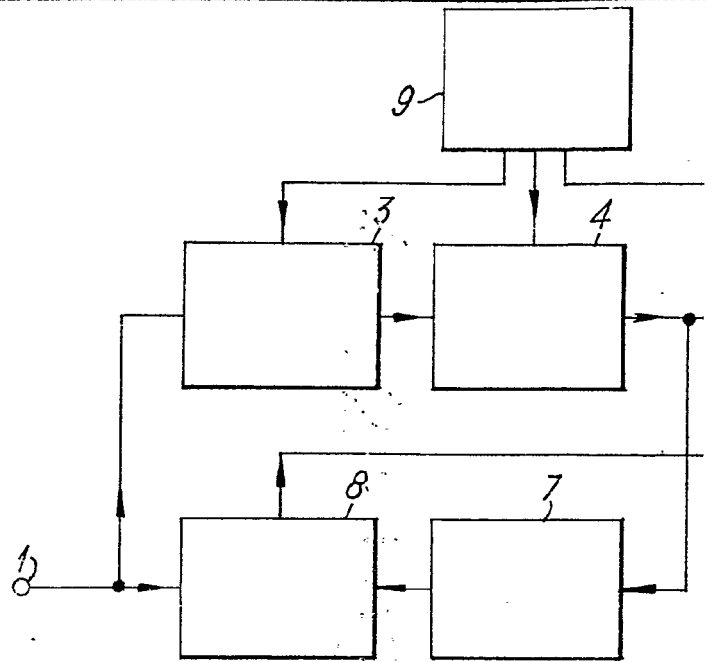


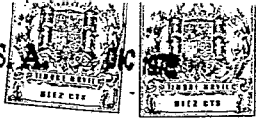
Fig. 2.



M. G. Santamaría
 M. G. SANTAMARÍA
 VICESECRETARIO GENERAL

407161





407161

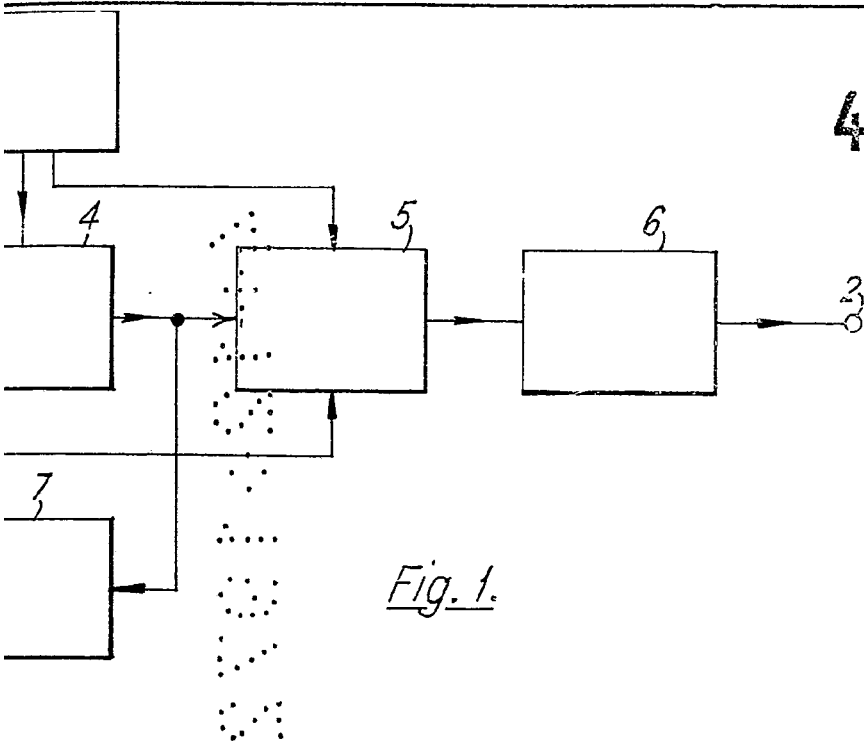


Fig. 1.

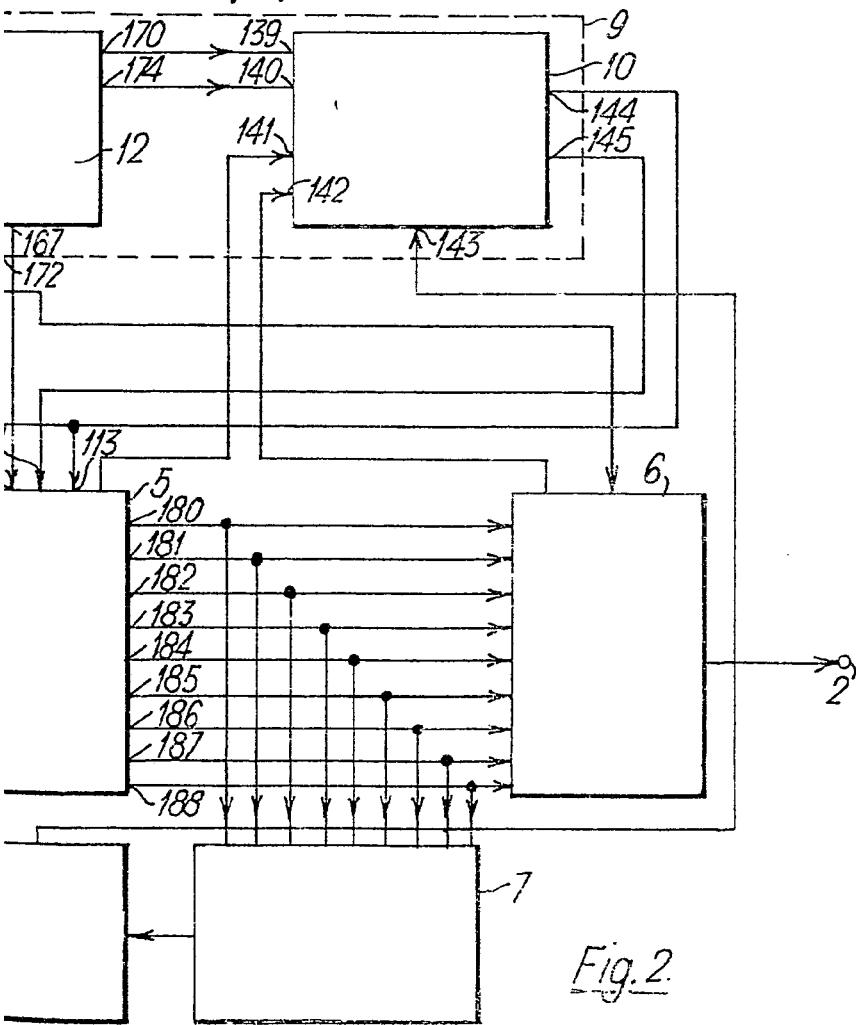


Fig. 2.



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

12/2

STANDARD ELECTRICA, S. A.



407161

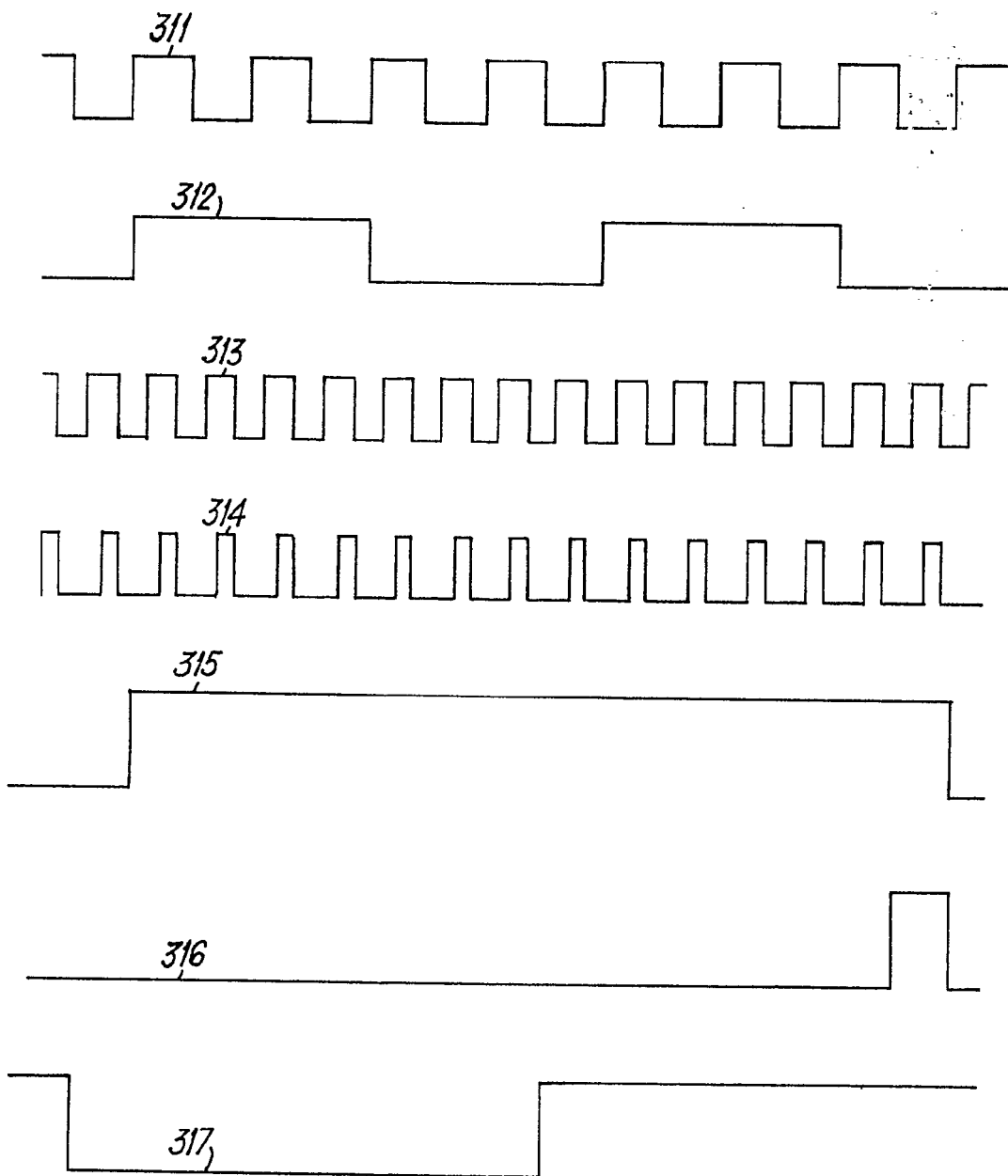


Fig. 3.

M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



STANDARD ELECTRICA, S.A.

407161

407161

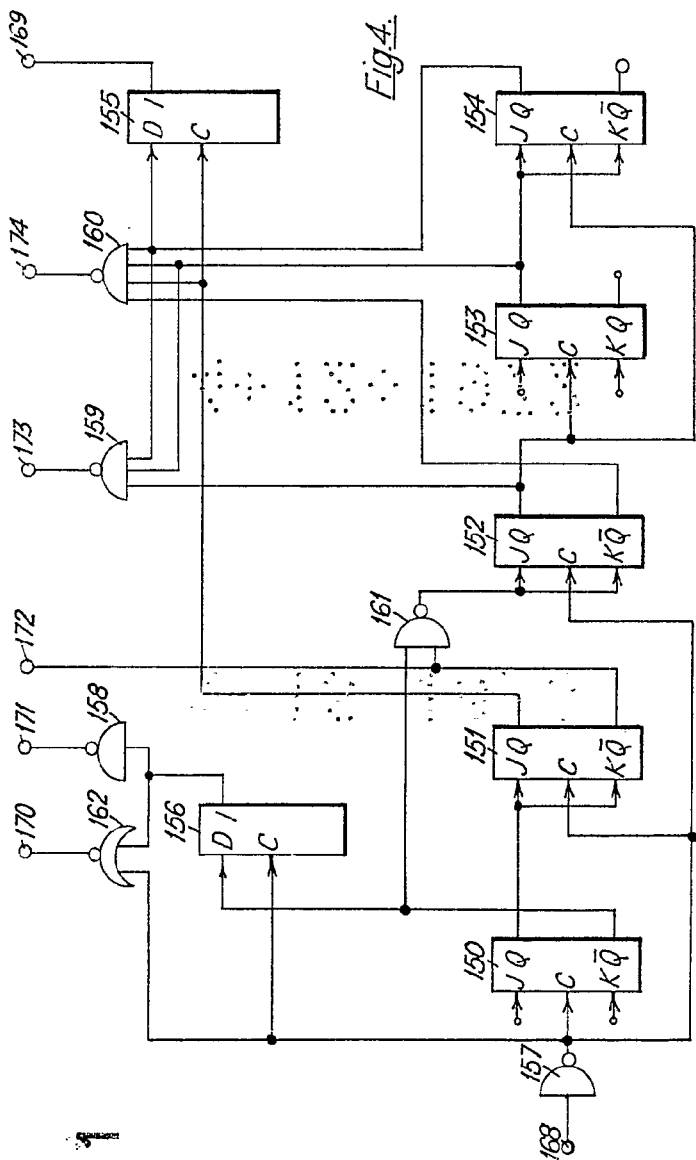


Fig. 4.

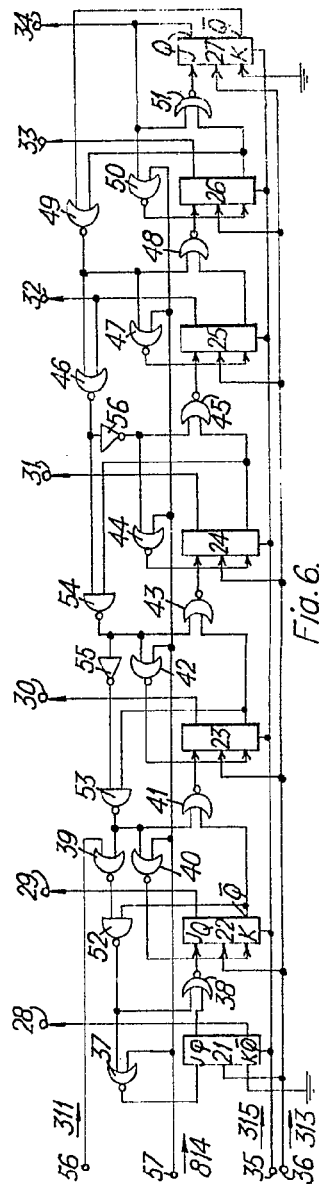


Fig. 6.



M. G. Santana
M. G. SANTANA
VICE-SECRETARIO GENERAL

407161

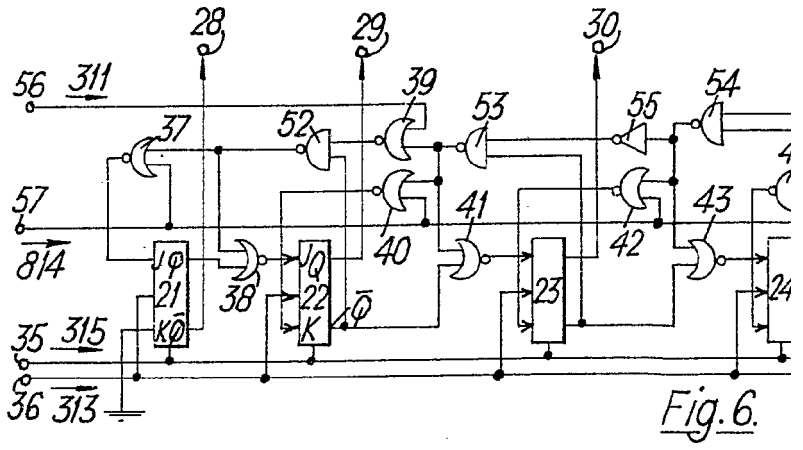
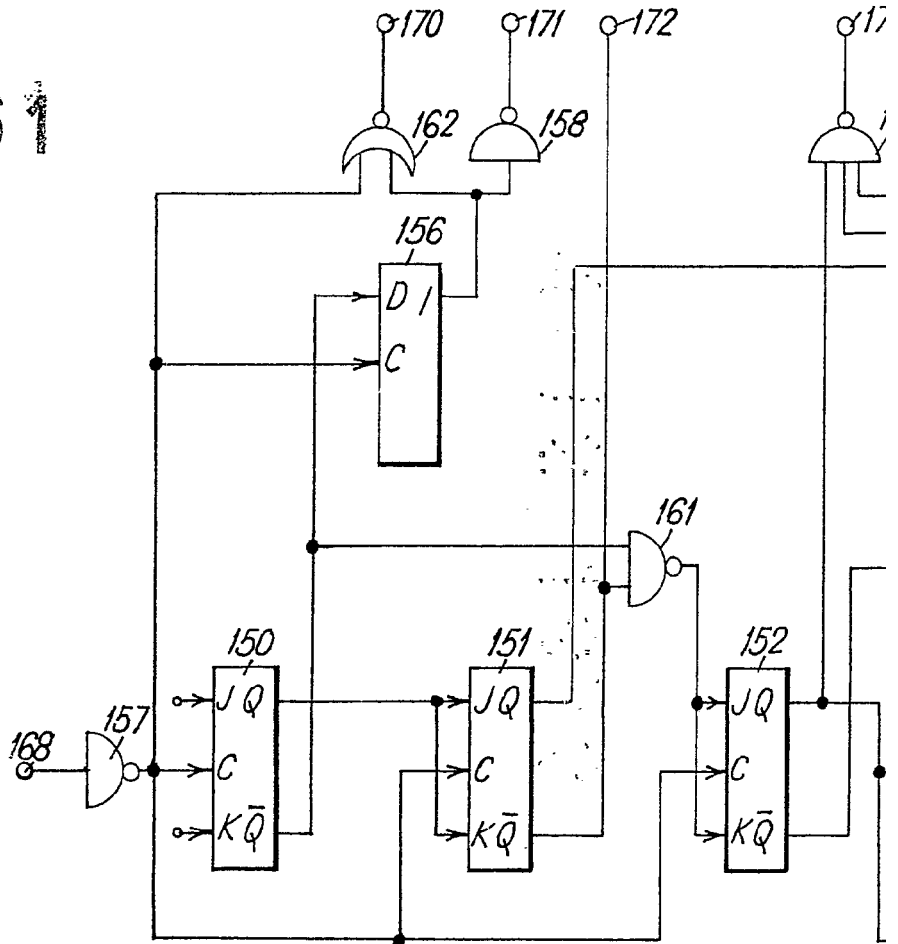


Fig. 6.



407161

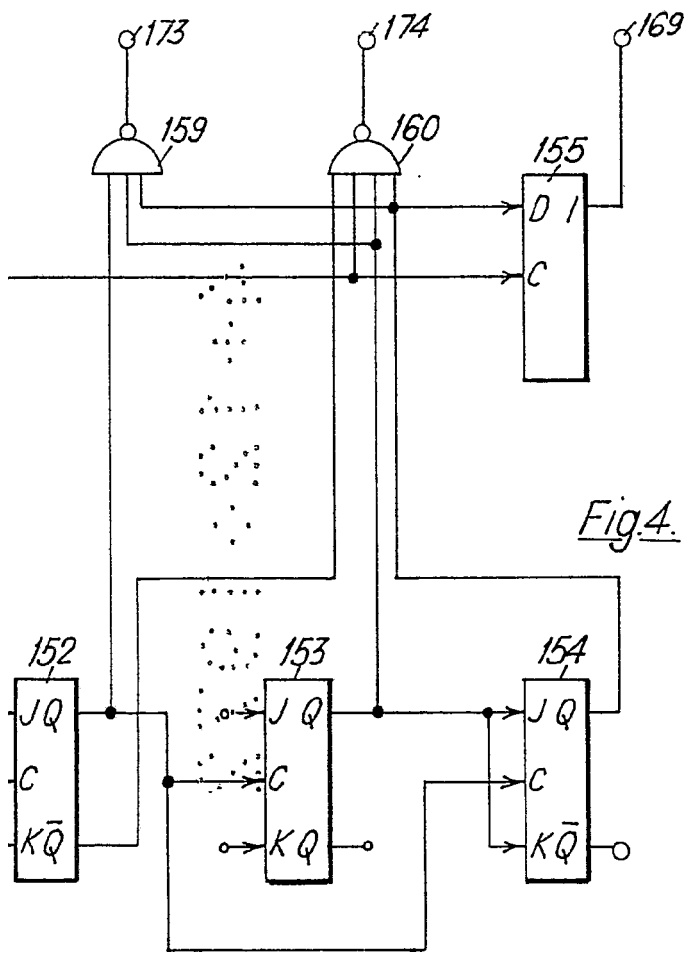


Fig. 4.

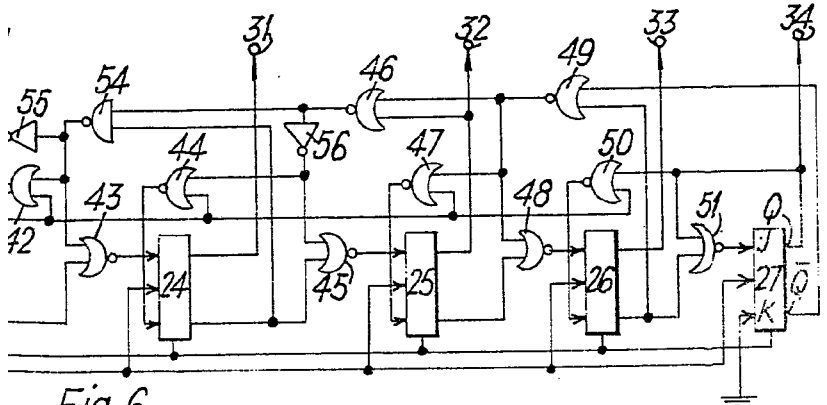


Fig. 6.

M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

12/4

STANDARD ELECTRICA, S. A.



407161

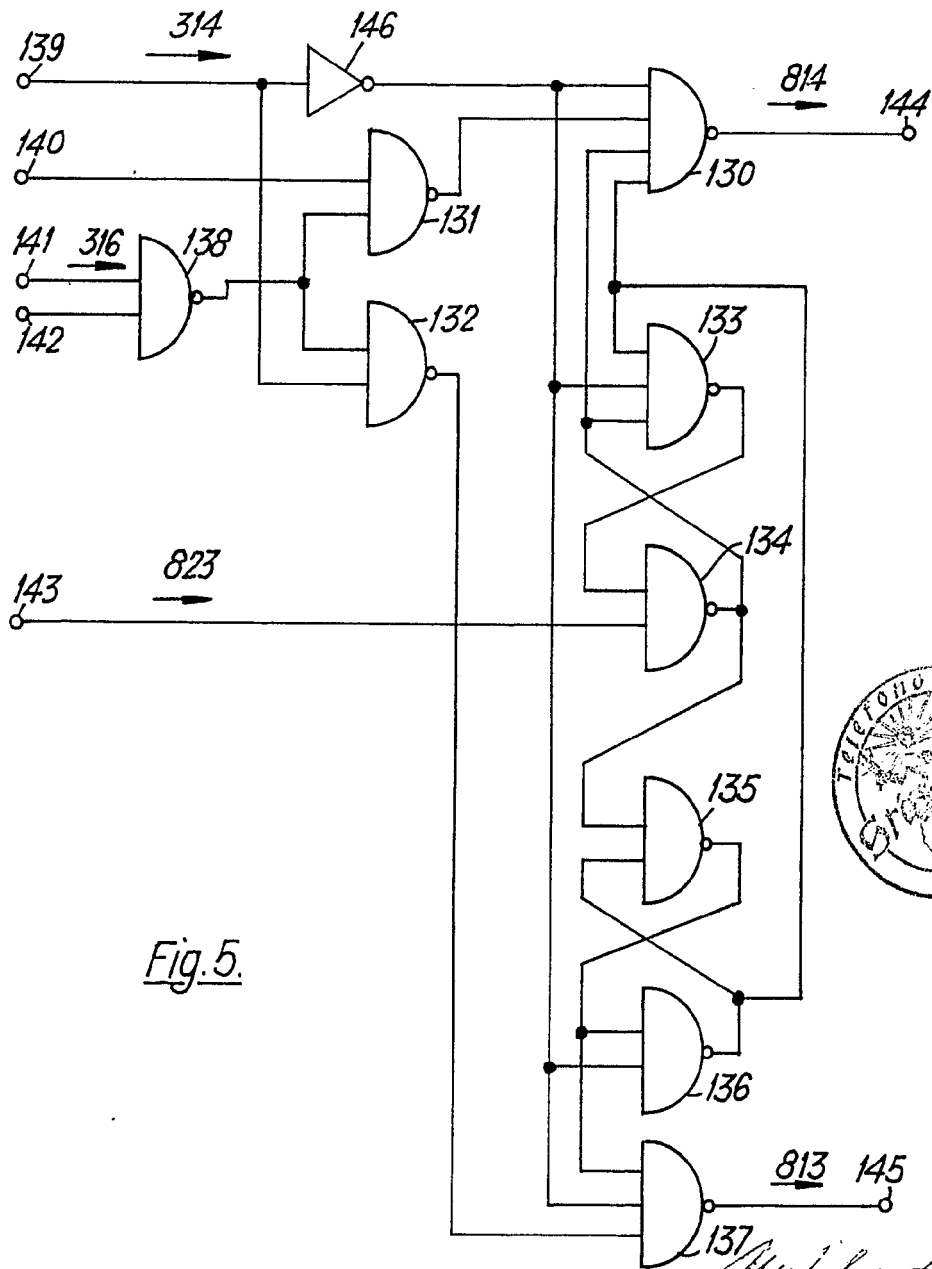


Fig. 5.



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



407161

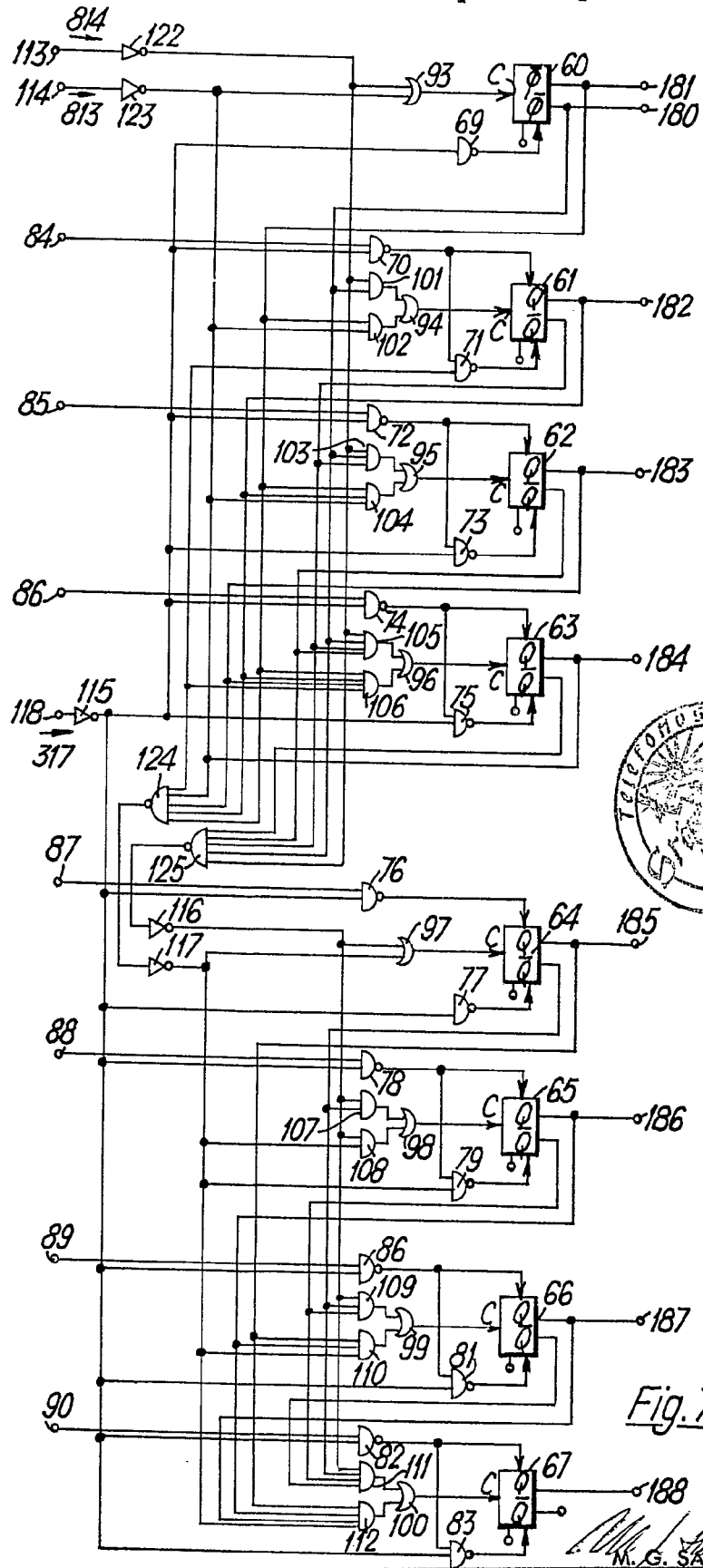


Fig. 7.

[Signature]
N. G. SANTAMARIA
VICE-SECRETARIO GENERAL

12/6

STANDARD ELECTRICA, S. A.



407161

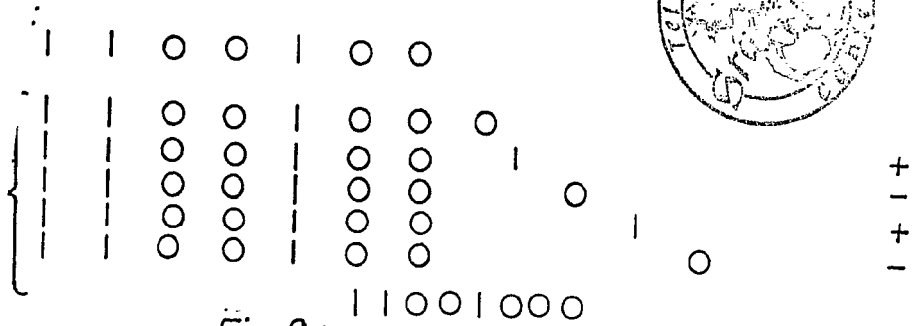
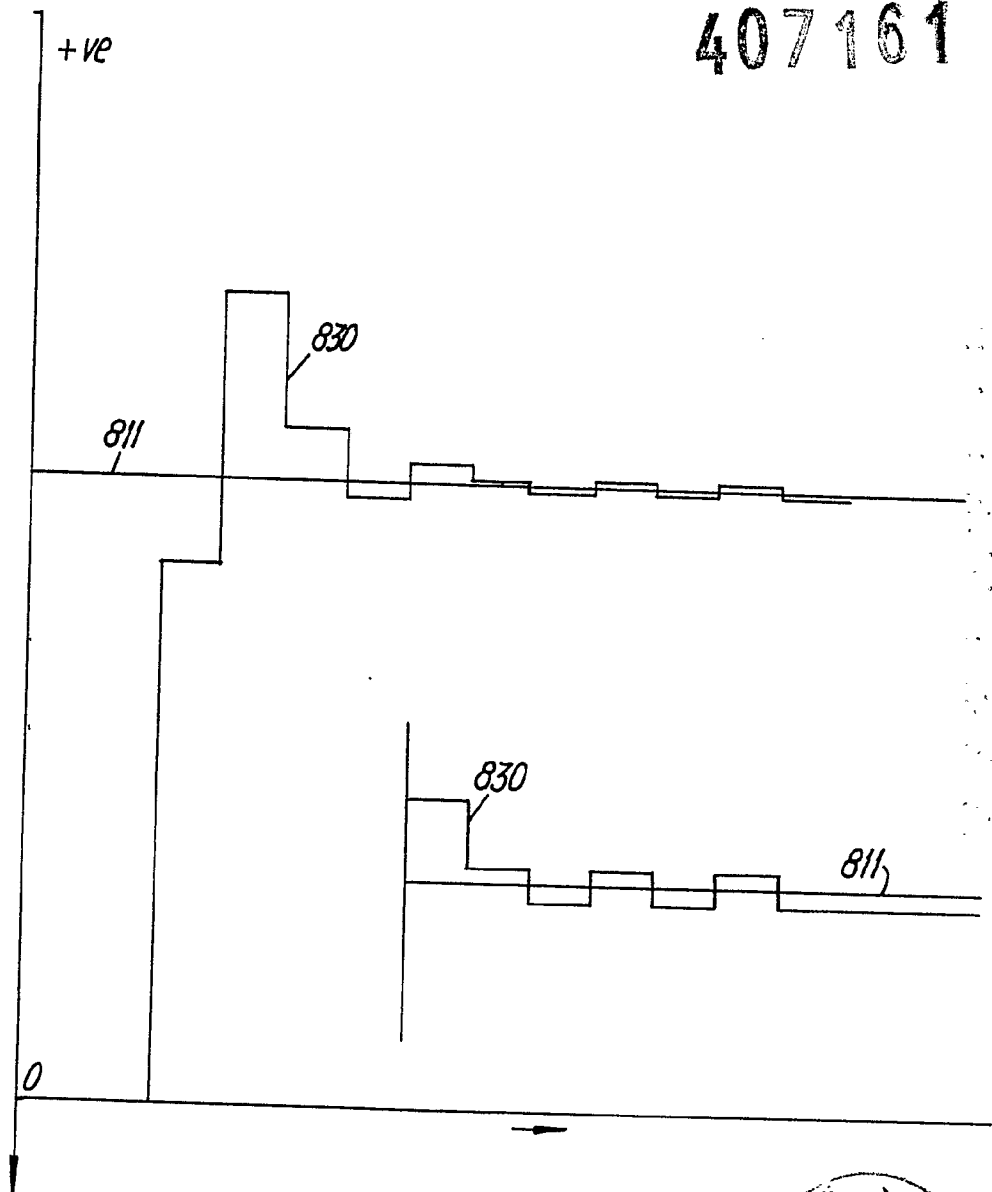


Fig. 8a.

M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

12/7



407161

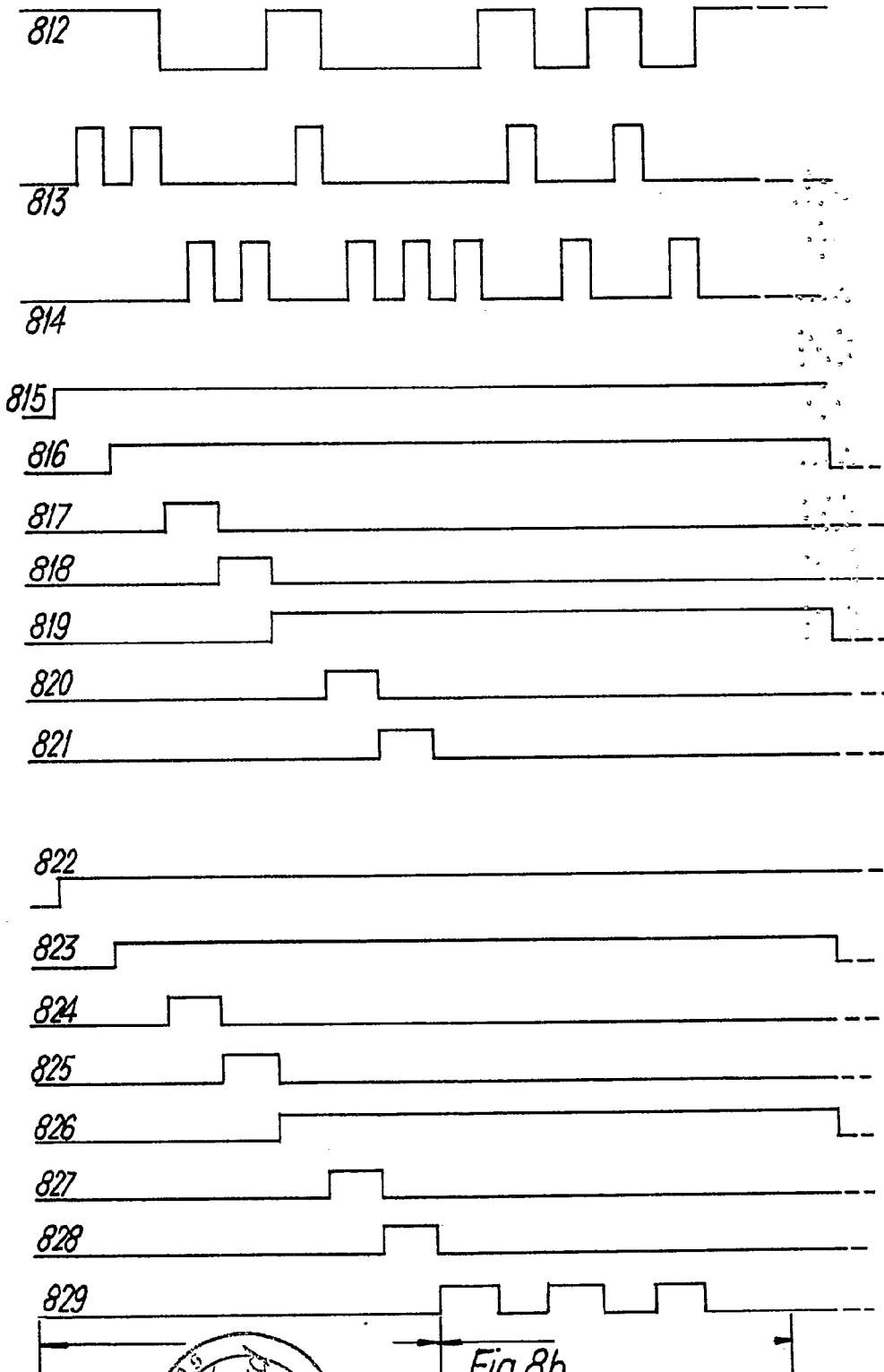
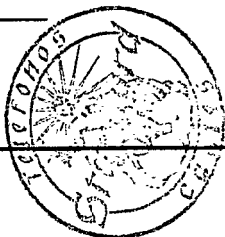


Fig. 8b.



M. G. Santamaria
M. G. SANTAMARIA
VICE SECRETARIO GENERAL

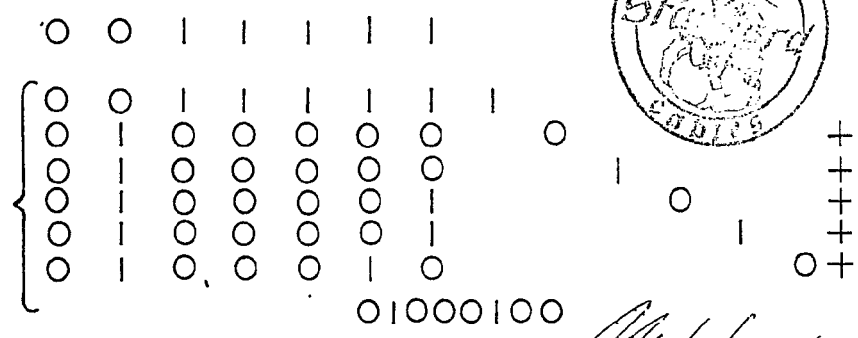
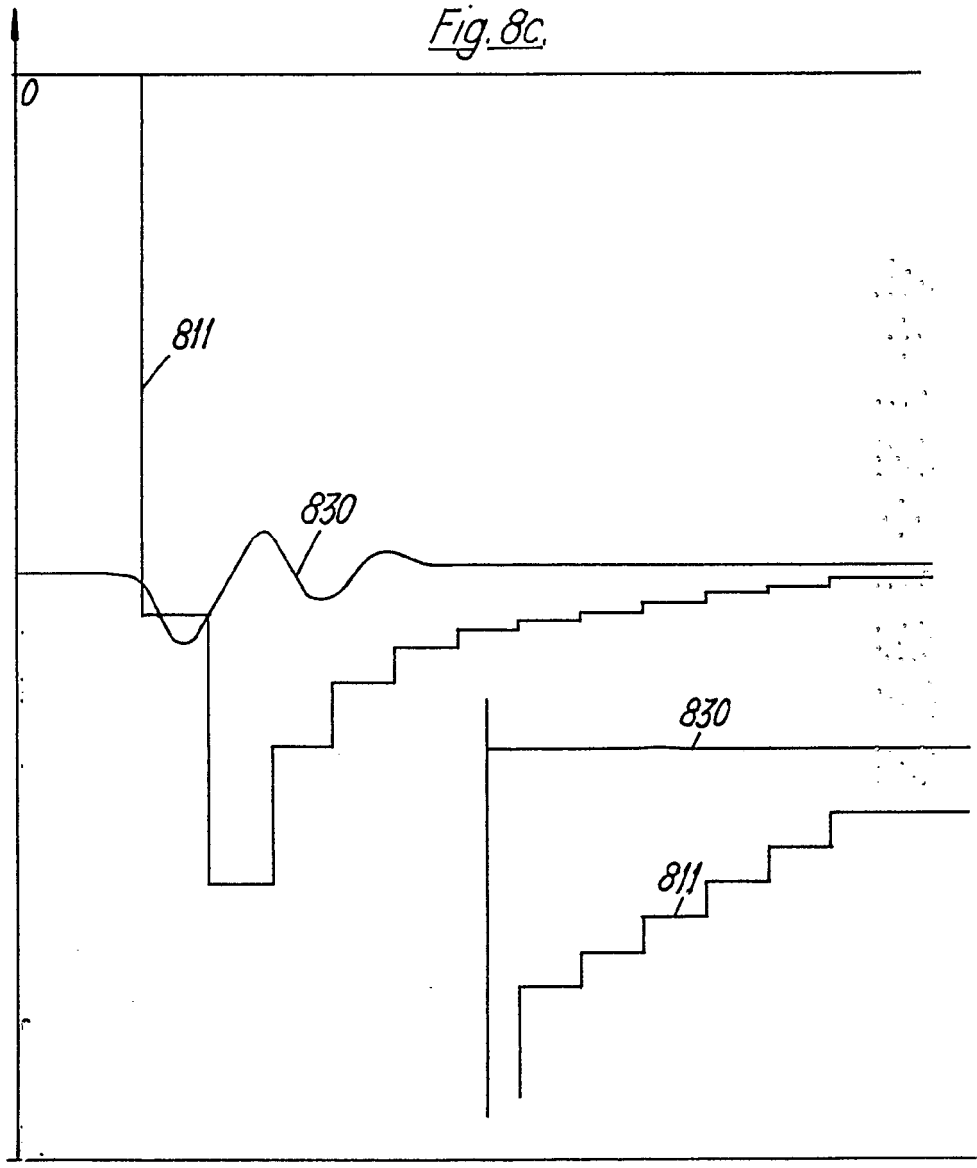
12/8

STANDARD ELECTRICA, S. A.



407161

Fig. 8c.



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL



407161

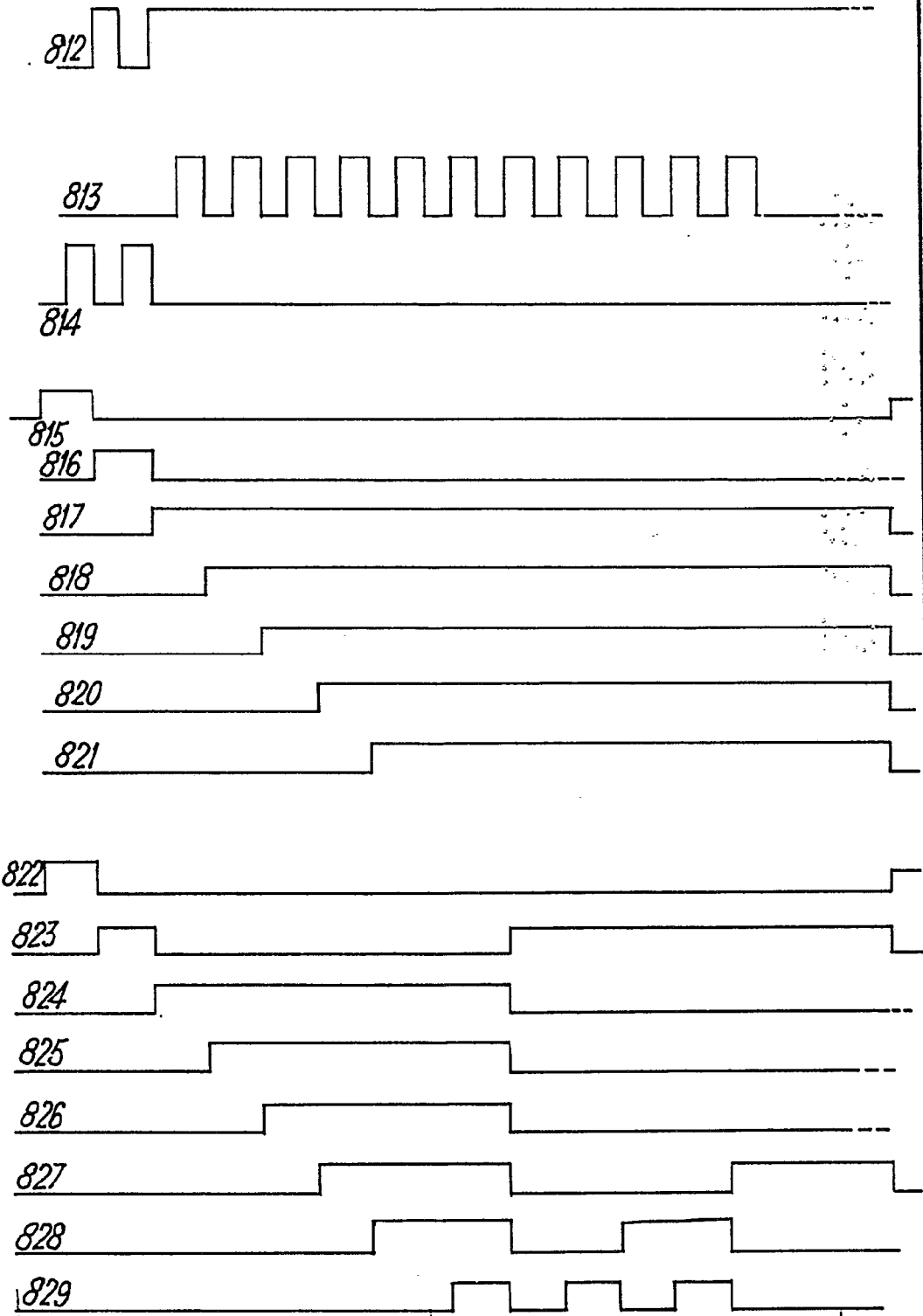
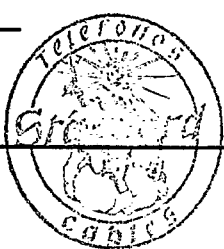


Fig. 8d.

[Signature]
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



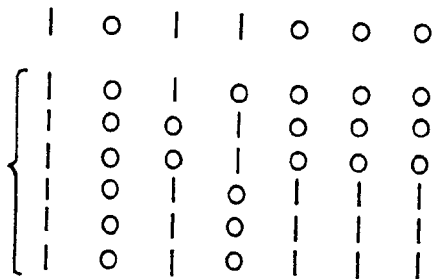
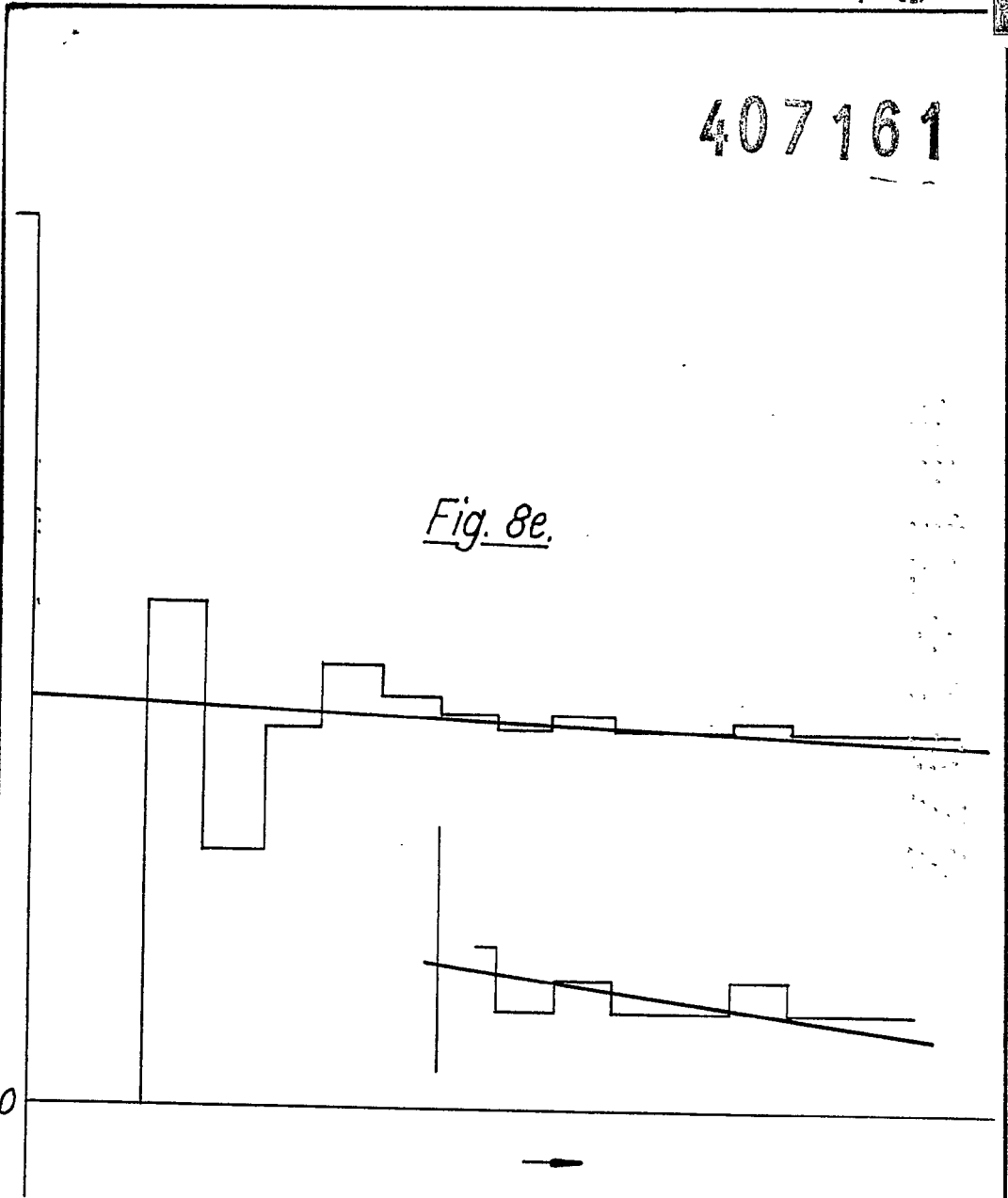
12/40

STANDARD ELECTRICA, S. A.



407161

Fig. 8e.



1 0 1 0 1 1 1 1

M. G. Santamaria
 M. G. SANTAMARIA
 VICESECRETARIO GENERAL



407161

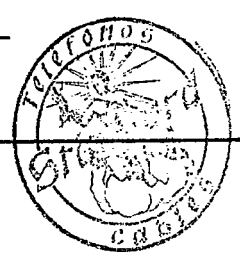
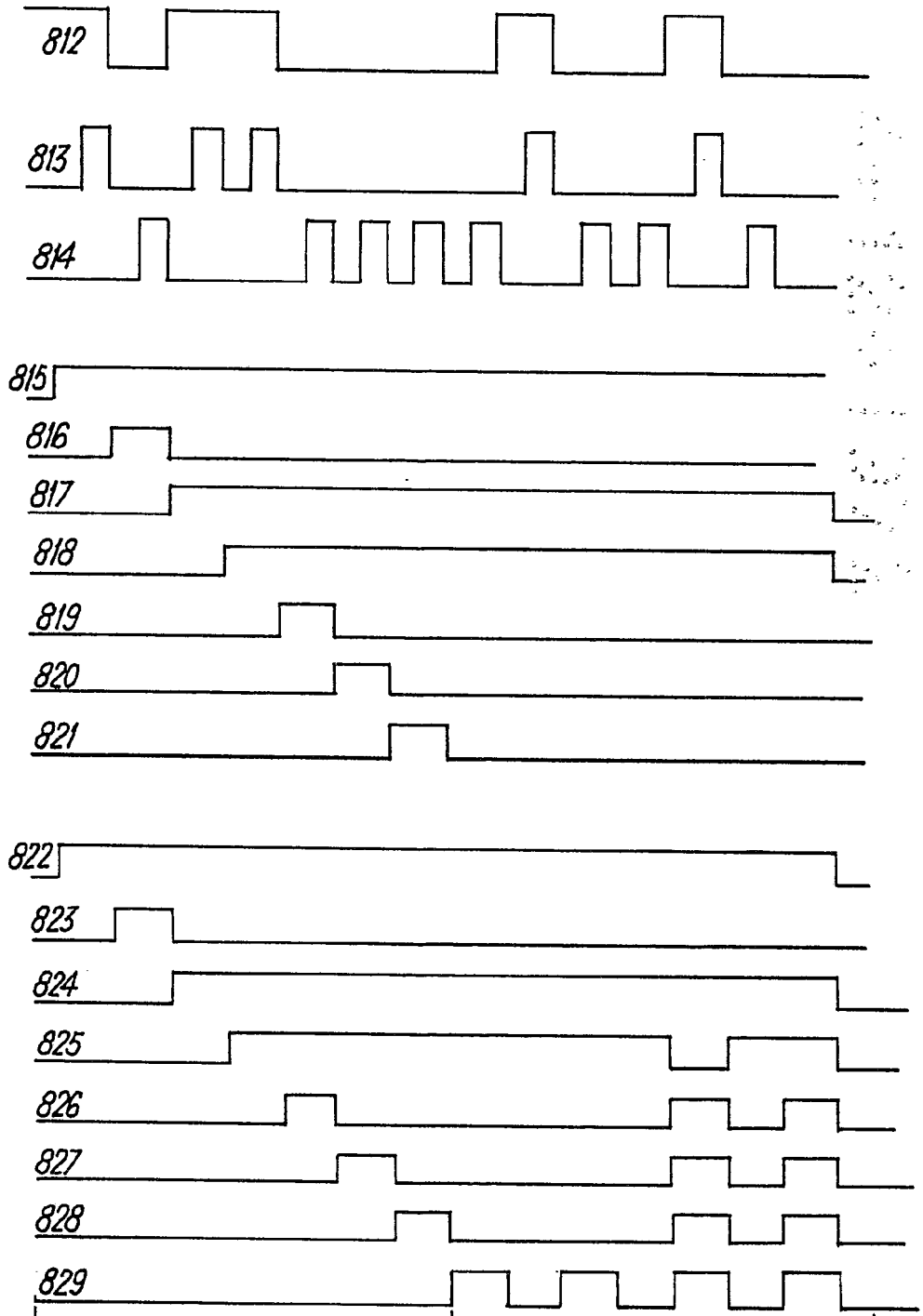


Fig. 8f.

M. G. Santamaría
M. G. SANTAMARÍA
VICESECRETARIO GENERAL



407161

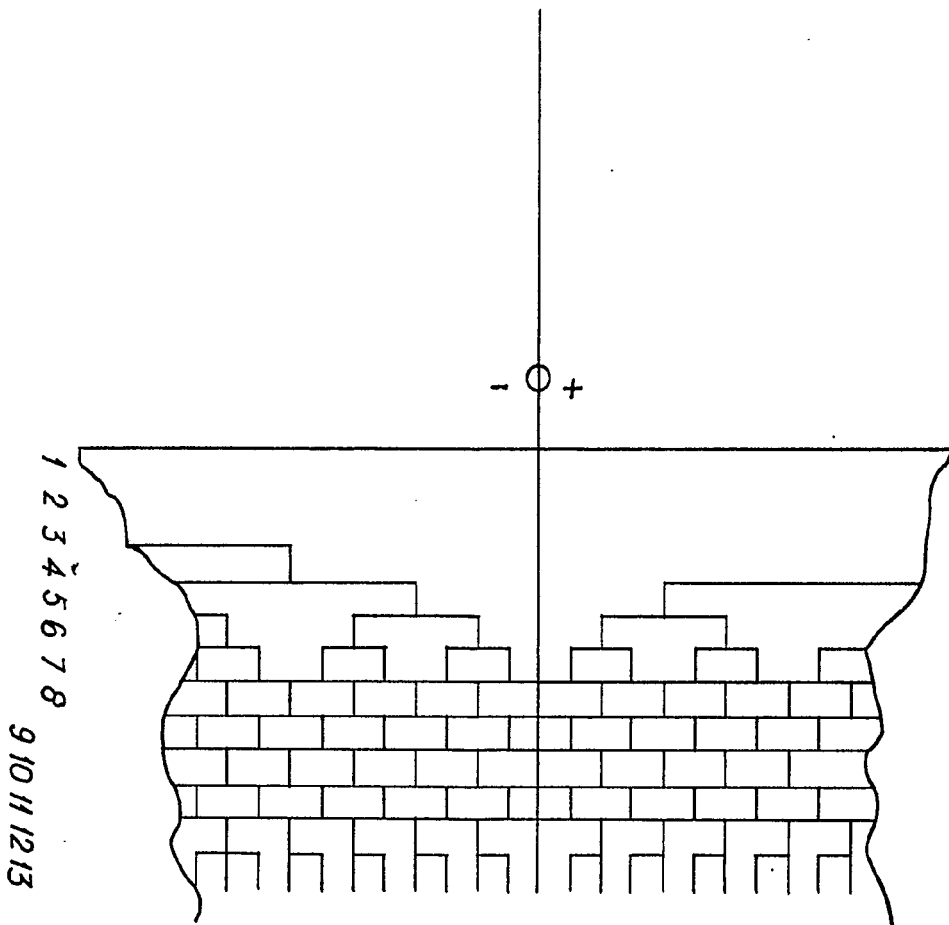


Fig. 9



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL