



PATENTE DE INVENCION

TE 76.

407095

Memoria Descriptiva

sobre:

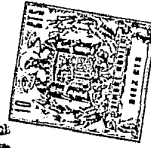
PERFECCIONAMIENTOS EN CIRCUITOS PARA LA DETECCION DEL PRIMER BITIO DE VALOR 1 CONTADO A PARTIR DE LA IZQUIERDA EN UN GRUPO DE OCHO BITIOS.

Solicitante LA TELEMECANIQUE ELECTRIQUE, entidad francesa, residente en 33 bis, Av. du Maréchal Joffre, 9200 NANTERRE, Francia.

Incl. Cl. 2: H03K // G06F

La presente invención tiene por objeto un circuito destinado a determinar el rango del primer bitio de valor 1 encontrado en un grupo de ocho bitios cuando se le explora de izquierda a derecha.

5. Mas precisamente, este circuito, a partir de una



407095

cualquiera de las numerosísimas configuraciones que se pueden formar con un grupo de ocho bitios dando el valor 0 o el valor 1 a cada bitio, da el rango del "primer bitio de 1" bajo la forma de tres informaciones binarias.

5. Estas tres informaciones pueden ser almacenadas en un registro, y utilizadas para diversos fines en un ordenador.

10. A título de ejemplo, en un ordenador que recurre a las técnicas de microprogramación, cada vez que es tomada en cuenta una llamada por el sistema de interrupciones jerarquizadas, la unidad de tratamiento debe efectuar, bajo el control de un microprograma apropiado, la puesta de nuevo a cero, del bitio de un cierto registro de ocho bitios cuyo rango es el mismo que el del "bitio de 1 mas a la izquierda" del registro de las llamadas. (Este "bitio de 1 mas a la izquierda" o "primer bitio de 1" define, en efecto, la llamada mas prioritaria).

15. Una simple descodificación de las tres informaciones procedentes del circuito de detección permite obtener este resultado engendrando una señal de desaparición en un borne seleccionado entre ocho.

20. Es evidente al experto en el arte imaginar un circuito lógico mas o menos complejo apto para efectuar la detección del "primer bitio de 1". La invención proporciona una solución particularmente simple, que permite realizar una economía de componentes y llegar a una buena fiabilidad del circuito.

25. El circuito de detección según la invención se caracteriza por la combinación de un primer, un segundo, un tercero, un cuarto y un quinto inversores lógicos que reciben respectivamente los bitios de rangos 0 á 4 del grupo de ocho bitios a analizar, de una primera, una segunda, una tercera, una cuarta y una quinta puertas PAS Y, de las cuales la primera recibe,

30.



407095

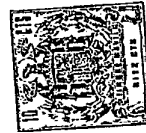
5. en sus tres entradas respectivas, la salida del segundo y del tercer inversores y el bitio de rango 5, la segunda recibe, en sus tres entradas respectivas, la salida del segundo y del tercer inversores y el bitio de rango 4, la tercera recibe, en sus dos entradas respectivas, la salida del cuarto inversor y el bitio de rango 2, la cuarta recibe, en sus tres entradas respectivas, la salida del segundo y cuarto inversores y el bitio de rango 5 y la quinta recibe, en sus cuatro entradas respectivas, la salida del segundo, cuarto y quinto inversores y el bitio de rango 6, y de una primera, una segunda y una tercera puertas Y, de las cuales la primera recibe, en sus cuatro entradas respectivas, la salida de los cuatro primeros inversores, la segunda recibe, en sus cuatro entradas respectivas, la salida del primero y del cuarto inversores y la salida de la primera y segunda puertas PAS Y y la tercera recibe, en sus cuatro entradas respectivas, la salida del primer inversor y la salida de la tercera, cuarta y quinta puertas PAS Y, proporcionando las tres salidas de las tres puertas Y respectivas las tres cifras respectivas del número binario que expresa el rango del "primer bitio de 1" buscado.
- 10.
- 15.
- 20.

La invención será mejor comprendida con ayuda de la descripción que sigue; con referencia al dibujo anexo, en el que:

25. La figura 1 es un esquema de principio de un circuito de detección según la invención.

La figura 2 es un cuadro de las configuraciones de estado de los diferentes bitios.

30. El circuito de la figura 1 comprende cinco inversores lógicos 1 á 5 sobre las entradas de los cuales son respectivamente aplicados los bitios 0 á 4 de la configuración de 8 bi-



407095

tios de los cuales se desea detectar el rango del bitio de 1 mas a la izquierda, cinco puertas PAS Y 6 a 10, y tres puertas Y 11 a 13.

5. La puerta 6 recibe, en sus tres entradas, respectivamente la salida del inversor 2, el bitio 5 aplicado en 6a y la salida del inversor 3. La puerta 7 recibe, en sus tres entradas, respectivamente la salida del inversor 3, el bitio 4 y la salida del inversor 2.

10. La puerta 8 recibe, en sus dos entradas respectivas, el bitio 2 y la salida del inversor 4. La puerta 9 recibe, en sus tres entradas respectivas, las salidas de los inversores 2 y 4 y el bitio 5 aplicado en 6a. La puerta 10 recibe, en sus cuatro entradas respectivas, las salidas de los inversores 4, 2 y 5 y el bitio 6 aplicado en 10a.

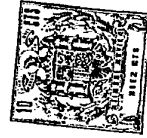
15. La puerta 11 recibe, en sus cuatro entradas respectivas, las salidas de los inversores 1, 4, 2 y 3. La puerta 12 recibe, en sus cuatro entradas respectivas, la salida del inversor 1, la salida de la puerta 6, la salida del inversor 4 y la salida de la puerta 7. Por último, la puerta 13 recibe, en sus cuatro entradas respectivas la salida del inversor 1, la salida de la puerta 8, la salida de la puerta 9 y la salida de la puerta 10.

20. Resulta de la estructura del circuito lógico que acaba de describirse que materializa las tres ecuaciones lógicas siguientes (en las cuales N_0 designa la salida de la puerta 11, N_1 la salida de la puerta 12 y N_2 la salida de la puerta 13):

25.

$$\overline{N_0} = 0 + 1 + 2 + 3$$
$$\overline{N_1} = 0 + 1 + \overline{2.3.4.} + \overline{2.3.5}$$
$$\overline{N_2} = 0 + \overline{1.2} + \overline{1.3.4} + \overline{1.3.5.6}$$

30. Este resultado se explica facilmente si se tiene en cuenta que el complemento de la unión de los bitios 0,1, 2 y 3



407095

por ejemplo, es igual a la intersección de sus complementos, proporcionados por los inversores respectivos 1, 2, 3 y 4.

Esta intersección es realizada por la puerta 11, que da por tanto en su salida $N_0 = \overline{0.1.2.3} = \overline{0 + 1 + 2 + 3}$.

5. Asi-mismo, la salida de la puerta 12 es igual a $\overline{0}$. (salida puerta 6). $\overline{3}$. (salida puerta 7)

con:

$$\begin{aligned} \text{salida puerta 6} &= \overline{1.5.2} \\ \text{y salida puerta 7} &= \overline{2.4.1} \end{aligned}$$

10. Se puede mostrar finalmente que

$$\overline{0.1.5.2.2.4.1.} = 0 + 1 + \overline{2.3.4} + \overline{2.3.5} = N_1$$

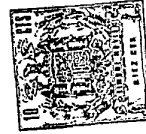
Ahora se va a considerar el cuadro de la figura 2, que representa, a la izquierda las 9 configuraciones posibles de los estados de los 8 variables de entrada 0 a 7 y, a la derecha, los tres bitios del número binario que expresa el rango del bitio de 1 mas a la izquierda de las 9 configuraciones respectivas.

15. Por ejemplo, en la configuración representada en la segunda línea, el primer bitio de 1 ocupa el rango nº 1, expresado a la derecha por el número binario 000; en la tercera línea, el primer bitio de 1 ocupa el rango nº 2, expresado a la derecha por el número binario 001, etc.

20. Los simbolos \emptyset , puestos en lugar de un bitio, significan que este bitio puede ser indiferentemente 0 ó 1. Dicho de otro modo, cada una de las 9 configuraciones representadas simboliza de hecho un gran número de configuraciones reales.

25. Se observa que en las configuraciones representadas en la primera y en la última línea del cuadro, se ha hecho corresponder el rango binario lll (7 decimal). Si se impone codificar el rango decimal del primer bitio de 1 con tres bi-

30.



407095

tios solamente, no se puede en efecto expresar así más que los ocho rangos decimales 0 á 7, si bien será preciso dar arbitrariamente el mismo código a dos configuraciones. Es el utilizador del dispositivo de detección quien decidirá cuales son las dos configuraciones que podrán sufrir esta ambigüedad: En el ejemplo descrito, se han tomado las configuraciones de la primera y de la última línea.

5.

De ello resulta evidentemente que el dispositivo de detección no tendrá que tener en cuenta el estado del bitio 7.

10.

Este dispositivo finalmente tiene por función dar, en sus tres salidas N_0 , N_1 y N_2 , los bitios respectivos indicados N_0 , N_1 y N_2 en la parte derecha del cuadro, en función de los valores de las siete variables de entrada 0 á 6.

15.

Para cada uno de los bitios N_0 , N_1 y N_2 se puede disponer un cuadro de estado y, de este cuadro, deducir, por los procedimientos conocidos de cálculo Booléan, una ecuación lógica.

20.

De esta forma es como se han obtenido las tres ecuaciones lógicas dadas más arriba. Mas precisamente, han sido obtenidas efectuando lo que se denomina "un desarrollo por los 0" de cada uno de los tres cuadros y simplificando las ecuaciones así obtenidas.

25.

A partir de los tres cuadros de estados, se habría podido llegar a ecuaciones lógicas diferentes de aquellas que han sido dadas anteriormente, pero estas presentan la ventaja de poder ser materializadas por un circuito particularmente simple.

La realización de los diferentes órganos lógicos del montaje está al alcance del experto.



407095

N O T A

Descrita suficientemente la naturaleza del invento, asi como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicada son sus-

5. susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. Tambien se hace constar que el invento corresponde a una solicitud de Patente presentada en Francia nº 71 34795 del 28 de Septiembre de 1971, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor y siendo lo que constituye la esencia del referido invento, se solicita Patente de Invención por 20 años en España sobre: Perfeccionamientos en circuitos para la detección del primer bitio de valor 1 contado a partir de la izquierda en un grupo de ocho bitios; caracterizándose por lo siguiente:
- 10.
15. 1ª.- Perfeccionamientos en circuitos para la detección del primer bitio de valor 1 contado a partir de la izquierda en un grupo de ocho bitios, caracterizados por la combinación de un primer, un segundo, un tercero, un cuarto y un quinto inversores lógicos que reciben respectivamente los bitios de rango 0 á 4 del grupo de ocho bitios a analizar, de una primera, una segunda, una tercera, una cuarta y una quinta puertas PAS Y, de las cuales la primera recibe, en sus tres entradas respectivas, la salida del segundo y del tercer inversores y
- 20.
25. el bitio de rango 5, la segunda recibe, en sus tres entradas respectivas, la salida del segundo y del tercer inversores y el bitio de rango 4, la tercera recibe, en sus dos entradas respectivas, la salida del cuarto inversor y el bitio de rango 2, la cuarta recibe, en sus tres entradas respectivas, la salida del segundo y del cuarto inversores y el bitio de rango 5
- 30.

AME



487095

- y la quinta recibe, en sus cuatro entradas respectivas, la salida del segundo, del cuarto y del quinto inversores y el bitio de rango 6, y de una primera, una segunda y una tercera puertas Y, de las cuales la primera recibe, en sus cuatro
5. entradas respectivas, la salida de los cuatro primeros inversores, la segunda recibe en sus cuatro entradas respectivas, la salida del primer y del cuarto inversores y la salida de la primera y de la segunda puertas PAS Y y la tercera recibe, en sus cuatro entradas respectivas, la salida del primer inversor y la salida de la tercera, cuarta y quinta puertas PAS Y, proporcionando las tres salidas de las tres puertas Y respectivas las tres cifras respectivas del número binario que expresa el rango del primer bitio de 1 buscado.
- 10.

- 2ª.- Perfeccionamientos en circuitos para la detección del primer bitio de valor 1 contado a partir de la izquierda de un grupo de ocho bitios, tal y como queda sustancialmente descrito en la presente Memoria e ilustrado en los dibujos adjuntos.
- 15.

- Esta Memoria consta de ocho hojas escritas a máquina por una sola cara.
- 20.

Madrid, 8 SET. 1972

LA TELEMECANIQUE ELECTRIQUE

J. GOMEZ ACEBO Y MODET

p p Firmado: J. Suarez Diaz

Jesús Suárez

AME

407095

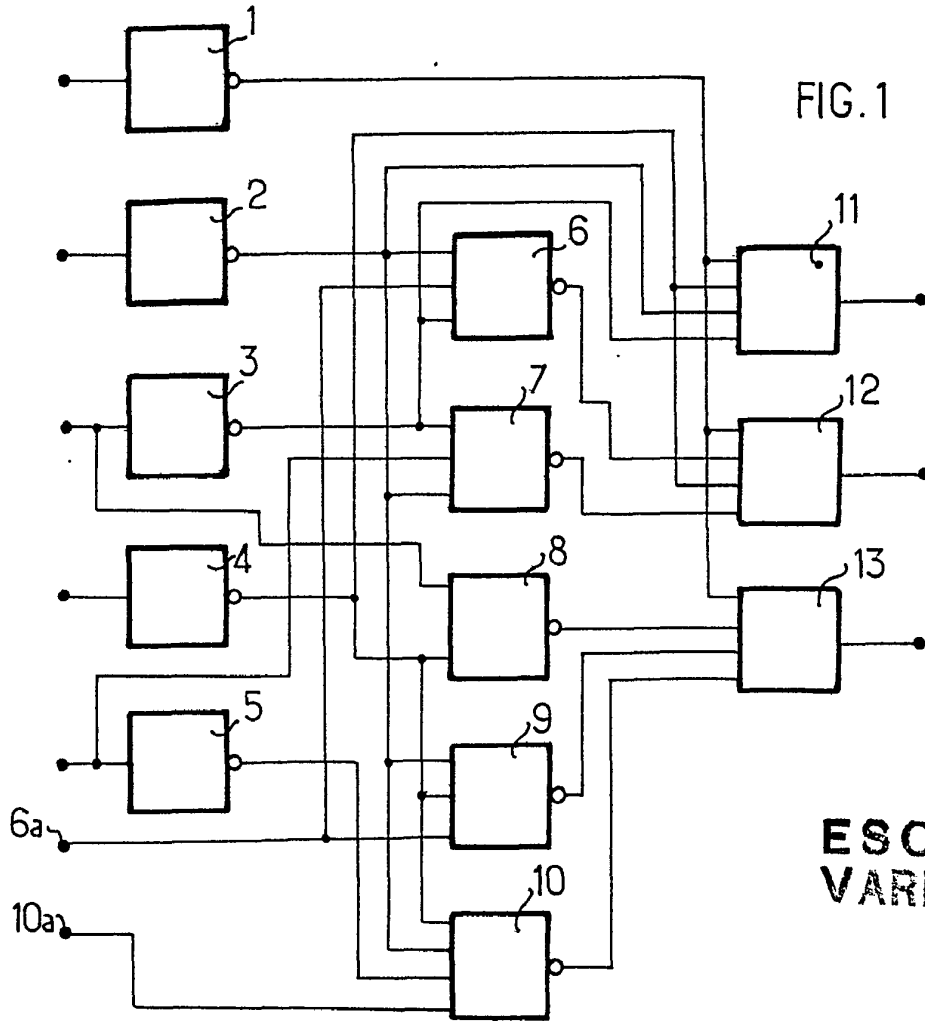


FIG. 1

ESCALA
VARIABLE

FIG. 2

0	1	2	3	4	5	6	7	No	N1	N2
0	0	0	0	0	0	0	0	1	1	1
1	∅	∅	∅	∅	∅	∅	∅	0	0	0
0	1	∅	∅	∅	∅	∅	∅	0	0	1
0	0	1	∅	∅	∅	∅	∅	0	1	0
0	0	0	1	∅	∅	∅	∅	0	1	1
0	0	0	0	1	∅	∅	∅	1	0	0
0	0	0	0	0	1	∅	∅	1	0	1
0	0	0	0	0	0	1	∅	1	1	0
0	0	0	0	0	0	0	1	1	1	1

28 SET. 1972

Madrid

J. GOMEZ ACEBO Y MODET

p p Firmado: J. Gomez Acebo

Jesús Acebo