

406780

31 MAR 1976



P. 52.011.-

IBM Docket

BU 9-71-007

Int. Cl.:	H04B//G01D, G01R
-----------	---------------------

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION por 20 años


a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad norteamericana

establecida en Armonk, N.Y. 10504, Estados Unidos de
América

por: "UNA DISPOSICION DE CIRCUITO PARA TRANSFERIR UNA
CARGA ALMACENADA DESDE UN CONDENSADOR DE ALMACE-
NAMIENTO A UN CONDENSADOR DE MEDIDA" (Clase In-
ternacional G01d, G01r)

- 5



PRINCIPIOS BASICOS DEL INVENTO

1. Campo del Invento

Este invento se refiere en general a sistemas de
5 medida de carga almacenada.

El invento se refiere además a estructuras semi-
conductoras integradas monolíticas que tienen conjuntos de
elementos de memoria en las mismas para señales digitales
y medios asociados con las mismas para lectura de las se-
10 ñales almacenadas.

2. Descripción de la Técnica Anterior

Han sido utilizados en conjuntos de elementos para
proporcionar aptitudes lógicas y de almacenamiento, dispo-
sitivos semiconductores tales como el bien conocido FET o
15 transistor de efecto de campo. Tales conjuntos incluyen pri-
meros y segundos juegos de conductores eléctricos con los
dispositivos que presentan propiedades de memoria conecta-
dos a los mismos. El primer juego de conductores se conoce
como líneas de palabra y el segundo juego de conductores
20 se conoce como líneas de bitio y los dispositivos que pre-
sentan propiedades de memoria están conectados a cada uno
de los juegos de líneas en puntos de cruce seleccionados.
Puede imaginarse cada dispositivo en tal punto de cruce co-
mo una situación de bitio representando el estado del dis-
25 positivo situado en un punto de cruce seleccionado, en len-



guaje binario, bien un "1" o bien un "0", dependiendo de la carga almacenada en el dispositivo. Puede ser escrito o almacenado un bitio particular en un dispositivo particular aplicando simultáneamente una tensión sobre una de
5 las líneas de cada juego de conductores. La lectura de la información almacenada puede realizarse aplicando una tensión sobre ambos juegos de conductores y detectando una respuesta sobre una de las líneas.

10 Sen también conocidos circuitos para transferir carga desde un condensador a un segundo condensador.

La Patente Norteamericana 3.414.807 expone un voltímetro digital que utiliza el método de descargar un gran condensador en escalones en un pequeño condensador a fin de medir la relación de dos potenciales. Inicialmente, el
15 condensador mayor es cargado a un potencial desconocido y el segundo condensador más pequeño es entonces conectado alternativamente entre los extremos del primer condensador y es puesto en cortocircuito repetidamente hasta que el potencial del primer condensador ha disminuido hasta hacerse
20 igual a un potencial de referencia especificado.

La Patente Norteamericana 3.526.783 muestra un sistema de puerta de fases múltiples, que comprende primeros medios de puerta para cargar el condensador de salida y la capacidad inherente de un circuito lógico de dos termina-
25 les durante una señal de reloj recurrente. De este modo,



cada vez que los medios de puerta son aplicados a la capacidad de salida, la salida es ajustada incondicionalmente a un valor específico y el circuito lógico es precargado para evitar la división de carga.

5 La Patente Norteamericana 3.543.046 muestra una técnica de medida de capacidad por la cual puede ser medida una capacidad relativa de un primer condensador disponiendo un segundo condensador de referencia y un conmutador que carga cíclicamente y descarga los dos condensadores a
10 un ritmo predeterminado para proporcionar dos corrientes que pueden ser sumadas algebraicamente y comparadas para indicar la diferencia relativa entre las dos capacidades.

RESUMEN DEL INVENTO

15 Un objeto del invento es crear un circuito perfeccionado para la medida de una carga capacitiva almacenada.

 Es también un objeto del invento crear un método de nueva concepción de transferencia y medida de una carga almacenada independientemente de cualquier tipo de capacidades asociadas con la línea de transferencia que es portadora de la carga desde la posición de almacenamiento a
20 la posición de medida.

 Aún otro objeto del invento es crear un dispositivo de medida de celda de memoria semiconductor que puede ser fabricado fácilmente y es compatible con las tecnologías y técnicas actuales de circuitos integrados de estado
25



sólido.

Un objeto adicional del invento es crear un circuito que puede ser utilizado para medir la presencia o ausencia de carga en un cuerpo semiconductor sin influir
5 o sumar error a la medición.

Es aún un objeto adicional del invento crear un circuito que puede ser utilizado para transferir y amplificar cargas fuera de un conjunto de elementos semiconductores, cuyas cargas representan bitios binarios de información.
10

Estos y otros objetos del presente invento, son realizados en particular en un circuito para transferir una carga almacenada desde un condensador de almacenamiento a un dispositivo de medida por intermedio de una línea de transferencia que tiene grandes capacidades parásitas asociadas con la misma. El circuito lleva a término este fin estableciendo un nivel de tensión de referencia sobre la línea de transferencia para precargar una capacidad asociada con la línea para evitar la degradación de la carga almacenada en la línea durante su transferencia, por intermedio de la línea al dispositivo de medida. El circuito transfiere de este modo cargas almacenadas en un condensador de almacenamiento fuera del condensador de almacenamiento a un detector, con pérdidas despreciables independientemente de la magnitud de cualquier capacidad que pue-
15
20
25



da estar asociada con la línea de transferencia.

Los precedentes y otros objetos, características y ventajas del invento se pondrán de manifiesto por la siguiente descripción particular más detallada de una realización preferida del invento como se ilustra en los dibujos que se acompañan.

DESCRIPCION DE LOS DIBUJOS

La Figura 1 ilustra el invento como aparecería cuando fuese utilizado con una única celda semiconductor de almacenamiento;

La Figura 2 es una vista en corte transversal del dispositivo de la Figura 1, tomada a lo largo de las líneas 2-2;

La Figura 3 ilustra esquemáticamente el circuito equivalente del presente invento; y

La Figura 4 ilustra los impulsos de tensión aplicados al circuito del presente invento para escribir información binaria en la celda de memoria de la Figura 1 y extraer información binaria de la misma por lectura.

DESCRIPCION DE LA REALIZACION PREFERIDA

Con referencia ahora a los dibujos, y más particularmente a las Figuras 1 y 2, se describirán con detalle los principios de los conceptos inventivos del presente invento como están contenidos en una realización.

Solamente para fines de ilustración, las Figuras



1 y 2 representan vistas diferentes de un único Transistor
10 de Efecto de Campo (FET) semiconductor, que actúa como
celda de memoria, acoplado a circuitos operacionales tales
como un excitador 12 de palabra, un excitador 13 de bitio,
5 un sistema 14 de transferencia de carga que realiza el pre-
sente invento y un amplificador 15 perceptor de bitio.

La celda 10 está formada preferiblemente por un
cuerpo 16 de material semiconductor elemental homogéneo que
tiene un electrodo 17 de entrada obtenido por difusión y un
10 electrodo 18 de salida obtenido por difusión, cada uno de
los cuales es de un tipo de conductividad opuesto a la del
cuerpo 16, separados entre sí por una región 19 de electro-
do de control. Solamente para fines de ilustración se supon-
drá que el cuerpo 16 está formado por germanio de tipo P,
15 silicio o preferiblemente un material de 1,0 a 2,0 ohmios
centímetro; y son utilizadas impurezas de tipo N para for-
mar las zonas 17 y 18 de difusión. Recubriendo la superfi-
cie del cuerpo está una capa 21 aislante. Esta capa 21 pue-
de estar compuesta, por ejemplo, de dióxido de silicio for-
20 mado por técnicas convencionales y que tiene un espesor de
aproximadamente 8.000 Angstroms. Esta capa 21 está modifi-
cada por métodos conocidos y convencionales tales como ata-
que químico y recrecimiento de óxido para crear una abertu-
ra 22 en el óxido 21 y formar nuevamente sobre la región 17
25 de electrodo de entrada y la región 19 de electrodo de con-



trol una capa 24 de óxido más delgada, que tiene un espesor de alrededor de 500 Angstroms. Es también obtenido un orificio 23 de paso por ataque químico a través de la capa 21 de óxido que recubre la región 18 de electrodo de salida.

5 Finalmente, es dispuesto un electrodo 25 de control conductivo sobre la delgada capa 24 de óxido y sobre la región 19 de electrodo de control. También es dispuesta una línea 26 perceptora de bitio sobre el óxido 21 a fin de establecer contacto con la región 18 de electrodo de salida
10 a través del orificio 23 de paso. El material utilizado para tales electrodos es preferiblemente aluminio y tiene un espesor de aproximadamente 8.000 Angstroms y puede ser formado, por ejemplo, por técnicas de evaporación y ataque químico bien conocidas y practicadas en la técnica de semiconductores.
15

Son bien conocidos a los familiarizados con la técnica de semiconductores los diversos métodos y técnicas para formar la capa, las depresiones, los óxidos de puerta, los electrodos, los medios portadores y las difusiones y
20 cualquier descripción específica no debe interpretarse como limitativa, puesto que podrían ser utilizadas otras técnicas.

El electrodo 25 de control está conectado al excitador 12 de palabra, mientras que la línea 26 perceptora
25 de bitio está conectada, a través de un primer conmutador



- 6 NOV 1971

28, al excitador 13 de bitio y, a través del circuito 14 de transferencia de carga, al amplificador 15 de percepción. El conmutador 28 es un conmutador de tres posiciones que funciona para conectar indistintamente la línea de bitio, a través del conductor 28a, al excitador 13 de línea de bitio o, a través del conductor 28b, a masa o a una posición de circuito abierto a través del conductor 28c. Debido a que la región 17 de electrodo de entrada está conectada solamente a través del cuerpo 16 a masa, se crea un condensador de almacenamiento C_s entre la región 17 de difusión de electrodo de entrada y el cuerpo 16, que está puesto a masa. Esta capacidad C_s es capaz de almacenar una carga conocida, cuya presencia representa un "1" en lenguaje binario, y cuya ausencia representa un "0". El transistor 10 de efecto de campo (FET) así descrito puede ser utilizado como celda de memoria.

La Figura 3 ilustra esquemáticamente el circuito equivalente de la celda y circuitos asociados de la Figura 1. En esta Figura se representa el FET 10 teniendo su electrodo 17 de entrada unido, a través del condensador C_s de almacenamiento, a masa, su electrodo 25 de control conectado al excitador 12 de palabra y su electrodo 18 de salida conectado a la línea 26 de percepción de bitio. La línea 26 de percepción de bitio está, a su vez, conectada a través de una capacidad C_L de línea distribuida, que puede ser



una capacidad parásita, a masa, a través del conmutador 28 al excitador 13 de bitio y a través del circuito 14 de transferencia de carga al amplificador 15 perceptor sensible a la tensión. Con detalle, el circuito 14 de transferencia sensible a la carga comprende tres dispositivos FET 30, 31 y 32. El electrodo 33 de entrada del FET 30 está conectado a la línea 26 de percepción de bitio, mientras que su electrodo 34 de salida está conectado al electrodo 35 de entrada del FET 31, a una de las placas 36 del condensador C_d detector, al electrodo 37 de entrada del FET 32 y al amplificador 15 de percepción. El electrodo 38 de salida del FET 31 está conectado a su vez a la otra placa 39 del condensador C_d , a un terminal 40 de entrada y al electrodo 41 de control del FET 30. El condensador C_d detector está elegido de modo que es igual al condensador C_s de almacenamiento. El electrodo 49 de control del FET 31 está conectado, a su vez, a un terminal 42 de entrada. El electrodo 43 de salida y el electrodo 44 de control del FET 32 están unidos entre sí y a un terminal 45 de entrada.

En tales dispositivos FET el tamaño del condensador C_s está relacionado directamente con el tamaño del electrodo 17 de entrada y es aproximadamente de 77,5 picofaradios por milímetro cuadrado. De este modo, con las técnicas actuales de circuitos integrados, C_s es normalmente bastante pequeño; por ejemplo, considerablemente menor que

0,1 picofaradios. El condensador C_L de línea distribuida asociado con la línea 26 de percepción de bitio es, por el contrario, bastante grande y puede estar comprendido entre un picofaradio y más de 10 picofaradios dependiendo del tamaño del conjunto de elementos, etc.

Debido a que la capacidad C_S de almacenamiento es bastante pequeña y la capacidad C_L de línea distribuida es bastante grande, es difícil detectar la diferencia entre un "0" almacenado y un "1" almacenado, a no ser que la relación (llamada K) de la capacidad C_L de la línea de percepción de bitio y la capacidad C_S de almacenamiento sea pequeña.

Los circuitos típicos llamados de bloqueo, ahora utilizados para detectar cargas almacenadas en tales celdas de memoria de FET, están limitados a un valor de K comprendido entre seis y ocho con una separación de tensión de salida (incluyendo el ruido) entre un "1" y un "0" que es mucho menor que un voltio; (por ejemplo alrededor de 300 milivoltios). La razón de este mal funcionamiento por parte de los circuitos de bloqueo actualmente utilizados es que son incapaces de eliminar o disminuir el efecto de capacidades de línea distribuida de cualquier tipo como lo hace el presente invento.

A causa de que el circuito de transferencia de carga del presente invento no transfiere solamente en su in-

tegridad la carga almacenada fuera del dispositivo a un condensador de detección, disminuye tanto el efecto de la capacidad de línea que pueden ser ahora utilizados valores de K de aproximadamente 100. Este significa que los
5 conjuntos que utilizan el presente invento pueden tener más bits por línea de percepción de bitio. Alternativamente, la capacidad de memoria de la celda de memoria puede ser reducida lo que significa que pueden ser utilizadas celdas más pequeñas y lograrse una densidad aumentada.

10 Si se hace ahora referencia simultáneamente a las Figuras 3 y 4, se describirá con detalle el funcionamiento del invento. Como se ha indicado antes, la Figura 3 ilustra el invento esquemáticamente mientras que la Figura 4 muestra la pauta de impulsos de tensión requerida para escribir
15 información binaria en la celda e para extraer por lectura la información de la celda.

Cuando va a ser escrito un "1" en la celda de memoria, el conmutador 28 está conectado al excitador 13 de bitio y la línea 26 perceptora de bitio tiene aplicado un
20 impulso 51 de tensión positiva por ejemplo de alrededor de diez voltios, generado por el excitador 13 de bitio. Simultáneamente, el electrodo 25 de control está también excitado a tensión positiva por un impulso 52 de tensión positiva procedente del excitador 12 de palabra. Este impulso 52
25 debe ser lo bastante grande para exceder la tensión de um-

10
-6 NOV 1972

bral del FET 10, a fin de hacer entrar en conducción al FET 10. Un impulso de aproximadamente 12 voltios sería suficiente para sobrepasar la tensión de umbral. Cuando el FET 10 entra en conducción, las regiones 17 y 18 de difusión están conectadas eléctricamente entre sí haciendo que la región 18 de difusión quede polarizada al nivel de la región 17 de difusión, es decir al nivel de la línea 26 de percepción de bitio. De este modo, el condensador C_s almacenará una carga indicativa de una señal "1". Para asegurar que la carga almacenada queda en el condensador C_s , es necesario que el impulso 52 de palabra se interrumpa antes de que finalice el impulso 51 de bitio. Esto desconecta eléctricamente las regiones 17 y 18 de difusión haciendo que la región 17 de difusión quede fijada al nivel de carga al cual fue activada.

La lectura del estado de la celda de memoria, o sea el estado del condensador C_s , se realiza mediante la siguiente secuencia. En el instante T_1 la línea 26 de percepción de bitio está conectada a la posición 28c de circuito abierto del conmutador 28 y son aplicados a los terminales 40 y 42 respectivamente, del circuito 14 de transferencia de carga, impulsos 53 y 54 de tensión positiva de ϕ_1 y ϕ_2 , respectivamente, siendo el impulso 53 de aproximadamente 10 voltios y siendo el impulso 54 de aproximadamente 12 voltios procedentes de las fuentes de alimentación

3.11.72



-6

de corriente continua conmutables (no representadas). El
impulso 53 es así aplicado al electrodo 41 de control del
FET 30 haciéndole entrar en conducción conectando el con-
densador C_d a la línea 26 de percepción de bitio. El im-
5 pulso 54 es aplicado simultáneamente al electrodo 49 de
control del FET 31 haciéndole entrar en conducción y conec-
tando así la línea 26 de percepción de bitio al terminal
40. De este modo, fluye corriente desde la fuente de ali-
mentación de corriente continua conectada al terminal 40
10 a través de los FETs 31 y 30 a la línea 26 de percepción
de bitio para cargar la capacidad C_L de línea a una tensión
 V_R de referencia, que es una tensión suficiente para pola-
rizar el electrodo 33 de entrada del FET 30 a su nivel de
corte dejando de conducir el FET 30. De este modo, la car-
15 ga establecida sobre el condensador C_L es igual al impul-
so ϕ_2 menos la tensión de umbral del FET 30. Una vez que
está cargado el condensador C_L , se interrumpen los impul-
ses 53 y 54 en el instante T_2 . Después que han desapare-
cido los impulsos 53 y 54, es aplicado ahora un tercer im-
20 pulso 55 de ϕ_3 , de aproximadamente 10 voltios, al terminal
45 para hacer conducir al FET 32 haciendo que se cargue el
condensador C_d hasta el nivel de tensión del impulso 55
menos la tensión de umbral del FET 32. Esto significa que
las tensiones aplicadas al condensador C_L y C_d son aproxi-
25 madamente de valores iguales.

Cuando termina el impulso 55 en el instante T_3 , el excitador de palabra aplica un impulso 56 positivo al electrodo 25 de control del FET 10 conectando el condensador C_S de almacenamiento a la capacidad C_L de línea distribuida, lo que permite que las tensiones de estos dos condensadores se igualen y se cargue el condensador C_S , mucho más pequeño, hacia la tensión V_R establecida sobre la capacidad C_L de línea, mucho más grande.

Normalmente, la tensión del condensador C_S cuando está almacenando un "1" es aproximadamente de 7 voltios, pero en las condiciones más desfavorables, debido a fugas, etc, el condensador C_S no tendrá sino 3 voltios almacenados sobre el mismo cuando está almacenando un "1". Para las condiciones de carga descritas, la capacidad C_L de línea tendrá aproximadamente una tensión de 9 voltios almacenada en la misma.

Esto significa que cuando el FET 10 entra en conducción y los condensadores C_S y C_L son conectados en paralelo, el condensador C_L se descarga a algún nivel por debajo de 9 voltios.

En el instante T_4 se interrumpe el impulso 56 haciendo que deje de conducir el FET 10 y es aplicado un impulso 57 (\emptyset) nuevamente al terminal 40 haciendo conducir al FET 30. Fluye ahora corriente desde el condensador C_d a través del FET 30 hasta que el condensador C_L es cargado



otra vez a la tensión V_R . Este flujo de carga es de este modo igual en valor a la cantidad requerida para cargar el condensador C_s de almacenamiento hasta V_R . Por consiguiente, cuando desaparece el impulso 57, la cantidad de carga que queda ahora sobre el condensador C_a , cuya capacidad fué establecida igual a la del condensador C_s de almacenamiento, es igual en valor a la carga original contenida en el condensador C_s de almacenamiento. Si en el instante T_5 es leído el amplificador 15 de percepción, será leído un impulso 58 que tiene un nivel de tensión comprendido entre dos voltios y seis voltios en su salida que indica que solamente se necesitó una pequeña cantidad de carga para restaurar el condensador C_L a su nivel V_R de tensión de carga.

Recíprocamente, es escrito un "0" binario en la celda conectando la línea 26 de percepción de bitio, y de este modo la región 17 de difusión, a masa a través del conmutador 28. Cuando la línea 26 de percepción de bitio está así conectada a masa, es aplicado un impulso 50 de tensión positiva superior a la tensión de umbral (por ejemplo de 12 voltios) al electrodo 25 de control del FET 10. por el excitador 12 de palabra haciendo conducir al FET 10. Cuando el FET 10 es así llevado a conducción, la región 17 de difusión queda conectada a la región 18 de difusión mantenida al potencial de masa por la línea 26 de percepción de bitio puesta a masa. De este modo la región 17 de difu-

sión es llevada también al potencial de masa.

Esto da lugar a que se descargue el condensador C_s . Una vez que el condensador C_s está así descargado, la tensión del electrodo 25 de control del FET 10 cae por debajo de la tensión de umbral y el FET 10 deja de conducir manteniendo al condensador C_s en un estado de ausencia de carga, habiendo sido así almacenado un cero en el dispositivo.

Para leer tal "0" almacenado en el condensador C_s , se sigue el mismo procedimiento que se siguió para leer un "1" almacenado en el dispositivo. O sea, en el instante T_1 son aplicados a los terminales 40 y 42, respectivamente, del circuito 14 de transferencia de carga impulsos 53.1 (10 voltios) y 54.1 (12 voltios) de tensión positiva de ϕ_1 y ϕ_2 , respectivamente, haciendo entrar en conducción a los FETs 30 y 31 para conectar la línea de percepción de bitio al terminal 40, de modo que fluirá corriente a la línea de percepción de bitio para cargar el condensador C_L de línea. Otra vez el condensador C_L se carga a la tensión V_R de referencia y el FET 30 deja de conducir. Cuando el condensador C_L está así cargado, se interrumpen los impulsos 53.1 y 54.1 y es aplicado un tercer impulso 55.1 (10 voltios) desde ϕ_3 al terminal 45 para hacer conducir al FET 30 haciendo que el condensador C_a se cargue hasta el nivel V_R de tensión. Después que finaliza el impulso 55.1, el excitador de línea de palabra aplica un impulso 56.1 po-

-6 NOV 1972

sitivo (12 voltios) al electrodo 25 de control del FET 10 que conecta el condensador C_S de almacenamiento a la capacidad C_L de línea distribuida para permitir que se igualen las tensiones presentes sobre las dos capacidades. Puesto

5 que en este caso el condensador C_S está en un estado de ausencia de carga, se hará que fluya una transferencia importante de carga desde la capacidad C_L de línea distribuida al condensador C_S de almacenamiento que hace que la tensión del condensador C_S de almacenamiento suba hacia la

10 tensión V_R impuesta sobre la capacidad C_L de línea distribuida. Una vez que tiene lugar la igualación de tensión entre los dos condensadores C_S y C_L , el impulso procedente de la línea de palabra cesa y el FET 10 queda al corte. En este instante es aplicado ahora un impulso 57.1 (10 voltios)

15 de fase 1 otra vez al terminal 40 haciendo conducir al FET para conectar la capacidad C_a , anteriormente cargada, a la capacidad C_L de tensión igualada. Una cantidad importante de carga fluirá ahora desde el condensador C_a a través del FET 30 hasta que el condensador C_L esté otra

20 vez cargado a la tensión V_R . El flujo de carga es en este caso nuevamente igual a la cantidad requerida para cargar el condensador C_S de almacenamiento a la tensión V_R . De este modo, en este caso, cuando finaliza el impulso 57 es descargado C_a y el amplificador 15 de percepción indica en

25 su salida una señal 58.1 de nueve voltios que muestra que



5 fué requerida una cantidad importante de carga para restaurar el condensador C_L al nivel V_R . Esto significa que el estado original del condensador C_S correspondía a un nivel muy bajo o de ausencia de carga y que tomó una cantidad considerable de corriente del condensador C_L indicando que el condensador C_S de almacenamiento estaba en un estado "0".

10 La cantidad de carga así almacenada en el condensador C_S de almacenamiento ha sido transferida efectivamente al condensador C_d detector con pérdida despreciable y ha sido evitado por completo el efecto de cualquier capacidad parásita distribuida presente sobre la línea de transferencia. El invento enseña de este modo un nuevo método y un circuito para transferir una carga capacitiva desde un condensador de almacenamiento a un condensador 15 detector a través de una línea de transferencia sin pérdidas debidas a capacidades parásitas o de fugas sobre la línea de transferencia.

20 Aunque ha sido descrito el invento en combinación con dispositivos FET, puede ser también realizado utilizando transistores bipolares.

25 El presente invento resuelve así un problema concreto que ha estado hasta ahora sin resolver por la técnica anterior y hace esto mediante la utilización de un nuevo circuito simple de fabricación y funcionamiento sencillos.



Además, el presente invento realiza esta transferencia de un modo eficaz y es fácilmente manejable por cualquier experto en la técnica.

5 Aún adicionalmente, haciendo el condensador C_a detector más pequeño que el condensador C_s de almacenamiento, puede realizarse amplificación de la información almacenada.

Aunque el invento ha sido expuesto y descrito particularmente con referencia a la realización preferida del mismo, se entenderá por los expertos en la técnica que pueden hacerse diversos cambios en la forma y detalles del aparato y del método sin apartarse de la esencia y campo del invento y que el método no está restringido de ningún modo por el aparato.

15 La presente solicitud, que corresponde a la presentada en Estados Unidos de América, el 1 de Octubre de 1971, bajo el N° 185.604, se acoge a los beneficios del Artículo 51 del vigente Estatuto sobre Propiedad Industrial.

20

REIVINDICACIONES

25 Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente

3.11.72

- 20 -



de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

5 1ª.- Una disposición de circuito para transferir una carga almacenada desde un condensador de almacenamiento a un condensador de medida por intermedio de una línea de transferencia que tiene capacidades parásitas asociadas con la misma, que comprende: medios para establecer una tensión de referencia sobre una línea de transferencia para precargar cualesquiera capacidades parásitas asociadas con la línea para impedir la degradación de la carga almacenada en la línea durante la transferencia a través de la línea a un dispositivo de medida, medios para acoplar un condensador de almacenamiento a la línea para permitir la igualación de carga entre la línea y el condensador de almacenamiento, medios para reponer la tensión de referencia sobre la línea de transferencia desde un condensador de medida, y medios para medir la carga que queda sobre dicho condensador de medida.

20 2ª.- Una disposición según la reivindicación 1ª, en la que las pérdidas debidas a la capacidad parásita asociada con la línea de transferencia son despreciables y que comprende: un sistema de almacenamiento de carga, un sistema detector de carga, una línea de transferencia que tiene una capacidad distribuida aso-

25

31 117



ciada con ella, que une el sistema de almacenamiento y el sistema detector, medios que cargan el sistema detector y la capacidad de la línea de transferencia a una tensión de referencia, medios para desacoplar el sistema detector de la línea de transferencia, medios para conectar el sistema de almacenamiento de carga a la línea de transferencia para hacer subir el nivel de tensión del sistema de almacenamiento hacia la tensión de referencia mediante transferencia de carga desde la capacidad de la línea al sistema de almacenamiento, medios para transferir carga desde el sistema detector a la capacidad de línea para volver a llevar a la capacidad de línea a la tensión de referencia de modo que la tensión remanente sobre el sistema detector es equivalente al estado original de carga en el sistema de almacenamiento.

3ª.- Una disposición según la reivindicación 2ª, en la que dicho sistema de almacenamiento de carga es la capacidad del electrodo de entrada con respecto a masa de un transistor de efecto de campo.

4ª.- Una disposición según la reivindicación 3ª, en la que dichos medios de acoplamiento están constituidos por un transistor de efecto de campo.

5ª.- Una disposición según la reivindicación 4ª, en la que los medios para transferir carga desde el condensador detector a la capacidad de línea están cons-

26.3.75

- 22 -

31 MAR 1975

tituidos por un transistor de efecto de campo.

5 6ª.- Una disposición según la reivindicación
1ª, en la que se desprecia la magnitud de cualquier ca-
pacidad distribuida presente sobre la línea de transfe-
rencia y que comprende: un sistema de almacenamiento
de carga, una línea de transferencia y un circuito de
transferencia de carga, comprendiendo dicho circuito de
transferencia un primer transistor conectado a la línea
de transferencia, a una primera fuente de tensión a tra-
10 vés de un condensador detector y un segundo transistor,
a medios para detectar la tensión sobre el condensador
detector y a una segunda fuente de tensión a través de
un tercer transistor.

15 7ª.- Una disposición de circuito para trans-
ferir una carga almacenada desde un condensador de al-
macenamiento a un condensador de medida.

Tal y como se ha descrito en la Memoria que an-
tecede, representado en los dibujos que se acompañan y
con los fines que se han especificado.

20 Esta Memoria consta de veintitres hojas escri-
tas a máquina por una sola cara.

Madrid,

31 MAR. 1975

P. A. Alberio de Eizola
Por Poder.

MP.24.3.75

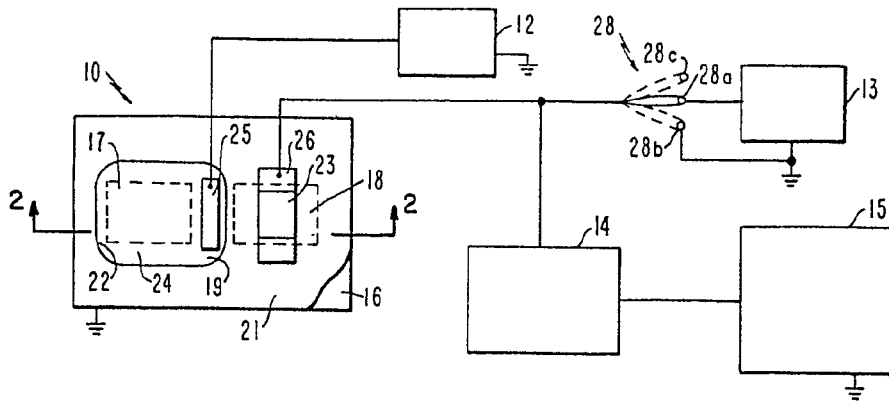


FIG. 1

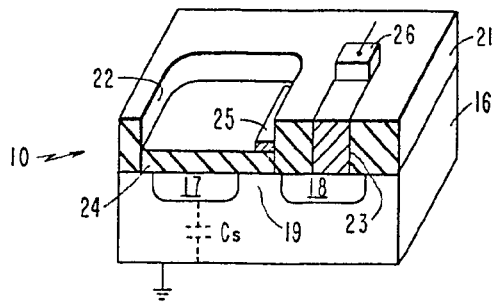


FIG. 2

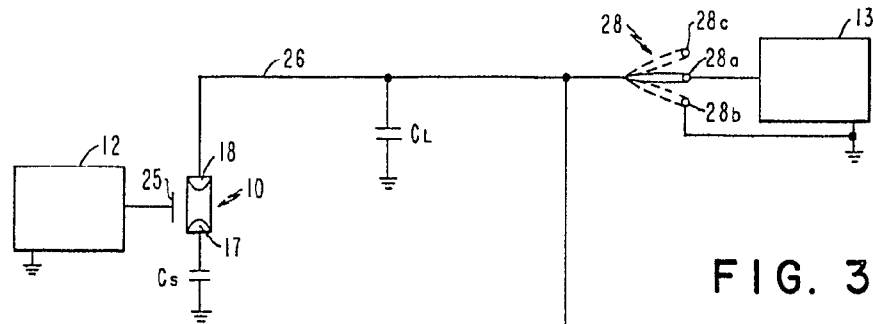
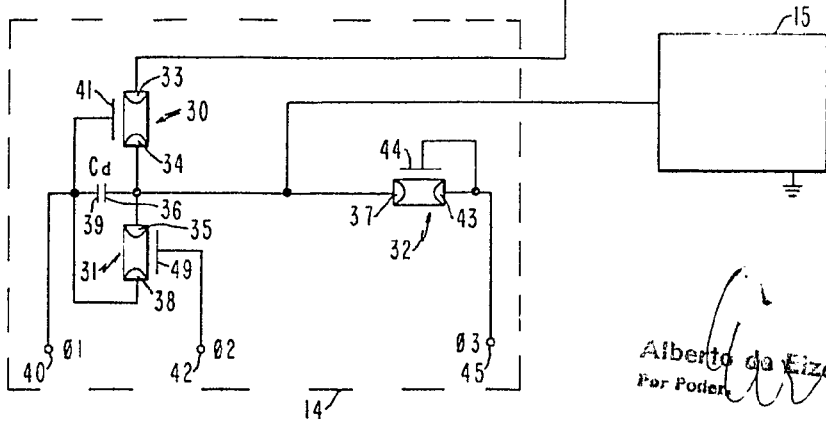


FIG. 3



Alberto da Eizbuuu
Per Poteri

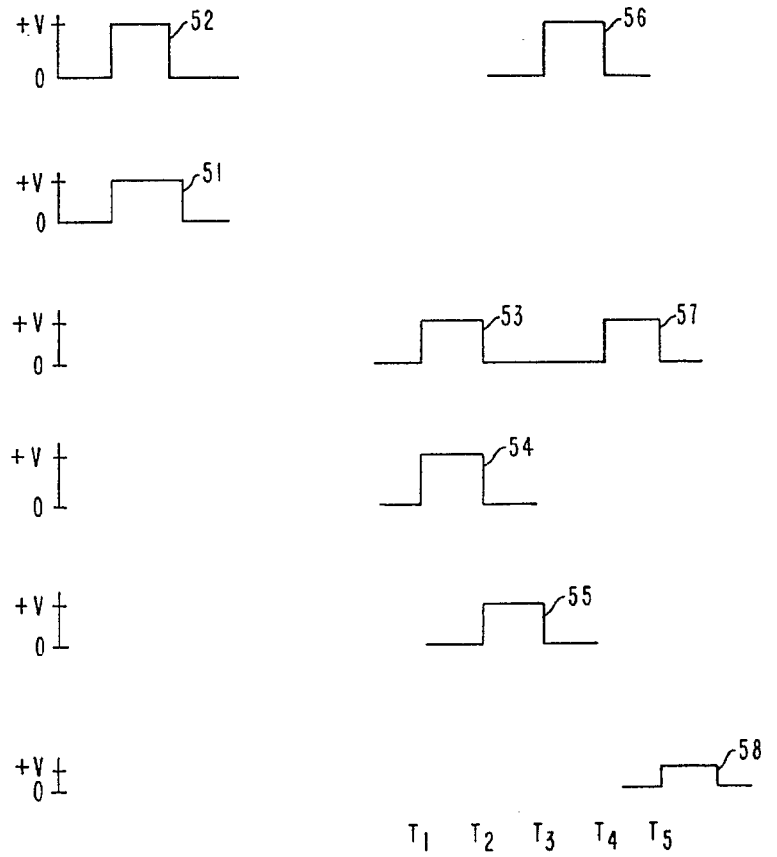


FIG. 4

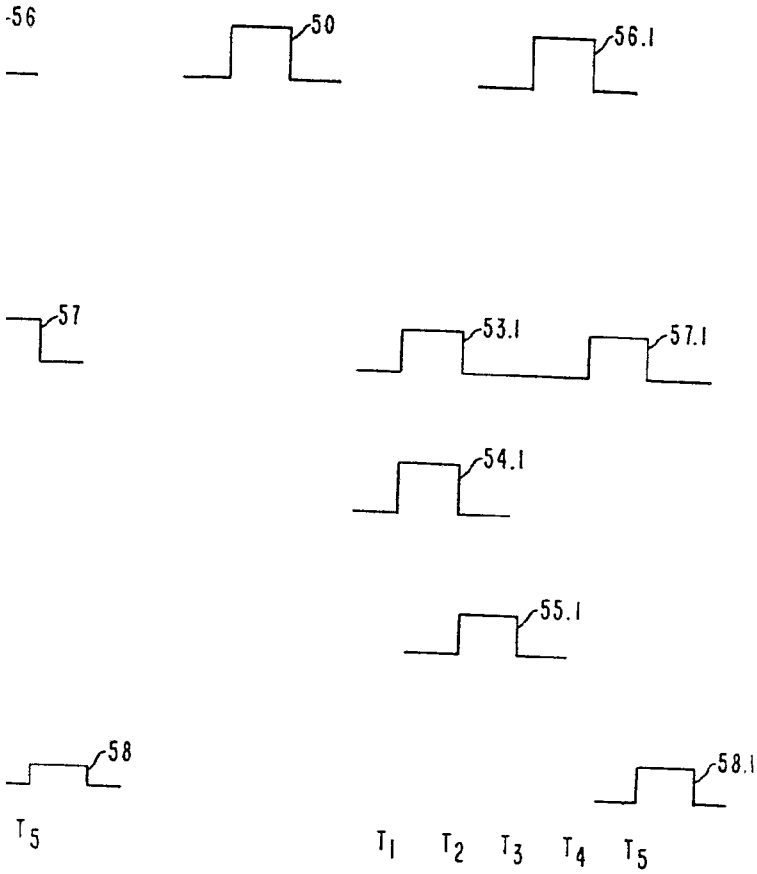


FIG. 4

Alfred G. [illegible]
for [illegible]