

cp.

HUNTER, P.D. 2-160



406575

PATENTE DE INVENCION

a favor de:

WESTERN ELECTRIC COMPANY, INCORPORATED, de nacionalidad norteamericana, con domicilio en 195, Broadway, NEW YORK N.Y. (EE.UU.).

por:

"Método y aparato perfeccionados para detectar errores en secuencias de registro de desplazamientos"

—=1000:—=

Memoria descriptiva.

La presente invención se refiere a un método y un aparato mejorados para detectar errores en una secuencia de registro de desplazamientos del orden  $n$  en que  $n$  es el número de bits de cada uno de los grupos o secuencias

POOR  
QUALITY



individuales de la secuencia de registro de desplazamientos.

Las secuencias de registro de desplazamientos, algunas veces denominadas secuencias de contador de registro de desplazamientos, comprenden formas secuenciales repetidas de hasta  $2^n$  bitios en las cuales son únicos todos los grupos de  $n$  bitios adyacentes. Las mismas han hallado empleo en muy diversas aplicaciones que comprenden particularmente disposiciones de secuencio y temporización en computadores. Por ejemplo, ya es conocido en sistemas de memoria de disco magnético y de tambor el registrar una secuencia de registro de desplazamientos repetida para cada locación de palabra, como la pista de reloj de palabra. Entonces la pista de reloj de palabra se emplea durante el almacenamiento y localización selectiva y extracción de información, juntamente con la pista de temporización de bitio usual, para dotar al sistema de la capacidad de determinar fácilmente y con exactitud cual es el bitio de una palabra que en la memoria se lee o se localiza selectivamente y se extrae en cualquier momento.

Sin embargo, existe el problema que consiste en detectar rápidamente cualesquiera errores que se pueden producir en secuencias de registro de desplazamientos, debidos, por ejemplo, a rafagas de ruidos o a fallos de circuito. Por ejemplo, en los citados sistemas de memoria es conveniente, y en algunos sistemas esencial, evitar que se ejerza una acción incorrecta del sistema. Son conocidas varias disposiciones para detectar errores en secuencias de registro de desplazamientos, pero todas ellas adolecen de desventajas



relativas a velocidad, complejidad, coste y seguridad de actuación.

Las dificultades expuestas son eliminadas de acuerdo con la presente invención, considerando en primer lugar  
5  $n + 1$  bitios sucesivos de la secuencia de registro, decodificando  $n + 1$  bitios sucesivos de la secuencia de registro de desplazamientos de un grupo válido de cada  $n + 1$  bitios sucesivos de la secuencia de registro de desplazamientos.

Otra parte de la invención se refiere a la provisión  
10 de un circuito de conmutación individual para responder a cada grupo válido de  $n + 1$  bitios sucesivos en la secuencia de registro de desplazamientos.

Otra parte de la invención se refiere a la detección de un error en respuesta a una disposición particular  
15 de señales recibidas de todos los circuitos de conmutación que responden individualmente a los respectivos  $n + 1$  bitios sucesivos de la secuencia de registro de desplazamientos.

A título de ejemplo se muestra una forma de realización ilustrativa de una disposición de detección de error  
20 de acuerdo con la presente invención, como parte de un circuito de temporización en un sistema de memoria dinámica. En tales sistemas, típicamente, como se ha dicho, las secuencias de registro de desplazamientos son almacenadas en una de las pistas del reloj de memoria y los impulsos de temporización de bitios se almacenan en otra pista, correspondien  
25 do las secuencias de registro de desplazamientos a locaciones de palabra individual e posición en la memoria. Durante las operaciones de lectura y escritura, cada secuencia de registro de desplazamientos es dirigida a un circuito de



temporización que comprende típicamente un registro de desplazamiento de  $n$  bits y un circuito lógico de decodificación, para generar un reloj de palabra de  $k$  bits, siendo  $k$  mayor que  $2^{n-1}$  y menor o igual que  $2^n$ .

5 De acuerdo con la presente invención, el circuito de temporización usual se modifica de manera simple y económica para proveer de modo substancialmente instantáneo la detección de una secuencia incorrecta desplazada en el interior del registro. Específicamente, se agrega una etapa  
10 adicional al registro de desplazamientos, cuya etapa se conecta al circuito lógico de decodificación de la misma manera que las otras etapas de registro de desplazamientos, y se conecta un flip-flop a la salida del circuito lógico de decodificación para indicar la presencia de un error en la  
15 secuencia de entrada. Además, esta disposición detecta así mismo ventajosamente errores ocasionados por fallos de componentes internos, tal como una de las etapas de registro de desplazamientos que permanece siempre establecida o restablecida.

20 La figura 1 es un esquema de una forma de realización ilustrativa de una disposición de detección de error de acuerdo con los principios de la presente invención.

Y la figura 2 es un gráfico de una secuencia de registro de desplazamientos ilustrativa que sirve para descri-  
25 bir el funcionamiento de la disposición de la figura 1.

En la figura 1, las siguientes siglas significan:

- D Desplazamiento.
- S Secuencia.
- CT Circuito de temporización.



V Verificación.  
R Restablecimiento.  
ERR Error.

En la figura 1 se representa una disposición típica que emplea secuencias de registro de desplazamientos, representada ilustrativamente como una disposición de decodificación que comprende un circuito de temporización -100-, empleada por ejemplo, en un sistema de memoria dinámica tal como un sistema de memoria de disco magnético o de tambor. Se supone que el sistema de memoria (no representado) tiene por lo menos dos canales o pistas de reloj, una de las cuales es una pista de reloj de bitio, en tanto que la otra es una pista de reloj de palabra. La pista de reloj de bitio comprende un tren de impulsos de temporización de bitios y la pista de reloj de palabra comprende una secuencia particular de registro de desplazamientos de impulsos de bitios repetidos para cada locación de palabra de memoria particular. La pista de reloj de bitio y la pista de reloj de palabra se utilizan durante las operaciones de lectura y escritura de la memoria para generar un reloj de palabra de multibitios, por medio del circuito de temporización -100-, de una manera ya bien conocida en la técnica. No obstante, por la presente descripción será evidente que la invención puede ser ventajosamente empleada en otras muy diversas aplicaciones que utilizan secuencias de registro de desplazamientos, tales como sistemas de referencia y rastreo digital.

En la figura 2 se representa una secuencia de registro de desplazamientos ilustrativa que se puede emplear en la pista de reloj de palabra para cada locación de palabra



en la memoria. La secuencia particular ilustrada supone una longitud de palabra en la memoria de 46 bits y así compen  
de una disposición de 46 bits que tiene, a título de ejem-  
plo, un orden  $n$  de 6 bits. En consecuencia, cada grupo de  
5 6 bits adyacentes es único dentro de la disposición, tal  
como los bits 1 a 6, 2 a 7, 3 a 8, etc., con lo que deter-  
mina únicamente cada locación de bit dentro de una palabra  
de la memoria.

El circuito de temporización -100- comprende una plu-  
10 ralidad de etapas de registro de desplazamientos conectadas  
en tándem SRL - SRn, correspondiendo al número de etapas al  
orden  $n$  de la secuencia de registro de desplazamientos que  
se ha de decodificar con ello. Así, para decodificar la se-  
cuencia ilustrativa de la figura 2, el circuito de tempori-  
15 zación -100- comprende seis etapas conectadas en tándem. El  
circuito de temporización -100- comprende, además, un cir-  
cuito lógico que comprende una pluralidad de puertas suce-  
sivas G1 a Gk, correspondiendo al número de puertas al nú-  
mero de bits de la secuencia de registro de desplazamien-  
20 tos que se ha de decodificar, ilustrativamente 46 bits en  
el ejemplo de la figura 2. En el funcionamiento, el circuito  
de temporización -100- decodifica la secuencia de registro  
de desplazamientos de  $n$  bits que se ha hecho entrar en el  
mismo y provee señales de temporización de bits individua-  
25 les a través de las puertas G1 a Gk sobre los conductores  
BT1 a BTK en sucesión.

Durante las operaciones de lectura y escritura de  
la memoria los impulsos de bits leídos en lapista de re-  
loj de bit son aplicados al conductor D de DESPLAZAMIENTO



del circuito de temporización -100- y las secuencias de registro de desplazamientos leídas en la pista de reloj de palabra son aplicadas al conductor de SECUENCIA. Así son aplicados bitios sucesivos de cada secuencia de registro de desplazamientos a la primera etapa SRL y tales bitios son desplazados a través de las etapas de registro de desplazamientos conectadas en tándem con un régimen determinado por los impulsos de bitios sobre el conductor de DESPLAZAMIENTO. Suponiendo la secuencia ilustrativa de la figura 2 por tanto, el primer bitio de la secuencia aplicado a la etapa SRL es un uno binario, el segundo y el tercero son unos binarios, el cuarto y el quinto son ceros binarios, el sexto un uno binario y así sucesivamente.

Las salidas de las etapas de registro de desplazamiento SRL a SRn están conectadas en combinaciones de la función de Boolean únicas  $f(\overline{A1} A1, \overline{A2} A2, \dots, \overline{An} An)$  a las entradas de cada una de las puertas G1 a Gn, correspondiendo a la combinación única conectada a cada puerta a un grupo diferente de  $n$  bitios adyacentes en la secuencia de registro de desplazamientos a decodificar. Así, recordando que la secuencia de registro de desplazamientos se repite para locaciones de palabras sucesivas (o imaginando a la secuencia como un anillo cerrado), las combinaciones de las salidas de registro de desplazamientos  $\overline{A1} A1$  a  $\overline{An} An$  conectadas ilustrativamente a la primera puerta G1 corresponden a los bitios 42 a 46 y al bitio 1 de la secuencia de la figura 2. La combinación de las salidas  $\overline{A1} A1$  a  $\overline{An} An$  conectadas a la puerta siguiente sucesiva, puerta G2, corresponde al grupo sucesivo de  $n$  bitios, bitios 43 a 46, 1 y 2 y así sucesivamente, corres



pondiendo la combinación conectada a la última puerta Gk a los bitios 41 a 46. En consecuencia, mientras el primer bitio de la secuencia es desplazado a la etapa SR1, es generada una señal de temporización de bitios a través de la puerta G1 sobre el conductor BT1. Mientras el segundo bitio es desplazado a la etapa SR1, y de este modo el primer bitio a la etapa SR2, una señal de temporización de bitios es generada a través de la puerta G2 sobre el conductor BT2 y así sucesivamente, generando el desplazamiento del bitio -46- en la etapa SR1 una señal de temporización de bitios sobre el conductor BTk.

De acuerdo con la presente invención, los circuitos usuales de decodificación de secuencia de registro de desplazamientos se modifican de manera que resultan simples y económicos para proveer la detección substancialmente instantánea de errores tales como los debidos a una secuencia incorrecta que es desplazada en el registro. Con este fin, una etapa adicional SRA está conectada en tándem a la última etapa SRn del registro de desplazamientos. La salida  $\overline{AA}$  AA de la etapa SRA se conecta a las puertas lógicas de decodificación de la misma manera que las salidas de las otras etapas de registro de desplazamientos SR1 a SRn. Así, las salidas de las etapas de registro de desplazamientos, comprendiendo la etapa SRA, se conecta a cada una de las puertas G1 a Gk en una combinación de la función de Boolean única  $f(\overline{A1} A1, \overline{A2} A2, \dots, \overline{An} An, \overline{AA} AA)$ , correspondiendo la combinación conectada a cada puerta, de acuerdo con la presente invención, a un grupo diferente de  $n + 1$  bitios adyacentes de la secuencia de registro de desplazamientos. Así, con fi



nes de detección de errores en el ejemplo ilustrativo descrito, la salida  $\overline{AA}$  de la etapa SRA correspondiente al bitio 41 está conectada a la primera puerta G1, la salida correspondiente al bitio -42- está conectada a la puerta G2, y así sucesivamente, estando conectada la salida correspondiente al bitio -40- a la última puerta Gk.

Es evidente que conectando la etapa adicional SRA a las puertas de decodificación de la misma manera que las etapas SRI a SRn, es decir, de acuerdo con los grupos de bitios adyacentes de la secuencia que se ha de decodificar, los bitios  $n + 1$  en las etapas combinadas en cualquier momento representan una disposición válida si los bitios  $n$  en las etapas SRI a SRn son válidos. En consecuencia, será generada la señal de temporización de bitios correcta para el grupo particular de  $n$  bitios en las etapas SRI a SRn. Sin embargo si se desplaza un bitio incorrecto dentro de la etapa SRI, debido, por ejemplo, a una ráfaga de ruido, los bitios  $n+1$  no comprenderán una disposición válida y, por tanto, ninguna de las puertas G1 a Gk será habilitada para generar una señal de temporización de bitios. Esto se apreciará por el hecho de que una disposición de  $n$  bitios se produce en la secuencia de registro de desplazamientos solamente una vez cada  $K$  bitios vueltas.

De acuerdo con la presente invención, un bitio erróneo desplazado en el registro de desplazamientos es reflejado de este modo substancialmente de manera instantánea como un estado de error en la forma de una salida de "todo ceros" en los conductores Btl a BTK. Este estado es prontamente detectado por el flip-flop de error ERR el cual es



establecido por la salida de todo ceros, ilustrativamente a través de la puerta NAND -51- y de la puerta de verificación -53-. Con esta finalidad la puerta de verificación -53- es habilitada por una señal de conmutación en el conductor de VERIFICACION cada vez que un bitio de nueva secuencia es desplazado en la etapa SRL. La señal de conmutación por el conductor de VERIFICACION se puede derivar, por ejemplo, de las señales de bitio en el conductor de DESPLAZAMIENTO adecuadamente retrasado, si es necesario, para asegurar que las etapas de registro de desplazamientos han sido establecidas. La señal de establecimiento del flip-flop ERR en el conductor -55-. indicando un estado de error, puede ser utilizada de cualquier manera si se desea para una aplicación particular, después de lo cual el flip-flop ERR es restablecido por una señal sobre el conductor de RESTABLECIMIENTO. .

Para ilustrar la capacidad de detección de error que provee el dispositivo de la figura 1, supóngase que en las etapas SRL a SRA existe una disposición de bitios válida, tal como 6 a 12 bitios de la secuencia de la figura 2. Por ello sobre el conductor BT12 (no representado) es generada una señal de temporización de bitios válida. La siguiente señal a desplazar en la etapa SRL es el bitio BT13- y, si es válido (es decir, un binario 0), es generada una señal de temporización de bitios sobre el conductor BT13 (no ilustrado). Si un binario -1- es desplazado en la etapa SRL por error, dando por resultado una disposición de n+1 bitios no válida en las etapas SRL a SRA, no se generará señal de temporización de bitios sobre cualquiera de los conductos BT1 a



Btk y acord establecido el flip-flop ERR.

5 Sin embargo, en ausencia de la etapa adicional SRA y las conexiones de salida de la misma a las puertas G1 a Gk, el desplazamiento del binario -1- incorrecto en la etapa SRI produce una disposición de n bitios válida aunque incorrecta, o sea, la disposición correspondiente a los bitios 3 a 8. En consecuencia, con ello es generada una señal de temporización de bitios incorrectamente sobre el conductor BTS (no ilustrado), más bien que sobre el conductor correcto  
10 to BT13

De acuerdo con otro aspecto de la disposición de detección de error de la figura 1, se ha descubierto que detecta ventajosamente ciertos fallos internos de los elementos de circuito, tal como una de las etapas del registro  
15 de desplazamientos que quede permanentemente establecida o restablecida. Este estado de error da por resultado una disposición de bitios no válida que ocurre en las etapas SRI a SRA dentro de k o menos desplazamientos, lo que da por resultado una salida de todo ceros para restablecer el flip-flop  
20 ERR. El número real de desplazamientos dentro del cual es detectado el estado de error depende de que etapa del registro de desplazamientos es la que falla. Cuanto más marcado es el fallo que aparece en las etapas finales de registro de desplazamientos, tales como las etapas SRI y SRA, más rápidamente es detectado el estado de error.  
25

Si bien la descripción anterior ha supuesto el empleo de la invención con relación a la decodificación de secuencias de registro de desplazamientos, se apreciará que los principios de la misma pueden ser utilizados análogamen-

31 AGO. 1978



- 12 -

te en relación con la codificación de dichas secuencias.  
Por tanto, se comprende que las disposiciones anteriormente  
descritas son solamente ilustrativas de los principios de  
la presente invención. Los entendidos en la materia pueden  
5 idear otras numerosas disposiciones sin apartarse del es-  
píritu y marco de la invención.

N O T A

Se reivindica como objeto de la presente patente  
de invención:

10 1.- Método perfeccionado para detectar errores en  
secuencias de registro de desplazamientos del orden  $n$ , don-  
de  $n$  es el número de bits en cada una de las secuencias  
individuales de la secuencia de registro de desplazamientos,  
caracterizado por comprender las etapas de introducir  $n + 1$   
15 bits sucesivos de la secuencia de registro de desplazamien-  
tos de un registro de desplazamientos, decodificar  $n + 1$  bi-  
tios sucesivos de la secuencia de registro de desplazamien-  
tos, y generar una señal en respuesta a la decodificación de  
un grupo válido de cada  $n + 1$  bits sucesivos de la secuen-  
20 cia de registro de desplazamientos.

25 2.- Aparato perfeccionado para detectar errores en  
secuencias de registro de desplazamientos, que funciona de  
acuerdo con el método de la reivindicación 1, que comprende  
un registro de desplazamientos ( $SR1, -SRn$ ) de  $n$  etapas de re-  
gistro de desplazamientos conectadas en serie, y aparatos  
para introducir los bits de una secuencia de registro de  
desplazamientos en el registro de desplazamientos, caracteri-



sado porque comprende una etapa adicional (SRA) conectada en serie con las etapas de registro de desplazamientos conectadas en serie; aparatos de decodificación ( $G_1$  —  $G_k$ ) que están conectados a las etapas  $n + 1$  del registro de desplazamientos para decodificar cada secuencia de registro de desplazamientos ( $n + 1$ ); y aparatos generadores de señales (51, 53) conectados al aparato de decodificación para generar una señal en respuesta a la decodificación de  $n + 1$  bits sucesivos válidos de la secuencia de registro de desplazamientos.

5  
10 3.º Aparato, según la reivindicación 2, caracterizado porque el aparato de decodificación comprende un circuito de puerta individual para cada uno de los grupos de  $n + 1$  bits válidos de la secuencia de registro de desplazamientos.

15 4.º Aparato, según la reivindicación 2, caracterizado porque el aparato de generación de señales conectado al aparato de decodificación comprende circuitos de detección sensibles a una disposición predeterminada de señales procedentes de los circuitos de puerta de decodificación que indica un error o grupo no válido de  $n + 1$  bits de la secuencia de registro de desplazamientos.

20 5.- Método y aparato perfeccionados para detectar errores en secuencias de registro de desplazamientos.

Esta memoria consta de trece páginas escritas por una sola cara.

BARCELONA, 31 de Agosto de 1.972

P.A.



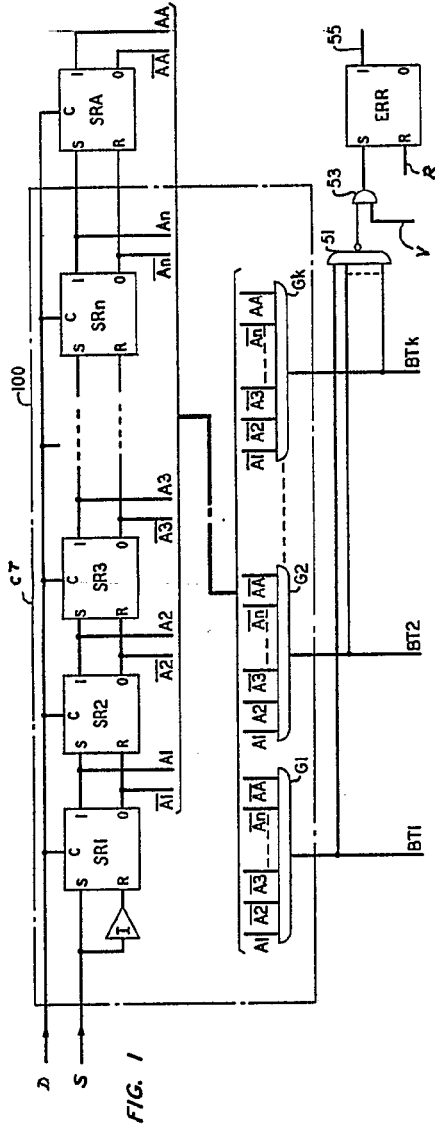
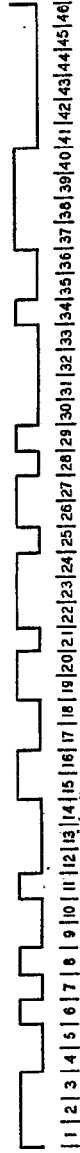
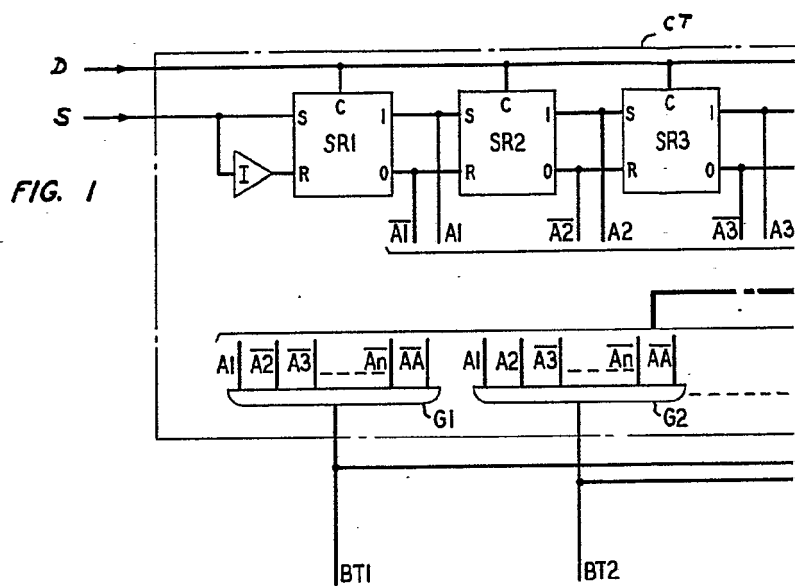


FIG. 1

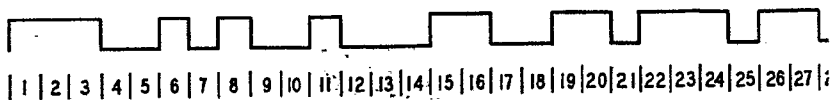
FIG. 2



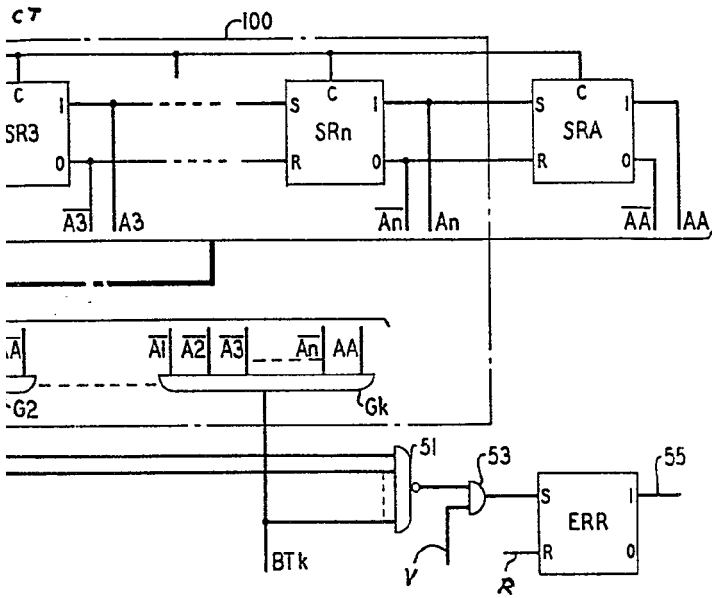
*[Handwritten signature]*



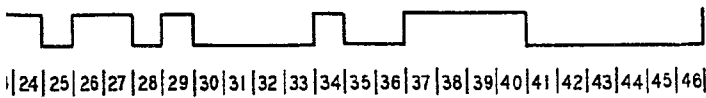
**FIG. 2**



31 AGO 1972



2



FOR INSPECTION  
ONLY