





pluralidad de dispositivos digitales por medio de una línea de transmisión de anillo cerrado que tiene una pluralidad de vías de comunicación.

5 Con frecuencia conviene cambiar información digital entre máquinas digitales. Si tales máquinas se hallan separadas por una distancia geográfica importante, hasta la fecha ha sido necesario comprar o alquilar un equipo de transmisión en exclusividad entre dichas máquinas, o disponer una conexión temporal entre las mismas mediante equipos de transmisión conmutada por portador común o uniforme. Dado que  
10 las expresadas máquinas requieren una capacidad de canal digital muy grande, aunque solo durante períodos cortos y ocasionalmente, los equipos disponibles descritos han resultado ser ineficaces para este empleo, Por ejemplo, los  
15 equipos de transmisión exclusiva permanecen sin ser utilizados la mayor parte del tiempo. Los equipos de portador común conmutados tienden a ser limitados en cuanto a anchura de banda a las frecuencias vocales y, por ello, no son adaptables inmediatamente para transmisión digital a velocidad elevada.  
20

Otro problema que se presenta con los equipos conmutados reside en el hecho de que con frecuencia se necesita más tiempo para establecer la vía de transmisión que para la transmisión de datos completa. La red telefónica  
25 requiere tiempo de transmisión real en el sentido de que las señales han de ser entregadas substancialmente en el mismo tiempo en que se generan. Por tanto, el procedimiento adoptado consiste en establecer la vía de comunicación completamente antes de transmitir cualesquiera señales. En

406399

- 3 -

406399



consecuencia, en instalaciones telefónicas se ha utilizado la conmutación centralizada. Por otra parte, la transmisión digital de datos no ha de ser efectuada necesariamente en tiempo real, y, por tanto, resulta completamente sin provecho el establecer una conexión completa antes de la  
5 transmisión. Tales hechos tienden a hacer que sean anti-económicos los equipos de interconexión disponibles actualmente para comunicaciones digitales entre máquinas.

Los problemas expuestos son resueltos de acuerdo con la presente invención mediante una disposición de transmisión de datos que comprende una unidad de conmutación que comprende circuitos de terminación de línea para recibir solicitudes procedentes de los dispositivos digitales para vías de comunicación, y circuitos de control para almacenar descripciones de las vías solicitadas y para utilizar las descripciones almacenadas para activar las vías de  
15 comunicación solicitadas cuando los datos son realmente transmitidos.

Una ventaja de la presente invención es que hace posible que las máquinas digitales en las que la capacidad de tratamiento de datos varía ampliamente, comuniquen eficiente y económicamente.  
20

Además, la presente invención provee un sistema que permite que una máquina digital comunique con una pluralidad de otras máquinas digitales sin necesidad de reprogramar dicha máquina cuando se cambia el número de capacidades de las máquinas en el sistema.  
25

En los dibujos:

La figura 1 es un diagrama en bloques de un sistema



de transmisión digital de acuerdo con la presente invención,

La figura 2 ilustra la manera en que se transmiten datos e información de señalización en el sistema de la figura 1.

5 La figura 3 es un diagrama más detallado de la unidad de conmutación representada en la figura 1.

La figura 4 es un esquema más detallado de una parte del sistema de transmisión ilustrado en la figura 1.

10 La figura 5 ilustra el formato de las señales que aparecen sobre las líneas y anillos de transmisión que se representan en la figura 1.

La figura 6 es una vista aumentada de una parte de la figura 5.

15 La figura 7 muestra la manera en que se utiliza en esta invención el formato de línea ilustrado en la figura 5.

La figura 8 es una vista ampliada de una parte de la figura 7.

20 La figura 9 es otra vista ampliada de una parte de la figura 7.

La figura 10 es una representación de una palabra de instrucción empleada por el computador de interfaz ilustrado en la figura 4,

25 La figura 11 es un diagrama en bloques del computador de interfaz representado en la figura 4.

La figura 12 es un diagrama de temporización útil para entender el funcionamiento del computador de interfaz ilustrado en la figura 11.

La figura 13 es un diagrama funcional que ilustra



la transferencia de datos y señales entre el dispositivo digital, la unidad de interfaz terminal y la unidad de conmutación que se representan en la figura 1.

5 La figura 14 es un diagrama funcional que ilustra la transferencia de datos y señales entre las unidades de conmutación representadas en la figura 1.

Las figuras 15, 16 y 17 muestran los formatos de los datos y señales que se transmite en el sistema de la figura 1.

10 Las siglas siguientes significan en las figuras:

FIGURA 1

- DD Dispositivo digital
- TIU Unidad de interfaz terminal
- LAM Módulo de acceso de anillo
- 15 UC Unidad de conmutación
- OUC A otras unidades de conmutación

FIGURA 2

- UTT Unidad de interfaz terminal de transmisión
- UTR " " " " recepción
- 20 UC " de conmutación

FIGURA 3

- UTL Unidad de terminación de línea
- CC Computador de control
- OUC A otras unidades de conmutación
- 25 DD Dispositivo digital
- TIU Unidad de interfaz terminal
- LAM Módulo de acceso de anillo

FIGURA 4

- CC Computador de control



	MTA	Memoria intermediaria de transmisión de anillo
	MRA	" " ? " recepción " "
	SGB	Separador de grupo de bitios adyacentes
	CGB	Coordinador " " " "
5	UET	Unidad de equilibrado terminal
	RO	Repetidor de estación
	RL	" " línea
	RP	Relé de protección
	UE	Unidad de equilibrado
10	MP	Monitor de potencia
	TSD	Transmisor simultáneo de datos
	CSC	Computador de interfaz
	MIT	Memoria intermediaria terminal
	DD	Dispositivo digital
15	<u>FIGURA 5</u>	
	EPS	Encuadre principal del sistema
	E T1	" T1
	BE	Bitios de encuadramiento
	<u>FIGURA 6</u>	
20	VA E T1	Vista aumentada encuadre T1
	RT	Ranura de tiempo
	AB"1" = 50% RT	Anchura de banda bitio "1" = 50% ranura de tiempo
	BE	Bitio de encuadramiento
25	BEX	" " excitación
	S 8RT	Subgrupo 8 ranuras de tiempo
	<u>FIGURA 7</u>	
	EPS	Encuadre principal del sistema
	B	Bitios

406399 - 7 -



GBA Grupo de bitios adyacentes

FIGURA 8  
EPS - VA

Encuadre principal del sistema. Vista aumentada.

- 5 GBA Grupo de bitios adyacentes
- PS Paquete de señales
- PD " " datos
- EP Encuadre principal

FIGURA 9

- 10 EPS-VMA Encuadre principal del sistema-Vista más aumentada

SG 8RT Subgrupo 8 ramuras de tiempo

GBA Grupo de bitios adyacentes

PS Paquete de señales

- 15 PD " " datos

FIGURA 10

CCF Campo de código de funcionamiento

CR Campo R

CT Campo T

- 20 CX Campo X

FPC Formato de palabra de orden de computador de interfaz

FIGURA 11

RO Registro de orden

- 25 CS Circuito selector

A Acumulador

DC Detector de ceros

GF Generador de función

AP Almacón de programa



	CP	Contador de programa
	SE	Selector de escritura
	APE	Almacén periférico
	CC	Circuito selector
5	AT	Almacén de trabajo
	<u>FIGURA 12</u>	
	Cl	Ciclo 1
	P	Parada
	<u>FIGURA 13</u>	
10	DD	Dispositivo digital
	SDC	Selección de datos y canal
	SEL	Paquetes de datos y señales selectoras SEL
	IDC	Interrupción de datos y canal
	TIU	Unidad de interfaz
15	AGK	Señales de confirmación ACK
	UC	Unidad de conmutación
	<u>FIGURA 14</u>	
	IDL, STRT	Paquetes de datos y señales IDL y STRT
	UC	Unidad de conmutación
20	ACK, NACK	Señales de confirmación ACK y de no confirmación NACK
	<u>FIGURA 15</u>	
	LC	Longitud de campo
	ID	Identificación
25	S	Señal
	CNTRL	Central
	L	Longitud
	D	Datos
	GBA	Grupo de bits adyacentes



PS Paquete de señales

PD Paquete de datos

FIGURA 16

S Señal

5 SEQ Secuencia

FIGURA 17

C Central

SE Secuencia

T Tipo

10 La presente invención comprende un sistema de anillos de transmisión conectados entre sí, cuyo sistema incluye una pluralidad de unidades de conmutación interconectadas que comprenden computadores digitales programables de uso general. A cada unidad de conmutación está conectado  
15 al menos un anillo de transmisión, Cada anillo comprende por lo menos un módulo de acceso de anillo y a cada módulo está vinculada una unidad de interfaz terminal a la que se halla conectado un dispositivo digital.

20 Cada unidad de conmutación controla la transmisión de datos y desde los dispositivos digitales que están vinculados a sus anillos de transmisión. Cada dispositivo digital puede tener asignados hasta 256 canales diferentes, uno de los cuales se emplea solamente para transmitir señales entre los dispositivos digitales y su unidad de conmutación asociada. La unidad de conmutación controla la distribución y estructuración reales de los 255 canales reales mediante un proceso que se puede denominar "distribución virtual".

Cuando se recibe una solicitud para hacer una conec-



xión, la unidad de conmutación determina y almacena las características de la vía de transmisión necesaria para atender la solicitud. En este tiempo no son establecidas vías de transmisión reales y no son asignados recursos del sistema reales excepto para la cantidad de la memoria de unidad de conmutación empleada para almacenar las características de vía de transmisión. La vía de transmisión se establece realmente sólo cuando el dispositivo digital empieza a transmitir datos. Entonces la circulación de datos es controlada de acuerdo con las características previamente determinadas por un nuevo algoritmo que comporta un procedimiento de reconocimiento de solicitud. Realmente es mantenida una vía de transmisión sólo mientras se transmiten datos. En caso contrario, la vía de transmisión permanece tan sólo asignada virtualmente. Dado que es característico de los dispositivos digitales el transmitir datos en forma de ráfagas con pausas entre ellas, este método de control del sistema elimina las vías de transmisión libres. Este empleo más eficiente de recursos de transmisión permite el tratamiento de un volumen de datos mayor.

Los módulos de acceso de anillo sirven para retener los datos que circulan alrededor de los anillos de transmisión y para proveer una interfaz entre los anillos y las unidades de interfaz terminales. Las unidades de interfaz terminales transfieren datos sobre una base doble entre su dispositivo digital asociado y el resto del sistema. Cada unidad de interfaz terminal comprende un pequeño computador digital programable que actúa recíprocamente con el computador en la unidad de conmutación para controlar la

406399 - 11 -



transmisión de señales entre la unidad de conmutación y el dispositivo digital asociado y sirve para controlar la transferencia de datos a y desde el dispositivo digital.

5 El algoritmo que rige la transmisión de datos en el sistema comprende dos partes de programa, una de ellas almacenada en y ejecutada por la unidad de conmutación y la otra almacenada en y ejecutada por el computador contenido en la unidad de interfaz terminal. Dicho algoritmo utiliza las características de la transferencia de datos solicitados para determinar los recursos del sistema que serán necesarios. Durante la transmisión de datos real, el algoritmo provee la acción de almacenamiento de memoria intermedaria que se necesita para permitir al dispositivo digital de solicitud transmitir datos al dispositivo digital de recepción. De este modo, el algoritmo sirve para igualar las características de transmisión de datos del dispositivo digital de transmisión con las características de recepción de datos del dispositivo digital de recepción.

10

15

20 Antes de proceder a una descripción detallada de los dibujos, debe hacerse constar que todos los circuitos que se describen se pueden realizar, en la forma de ejecución ilustrativa, empleando circuitos integrados. Por ejemplo, se pueden hallar circuitos adecuados en la obra "catálogo del circuito integrado", Catálogo CC401, primera edición, publicada por la firma estadounidense Texas Instruments Inc. y, opcionalmente, en la obra "Libro de datos microelectrónicos", segunda edición, publicada por la firma Motorola Semiconductor Products Inc., con fecha de Diciembre de 1969.

25



Con referencia más particularmente a la figura 1, se muestra una representación gráfica de un sistema de transmisión de datos de acuerdo con la presente invención. El sistema comprende una pluralidad de unidades de conmutación -10- que se hallan conectadas entre sí por medio de líneas de transmisión -12-. A cada unidad de conmutación -10- está vinculado por lo menos un anillo de transmisión -14-. Cada uno de tales anillos de transmisión -14- está conectado a por lo menos un módulo de acceso de anillo -16-. El módulo de acceso de anillo -16- sirve para orientar datos alrededor del anillo -14- y para tomar datos del anillo y colocarlos en el anillo de la manera que se describirá con mayor detalle más adelante. Cada módulo de acceso de anillo -16- está conectado a una unidad de interfaz terminal -17- que provee una interfaz entre un dispositivo digital vinculado -18- y el resto del sistema. La transmisión de datos en el sistema es controlada principalmente por la acción recíproca de la unidad de interfaz terminal -17- y la unidad de conmutación -10-.

Dicha interacción se ilustra esquemáticamente en la figura 2. La figura 2 representa una vía de transmisión dúplex completa en la que una unidad de superficie de contacto terminal -19- del tipo ilustrado en la figura 1 transmite datos a otra unidad de superficie de contacto terminal -23- que los recibe. La unidad de interfaz terminal de recepción -23- responde enviando datos o señales, o bien datos y señales a la unidad de interfaz terminal de transmisión -19-. Dado que la vía de transmisión es dúplex total, tales acciones pueden producirse simultáneamente.

406399

- 13 -



Si bien es posible que comuniquen dos unidades de interfaz terminal -17- (Fig. 1) en el mismo anillo de transmisión -14-, una comunicación típica comprende, como se indica en la figura 2, más de una unidad de conmutación. El algoritmo del sistema detallado por medio del que tiene efecto esta comunicación se describe más adelante siguiendo las explicaciones detalladas respecto al aparato ilustrado en la figura 1. Sin embargo, una consideración de la siguiente descripción sucinta del procedimiento de comunicación en el sistema de la figura 1 hará más comprensible la descripción del aparato.

El sistema de transmisión digital de la figura 1 proporciona a cada dispositivo digital -18- que emplea el sistema la capacidad de seleccionar hasta otros 256 dispositivos en el sistema, a los cuales puede transmitir o de los que puede recibir datos. Cada una de dichas selecciones comprende un "canal" que se emplea para indicar una ruta previamente seleccionada. Esto es como si cada dispositivo digital tuviera vinculados a él 256 canales de transmisión dúplex total cada uno de los se podría emplear a base de uno cada vez, para enviar o recibir datos. Aunque cada dispositivo tiene sólo 256 canales, los destinos de estos canales pueden ser cambiados por el dispositivo como convenga. Uno de dichos canales se reserva para la comunicación con la unidad de conmutación que controla el anillo de transmisión al que está vinculado el dispositivo particular. Este canal, denominado el "canal de control" es empleado por la unidad de interfaz terminal asociada con el dispositivo digital para establecer una vía de transmisión de datos,



proveyendo para ello a la unidad de conmutación más inmediatamente asociada la dirección total del destino propuesto de los datos que aparecen sobre cada uno de los 255 canales restantes. El canal de control es utilizado asimismo por

5 la unidad de conmutación para hacer que el dispositivo digital elija el canal sobre el que desea recibir datos que son enviados por otro dispositivo digital. La unidad de conmutación conserva una lista que indica la correspondencia entre las direcciones absolutas y los 256 canales de

10 cada uno de los dispositivos digitales conectados a ella. De este modo, para cada transmisión o recepción, un dispositivo digital necesita solamente tratar una dirección de ocho bitios. La figura 2 ilustra un canal totalmente duplex individual entre una unidad terminal de transmisión

15 -19- y una unidad terminal de recepción -23-. Las unidades de interfaz terminales -19- y -23- y las unidades de conmutación -20-, -21-, y -22- se ilustran con componentes marcados con los sufijos  $\alpha$  y  $\beta$ . La marca " $\alpha$ " se relaciona con la transmisión de datos, en tanto que la marca " $\beta$ "

20 tiene relación con la recepción de datos. La conexión entre una  $\alpha$  particular y la  $\beta$  a la que transmite se denomina un "enlace". El sufijo "T" tiene relación con la mitad de la vía de transmisión totalmente duplex denominada un "subcanal" y que se ilustra en la figura 2 como la vía -15-

25 que transmite datos desde la unidad de interfaz terminal de transmisión -19- a la unidad de interfaz de recepción -23-. El sufijo "R" tiene relación con el otro subcanal de la vía de transmisión totalmente duplex.

Los "componentes"  $\alpha$  y  $\beta$  precitados e ilustrados en

406399

- 15 -



la figura 2 se refieren no solamente al aparato, sino también a los procesos y parámetros almacenados que sirven para controlar la transmisión y recepción de datos entre las unidades de interfaz terminales y las unidades de conmutación. Los procesos  $\alpha$  emplean los parámetros  $\alpha$  para controlar la transmisión de datos, en tanto que los procesos  $\beta$  utilizan los parámetros  $\beta$  para controlar la recepción de datos. Más adelante se describirá con mayor detalle la manera exacta en que dichos procesos proveen la comunicación de datos conveniente. En general, una unidad de superficie de contacto terminal tendrá solamente una serie única de parámetros  $\alpha$  y una serie única de parámetros  $\beta$  cuyas series están ambas determinadas únicamente por las características del dispositivo digital asociado. Por consiguiente, los parámetros  $\alpha$  y  $\beta$  de una unidad de interfaz terminal permanecen iguales para cada uno de los 256 canales con los que puede comunicar.

Sin embargo, ello no es así para las unidades de conmutación. Cada unidad de conmutación estará comunicando en cualquier momento con sólo un canal particular de los 256 canales totalmente duplex de una unidad de interfaz terminal especificada. Cada mitad de este canal tiene un par  $\alpha - \beta$  asociado que no tiene que corresponder necesariamente con el par  $\alpha - \beta$  en la otra mitad del canal. En el ejemplo ilustrado en la figura 2,  $\alpha_{T1}$  representa las características de transmisión de la unidad de interfaz terminal de transmisión -19-, en tanto que  $\beta_{Rn}$  representa las características de recepción de dicha unidad. La unidad de conmutación -20- recibe datos por el enlace -24- que



proceden de la unidad de interfaz terminal -19- de acuerdo con los parámetros  $\beta_{T1}$  y retransmite los datos a la unidad de conmutación -21- por el enlace -25- de acuerdo con los parámetros  $\alpha_{T2}$ . Análogamente, la unidad de conmutación

5 -20- recibe datos enviados por la unidad interfaz terminal de recepción -23- desde la unidad de conmutación -21- sobre el enlace -28- de acuerdo con los parámetros  $\beta_{R(n-1)}$  y los retransmite a la unidad de interfaz terminal de transmisión -19- sobre el enlace -29- de acuerdo con los parámetros

10  $\alpha_{Rn}$ .

Cada unidad de conmutación tiene dos pares  $\alpha-\beta$  para cada canal totalmente duplex que se hace seguir a través de ella. Así, la unidad de conmutación -22- puede tener, por ejemplo, no sólo los dos pares  $\alpha-\beta$  ilustrados en

15 la figura 2, sino también otros de tales pares asignados a otros canales procedentes de otras unidades de interfaz terminal asociadas con la unidad de conmutación -20- y la unidad de conmutación -21-. La distribución de dichos pares en varias unidades de conmutación se denomina "distribución virtual", dado que todo lo que se necesita hacer es

20 almacenar los pares  $\alpha-\beta$  correctos. Así pueden ser distribuidos virtualmente muchos canales en cualquier tiempo. Se puede activar realmente un canal particular, ordenando para ello a las pertinentes unidades de conmutación que

25 empiecen a recibir y retransmitir datos sobre una base semiduplex de acuerdo con dicho par apropiado  $\alpha-\beta$  de canal particular.

Continuando con la descripción del aparato de la figura 1, se observa que la figura 3 es una ilustración



más detallada de una unidad de conmutación única -10-. Cada  
unidad de conmutación -10- comprende un computador de con-  
trol único -30- que comunica con una pluralidad de unida-  
des de terminación de línea -31-. Es necesaria una unidad  
5 de terminación de línea -31- para cada anillo de transmi-  
sión -14- y cada línea de transmisión -12- que está conec-  
tada a la unidad de conmutación -10-. Dichas unidades sir-  
ven para hacer salir datos desde el computador de control  
-30- sobre los anillos de transmisión -14- y las líneas de  
10 transmisión -12-. Las líneas de transmisión -12-, así  
como los anillos de transmisión -14- son del tipo adecuado  
para transmisión de enquadre fijo, digital sincrónica. En  
la siguiente descripción del ejemplo de realización de la  
presente invención, se supondrá que las líneas de transmi-  
15 sión -12- y los anillos de transmisión -14- comprenden lí-  
neas portadoras T1 normalizadas del tipo ya bien conocido  
en la técnica anterior.

La figura 4 es un diagrama más detallado del apa-  
rato necesario para controlar un anillo de transmisión in-  
20 dividual que se halla conectado un módulo de acceso de an-  
illo individual -16-. Como sea que cada unidad de termina-  
ción de línea -31- funciona de la misma manera, tanto si  
está conectada a una línea de transmisión -12-, como si lo  
está a un anillo de transmisión -14-, una descripción de-  
25 tallada del aparato ilustrado en la figura 4 será suficiente  
para explicar el funcionamiento del sistema representado  
en la figura 1.

Volviendo al computador de control -30- ilustrado  
en la figura 4, este es el dispositivo que efectúa los pre-



citados procesos de distribución virtual y activación real de canales que se precisan para permitir a la unidad de interfaz terminal -17- que comunique con otras unidades de interfaz terminal del sistema. El computador de control

5 -30- puede ser cualquiera de los muchos computadores digitales de usos generales disponibles en el mercado. El computador elegido para alguna ejecución de función particular estará condicionado por el tamaño del sistema que convenga. En la siguiente descripción, se supone que el computador

10 -30- es un computador TEMPO 1 fabricado por la firma TEMPO Computers Incorporated, una división de la empresa estadounidense General Telephone and Electric, Incorporated.

El computador de control -30- está conectado a una

15 memoria intermediaria de transmisión de anillo -34- de la unidad de terminación de línea -31- por medio de las líneas -32-. Como sea que el computador TEMPO 1 tiene una salida de dieciseis bitios, las líneas -32- representadas en la figura 4 comprenden 16 cables separados que conectan entre

20 sí el registro de salida del computador TEMPO 1 y la memoria intermediaria de transmisión de anillo -34-. La memoria intermediaria de transmisión de anillo -34- almacena temporalmente las palabras de dieciseis bitios expedidas por el computador de control -30-. Después que la memoria

25 intermediaria almacena estos datos, la memoria intermediaria de transmisión de anillo -34- las expide al separador de grupo de bitios adyacentes -40-. Cada una de tales salidas comprende una palabra de diez bitios, ocho bitios de datos procedentes del computador de control -30- y dos

406399 - 19 -



bitios de información de control que son suministrados por los circuitos de la memoria intermediaria de transmisión de anillo -34-.

5 Dichas palabras de doce bitios son transferidas desde la memoria intermediaria de transmisión de anillo -34- al separador de grupo de bitios adyacentes -40- de la unidad de terminación de línea -31- por medio de las líneas -38- las cuales comprenden doce hilos, uno para cada bitio. El separador de grupo de bitios adyacentes -40-  
10 sirve para transformar la salida de la memoria intermediaria de transmisión de anillo -34- en datos en serie para transferencia a la unidad de equilibrado terminal -42- sobre la línea -44-.

15 La unidad de equilibrado terminal -42- de la unidad de terminación de línea -31- proporciona la interfaz que conecta la entrada y la salida del computador de control -30- con el anillo de transmisión -14-, o bien con una línea de transmisión -12- para aquellas unidades de terminación de línea -31- que están conectadas con las líneas  
20 de transmisión -12-. Dicha unidad de equilibrado terminal comprende un equipo TI normalizado el cual puede obtenerse en el mercado procedente de la división Vicom de la firma estadounidense Vidar Corporation, bajo la denominación Unidad de Equilibrado Terminal Vicom 2020. La unidad de  
25 equilibrado terminal -42- está conectada con el repetidor de estación -50- por medio de las líneas -46- y -48-. Las líneas -46- comprenden un par de cables que permiten la transmisión de datos desde el computador de control -30- al anillo de transmisión -14- y las líneas -48- comprenden un



par de cables que permiten la transmisión de datos desde el anillo de transmisión -14- al computador de control -30-2

El repetidor de estación -50- sirve para suministrar potencia a la línea T1 que comprende el anillo de transmisión -14-. Esta unidad es asimismo obtenible en el mercado bajo la denominación Repetidor de Estación Vicom 2010.

Como se puede ver en la figura 4, del repetidor de estación -50- salen datos que circulan sobre el anillo de transmisión -14- y son transferidos al repetidor de línea -52- que está contenido en el módulo de acceso de anillo -16-. El repetidor de línea -52- sirve para retransmitir los datos recibidos sobre el anillo de transmisión -14- procedentes del repetidor de estación -50- y, además, constituye el medio con el que el módulo de acceso de anillo -16- toma los datos procedentes de la línea -14- y los dispone sobre el anillo -14-. El repetidor de línea -52- es también una pieza del equipo T1 que en el mercado es obtenible bajo la denominación de Repetidor de Línea Auto-compensador Vicom 1550-04. El repetidor de línea -52- es accionado por línea y sirve para ajustar automáticamente las variaciones en la longitud de cable entre repetidores adyacentes sometidos a una limitación de magnitud. En las ejecuciones en las que los módulos de acceso de anillo están muy próximos entre sí y por consiguiente fuera de la gama de compensación de los repetidores, se pueden insertar redes de cable artificial de 15 decibelios entre repetidores de una manera que resultará evidente para los expertos en la materia.

406309 - 21 -



Con el fin de asegurar el funcionamiento adecuado del sistema, si faltase potencia en un módulo de acceso de anillo particular, cada módulo de acceso de anillo -16- está provisto de un relé de protección -54-. El relé de protección -54- tiene contactos de conmutación que cuando están desactivados conectan las líneas -78- y -80- y cuando son activados conectan las líneas -79- y -80-. De este modo, si el monitor de potencia -76- no suministra sobre la línea -77- una señal al relé de protección -54-, éste pondrá fuera de circuito el módulo de acceso de anillo -16- y simplemente permitirá que el repetidor de línea -52- retransmita datos sobre el anillo de transmisión -14-.

El monitor de potencia -76- es un multivibrador monoestable disparable y, por consiguiente, suministrará una señal de salida mientras la unidad de interfaz terminal le provee potencia y, además, es activado de manera continua por la puerta AND -73-. La puerta AND -73- tiene dos entradas, una desde el computador de interfaz -62-, cuya entrada es alimentada periódicamente si el computador de interfaz -62- funciona adecuadamente, y la otra entrada desde el multiplicador -58- a través del inversor -74-. La señal suministrada por el multiplicador de datos -58- indica que fué detectado un error de encuadre en la entrada de datos de las líneas -71-. De este modo el inversor -74- inhibe la puerta AND -73- cuando es suministrada una señal de error por el multiplicador de datos -58- sobre la línea -75-.

La unidad de equilibrado -56- del módulo de acceso



de anillo -16- representada en la figura 4 cumple la misma función que la unidad de equilibrado terminal -42-. En realidad, la unidad de equilibrado -56- puede comprender también una Unidad de Equilibrado Terminal Vicom 2020.

5 El multiplicador de datos -58- de la unidad de interfaz terminal-17- que se ilustra en la figura 4 sirve para recibir datos de la unidad de equilibrado -56- del módulo de acceso de anillo -16- sobre las líneas -71-, y para transferir los datos a la unidad de equilibrado -56-  
10 sobre las líneas -72-. El multiplicador de datos -58- sirve para reunir los datos en serie procedentes de la unidad de equilibrado -56- en palabras de ocho bits para su transmisión a la memoria intermedia terminal -60- y sirve, además, para separar palabras de ocho bits procedentes de la memoria intermedia -60- en datos en serie que se transfieren, haciéndolos volver a la unidad de  
15 equilibrado -56-.

La memoria intermedia -60- sirve para almacenar datos que van y vienen del dispositivo digital -18-. Esta  
20 memoria intermedia sirve para aislar el dispositivo digital -18- de la velocidad sincrónica del anillo de transmisión -14-.

El computador de interfaz -62- provee el control de la unidad de interfaz terminal -17-. El computador de  
25 interfaz -62- que se describe con más detalle con referencia a las figuras 11 y 12, es un computador digital que tiene un repertorio de instrucción limitado. No obstante, este repertorio es suficientemente flexible para permitir la programación del computador de interfaz -62- con el

406399  
- 23 -



fin de que efectuó las diversas tareas que son de importancia crítica en la ejecución del precitado algoritmo de transmisión. En esta forma de realización ilustrativa se describe un computador digital especialmente diseñado.

5 Sin embargo, las funciones realizadas por el computador de interfaz -62- pueden ser efectuadas empleando para ello un computador digital del mercado como podrán ver los expertos en la materia mediante la posterior descripción del computador de interfaz -62-.

10 Los datos en serie que emergen del repetidor de línea -52- del módulo de acceso de anillo -16- retornan al computador de control -30- por mediación del repetidor de estación -50- y la unidad de equilibrado terminal -42-. Los datos son transferidos en serie desde la unidad de  
15 equilibrado terminal -42- por la línea -62- al reunidor de grupos de bitios adyacentes -64-. El reunidor de grupos de bitios adyacentes -64- efectúa la operación inversa a la realizada por el separador de grupos de bitios adyacentes -40-, esto es, reúne los datos en serie procedentes  
20 de la unidad de equilibrado terminal -42- en grupos de ocho bitios adyacentes para su transmisión a la memoria intermedia de recepción de anillo -66- a las líneas -68-.

25 Antes de proseguir con los diagramas más detallados del aparato, que se ilustran en la figura 4, será ventajoso considerar primeramente el formato de datos del sistema, que se ilustra en las figuras 5 y 6.

El formato que se muestra en la figura 5 es el formato de línea T1 normalizado. La secuencia de bitio



que aparece sobre la línea T1 se divide en encuadras normalizados cada uno de los cuales comprende un bitio de encuadramiento seguido por 129 ranuras de tiempo. El bitio de encuadramiento varía entre un "1" y un "0" en encuadros sucesivos. La concatenación de dos encuadros normalizados sucesivos se denominará aquí un "encuadre principal" y se entiende que empieza siempre con un encuadre cuyo bitio de encuadramiento es un "1".

En la vista ampliada de la figura 6 se ven las 192 ranuras de tiempo de un encuadre normalizado y se subdividen además en 24 subgrupos de ocho ranuras cada uno. Estas ranuras de cada subgrupo se denominan "1" a "8" respectivamente. Como se indica, un bitio de línea "1" ocupa un cincuenta por ciento de la ranura de tiempo asignada al mismo, lo que da por resultado un tren de impulsos de ciclo de utilización de un cincuenta por ciento. Como ya es conocido en la técnica, cuando se emplea una línea T1 es necesario asegurar que hay bastantes bitios "1" sobre la línea para mantener funcionales los relojes del sistema. Con objeto de llevar a cabo esto, se inserta en la sexta ranura de cada subgrupo de ocho ranuras un bitio "1" que se denomina comúnmente un "bitio de excitación".-

Cuando los datos en serie sobre la línea de transmisión son empleados en el sistema, tal como por el formador de grupos de bitios adyacentes -64- y por el multiplicador de datos -58- ilustrados en la figura 3, los bitios de encuadramiento y excitación son ignorados en la formación del grupo de bitios. Excluyendo tales dos tipos de bitios, se puede ver entonces que en un encuadramiento principal son

406399

- 25 -



formados 42 grupos de bitios adyacentes de ocho bitios.

El formato de línea que provee la línea T1 normalizada es utilizado por el aparato de la forma de realización ilustrativa de la presente invención de la manera indicada en las figuras 7, 8 y 9. La señalización de red y la transmisión de datos del sistema son ambas efectuadas simultáneamente sobre la misma línea de igual manera. De los 42 grupos de bitios adyacentes que existen en un encuadre principal, los primeros cuatro grupos de bitios representados en la figura 8 se reservan exclusivamente para señalización de control de red y los restantes 38 grupos de bitios se reservan para datos suministrados al usuario. De aquí en adelante, los primeros cuatro grupos de bitios se denominarán un "paquete de señal" y los 38 restantes grupos de bitios serán denominados un "paquete de datos". Como se puede ver en la figura 8, los paquetes de señal y los paquetes de datos son completamente independientes aún cuando se producen como un par dentro de un encuadre principal. Se entiende que el primer bitio de cada paquete se reserva para un código de identificación o un código especial que indica que el paquete está comúnmente vacío. Los formatos de paquetes se describen más adelante con mayor detalle con referencia a las figuras 15 a 17.

El computador de interfaz -62-, que se ilustra en la figura 4 como parte de la unidad de interfaz terminal -17-, se representa en forma de diagrama de bloques en la figura 11. El computador de interfaz -62- es un pequeño computador digital que tiene un acumulador único de ocho bitios -602-, dieciséis palabras de ocho bitios de trabajo



-604- y 256 palabras de dieciseis bitios de almacén de programa solo de lectura -600-. Este computador supervisa y controla la actividad de transmisión por medio de líneas de control conectadas a las varias partes del equipo de transmisión como se ha ilustrado en las figuras precedentes. Dichas líneas de control están organizadas de manera que aparecen en el computador de interfaz -62- como siete palabras de almacenamiento, cada una de las cuales contiene ocho bitios. Tales líneas de control se conocen colectivamente como el "almacén periférico" y se representan como el almacén periférico -611- en la figura 11.

En la Tabla I reseñada más adelante se indica el repertorio de orden para el computador de interfaz -62-. Como se muestra en la figura 10, cada palabra de orden del computador de interfaz -62- contiene dieciseis bitios que se hallan organizados en un campo de código de funcionamiento de dos bitios, un campo T de un bitio, un campo R de cinco bitios y un campo X de ocho bitios.

TABLA I

Repertorio de orden para el Computador de interfaz terminal.

ORDENES DE CONTROL

Funcionamiento nemónico	T	R	Definición de orden
<u>Forma</u> <u>Campo de código</u>	<u>Campo</u>	<u>Campo</u>	
25 BOTO a            00	0	00000	Salto incondicional a la locación de almacén de programa especificado por a.
BT a                01	0	00000	Salto a la locación de almacén de programa especificado por a si a = 0.

# 406399

- 27 -



	BF a	10	0	00000	Salto a la locación de almacén de programa especificado por a si a = 0.
	ESPERA	11	0	00000	Espera para fijación de grupo de bits adyacentes.
5	GOTO x	00	1	00000	Salto incondicional a la locación de almacén de programa especificado por x.
	BT x	01	1	00000	Salto a la locación de almacén de programa especificado por x si a = 0.
10	BF x	10	1	00000	Salto a la locación de almacén de programa especificado por x si a = 0.
	ESPERA	11	1	00000	Espera para fijación de grupo de bits adyacentes

15

ORDENES ARITMETICAS Y LOGICAS

	<u>Campo de código de funcionamiento</u>	<u>Campo T</u>	<u>Definición de orden</u>	
20	A=a r	00	0	Forma la OR EXCLUSIVA lógica de a y los contenidos de lo especificado por r y almacena el resultado en A.
	A=a&r	01	0	Forma la AND lógica de a y los contenidos de lo especificado por r y almacena el resultado en A.
25	A=a+r	10	0	Se agrega a los contenidos de la locación especificada por r y almacena el resultado en A.



	$A=a\rightarrow r$	11	0	Almacena a en la locación especificada por r y además en A.
5	$A=x r$	00	1	Forma la OR EXCLUSIVA lógica de x y los contenidos de la locación especificada por r y almacena el resultado en A.
	$A=x\&r$	01	1	Forma la AND lógica de x y los contenidos de la locación especificada por r y almacena el resultado en A.
10	$A=x+r$	10	1	Agrega x a los contenidos de la locación especificada por r y almacena el resultado en A.
	$A=x\otimes r$	11	1	Almacena x en la locación especificada por r y en A.

15                    Con referencia a la Tabla I, el repertorio de orden comprende órdenes de control y aritméticas y órdenes lógicas. Las órdenes de control se caracterizan porque el campo R es "0". Si el campo T es un "0", entonces, como se indica en la Tabla I, el acumulador A, contiene el operador para la orden. Si el campo T es un "1", el operador para la orden es el contenido del campo X. Se señala que en la Tabla I los varios campos de palabra de orden se designan con letras mayúsculas, mientras que los contenidos de los campos se designan con letras minúsculas.

25                    Las órdenes aritméticas y lógicas de la Tabla I comprenden las funciones AND y OR EXCLUSIVA lógicas. En las órdenes aritméticas y lógicas, como en las órdenes de control, un valor "1" en el campo T indica que en el campo X está contenido uno de los operadores x, mientras que un

# 406399

- 29 -



"0" en el campo T indica que en el acumulador A está contenido uno de los operadores. El otro operador en cada caso se encuentra que en la locación especificada por r, es el contenido del campo R.

5 Las locaciones que pueden ser especificadas por el campo R se indican en la Tabla II y comprenden las dieciséis locaciones de almacenamiento de trabajo designadas por  $W_i$ , donde  $0 \leq i \leq 15$ , las siete locaciones de almacenamiento periférico  $V_k$ , donde  $0 \leq k \leq 6$ , y el acumulador.

10

### TABLA II

Formatos de campo R

<u>Campo R (Valor binario)</u>	<u>Locación especificada</u>
10000 + i	Locación de almacenamiento de trabajo $W_i$ , donde $0 \leq i \leq 15$ .
15 01000 + k	Palabra de interfaz periférica $V_k$ , donde $0 \leq k \leq 6$ .
01111	Acumulador
00000	No hay locación. Esto especifica que la orden es una orden de control.

20

Con referencia de nuevo a la figura 11, se puede ver que el almacén de programa -600- expide palabras de orden de dieciséis bits al registro de orden -601-. La salida procedente del registro de orden -601- y la salida desde el acumulador -602- son conmutadas por medio del circuito de selección -608- sobre ocho líneas -609-. La información puede ser transferida desde las líneas -609- al contador de programa -605-, el cual controla el direccionamiento del almacén de programa -600-, al generador de

25



función de ocho bits -603-, al almacén periférico -611-, o al almacén de trabajo -604-. La conmutación en el almacén periférico es controlada por el circuito selector de escritura -607-.

5 El generador de función -603- provee los medios para efectuar las funciones de suma, AND lógica, OR EXCLUSIVA y una función adicional en la que, bajo un mandato, los datos sobre las líneas -609- son simplemente transferidos al generador de función -603- la salida del cual comprende  
10 el acumulador -602-. El generador de función -603- suministra una señal de estado especial cuando quiera que su salida sea "0". Esta señal de estado es conmutada al flip-flop -606-. El generador de función -603- obtiene una de sus entradas de las ocho líneas -609- y la otra es obtenida de las ocho líneas -610-. Los datos sobre las líneas  
15 -609- son obtenidos del registro de instrucción -601- o bien del acumulador -602- dependientemente del funcionamiento del circuito selector. Los datos sobre las líneas -610- pueden proceder del almacén de trabajo -604- o del  
20 acumulador -602- o bien del almacén periférico -611- como determina el circuito de conmutación -619-. El funcionamiento del computador de interfaz se puede apreciar mejor mediante una consideración de la manera en que son ejecutadas las órdenes en la referida Tabla I.

25 Cada ciclo del computador de interfaz -62- puede estar convenientemente dividido en cuatro secciones designadas  $t_1$ ,  $t_2$ ,  $t_3$  y  $t_4$  en el diagrama de temporización de la figura 12. Durante el intervalo de tiempo  $t_1$  es leída del almacén de programa -600- en el registro de orden -601-

406399

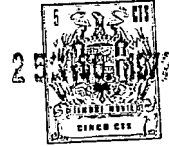
- 31 -



una orden de dieciseis bitios. La salida de los ocho bitios más importantes del registro de orden determinan el comportamiento de la máquina durante los tres períodos de tiempo restantes del ciclo de la máquina. Este comportamiento es diferente para cada una de las ocho órdenes diferentes descritas en la Tabla I. Para todos los tipos de orden, la máquina incrementa el contador de programa -605- en el tiempo  $t_2$ . En el subsiguiente tiempo  $t_1$  la salida de este contador selecciona la orden a emplear para el siguiente ciclo de la máquina.

En primer lugar se consideran las ocho órdenes de control. Se ve que las órdenes comprenden dos grupos, el primero de los cuales tiene un campo T de "0", mientras que el segundo tiene un campo T igual a "1". El valor de T determina el comportamiento del circuito de selección -608-. Si T iguala a "0", el circuito de selección -608- permite a la salida del acumulador -602- que pase sobre la barra -609-. Si el campo T es un "1", el circuito de selección -608- permite que los ocho bitios menos importantes de la orden de corriente contenida en el registro I -601- que pasen a la barra -609-.

El campo de código de funcionamiento en la orden determina que empleo se hace del valor que es conmutado sobre la barra -609-. En una orden "GOTO" los contenidos de la barra -609- son cargados incondicionalmente en el contador de programa -605- durante el comienzo de período de tiempo en  $t_2$ . Esta acción contrarresta la anteriormente citada operación de añadir "1" al contador de programa. El resultado de esta acción es, desde luego, que es tomada la



orden siguiente de la solicitud especificada por el valor sobre la barra -609-.

La orden cuyo campo de código de funcionamiento tiene el valor "01" es una orden de salto que es condicional sobre el valor en el acumulador -602-. El efecto de esta orden es transferir los contenidos de la barra -609- al contador de programa -605- si el acumulador contiene "0". La orden con el código de funcionamiento "10" tiene como efecto transferir los contenidos de la barra -609- al contador de programa -605- si el contenido del acumulador -602- no es cero. Es posible determinar si el contenido del acumulador es "0" examinando el flip-flop -606-. Si la salida establecida del flip-flop -606- es "0", los contenidos del acumulador -602- son cero.

En una cualquiera de las dos órdenes de salto condicional, si tiene lugar realmente el salto y se ha de transferir información desde la barra -609- al contador de programa -605-, esta operación se inicia en el período de tiempo que comienza en  $t_2$  y contrarresta la antedicha acción de incremento del contador de programa.

La restante orden de control tiene el código de funcionamiento "11" y es una orde de ESPERA que detiene el funcionamiento del computador de superficie de contacto. El computador de superficie de contacto reanudará el funcionamiento cuando reciba una señal de impulso de referencia de grupo de bitios adyacentes procedente del multiplicador de datos -58-.

Las ocho órdenes aritméticas y lógicas referenciadas en la Tabla I se pueden agrupar también en dos series

406399

- 33 -



de cuatro órdenes. En una serie el campo T es un "1", mientras que en la otra es un "0". Como con las órdenes de control precisadas, el campo T gobierna la acción del circuito de selección -608-.

5 El código de funcionamiento de la orden en el registro -601- determina cual es el valor que se ha de computar en el generador de función y subsiguientemente se ha de almacenar en el acumulador -602-. El valor computado se almacena en el acumulador en el tiempo  $t_1$ , o sea, al comienzo del siguiente ciclo de orden. Al mismo tiempo, el flip-flop -606- es establecido en "0" o en "1" a medida que el resultado que se expresa en el acumulador es "0" o no cero. Para el código de funcionamiento "11" el valor almacenado en el acumulador es igual al valor en la barra -609-. Para 10 para el código de funcionamiento "10" el valor almacenado en el acumulador es igual a la suma del valor en la barra -609- y del valor en la barra -610-. Para el código de funcionamiento "01" el valor almacenado en el acumulador es la lógica AND del valor en la barra -609- y el valor en 15 la barra -610-. Para el código de funcionamiento "00" el valor almacenado en el acumulador es la OR EXCLUSIVA del valor en la barra -609- y el valor en la barra -610-. 20

El código de funcionamiento "11" tiene como efecto adicional almacenar el valor de la barra -609- en un registro de ocho bits, ya sea en el almacén de trabajo 25 -604-, o en el almacén periférico -611-. El registro particular correspondiente es determinado por el campo R de la orden corrientemente en el registro de orden -601-. Este campo determina asimismo el contenido de la barra -610-



que es igual al contenido de una de las palabras, ya sea desde el almacén de trabajo -604-, o la superficie de contacto periférica -605-, o posiblemente desde el acumulador -602-. Si tiene lugar una orden de almacenamiento, es decir, si el código de funcionamiento es "11", tiene efecto en el tiempo  $t_3$ .

El aparato descrito provee las vías de transmisión por medio de las cuales el sistema de transmisión de datos digitales de la presente invención transmite y recibe realmente datos. Como se ha explicado sucintamente con relación a la figura 2, este aparato es controlado por programas almacenados en el computador de interfaz -62- y en el computador de control -30-. A continuación se describirá con mayor detalle el método mediante el cual se consigue dicho control.

La figura 13 es un diagrama funcional de los datos y señales que se transmiten sobre una base totalmente duplex entre una unidad de conmutación -10- y un dispositivo digital -18- a través de una unidad de interfaz terminal -17-.

Como se ilustra en la figura 13, un dispositivo digital -18- expide una orden de selección de canal a su unidad de interfaz terminal asociada (TIU) -17- cada vez que desea empezar una nueva transmisión de datos. La TIU -17- envía una señal SEL a la unidad de conmutación -10- la cual replica con una señal ACK. Luego prosigue la transmisión de datos. A medida que son enviados grupos de bits adyacentes de datos desde el dispositivo digital -18- a la TIU -17-, son acumulados en paquetes de datos y luego

406399

- 35 -



enviados a la unidad de conmutación -10-, la cual los reconoce periódicamente con una señal ACK.

En la otra dirección, la unidad de conmutación -10- envía una señal SEL a la TIU -17- cuando ha acumulado una cantidad de datos para el dispositivo digital -18-. Entonces la TIU -17- establece la línea de estado de interrupción de canal con lo que informa al dispositivo digital -18- que hay datos preparados para el mismo. Cuando el dispositivo digital -18- ha seleccionado el canal apropiado, la unidad de conmutación -10- expide los paquetes de datos a la TIU -17- la cual los transfiere en grupos de bits adyacentes al dispositivo digital -18- y envía periódicamente una señal ACK a la unidad de conmutación -10- en reconocimiento.

La figura 14 es un diagrama funcional de los datos y señales que son transmitidos sobre una base totalmente duplex entre las dos unidades de conmutación -10-. Esta transmisión es exactamente la misma en ambas mitades de la vía totalmente duplex.

Como se ilustra en la figura 14, cuando los datos están próximos a ser transmitidos desde la unidad de conmutación -10a-, esta unidad envía una señal STRT a la unidad de conmutación -10b-, la cual reconoce la señal con una señal ACK. Entonces prosigue la transmisión de datos. A medida que resultan datos disponibles en la unidad de conmutación -10a-, son enviados en paquetes a la unidad de conmutación -10b-, la cual reconoce periódicamente estos enviando una señal ACK. Ciertos errores pueden ser detectados por la unidad de conmutación -10b- cuyo caso son



enviadas señales a la unidad de conmutación -10a-. Finalmente, cuando la unidad de conmutación -10a- deja de transmitir datos envía una señal IDL a la unidad de conmutación -10b-.

5 La transferencia de datos y señales representados funcionalmente en las figuras 13 y 14 se puede apreciar mejor mediante una comprensión de los formatos de datos que se ilustran en las figuras 15, 16 y 17.

10 La figura 15 ilustra un paquete de señales y un paquete de datos. Como se indica, un paquete de señal comprende cuatro grupos de bitios adyacentes y un paquete de datos comprende treinta y ocho grupos de bitios adyacentes de ocho bitios.

15 Considerando primeramente el paquete de señal, se ve que su primer grupo de bitios adyacentes, grupo de bitios 1100, contiene un número de identificación (ID). Dado que se emplea el bitio más importante del ID para especificar la dirección de la transferencia de datos, el ID provee la capacidad de transmitir simultáneamente a las TIU -128-  
20 por cada uno de los anillos de transmisión -14- representados en la figura 1. En este caso, el ID sirve para identificar únicamente cada TIU. Como sea que se emplea el mismo formato de datos sobre las líneas de transmisión -12- que sirven para conectar entre sí pares de unidades de conmutación -10-, cada una de tales líneas de transmisión -12-  
25 está formada efectivamente por 128 vías de transmisión simultánea de funcionamiento totalmente duplex. Tales vías se denominan "líneas de unión" y comprenden un recurso de sistema que está colocado y tiene una asignación de la manera que se explicará. Por supuesto, se puede emplear,

406399

- 37 -



sin apartarse del espíritu y marco de la presente invención, un ID de diferente tamaño, que por ello proporciona la posibilidad de transmitir simultáneamente un número diferente de TIUs y líneas de unión.

5 El grupo de bitios 1101, representado con mayor detalle en la figura 6, comprende un número de secuencia de seis bitios 1112 y un campo de dos bitios 1113. Son aplicados consecutivamente números de secuencia a los paquetes de señal SEL y a los paquetes de datos durante la transmisión sobre el anillo -14- y son aplicados consecutivamente a los paquetes de datos durante la transmisión sobre la línea -12-. La importancia del campo SEQ 1112 así como el grupo de bitios adyacentes CH 1102 depende del valor del campo F 1113.

15 Si el campo F 1113 es cero, indica que el paquete es un paquete de reconocimiento (ACK). El campo SEQ 1112 se emplea para acusar el recibo de datos de señales SEL y contiene el número de secuencia aplicado al último paquete de datos o señal SEL recibidos correctamente. La importancia del campo CH 1102 en un paquete de reconocimiento depende las circunstancias en que se emplea el paquete. Cuando la señal ACK es expedida por una unidad de conmutación a una TIU o a otra unidad de conmutación, el campo CH 1102 sirve para autorizar mas transmisiones. En este caso, el campo CH 1102 contiene el último número de secuencia que puede ser empleado para una transmisión subsiguiente. Cuando una TIU expide una señal ACK, el campo CH 1102 contiene cero si no han sido detectados errores de transmisión, y contiene los códigos de error apropiados como se especifica



seguidamente en la Tabla VI si han sido detectados errores.

TABLA VI

<u>Valor</u>	<u>Error</u>
1	Fallo de encuadramiento
5	2 Error de suma de comprobación de control.
	4 Canal erróneo.
	8 Número de secuencia erróneo.
	16 Error de formato bipolar
	32 Error de suma de comprobación de datos.
10	Si el campo F 1113 es un uno, indica una señal SEL cuando se emplea en un anillo -14- e indica una señal STRT cuando se utiliza en una línea -12-. En una señal SEL, el campo SEQ 1112 es un número de secuencia, como se ha explicado, y el grupo de bitios adyacentes CH 1102 contiene el
15	número del canal seleccionado. En una señal STRT los dos campos 1112 y 1102 se combinan para formar un número de 14 bitios que identifica el canal sobre el que está a punto de empezar la comunicación.
	Si el campo F 1113 es un dos indica una señal IDL
20	y el campo SEQ 1112 es el último número de secuencia empleada en la transmisión inmediatamente anterior.
	Si el campo 1113 es un tres indica una señal NACK
	y los campos SEQ y CH 1112 y 1102 respectivamente se emplean de la misma manera que en una señal ACK procedente de
25	la TIU.
	Finalmente, el grupo de bitios adyacentes 1103, el último grupo de bitios en el paquete de señal, contiene una suma de comprobación de 8 bitios que es generada por medios de programa y comprende la OR EXCLUSIVA del valor

406399

- 39 -



contenido en los campos 1100, 1101 y 1102.

El paquete de datos ilustrado en la figura 15 comprende asimismo un grupo de bitios adyacentes de ocho bitios -1104- que contiene el número ID del paquete. El grupo de bitios adyacentes -1105-, ilustrado con mayor detalle en la figura 17, comprende un número de secuencia de seis bitios -1110- y un campo -1111- del tipo de dos bitios. Si el campo -1111- contiene el valor dos, el paquete de datos es un paquete de final de mensaje. Si el campo -1111- contiene el valor uno, el paquete de datos es un paquete de final de haz. Si el campo -1111- contiene cero, el paquete de datos contiene simplemente datos y no es ni un paquete de final de mensaje ni un paquete de final de haz.

El grupo de bitios adyacentes -1106- contiene la longitud L de los datos en el paquete. Convencionalmente, una longitud de cero indica un paquete completo de 32 grupos de bitios. Si el paquete no está lleno, la información debe estar en la parte delantera del campo de 32 grupos de bitios adyacentes y las restantes posiciones pueden contener algún valor.

El grupo de bitios adyacentes del paquete de datos -1107- contiene una suma de comprobación de ocho bitios generada por programa.

El campo -1108- contiene los datos reales y puede tener una longitud de hasta 32 grupos de bitios adyacentes de ocho bitios. Finalmente, el campo -1109- contiene una suma de comprobación generada por los elementos componentes de dieciseis bitios del computador.

El método por medio del cual los precitados procesos



$\alpha$  y  $\beta$  emplean la posibilidad de transmisión de señales ilustrada por las figuras 13 y 14 puede apreciarse mejor con referencia de nuevo a la figura 2. Cada canal tal como el ilustrado en la figura 2 comprende dos subcanales, cada uno de los cuales está relacionado con transmisión de datos en una dirección. La descripción siguiente estará dedicada al algoritmo que trata la transmisión de datos sobre un subcanal, el subcanal -15- representado en la figura 2, y se entiende que la transmisión de datos sobre un canal completo se lleva a cabo mediante la aplicación del algoritmo doble.

Se recordará que hay dos series de parámetros y dos procedimientos implicados en la transmisión sobre un subcanal. El proceso o algoritmo  $\alpha$  controla datos salientes y actualiza los parámetros  $\alpha$  del subcanal. El proceso o algoritmo  $\beta$  controla los datos de entrada y actualiza los parámetros  $\beta$  del subcanal.

El procedimiento detallado de la presente invención se basa en ciertas importantes técnicas que se explicarán ahora antes de proceder a una descripción detallada de los algoritmos.

De acuerdo con la presente invención, se transmiten datos digitales en ráfagas, definiéndose una "ráfaga" como los datos que son transmitidos por un dispositivo digital durante un período continuo de actividad en un canal. Una ráfaga comienza con una señal SEL y termina con la siguiente señal SEL o bien con un paquete de datos con un código de fin de mensaje en la misma. Se asignan recursos de sistema con el fin de transmitir una ráfaga y se asignan de

406399

- 41 -



nuevo para subsiguientes ráfagas. En esta descripción se entiende que "Recursos de sistema" son el espacio de almacenamiento de paquete de datos en una unidad de conmutación y líneas de unión en una línea de transmisión que conecta  
5 entre sí dos unidades de conmutación.

Cada línea de unión de un canal en la transmisión de datos desde una unidad de conmutación a otra puede emplear a lo sumo una línea de unión y, por lo tanto, ningún canal puede absorber todas las líneas de unión disponibles.  
10 Sin embargo, existe el peligro de que un canal pudiera utilizar todo el almacenamiento en una o más unidades de conmutación. Por consiguiente, se emplean los siguientes impedimentos.

El espacio de almacenamiento en una unidad de conmutación se asigna en unidades de paquetes  $M$ , siendo " $M$ "  
15 un parámetro que es una constante para cada canal. El valor particular dado a  $M$  para un canal específico se determina cuando el canal es virtualmente asignado. Cuando empieza la transmisión de ráfagas, el proceso  $\beta$  obtiene la asignación de locaciones de almacenamiento  $M$ . Cuando todos ellos  
20 han sido cargados por el proceso  $\beta$  con datos que ha recibido, solicita otra asignación de locaciones de almacenamiento  $M$ .

Las locaciones de almacenamiento llenadas por el  
25 proceso  $\beta$  son hechas aprovechables por el proceso asociado  $\alpha$  para la retransmisión. Cuando la retransmisión es completada satisfactoriamente, el proceso  $\alpha$  deja libres las locaciones de almacenamiento. Entonces éstas son utilizables para la asignación al siguiente proceso que hace una



solicitud para asignación de almacenamiento. Por ello, la  
cuantía de almacenamiento, designada por "v", en una unidad  
de conmutación que es realmente asignada a una subcanal ac-  
tivo, es la suma de todas las asignaciones de M hechas a  
5 los procesos  $\beta$  de subcanales menos la cuantía de almacena-  
miento librada por el proceso  $\alpha$  de subcanal.

La V asignada a un subcanal particular queda limi-  
tada de modo que no es mayor que un valor particular "A",  
cuyo valor es otra constante que es especificada para el  
10 subcanal. Por ello, mientras  $A - V < M$  para un subcanal par-  
ticular, las solicitudes para más asignación de almacena-  
miento por el proceso  $\beta$  de subcanal no serán atendidas.  
Este empleo de las señales ACK provee los medios con los  
que el sistema de transmisión de datos de esta invención  
15 equilibra automáticamente la velocidad de transmisión de  
cada dispositivo digital de envío con la velocidad de re-  
cepción de cada dispositivo digital al que transmite.

La manera en que el sistema de transmisión de datos  
de la presente invención controla la transferencia de datos  
20 depende de todos los datos que son asignados a números de  
secuencia que son empleados por las señales ACK para acusar  
el correcto recibo de los datos que han sido transmitidos  
así y para autorizar más transmisión. El empleo de un nú-  
mero de secuencia de seis bits, tal como se ha llevado a  
25 cabo en este ejemplo de forma de realización, permite a  
una señal ACK única autorizar la transmisión de a lo sumo  
63 paquetes de datos. Otras formas de realización pueden,  
por supuesto, utilizar un número de secuencia de diferente  
tamaño para permitir la transmisión de un mayor o menor

406399

- 43 -



número de paquetes sin apartarse del espíritu y ámbito de la presente invención.

Los paquetes transmitidos entre señales de autorización sucesivas se denominan colectivamente "haz". Dado que esta forma de realización emplea un número de secuencia de seis bitios, se apreciará que el tamaño de un haz no puede ser mayor que 63 paquetes. De hecho, puede comprender un número menor, estando determinada la longitud por el proceso que los transmite. La autorización máxima que enviará un proceso  $\beta$  es determinada por el parámetro N, que es una constante para el subcanal. Así, N es una segunda limitación sobre el tamaño máximo de un haz. En todos los casos, el último paquete de un haz es identificado por el tipo de campo -llll- ilustrado en la figura 17. Por conveniencia, una señal SEL es siempre el final de un paquete. Un dispositivo digital puede dividir arbitrariamente los datos que envía a otro dispositivo digital en unidades denominadas "mensajes". Cuando un dispositivo digital de envío transfiere el último grupo de bitios adyacentes a su TIU asociada, envía una señal apropiada a la TIU asociada. Por conveniencia, el último paquete de un mensaje define el final de un haz y el final de una ráfaga.

El funcionamiento de los algoritmos  $\alpha$  y  $\beta$  se puede comprender con referencia a la figura 2 considerando la transferencia de datos desde la TIU -19- a la unidad de conmutación -21- a través de la unidad de conmutación -20-.

Como se muestra en la figura 2, el proceso  $\alpha_{T1}$  de la unidad de interfaz terminal -19- se conecta con el proceso  $\beta_{T1}$  de la unidad de conmutación -20-. La otra mitad



de la porción del subcanal -15- de la unidad de conmutación -20- es el proceso  $\alpha_{T_2}$  que conecta el proceso  $\beta_{T_2}$  de la unidad de conmutación -21-.

5  $\alpha_{T_1}$  a  $\beta_{T_1}$ . Los datos y paquetes de señal SEL que pasan desde  $\alpha_{T_1}$  a  $\beta_{T_1}$  son numerados en secuencia como se ha explicado anteriormente y tales números de secuencia son comprobados por  $\beta_{T_1}$ . Sólo son aceptados para su tratamiento por  $\beta_{T_1}$  los datos y paquetes de señal SEL que tienen números consecutivos. Todos los demás son tratados como errores. Cuando el dispositivo digital asociado con la TIU -19- desea iniciar la transmisión sobre el subcanal -15-, debe emitir una selección para ese canal, lo cual tendrá como consecuencia que  $\alpha_{T_1}$  envíe una señal SEL a  $\beta_{T_1}$ . Al 15 llegar a  $\beta_{T_1}$  esa señal SEL constituirá una solicitud de recursos para la transmisión de una ráfaga de datos desde  $\alpha_{T_1}$  a través de la unidad de conmutación -20- sobre la línea de unión -25-. En particular,  $\beta_{T_1}$  hace una solicitud para que una sublínea de unión efectúe una línea de 20 unión -25- y de un espacio de almacenamiento en la unidad de conmutación -20- suficientemente grande para alojar paquetes M de datos. Si uno u otro de esos dos recursos no puede ser asignado corrientemente a  $\beta_{T_1}$ , la transmisión a la unidad de conmutación -20- sobre el subcanal -15- es 25 suspendida hasta que resulten utilizables suficientes recursos.

Una vez los recursos solicitados han sido asignados a  $\beta_{T_1}$ , se acusa recibo de la señal SEL procedente de  $\alpha_{T_1}$  mediante el envío de una señal ACK desde  $\beta_{T_1}$  a  $\alpha_{T_1}$ ,

406399



- 45 -

autorizando el comienzo de transmisión de datos. Si el dispositivo digital provee suficientes datos, el proceso  $\alpha_{T1}$  enviará el número autorizado de paquetes de datos a  $\beta_{T1}$ , marcando el último de tales paquetes el final de un haz. A medida que es recibido cada paquete,  $\beta_{T2}$  comprueba su número de secuencia y lo almacena en la unidad de conmutación -20-. Cuando es recibido el último paquete del haz,  $\beta_{T1}$  forma una nueva señal ACK y la envía a  $\alpha_{T1}$ . Esa nueva señal ACK confirma la recepción con éxito de los datos transmitidos y autoriza la transmisión de más datos hasta que la cuantía total transmitida es igual a M. Cuando ocurre esto,  $\beta_{T1}$  solicita espacio de almacenamiento para otro paquete M de datos. Cuando esta solicitud es atendida,  $\beta_{T1}$  envía de nuevo una señal ACK a  $\alpha_{T1}$ .

Cuando  $\beta_{T1}$  recibe una señal SEL o el último paquete de un mensaje, lo cual significa el final de una ráfaga, cualesquiera recursos de almacenamiento no empleados asignados durante la transmisión de una ráfaga pero corrientemente no empleados para almacenamiento de datos son devueltos a la agrupación de almacenamiento común en la unidad de conmutación -20-.

Considerando luego la transmisión desde  $\alpha_{T2}$  a  $\beta_{T2}$ , es evidente que esto depende de si  $\beta_{T1}$  suministra a  $\alpha_{T2}$  los datos recibidos desde  $\alpha_{T1}$ .  $\beta_{T1}$  hace estos datos utilizables para  $\alpha_{T2}$ , colocándolos en una fila de espera de salida en el orden de adquisición a la que puede llegar también  $\alpha_{T2}$ .  $\alpha_{T2}$  intenta constantemente vaciar la fila retransmitiendo los datos a  $\beta_{T2}$ . El proceso de transmisión comporta la numeración en secuencia de los paquetes de



datos y para efectuar esta transmisión se utiliza también la señal ACK empleada para autorizar más transmisión y descrita antes.

5 Aunque el procedimiento para la transmisión de datos sobre la línea de unión -25- ilustrado en la figura 2 es el mismo que el descrito anteriormente para la línea de unión -24-, la transmisión de señales relacionada con el comienzo y el final de una ráfaga es diferente.

10 Sobre la línea de unión -25- empieza una ráfaga cuando el proceso  $\beta_{T1}$  obtiene una asignación de una sublínea auxiliar que vincula las unidades de conmutación -20- y -21-. En ese momento es enviada una señal STRT sobre la línea auxiliar asignada a la unidad de conmutación -21-. Como se ha dicho anteriormente, los campos SEQ y CH se combinan para especificar únicamente la porción del subcanal 15 -15- que pasa a través de la unidad de conmutación -21- que se representa en la figura 2. Cuando la unidad de conmutación -21- recibe la señal STRT asocia el número de sublínea auxiliar asignado con el subcanal apropiado de manera que el proceso  $\beta_{T2}$  tratará correctamente las transmisiones 20 subsiguientes sobre dicha sublínea auxiliar. La señal STRT hace también que  $\beta_{T2}$  solicite recursos para la transmisión de una ráfaga de la misma manera que se ha descrito antes para  $\beta_{T1}$ .

25 Se produce el final de una ráfaga cuando  $\alpha_{T2}$  deja de transmitir datos y al mismo tiempo en la línea de unión -24- no avanza ninguna ráfaga. En ese tiempo  $d_{T2}$  libera la sublínea auxiliar que ha estado empleando para suplir la línea de unión -25-. Entonces la sublínea auxiliar se

406399



- 47 -

convierte en utilizable para nueva asignación. Cuando la sublínea es liberada, y después periódicamente, la unidad de conmutación -20- envía una señal IDL sobre dicha sublínea auxiliar mientras permanece sin asignación. Si la unidad de conmutación -21- recibe una señal IDL sobre la sublínea auxiliar mientras está asociada con  $\beta_{T2}$ , separa esa sublínea auxiliar de  $\beta_{T2}$  e informa a  $\beta_{T2}$  de que ha terminado la ráfaga. En este tiempo, la acción de  $\beta_{T2}$  es la misma que la que se ha descrito anteriormente para  $\beta_{T1}$  a la terminación de una ráfaga.

El procedimiento de comunicación utilizado por la presente invención de la manera antes descrita es llevado a cabo por programas almacenados que residen en cada computador de superficie de contacto -62- y cada computador de control -30- ilustrado en la figura 4. Cada computador de superficie de contacto realiza el mismo programa que cada uno de los otros computadores de superficie de contacto del sistema y cada computador de control ejecuta el mismo programa que cada uno de los otros computadores de control del sistema.

El programa de computador de control que emplea las antedichas estructuras de datos comienza su funcionamiento con respecto a una comunicación particular, respondiendo a una solicitud para la asignación virtual de una vía de transmisión, y termina dicho funcionamiento desasignando la vía. Este procedimiento requiere comunicación entre el programa de computador de control y el resto del sistema. Esta comunicación emplea mensajes que tienen formatos normalizados que son pasados al computador de control -30- de



la unidad de conmutación -10-. Tales mensajes son enviados por el dispositivo digital -18-, denominado el "dispositivo de llamada" que inicia la transferencia de datos y el dispositivo digital -18-, denominado el "dispositivo llamado" que ha de recibir los datos. Cada mensaje comprende treinta y dos grupos de bitios adyacentes, siendo el trigésimo segundo grupo de bitios adyacentes apropiadamente identificado como un final de mensaje tal como se explicó anteriormente con relación a la figura 17.

Se utilizan cuatro mensajes diferentes. El dispositivo de llamada envía un mensaje de "conexión" a su unidad de conmutación asociada para iniciar la asignación de canal. El dispositivo llamado envía un mensaje de "aceptación" a su unidad de conmutación asociada en respuesta al mensaje de conexión si el dispositivo llamado quiere aceptar datos procedentes del dispositivo que llama. Por otra parte, el dispositivo llamado envía un mensaje de "rechazo", El dispositivo que llama o bien el dispositivo llamado emplea un mensaje de "final de llamada" para desasignar un canal.

Cuando un dispositivo que llama desea obtener la asignación de un nuevo canal, envía un mensaje de conexión al computador de control asociado. Este mensaje es portador de información de identificación que especifica únicamente el dispositivo llamado. El computador de control transmite el mensaje de conexión al dispositivo llamado. Un código de función en el primer grupo de bitios adyacentes permite al dispositivo llamado identificar el mensaje como una solicitud de conexión. Si el dispositivo llamado



desea aceptar la solicitud de conexión, añade cierta información a la solicitud de conexión, cambia el código de función para indicar aceptación y devuelve el mensaje actualizado al computador de control asociado con el dispositivo llamado. Si el dispositivo llamado desea rechazar la solicitud de conexión, es cambiado el código de función en la solicitud para indicar rechazo y el mensaje es devuelto al computador de control.

Un mensaje de aceptación contiene toda la información requerida por todas las unidades de conmutación en la vía de comunicación para asignar un canal virtual. Cuando se obtiene aceptación, el mensaje de aceptación es devuelto al dispositivo que llama y al mismo tiempo es asignado el canal virtual. Esto se lleva a cabo sobre una base de líneas de unión adyacentes. Puede empesarse la comunicación en cualquier tiempo después que el dispositivo que llama recibe el mensaje de aceptación. En el caso de un rechazo, el mensaje de rechazo pasa desde el dispositivo llamado al dispositivo que llama sin más acción sobre la parte de cualquier unidad de conmutación en la vía de comunicación.

El dispositivo llamado o el dispositivo que llama pueden hacer que sea desasignado un canal virtual, enviando un mensaje de final de llamada a su computador de control asociado. Este mensaje es transmitido al otro dispositivo, A medida que tiene lugar esa transmisión, el canal virtual es desasignado sobre una base de enlaces adyacentes. Cualquier dato corrientemente en tránsito sobre el canal virtual se pierde.



Como se ha indicado anteriormente, por conveniencia, toda la comunicación con el computador de control debe hacerse sobre el canal cero y todos los mensajes transmitidos desde el computador de control a un dispositivo digital son enviados sobre dicho canal cero del dispositivo.

Un mensaje de treinta y dos grupos de bitios adyacentes comprende dos partes de dieciseis grupos de bitios adyacentes. Los primeros dieciseis grupos de bitios contienen una especificación del canal virtual para el dispositivo de llamada; los segundos dieciseis grupos de bitios adyacentes contienen una especificación del canal virtual para el dispositivo llamado. El primer grupo de bitios adyacentes, denominado FUNCION?, de la especificación para el dispositivo que llama contiene un código de función cuyo tipo de mensaje se envía. Si el grupo de bitios FUNCION es uno indica una solicitud de conexión. Si es dos, indica una aceptación, si es tres indica un rechazo y si es cuatro indica un final de llamada. Los restantes grupos de bitios adyacentes de las dos especificaciones de dieciseis grupos de bitios adyacentes se emplean de la misma manera. Desde luego, los valores dependerán de si el dispositivo que es especificado es el dispositivo que llama o el dispositivo llamado. Dichos grupos de bitios adyacentes restantes son como sigue.

El segundo grupo de bitios adyacentes de una especificación, denominado ACOUT, contiene la cuantía de espacio de almacenamiento de memoria intermediaria de paquete que se ha de emplear en cada unidad de conmutación a través del que pasa el canal virtual. Este número especifica un



múltiplo particular de treintay dos bitios. El espacio de almacenamiento de paquete se emplea para el almacenamiento con memoria intermedia de todos los datos que pasan desde el dispositivo en cuya especificación aparece el número.

5 El tercer grupo de bitios adyacentes, denominado "MIN" especifica, como un múltiplo de treinta y dos, el número de grupos de bitios adyacentes de espacio de almacenamiento de paquete que se ha de asignar al inicio de cada transmisión de ráfaga. Se aplica a ráfagas de transmisión  
10 fuera del dispositivo en cuya especificación está contenido el número.

El cuarto grupo de bitios adyacentes, denominado "NOUT", especifica, como un múltiplo de treinta y dos, el número de grupos de bitios adyacentes que se deben recoger  
15 en la unidad de conmutación antes del comienzo de envío al dispositivo en cuya especificación aparece dicho cuarto grupo de bitios adyacentes. En el caso de que un mensaje completo contiene menos grupos de bitios adyacentes que los indicados en dicha especificación, el envío del mensaje  
20 empieza cuando todos ellos han sido reunidos en la unidad de conmutación.

El quinto grupo de bitios adyacentes, denominados "RIN" especifica el régimen máximo con el que el dispositivo digital al cual se aplica la especificación aceptará paquetes de datos sobre el canal particular que se especifica. Dicho régimen está determinado como un múltiplo  
25 de seis microsegundos y es el tiempo asignado para el envío de un grupo de bitios adyacentes de datos.



El sexto grupo de bitios adyacentes, denominado "ROUT", especifica el régimen máximo previsto de salida de datos durante la transmisión de ráfagas. Este régimen es también expresado como un múltiplo de seis microsegundos y es el tiempo de envío anticipado por grupo de bitios transmitido.

El séptimo, octavo y noveno grupos de bitios adyacentes, denominados respectivamente "Nº CONMUTACION", "Nº LINEA" y "Nº TERMINAL", identifican únicamente el dispositivo digital a que se refiere la especificación. El grupo de bitios adyacentes "Nº CONMUTACION" contiene la identidad de la unidad de conmutación a la que está vinculado el dispositivo digital, El grupo de bitios adyacentes "Nº LINEA" especifica el anillo de transmisión sobre esa conmutación y el grupo de bitios adyacentes "Nº TERMINAL" contiene la unidad de superficie de contacto terminal ID.

El décimo grupo de bitios adyacentes, denominado "Nº CANAL", especifica el número de canal que ha de emplear el dispositivo digital cuando comunica sobre el nuevo canal virtual.

Los grupos de bitios adyacentes undécimo a decimosexto de un mensaje se reservan para empleo por la unidad de conmutación. El undécimo y decimosegundo grupos de bitios adyacentes forman juntamente un valor de dieciseis bitios, denominado "ANILLO PD", que es una indicación para un descriptor tipo 1. El decimotercero y decimocuarto grupos de bitios adyacentes forman juntamente un valor de dieciseis bitios, denominado "TERMINAL ID" que es una indicación para un descriptor tipo 2. El decimoquinto y decimosexto



grupos de bitios adyacentes forman juntamente un valor de dieciseis bitios, denominado "LINEA DE UNION N", que identifica únicamente el canal sobre una base por unidad de conmutación.

5 Las estructuras de datos y formatos de mensaje anteriormente descritos son empleados por el programa de computador de control de una manera familiar a los entendidos en la materia.

10 Como se ha indicado anteriormente, el computador de Tiempo 1 utilizado en la forma de realización ilustrativa de la presente invención es multiprogramado. Las rutinas y subrutinas se dividen realmente en dos subprogramas, el subprograma de nivel 1 y el subprograma de nivel 2. Tales subprogramas son activados con interrupción, teniendo  
15 do el subprograma de nivel 1 prioridad sobre el subprograma de nivel 2 y sirviendo para establecer la interrupción que activa el subprograma de nivel 2.

20 Varias de las rutinas del programa de computador de control contienen órdenes de nivel 1 y de nivel 2. Las órdenes de nivel 1 intervienen con las líneas de transmisión sincrónica -12- y los anillos -14- que se representan en la figura 3. De hecho, existe una serie completa de órdenes de nivel 1 para cada línea de transmisión -12- y anillo de transmisión -14- conectada al computador de control  
25 -30-. La serie apropiada es ejecutada en respuesta a la interrupción que es generada por una señal procedente de una de las unidades de terminación de línea -31- representadas en la figura 3. Es decir, cada unidad de terminación de línea -31- vinculada al computador de control



controla su propia línea de interrupción individual la cual activa la copia de órdenes de nivel 1 asociada con dicha unidad de terminación de línea particular -31-. Dado que el tiempo es lo esencial en la actuación con los anillos -14- y líneas -12- sincrónicos, a las órdenes de subprograma de nivel 1 se les da prioridad sobre las órdenes de subprograma de nivel 2.

Las rutinas y subrutinas del programa de computador de control pueden ser ejecutadas de acuerdo con esta forma de realización ilustrativa empleando para ello la serie de orden del computador de Tiempo 1. Como podrán ver los entendidos en la materia, el computador puede ser programado de muchas maneras distintamente detalladas para ejecutar los indicados procesos. Las mismas podrán apreciarse en las descripciones del computador Tempo 1 que proporciona las obras Manual de referencia de superficie de contacto Tempo 1, TA-1000-969 y Manual de referencia de programadores Tempo, E0002.

N O T A  
=====

Se reivindica como objeto de la presente patente de invención:

1.- Disposición para transmisión de datos, en la que una pluralidad de dispositivos digitales están conectados por una línea de transmisión de anillo cerrado que tiene una pluralidad de vías de comunicación, caracterizada porque comprende una unidad de conmutación (10, figura 1) que comprende circuitos de terminación de línea (31, figura 3) para recibir solicitudes procedentes de los dispositivos



digitales (18, figura 1) de vías de comunicación, y circuitos de control (30, figura 3) para almacenar descripciones de las vías solicitadas y para emplear las descripciones almacenadas con el fin de activar las vías de comunicación solicitadas cuando son realmente transmitidos los datos.

5                   2.- Disposición para transmisión de datos, según la reivindicación 1, caracterizada porque la unidad de conmutación (10) es una unidad de conmutación controlada por programa.

10                   3.- Disposición para transmisión de datos, según las reivindicaciones 1 ó 2, caracterizada porque comprende, además, una pluralidad de líneas de transmisión de anillo cerrado (14, figura 1) y una pluralidad de unidades de conmutación (10, figura 1) conectadas entre sí mediante una pluralidad de enlaces, siendo las unidades de conmutación capaces de activar enlaces particulares de la pluralidad de enlaces en una vía de comunicación solicitada sólo cuando hay datos realmente disponibles en la unidad de conmutación de transmisión.

15                   4.- Disposición para transmisión de datos, según las reivindicaciones 1, 2 o 3, caracterizada porque los circuitos de terminación de línea (31, figura 3) reciben datos entrantes y transmiten los datos a vías de comunicación seleccionadas y la unidad de control (30, figura 3) almacena los datos recibidos y limita selectivamente la cantidad de datos recibidos, la cual es almacenada en cualquier tiempo.

20                   5.- Disposición para transmisión de datos, según las reivindicaciones 1, 2, 3 o 4, caracterizada porque,

MM



además, comprende unidades de interfaz terminal (17, figura 1) que conectan cada dispositivo digital (18, figura 1) con su línea de transmisión de anillo cerrado asociada (14, figura 1).

5           6.- Disposición para transmisión de datos, según la reivindicación 5, caracterizada porque las unidades de interfaz terminal (17, figura 1) son unidades de conmutación controladas por programa para comunicación con los dispositivos digitales asociados.

10           7.- Disposición para transmisión de datos, según las reivindicaciones 1 a 6, caracterizada porque la unidad de control comprende, además, circuitos para limitar selectivamente el régimen con que cada dispositivo digital transmite o recibe datos.

15           8.- Disposición para transmisión de datos.

Esta memoria consta de cincuenta y seis hojas escritas por una sola cara.

BARCELONA, 25 de agosto de 1972

P. A.



406399

406399

2



FIG. 12

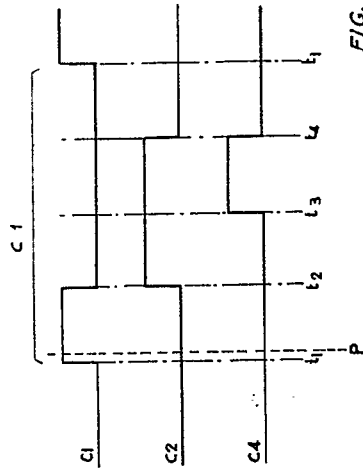


FIG. 2

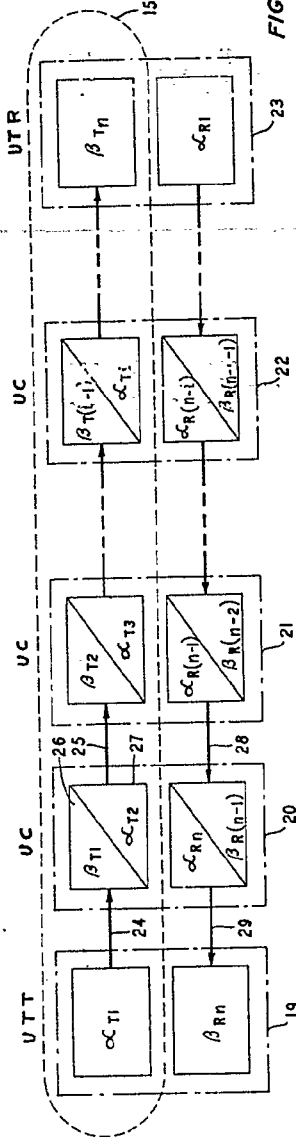
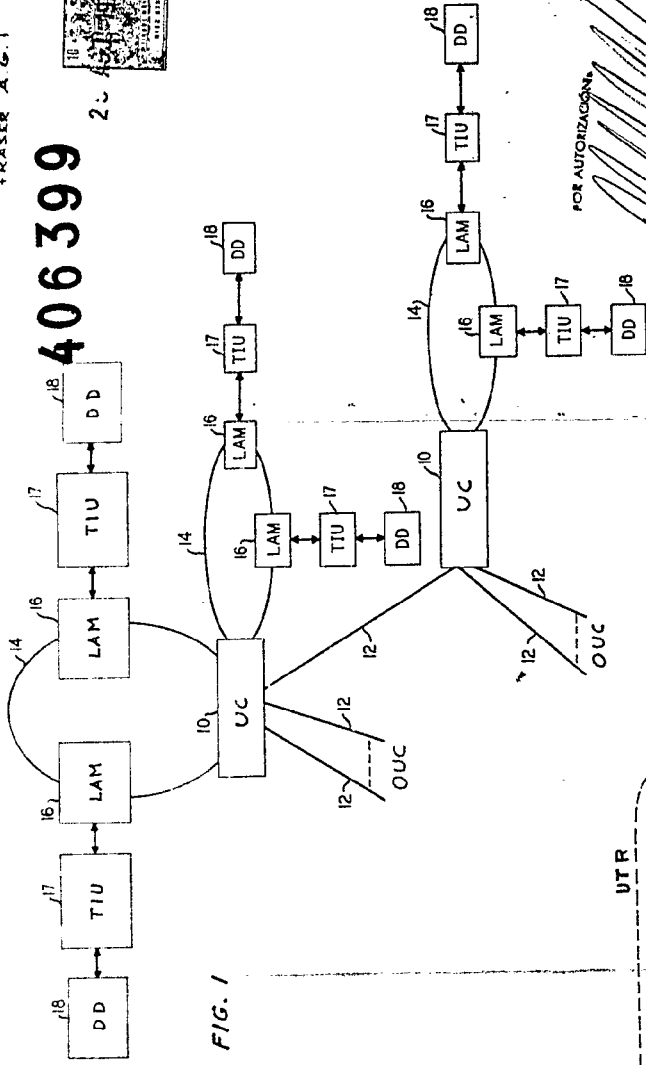


FIG. 1



FOR AUTORIZACION

FIG. 11

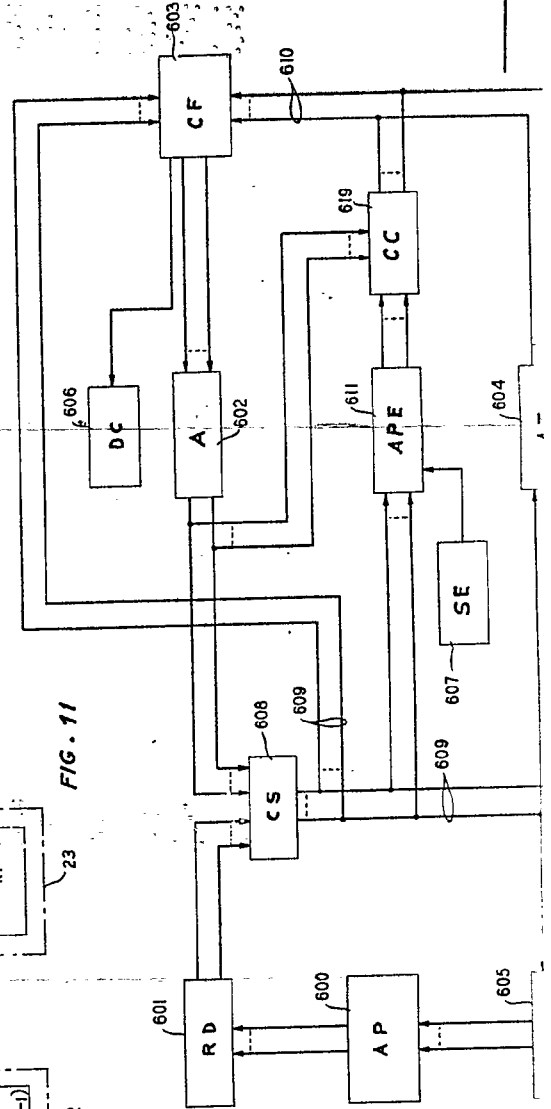
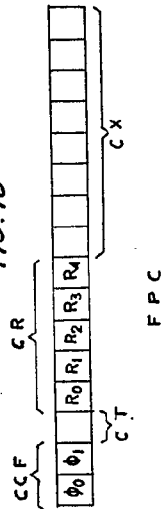


FIG. 10



406 399

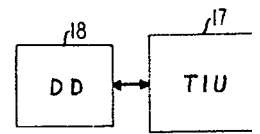


FIG. 1

FIG. 12

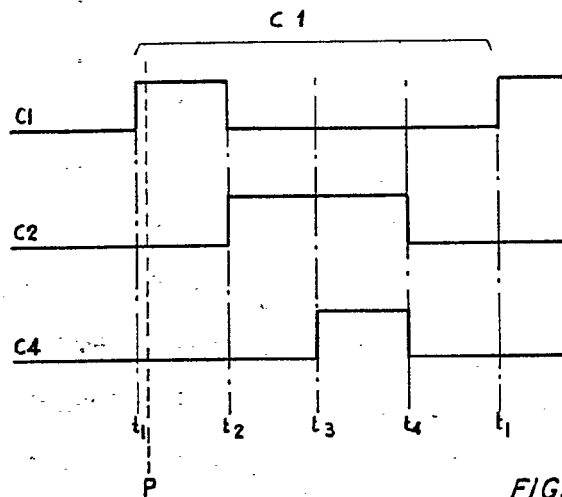


FIG. 2

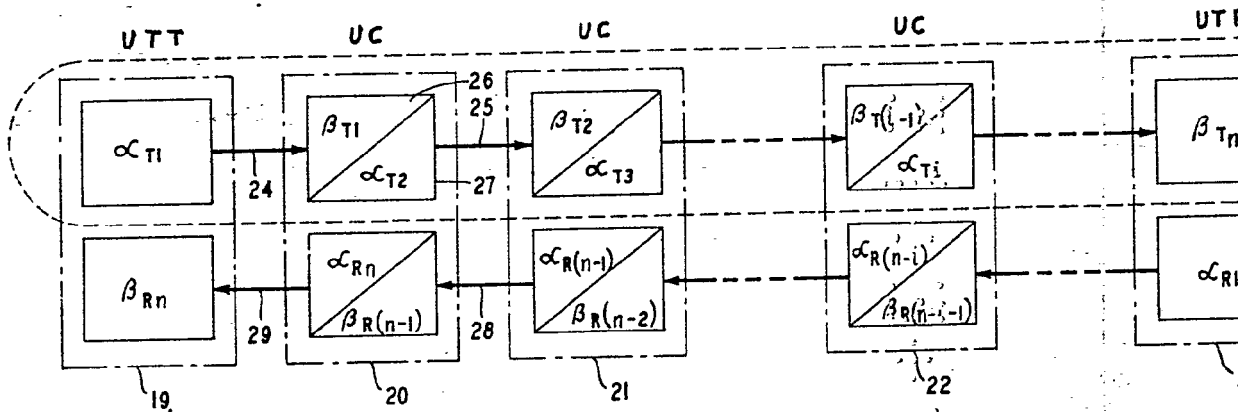
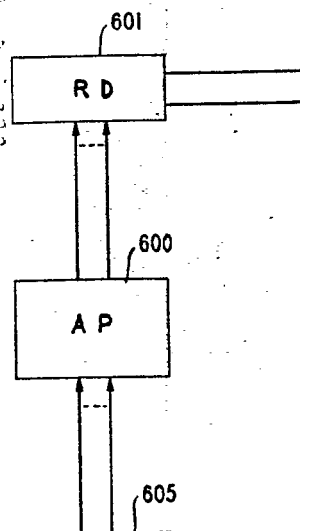
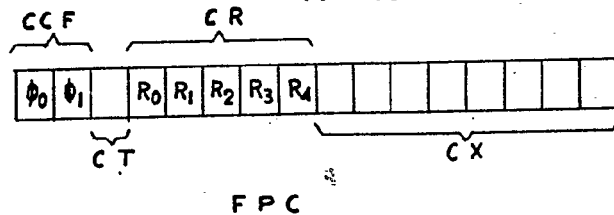
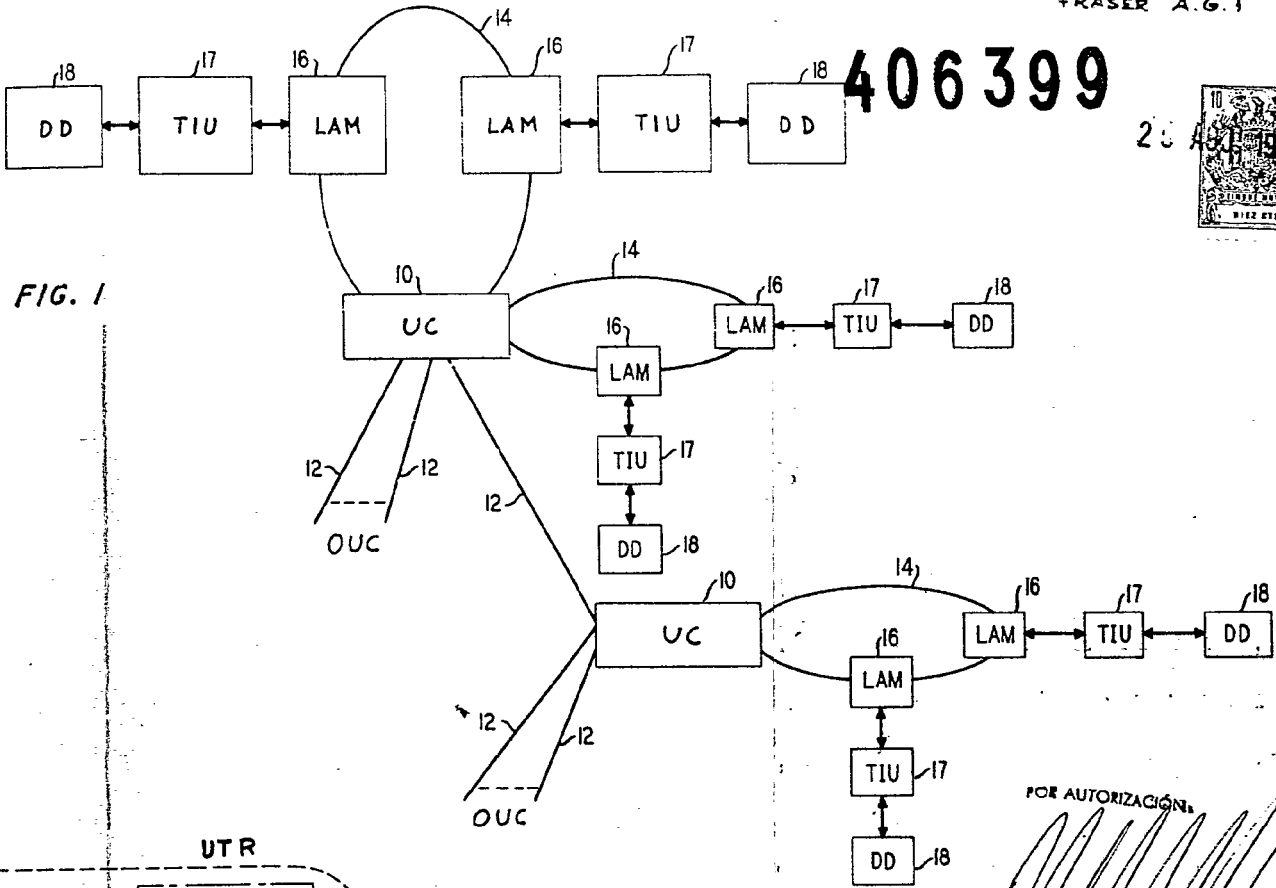


FIG. 10



POOR QUALITY

406399



POR AUTORIZACIÓN

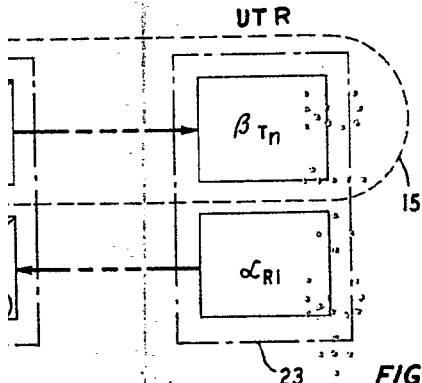
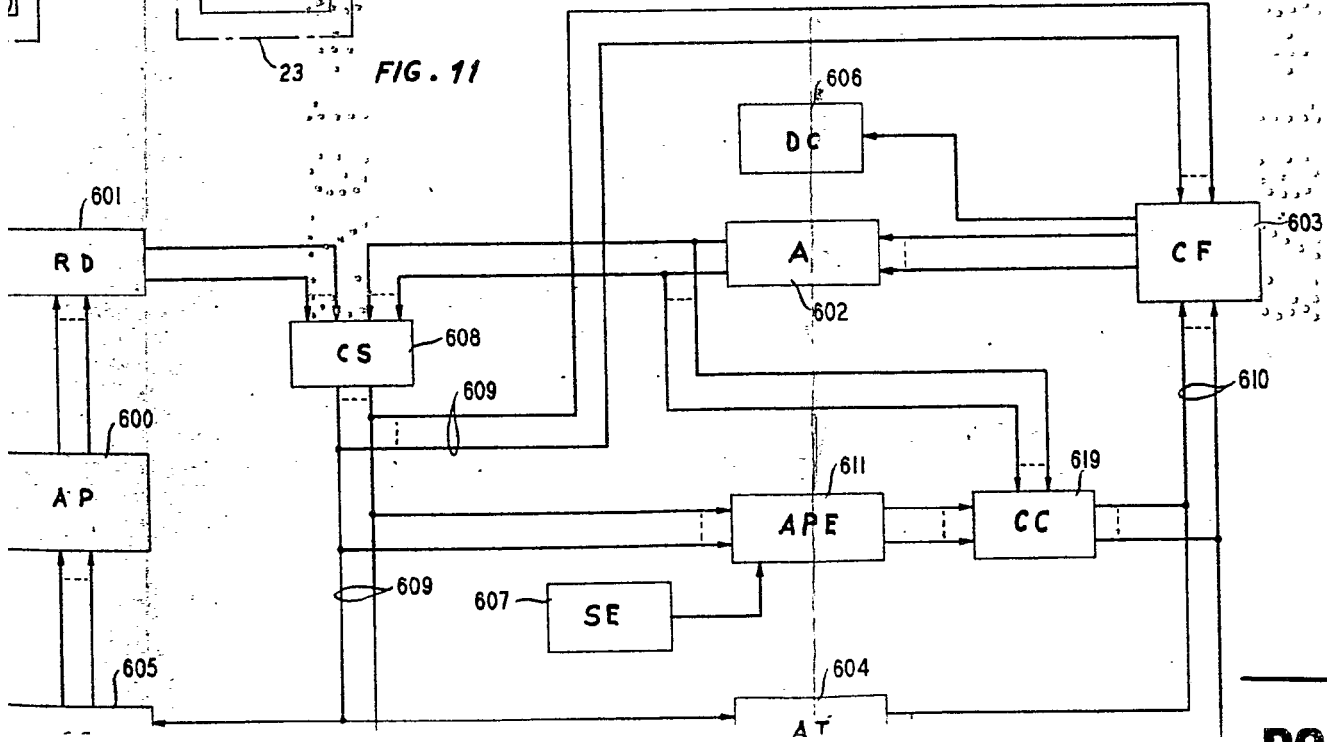


FIG. 11



POOR QUALITY

FIG. 3

406399

FRASER A.G. 1

25

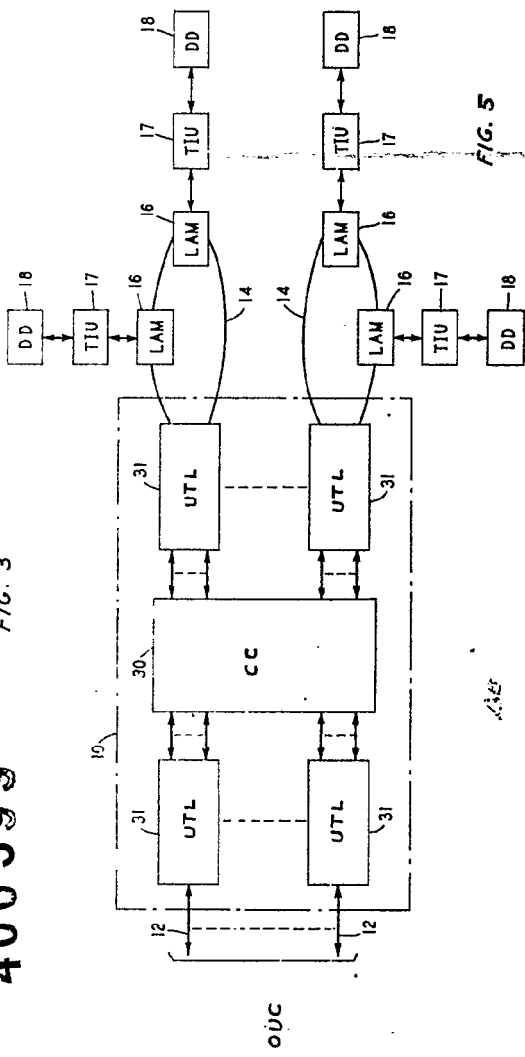


FIG. 5

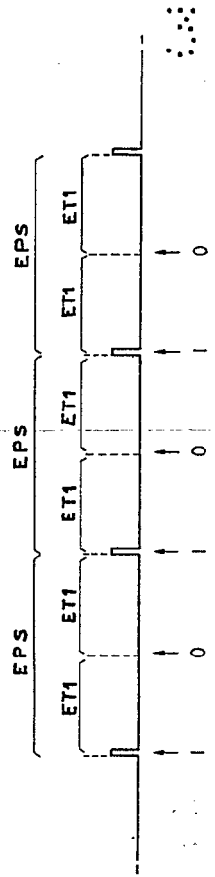


FIG. 7



FIG. 6

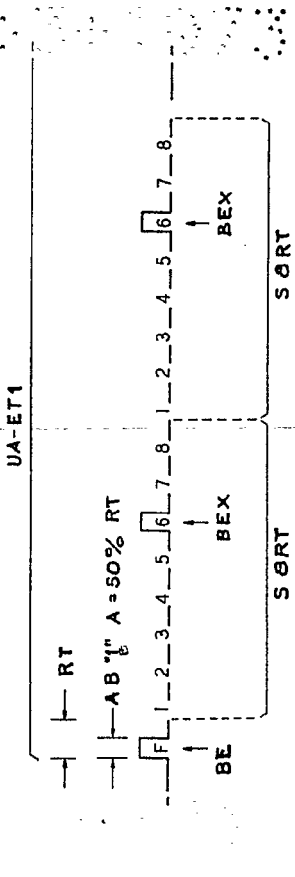


FIG. 8

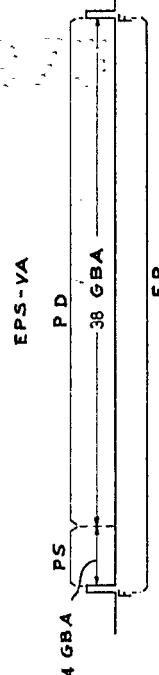
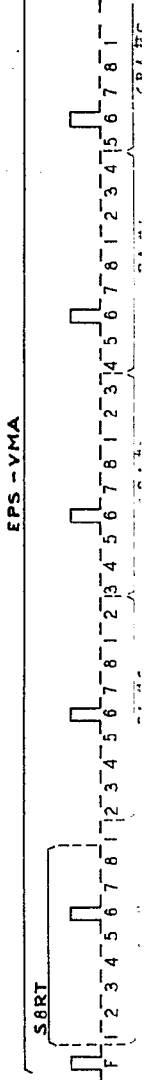


FIG. 9



FOR AUTOMATIC  
COPYING

POOR  
QUALITY

406399

FIG. 3

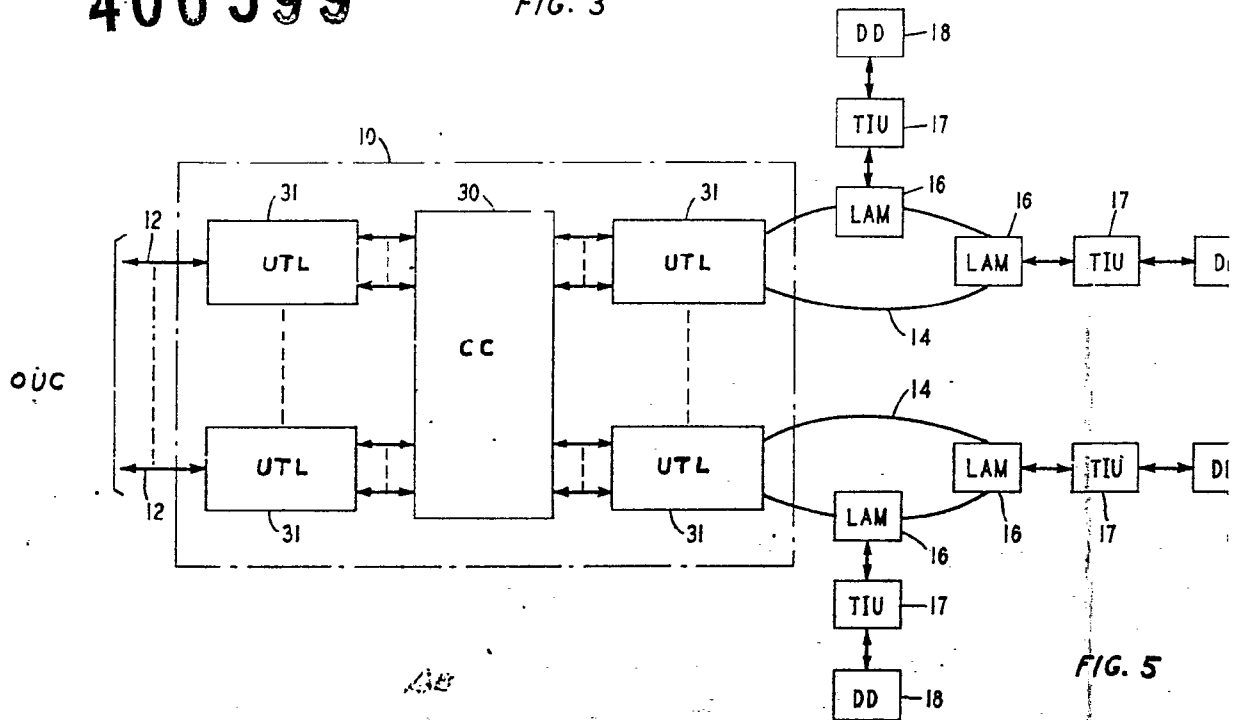


FIG. 5

FIG. 7

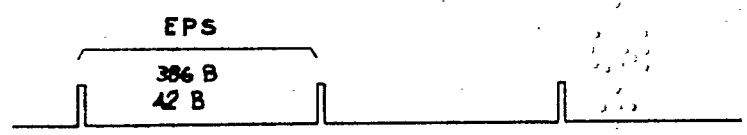


FIG. 8

EPS-VA

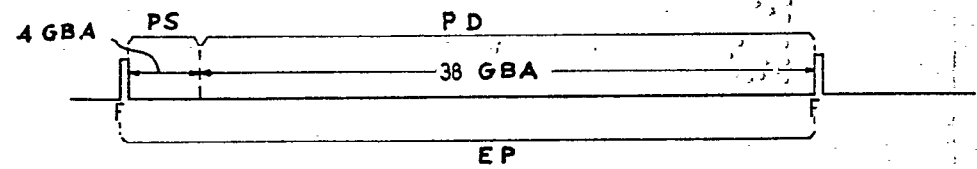
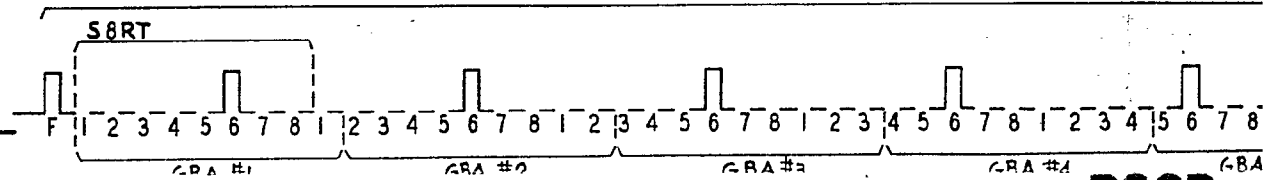


FIG. 9

EPS-VMA



POOR QUALITY

406399

25

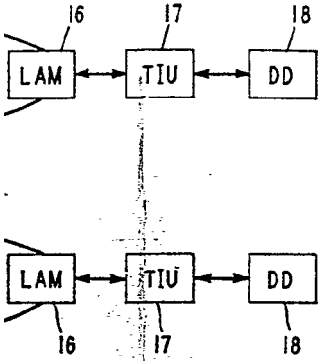


FIG. 5

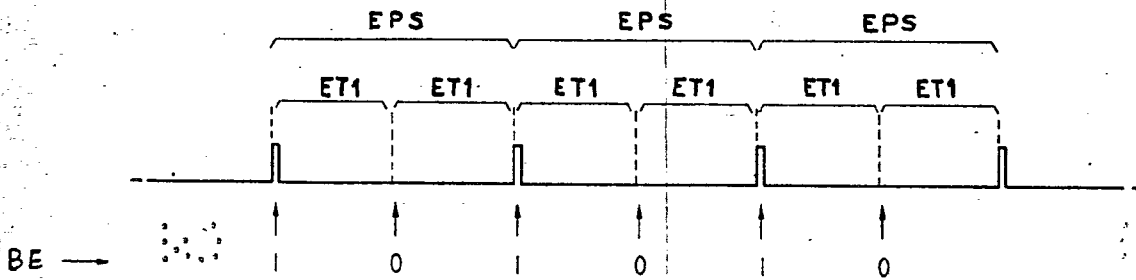
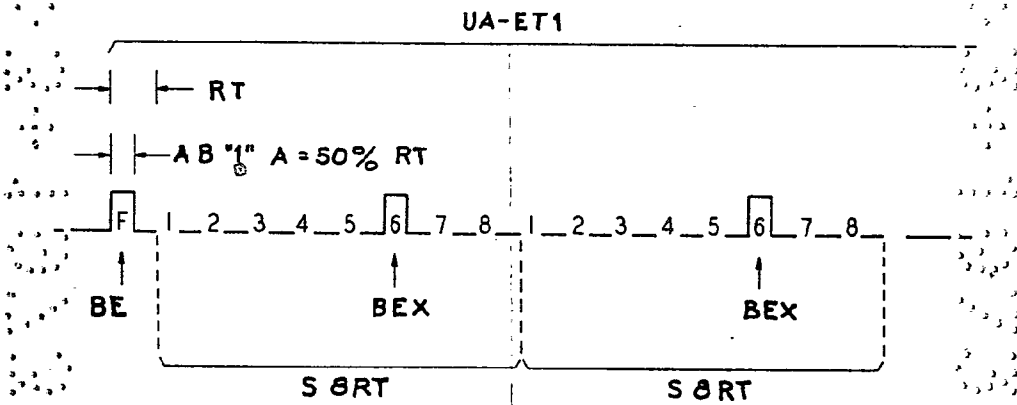
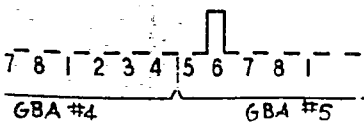


FIG. 6



FOR AUTORIZACION

*[Handwritten signature]*

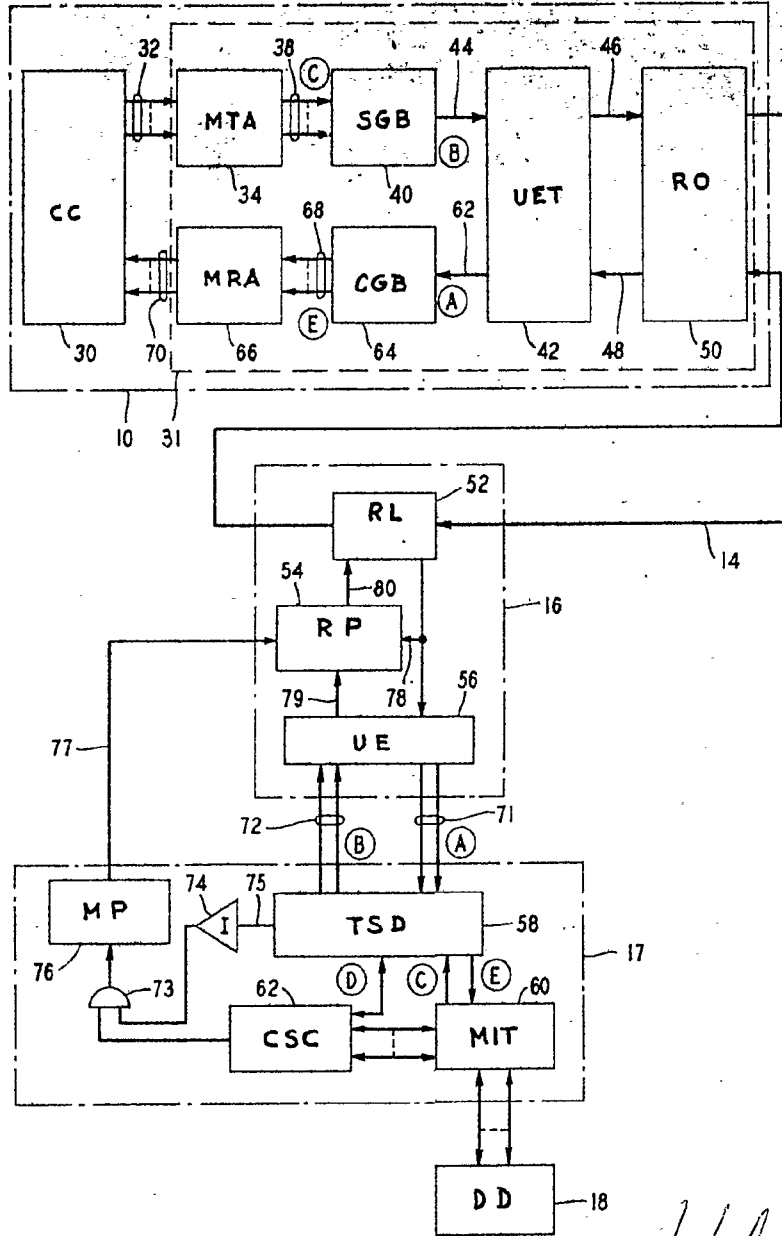


**POOR QUALITY**

406399



FIG. 4



FOR AUTORIZACION

*[Handwritten signature]*

POOR QUALITY

406399

FRASER A.G. 1

25



FIG. 13

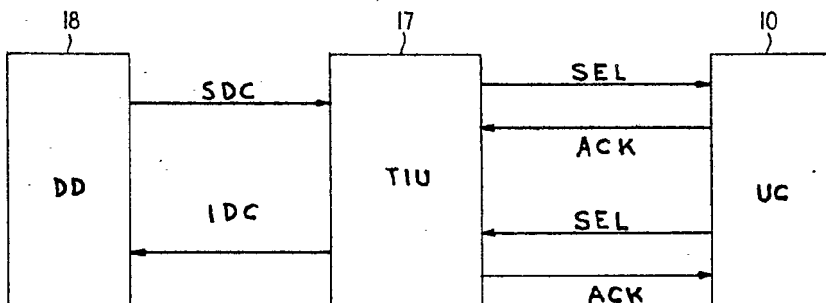


FIG. 14

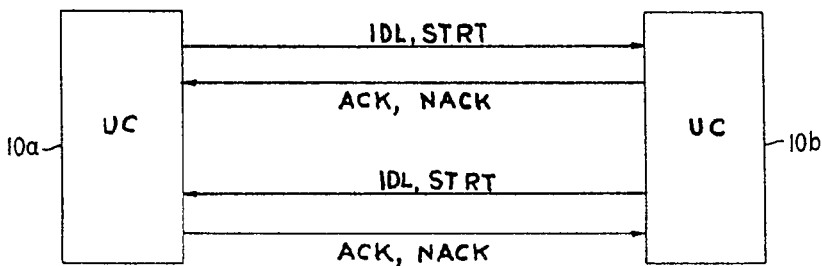


FIG. 15

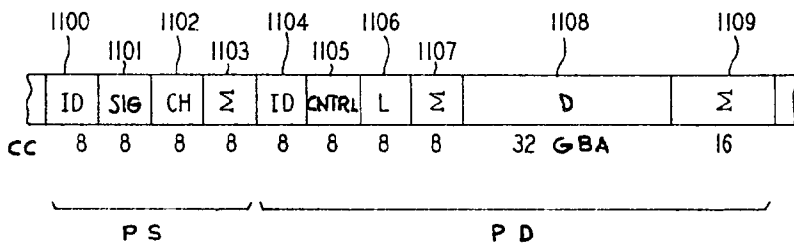


FIG. 16

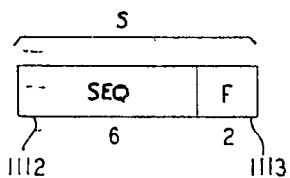
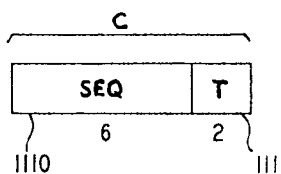


FIG. 17



Handwritten signature or scribble at the bottom right of the page.