

406396

25 AGO. 1971



Int. Cl.: G06A

406396

PATENTE DE INVENCION.

por 20 años

por "CIRCUITO PARA LA ENTRADA DE INFORMACION DADA EN PARALELO A UNA VIA EN SERIE, CARACTER A CARACTER, EN UNA CALCULADORA ELECTRONICA DIGITAL DE SOBREMESA", a favor de D. Miguel ARAGALL Puig y D. Amadeo COMPAN Llana, de nacionalidad española, domiciliados en BADALONA (Barcelona) - Avda. Alfonso XIII, 604.

=====

MEMORIA DESCRIPTIVA

La presente Patente de Invención se refiere a la organización de un circuito que permite la aplicación, a una máquina calculadora electrónica digital de sobremesa, de información codificada en binario 1248, circulante 5. primeramente en paralelo y debidamente transformada en cuando a su transmisión por una vía en serie.

El circuito que se describirá tendrá aplicación adecuada en la visualización, mediante un indicador digital, de las mediciones de peso efectuadas con una balanza 10. automática provista de un transductor incorporado, un circuito contador y otro circuito en el que se realice la elaboración de la información para su aplicación a una

25 AGO. 19



calculadora de tipo digital, encargada de proporcionar mediante previa multiplicación la visualización del importe de los artículos pesados.

Para facilitar la explicación, se acompaña a

5. la presente memoria un diagrama en el que se ha representado, en bloques y una codificación convencional, el circuito completo que constituye la base para el programa objeto de la Patente.

Los elementos designados con números en los dibujos corresponden a las partes siguientes:

- 1-, entrada de la señal proporcionada por un transductor, por ejemplo, del tipo mecano-eléctrico, tal como un disco de sectores giratorio en concordancia con el árbol axial del mecanismo de una balanza del tipo de esfera;
15. -2-, contacto correspondiente a la tecla de borrado parcial de una calculadora digital, denominada corrientemente "clear"; -3-, circuito integrado constitutivo de un temporizador; -4-, circuito integrado constitutivo de un oscilador monoestable, cuya entrada -5- recibe un impulso de excitación, teniéndose a su salida -6- otro impulso de amplitud conveniente; -7-, -8-, -9- y -10-, circuitos integrados idénticos entre sí, dispuestos en serie, cuyas entradas -11-, -12-, -13- y -14-, respectivamente, reciben la información codificada en sistema binario;
25. -15-, señal de permiso para la entrada de información, designada T_p ; -16-, línea de impulsos de reloj, designada T ; -17-, línea de aplicación de impulsos de control, designada T_b ; -18-, circuito integrado en derivación con el -10-, a través del cual pasará la información sucesivamente circulante a través de los circuitos integrados anteriores;
30. -19-,



circuito constitutivo de un decodificador, situado a la salida del -18-, que le enviará información en sistema binario, teniéndose a la salida del -19- la citada información en sistema decimal; -20-, control de conversión de

5. codificación binaria a decimal; -21-, salidas del circuito integrado -19- correspondientes a señales a aplicar sucesivamente a la calculadora, acoplándose los conductores -22- asociados a aquéllas a sendos inversores -23-, cuyas salidas se hallan respectivamente aplicadas, mediante re-

10. sistencias -24-, a transistores -25-, cuyas salidas de colector -26- se aplican a otras tantas entradas de la calculadora digital; -27-, circuito inversor (oscilador); -28- y -29-, circuitos constitutivos de puertas del tipo denominado NAND; -30-, circuito integrado constitutivo de un con-

15. tador en sistema binario, hasta diez pasos; -31-, circuito integrado constitutivo de un oscilador biestable (dos estados biestables) que, con la década (contador hasta 10) forma un conjunto contador hasta 20; -32- y -33-, circuitos integrados idénticos entre sí, constitutivos de sendos de-

20. codificadores, -34- y -35- grupo constitutivo de una memoria suplementaria; -36-, línea de estado nº 20 con el que se cierra el circuito y correspondiente a la operación de multiplicación; -37-, circuito integrado constitutivo de un oscilador monoestable; -38-, relevador del tipo denominado usualmente "reed-relay" y perteneciente asimismo a la

25. operación multiplicadora.

Los principios fundamentales del programa que se describe pueden resumirse en la siguiente forma:

La entrada de información es, como se ha dicho,

30. en paralelo y la salida en serie, carácter a carácter. Las

406396

- 4 -

25 AGO.



entradas de información deben pasar a unos registros de decalaje de entrada en paralelo y salida en serie, excepto el último, que debe ser de entrada en serie-paralelo y salida asimismo en paralelo; son los circuitos integrados designados con los números -7-, -8-, -9- y -10-, respectivamente y que corresponderán a la nomenclatura F JJ 321. A continuación se pasa la información a través de un registro -18- de decalaje, de entrada en paralelo y salida también en paralelo, del tipo F JJ 341 y, finalmente, a un decodificador -19-, del tipo F JH 361, cuyas salidas, invertidas mediante los componentes -23-, atacan los transistores de salida -25-, que actúan simulando la acción de apretar un pulsador en la calculadora digital.

Para que se produzca el transvase de la información desde el indicador, con su señal aplicada a la entrada -1-, hasta la calculadora, asociada a las salidas -26-, es preciso que se cumplan las dos condiciones siguientes: 1ª, el transductor debe estar completamente parado, es decir, el número indicado en el señalizador digital no debe oscilar en absoluto, y 2ª, debe darse la orden de entrada a la calculadora.

Estas dos condiciones se cumplen de manera lógica mediante el temporizador TU 30 y el circuito monoestable -4-, del tipo SN 74121, cuyas salidas deben encontrarse a nivel 1 para que el sistema funcione.

Para que la información entre y se desplace correctamente y finalmente salga, es preciso el establecimiento de un circuito, evidentemente secuencial, que determine precisamente una sucesión de órdenes, es decir, que produzca los adecuados impulsos de reloj según los re-



gistros de decalaje y controle las inhibiciones de los mismos.

Las órdenes precisas para el tratamiento de la información son las siguientes:

- | | | | |
|-----|------------------|------------------|-----------------------|
| 5. | 1ª, pulsar T_p | 7ª, pulsar T_b | 13ª, pulsar T |
| | 2ª, " T_b | 8ª, " T | 14ª, " P y T |
| | 3ª, " T | 9ª, " T y P | 15ª, " T |
| | 4ª, " P y T | 10ª, " T | 16ª, " T |
| | 5ª, " T | 11ª, " T | 17ª, " T_b |
| 10. | 6ª, " T | 12ª, " T_b | 18ª, " P |
| | | | 19ª, " Multiplicación |

Como se ve, se trata de actuar según 19 estados, sirviendo el estado número 19 para cerrar el ciclo.

- Se emplea, en consecuencia, para la generación
15. de los citados 20 estados, un contador formado por una década del tipo F JJ 141 y un circuito biestable F JJ 101. Después se pasa a una etapa de decodificación, por medio de las puertas números 3, 5 y 6, y a las salidas 6, 8 y 10 de las puestas 5, 6 y 7, respectivamente, se tienen las se
20. ñales T, T_p y T_b .

- La señal T_p la proporciona la memoria 10, conectada al estado 1 del decodificador F JH 361. El primer impulso de reloj, puerta número 9, pasa a través de las puertas 8 y 7, respectivamente, y es decodificado en el estado
25. 1 del decodificador F JH 361. Al mismo tiempo activa la memoria 7, de forma que el segundo impulso de reloj pasa, como todos los restantes, hasta el 20, por las puertas 7 y 7, sirviendo este último estado para el borrado de la memoria 7 y asimismo actuar sobre el monoestable SN 74121, colocado a la salida 3 de la primera puerta de la memoria 7, que
- 30.

406396

- 6 -

25 AGO



acciona, mediante un inversor, el sistema excitador del relevador -38-, actuante sobre el pulsador de la multiplicación, constituido por tres diodos, dos resistencias y un transistor, requiriéndose dicho montaje por la falta

5. de tierra fija en bornes del pulsador de la multiplicación en la calculadora.

Las operaciones a realizar por el operador son:

1º, esperar a que quede en reposo el indicador de peso;

2º, pulsar el botón de borrado parcial o "clear" de la

10. calculadora, haciendo entrar en ésta la información; 3º, pulsar en la calculadora el precio del artículo y la orden de igual, efectuándose entonces automáticamente la multiplicación y haciéndose visible en el display o carátula señalizadora de la calculadora el importe global del ar-

15. tículo pesado.

Todo cuanto no afecte, altere, cambie o modifique la esencia del programa descrito, será variable a los efectos de la actual Patente.

N O T A.

20. Se reivindica como objeto de esta Patente de Invención:

1.- Circuito para la entrada de información dada en paralelo a una vía en serie, carácter a carácter, en una calculadora electrónica digital de sobremesa, caracterizado esencialmente por la disposición de la entrada de

25. información en paralelo y su elaboración para su salida en serie, con dotación de por lo menos cuatro registros de decalaje del tipo de entrada en paralelo y salida en serie, a excepción del último, que es del tipo de entrada en se-

30. rie-paralelo y salida en paralelo, pasando seguidamente la

Handwritten signature or initials.

25 AGO. 1972



información a través de otro registro de decalaje de entrada y salida en paralelo, hasta un decodificador cuyas salidas invertidas se hallan asociadas a sendos transistores de salida, que actúan simulando la acción de operación de un pulsador en una calculadora del tipo digital.

5. 2.- Circuito para la entrada de información dada en paralelo a una vía en serie, carácter a carácter, en una calculadora electrónica digital de sobremesa, según la reivindicación anterior, caracterizado por la provisión de un temporizador y un monoestable cuyas salidas se encuentran a nivel 1 para el funcionamiento del sistema, con la realización de las condiciones de paro absoluto del dispositivo transductor que efectúa la conversión de señales mecánicas en eléctricas a aplicar a la calculadora y la formulación expresa de una orden de entrada de información a la citada calculadora, estableciéndose un circuito secuencial determinante de una sucesión de órdenes, e impulsos de reloj para los registros de decalaje y control de la inhibición de los mismos.

10. 3.- Circuito para la entrada de información dada en paralelo a una vía en serie, carácter a carácter en una calculadora electrónica digital de sobremesa, según las reivindicaciones anteriores, caracterizado por la generación de los 20 estados de funcionamiento mediante un contador formado por una década y un biestable, seguido de una etapa de codificación a cuyas puertàs de salida se tienen señales proporcionadas respectivamente por una memoria conectada a un decodificador, impulsos de reloj y órdenes de desactivación, en orden al accionamiento último, a través de un inversor, del dispositivo excitador de un rele-

15. 20. 25. 30.

- 8 - 406396



25 AGO. 1972

vador actuante sobre el pulsador de la multiplicación asociado a la calculadora y constituido por tres diodos, dos resistencias y un transistor, supliendo la ausencia de masa fija en bornes del pulsador de la multiplicación en la
5. calculadora.

Sean cuales fueren las circunstancias que concurren en la esencialidad de la Patente de Invención, definida en las anteriores reivindicaciones, cuyo objeto es:

4.- "CIRCUITO PARA LA ENTRADA DE INFORMACIÓN DADA EN PARALELO A UNA VÍA EN SERIE, CARÁCTER A CARÁCTER, EN UNA CALCULADORA ELECTRÓNICA DIGITAL DE SOBREMESA".
10.

Consta la presente memoria de ocho hojas foliadas, mecanografiadas por una sola cara y de los dibujos unidos a la misma.

15.

Barcelona, 25 AGO. 1972

P.A. de D. Miguel ARAGALL Puig y
D. Amadeo COMPAN Llaneza.

ALFONSO DURÁN

p. p.

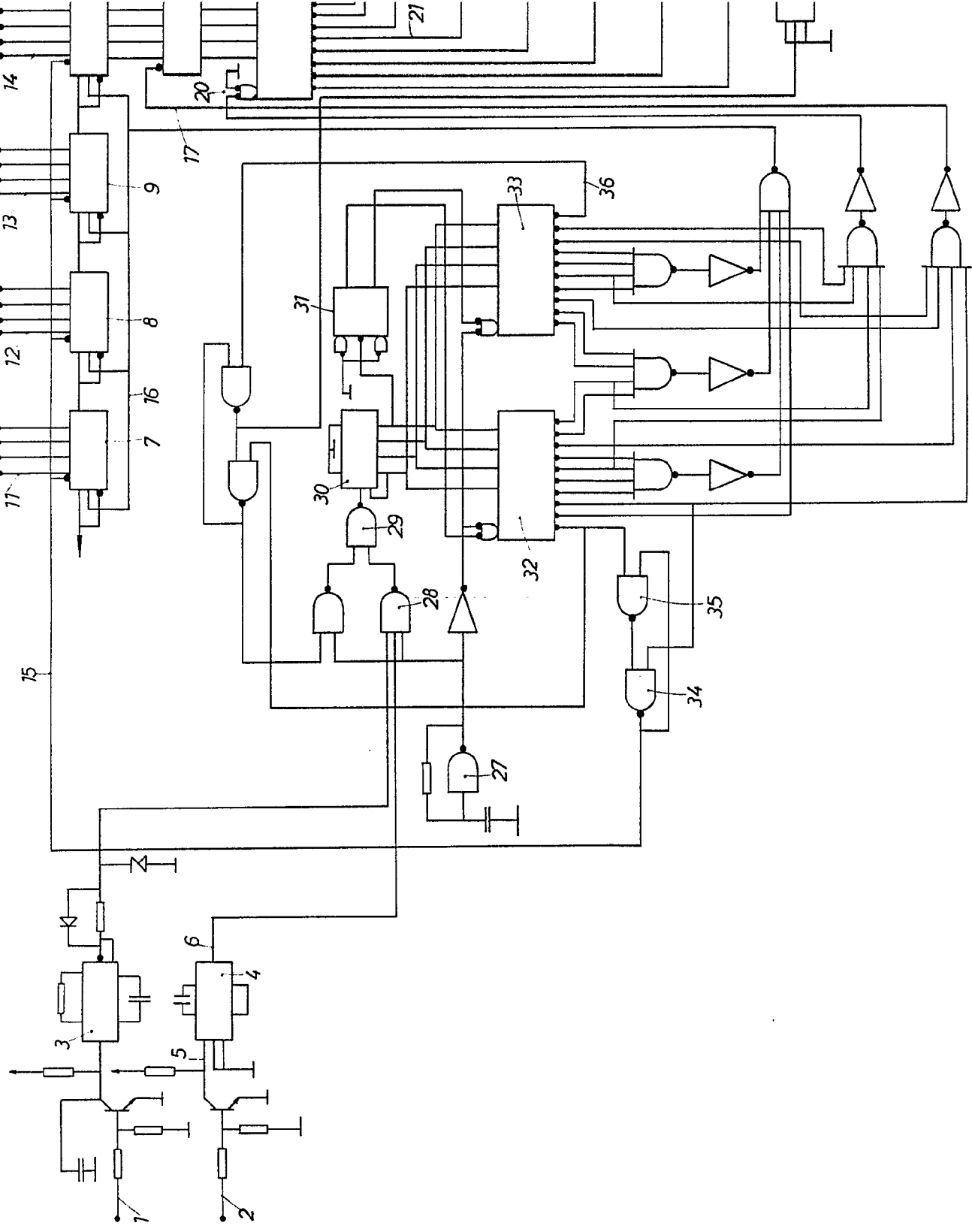

Fdo.: Luis Durán Benejam

FE/ef.



D. MIGUEL ARAGALL PUIG Y
D. AMADEO COV.FAN LLANEZA

406396



406396

ESCALA VARIABLE

400396

400396

HOLA ÚNICA



25



25

BARCELONA, 25 AGO. 1972

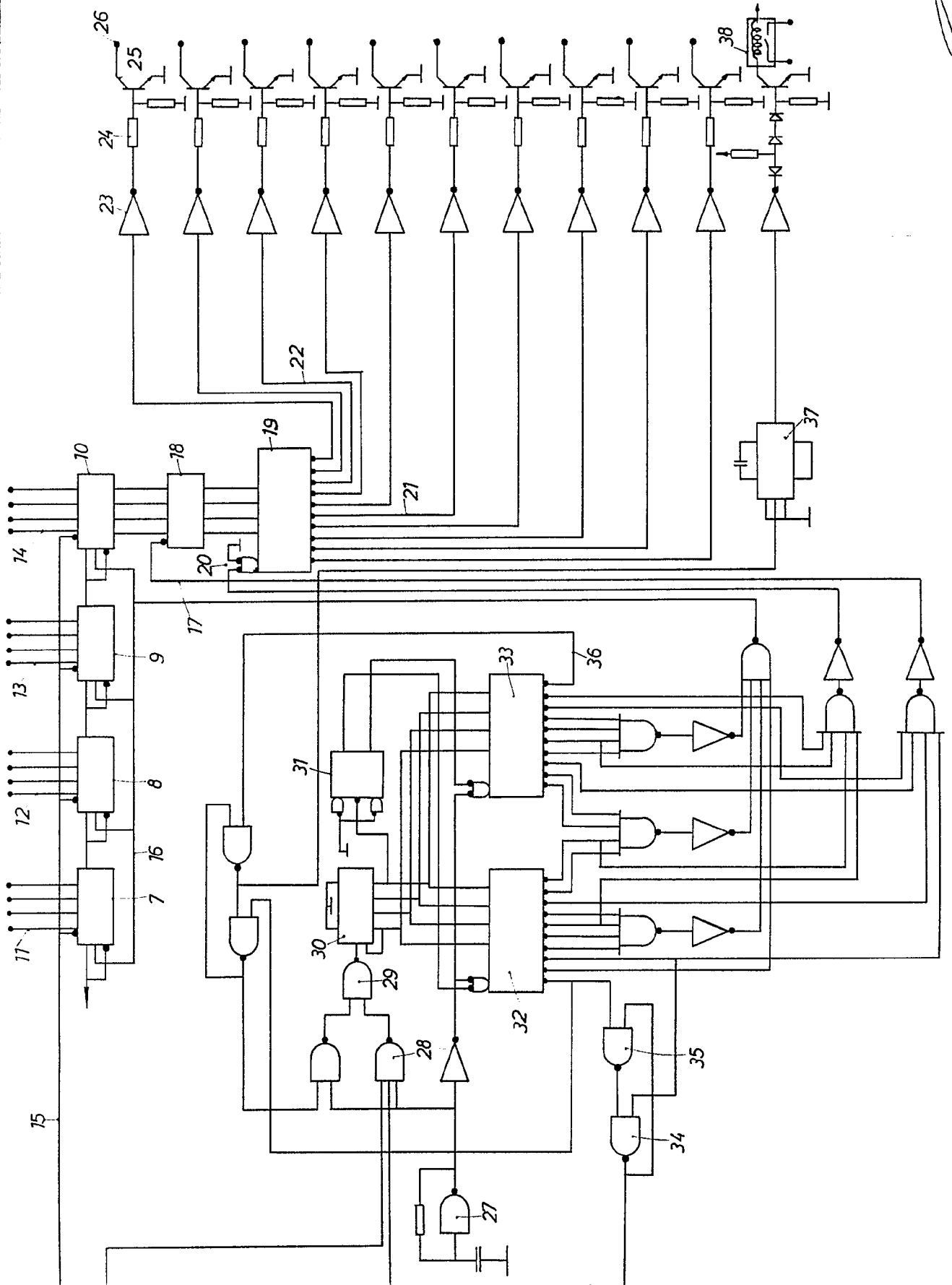
P. A.

ALFONSO DURAN

P. P.

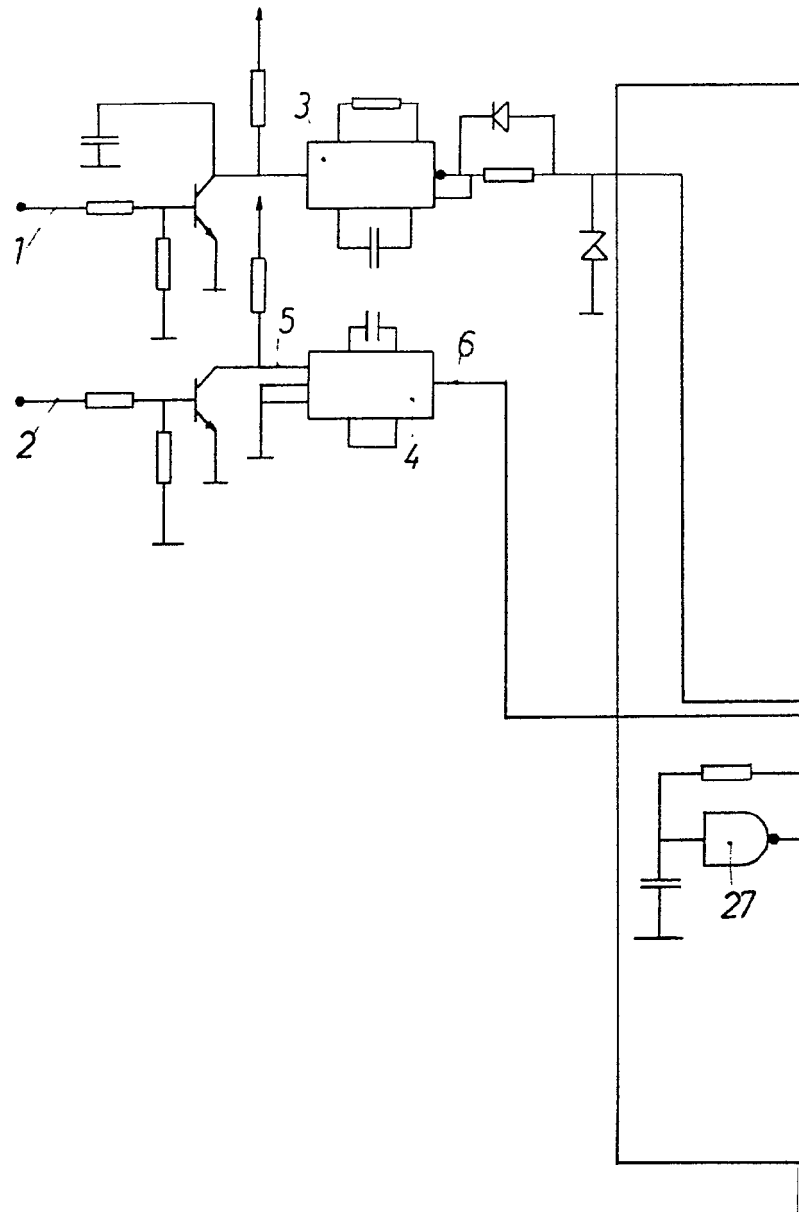
Alfonso Duran

Foto: Luis Durán Benéfame



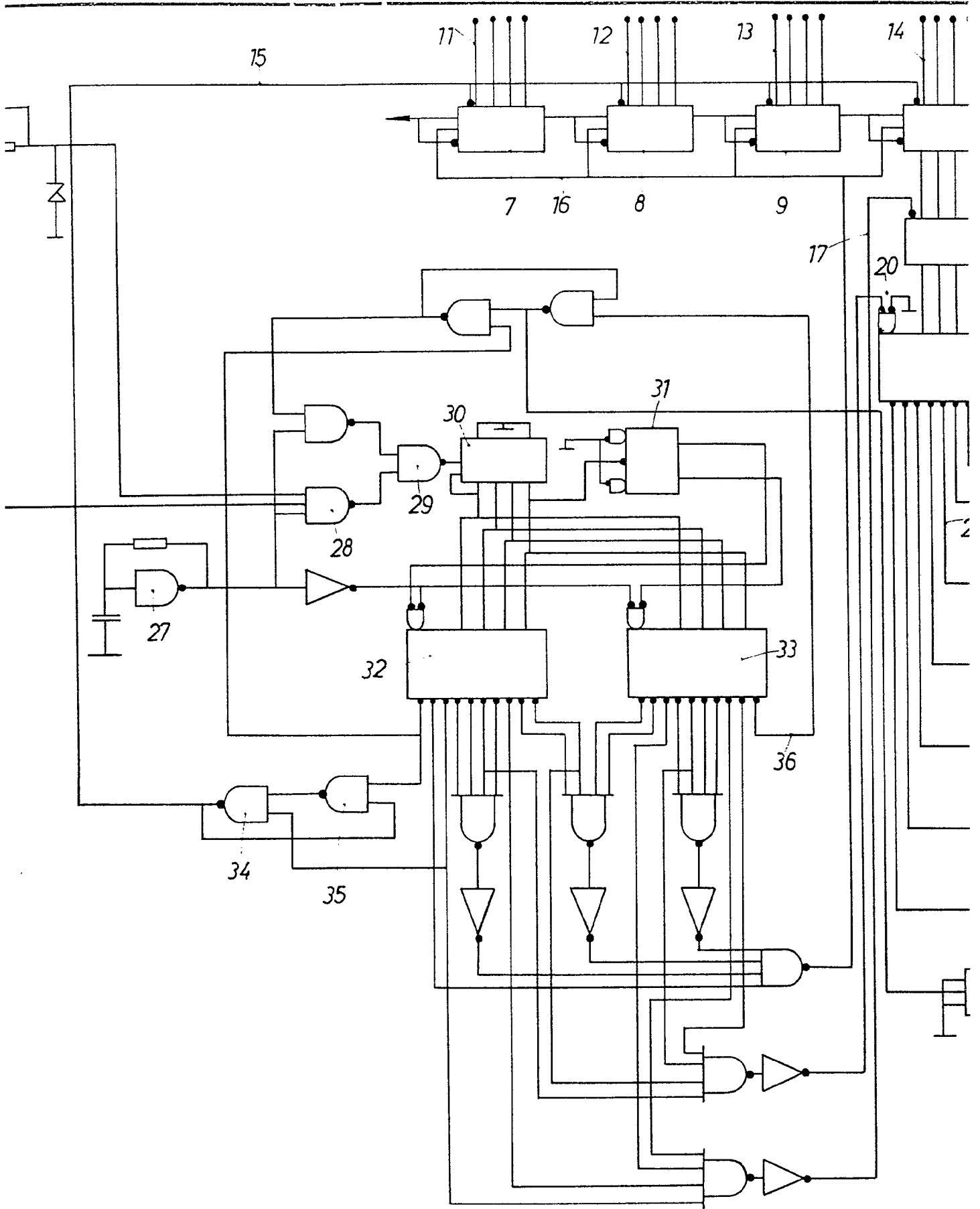
D. MIGUEL ARAGALL PUIG Y
D. AMADEO COMPAN LLANEZA

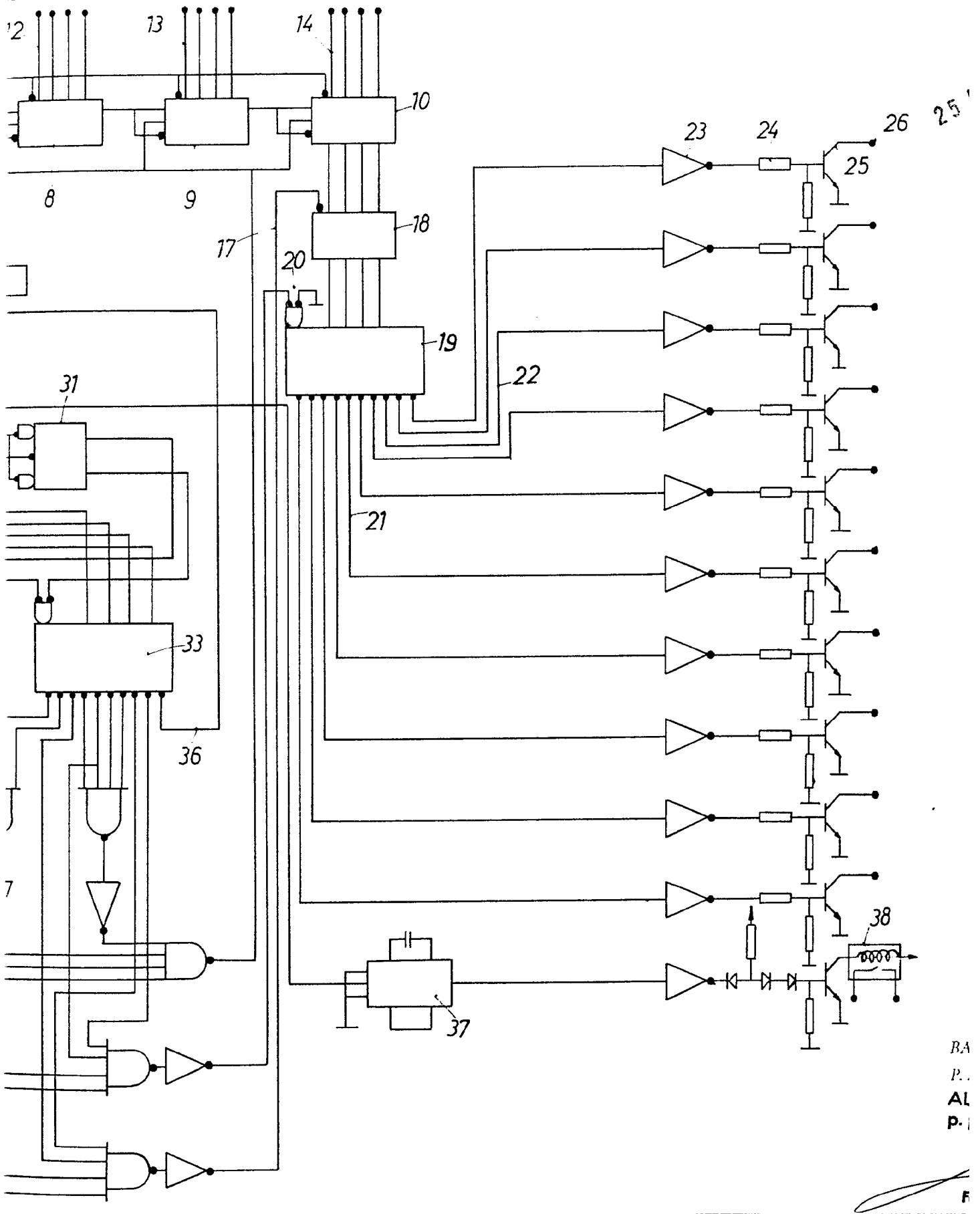
406896



ESCALA VARIABLE

406596



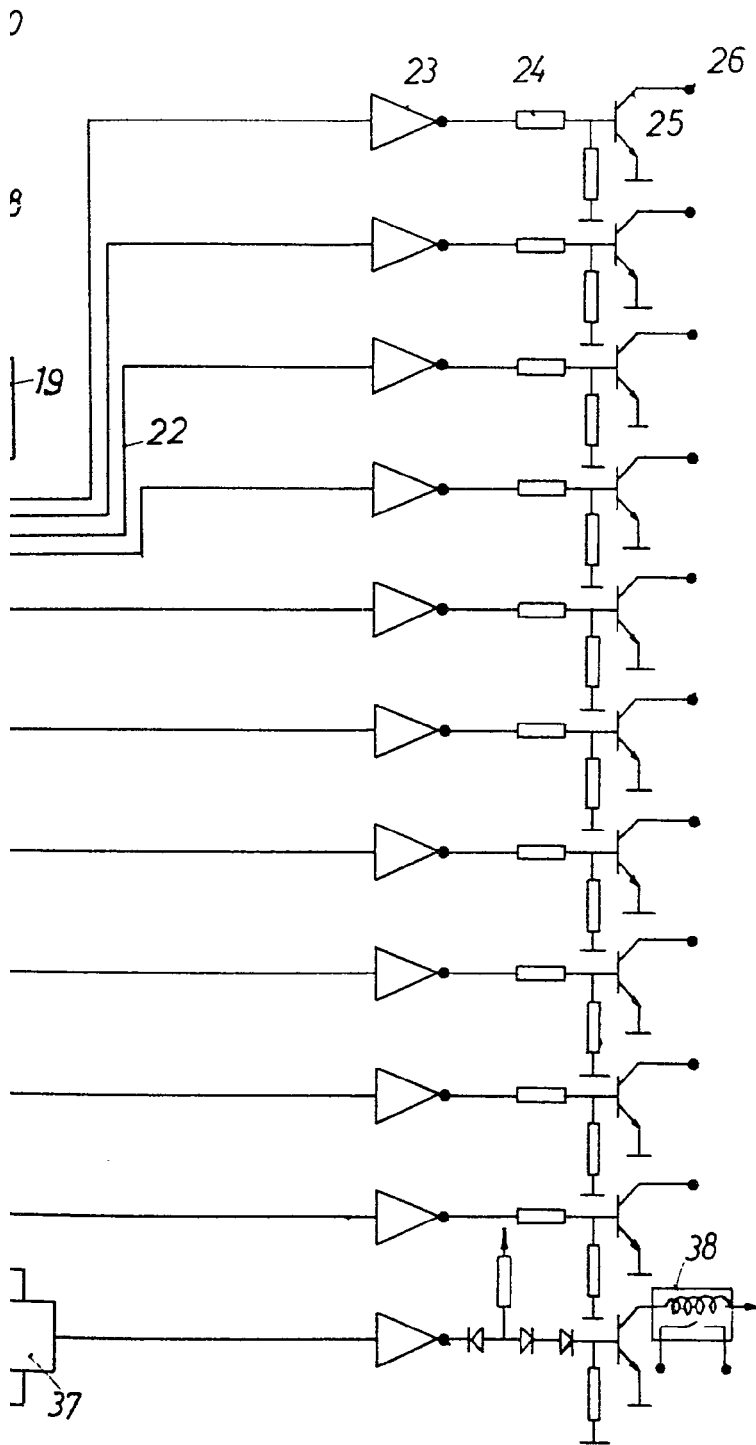


BA
P.
AL
P.

F

406396

HOJA ÚNICA



BARCELONA, 25 AGO. 1972

P. A.
ALFONSO DURÁN
P. P.

Fdo.: Luis Durán Benejam