



'404459'

PATENTE DE INVENCION

Docket No. 16597

Y.P. 3-9-75

404459

Inventor: HOSK

Memoria Descriptiva

sobre:

PERFECCIONAMIENTOS EN APARATOS DEMODULADORES ASINCRONOS ADAPTABLES AL REGIMEN PARA SEÑALES BINARIAS DE DOS NIVELES.

=====

Solicitante: ROLAND O. BARNES, de nacionalidad norteamericana, residente en 834 S.296th Place, Federal Way, Washington, 98002, EE. UU. de A.

=====

5 Se describe un aparato demodulador para demodular señales de entrada binarias en serie de dos niveles asincronas que tienen un régimen de bitios desuniforme, que puede ser del tipo bifásico o del tipo modulado de duración de impulso.

404459

-2- 40 459



5

10

15

20

25

30

Se emplea una técnica de referencia dinámica para compensar el régimen variable de bitios de la señal de entrada, donde la identidad de un bitio de entrada se determina comparándolo con una señal de referencia de tiempo derivada del bitio inmediatamente anterior, por lo que dicha señal de referencia cambia en amplitud automáticamente para compensar las variaciones en el régimen de bitios. En una modalidad, el impulso de entrada binario de bitio cero y de bitio uno de la señal de entrada modulada de duración de impulso tienen anchuras de una y dos unidades de tiempo, respectivamente, - mientras que la señal de referencia tiene una anchura efectiva de una y media unidades de tiempo. La señal de referencia se deriva de ambos impulsos de bitio cero y de bitio uno ajustándola al régimen de contaje de un contador comparador con la corriente de salida de una puerta de compensación que cambia la frecuencia de los impulsos de temporización alimentados a dicho contador de acuerdo con el último bitio de salida almacenado en un circuito de memoria. En otra modalidad del demodulador que se utiliza con señales de entrada bifásica se emplea un dispositivo comparador que comprende un - contador digital y un discriminador, para comparar la señal de referencia del bitio de entrada precedente contra el intervalo de tiempo de la parte de información bifásica del bitio de entrada sucesivo siguiente para determinar si es uno binario o un cero binario. Lógicamente, se emplean también los impulsos normales de sincronización o corrimiento como una corriente de salida de los demoduladores.

La materia objeto del presente invento se refiere en general a la demodulación de señales digitales de dos niveles asíncronas y, en particular, a un aparato demodu-



lador asíncrono adaptable al régimen para demodular señales de entrada binarias que tienen un régimen de bitios desuniforme. El aparato demodulador del presente invento emplea una técnica de "referencia de tiempo dinámica". Con esta técnica de referencia dinámica una señal de referencia de temporización se deriva desde cada bitio de entrada y se compara con la longitud del bitio de entrada siguiente para determinar si es un uno o cero binario. Como resultado, la amplitud de la señal de referencia de tiempo se corrige automáticamente para cada bitio con el fin de compensar cualquier cambio en la longitud de los bitios de entrada debido a variaciones en el régimen de bitios, para que no haya acumulación de errores de temporización a pesar de que existan variaciones notables en el régimen de bitios de entrada.

A pesar de que el aparato demodulador del presente invento se puede utilizar para demodular cualquier señal de entrada binaria asíncrona cualquiera que sea su fuente de procedencia, es especialmente útil cuando dichas señales de entrada tienen un régimen de bitios ampliamente variable como el producido por lectores de información binaria de funcionamiento manual. Un lector de este tipo podría ser un lector óptico que comprendiera una fuente luminosa y una célula fotoeléctrica que se explora de una forma manual a través de barras alternas de material reflectante y antirreflectante dispuesto en un código binario según se describe en la patente Estadounidense Nº 3.359.405 de G.A. Sundbland. Este lector se puede utilizar en el mostrador de cobros de una tienda o supermercado para producir una señal binaria asíncrona correspondiente al precio de un artículo comprado, explorando una etiqueta en código binario de di-

404459

-4-



cho artículo. La señal bifásica asíncrona se demodula y transmite a un computador digital que se puede programar para sumar los precios de todos los artículos comprados, comprobar la tarjeta de crédito del comprador, e indicar si se puede hacer la venta al par que realiza los cambios apropiados en el inventario de la tienda. Dicho supermercado automatizado ofrece la ventaja de eliminar los errores de las cajas al marcar en caja el precio de un artículo, acelerar el procedimiento de pago, reducir créditos incobrables y proporcionar un inventario preciso al día.

Los aparatos de transmisión de señales binarias asíncronas anteriores a este invento utilizan señales de tres niveles según se indica en el artículo de Mine, Haegawa and Koga, titulado "Esquemas de Transmisión Asíncrona para Información Digital", Tranaciones IEEE de la Tecnología de las Comunicaciones, Vol. Com-, 18 No.5, octubre de 1970.

El aparato demodulador del presente invento permite la transmisión de señales binarias asíncronas de tan sólo dos niveles utilizando la técnica de referencia de tiempo dinámica y es mucho más simple que los demoduladores asíncronos anteriores. El demodulador de señal binaria de dos niveles asíncrona del tipo del presente invento ofrece varias ventajas sobre las demodiladores sincronos incluyendo el hecho de que se puede emplear cualquier dispositivo transductor de entrada en el aparato lector de registro binario y dicho aparato lector se puede situar distanciado del demodulador. Asimismo, como el régimen de repetición de impulsos de la señal de entrada puede variar, se puede emplear un aparato lector de funcionamiento manual cuya velocidad y trayecto de exploración, varía, en lugar del aparato de la tecnología anterior que tenía



404459⁻⁵⁻

un motor de exploración de velocidad constante y un guía de aparato lector de canto recto. Además, el presente invento no exige el empleo de dobles canales de información o señales de tres niveles como las producidas por las marcas tricolores de otros aparatos de la tecnología anterior.

5

La señal de entrada digital transmitida al circuito demodulador del presente invento, comprende un impulso de introducción y un impulso final y/o espacio de terminación al comienzo y al final, respectivamente, de cada grupo de impulsos de información que forma un "carácter" o "palabra" de bitios. Este impulso de introducción tiene una longitud igual a una unidad de tiempo y proporciona una señal de referencia de tiempo para compararse con la longitud del primer bitio de información. Cuando se utilizan señales de entrada moduladas en duración de impulso que tienen los bitios cero y uno, cuyos bitios son respectivamente una unidad y de dos unidades de tiempo, entonces la señal de referencia es de una y media unidades de tiempo. A causa de esta gran diferencia en las longitudes de los bitios cero y uno y la técnica de referencia dinámica para poner al día la señal de referencia por cada impulso de entrada, los cambios en el régimen de repetición de impulsos dentro de una gama extremadamente amplia no producen efecto alguno en la precisión del demodulador. Por ejemplo, en una modalidad del demodulador para señales de entrada moduladas en duración de uso, que emplea contadores binarios de 16 etapas, el régimen de repetición de impulsos puede variar en una gama de 2,5 a 5.000 bitios por segundo y el cambio en longitud de impulso entre impulsos adyacentes puede llegar a ser del 25 % por alargamiento de impulso y del 18% por acortamiento de impulso.

10

15

20

25

30

404459

-6-



5 El final de un grupo de palabras o caracteres de los impulsos de información binaria se indica en la señal de entrada por un espacio largo de terminación igual a tres unidades de tiempo con el fin de distinguir entre el espacio comprendido dentro de impulsos adyacentes dentro de un grupo de palabras. Como resultado, se consigue un método extremadamente simple, eficaz y preciso para transmitir información digital utilizando el demodulador del presente invento.

10 Además, una modalidad del demodulador del invento permite que se utilicen señales de entrada binaria bifásicas en lugar de señales binarias moduladas en duración de impulsos, con lo que se puede transmitir una mayor cantidad de datos dentro de una anchura de banda dada. Así, se pueden escribir y leer aproximadamente un 50% más de datos con señales bifásicas en lugar de señales moduladas en duración de impulso utilizando el mismo espacio y tamaño de marca.

15 Al contrario que las señales moduladas en duración de impulso, las señales bifásicas tienen bitios de uno binario y cero binario de la misma longitud determinada por el intervalo entre dos transiciones de nivel regular adyacentes en la señal bifásica, y la identificación binaria de dichos bitios se consigue por la presencia o ausencia de transiciones irregulares entre dichas transiciones regulares.

20 Por ejemplo, una señal de marca bifásica tiene transiciones regulares en los extremos opuestos de cada bitio y una transición irregular en el medio de uno de los bitios y ninguna transición en el medio de los bitios cero. Las señales de espacio bifásicas tienen una transición irregular en el medio de los bitios cero y ninguna transición en el medio de los bi-

25

30



5 tios uno. No obstante, las señales de nivel bifásicas se
equilibran siempre en el sentido de que una mitad del bitio
es alta y la otra mitad baja por lo que siempre tienen lu-
gar transiciones regulares en el medio de ambos bitios uno
y cero y dichos bitios se identifican por transiciones regu-
lares de dirección negativa para los bitios uno y transiones
regulares de dirección positiva para los bitios cero. Se ob-
servará que la señal de nivel bifásica se desplaza medio -
bitio hacia la derecha de las señales de marca bifásica y
10 de espacio bifásicas.

Por lo tanto, el presente invento tiene
por objeto proporcionar un aparato demodulador perfeccionado
para demodular señales binarias en serie de dos niveles asin-
cronas de régimen de bitios variables, de una manera simple,
15 eficaz y precisa.

Otro objeto del presente invento es propor-
cionar dicho aparato demodulador donde se emplea una técnica
de referencia de tiempo dinámica para compensar los regíme-
nes de bitios variables de la señal de entrada binaria donde
20 los bitios de entrada se identifican comparando cada bitio
de entrada con una señal de referencia de tiempo derivada de
la longitud del bitio inmediatamente precedente.

Otro objeto del invento es proporcionar
dicho aparato demodulador para demodular señales de entrada
25 binarias moduladas en duración de impulsos donde se alimen-
tan impulsos de cronometración compensados a un contador -
comparador a una frecuencia controlada por el último bitio
contado, con el fin de mantener el mismo valor efectivo pa-
ra las señales de referencia derivadas desde impulsos de bi-
30 tío cero y de bitio uno de longitudes diferentes.

404459

-8-



5

Otro objeto del presente invento es proporcionar dicho demodulador donde se emplea un impulso de introducción de longitud predeterminada al comienzo de cada grupo de impulsos de entrada de palabras o caracteres para producir la señal de referencia de tiempo que se compara con el primer impulso de información en cada grupo.

10

Otro objeto adicional del invento es proporcionar dicho demodulador donde se emplea un espacio de terminación al final del grupo del impulso de entrada que es más largo que cualquiera de los impulsos de información o los espacios entre dichos impulsos con el fin de indicar el fin de cada grupo.

15

Otro objeto del presente invento es proporcionar dicho demodulador que se utiliza para demodular una señal de entrada binaria en serie del tipo de modulación de duración de impulso para producir una señal de salida binaria en serie o del tipo sin vuelta a cero que, junto con los impulsos de corrimiento sincronizados normales, se puede transmitir al registro de corrimiento de un computador digital u otro aparato de proceso de datos con el fin de introducir la señal de salida demodulada en dicho registro de corrimiento.

20

25

Otro objeto del presente invento es proporcionar dicho demodulador donde la señal de entrada modulada en duración de impulsos comprende impulsos de bitio - cero y de bitio uno de la misma amplitud y polaridad pero de dos longitudes diferentes producidos al escandir un registro de signos binarios de dos longitudes diferentes por medio de un aparato lector de accionamiento manual.

30

Otro objeto del invento es proporcionar -



5 dicho aparato demodulador para demodular señales de entrada binarias bifásicas, que emplea un primer contador digital para proporcionar la señal de referencia de tiempo, un segundo contador digital para comparar dicha señal de referencia con la longitud del bitio sucesivo siguiente y para hacer funcionar un circuito discriminador que separa la información binaria y la información de temporización de la señal de entrada y produce una señal de salida binaria de códigos diferentes a la señal de entrada bifásica.

10 Otro objeto adicional del invento es proporcionar dicho aparato demodulador donde se emplea un tercer contador digital para comparar la señal de referencia de tiempos con el espacio entre transiciones de bitios con el fin de determinar el final de un grupo de bitios de entrada correspondientes a una palabra o caracter, produciendo un final correspondiente de impulso de salida de palabras y haciendo que todos los contadores vuelvan al estado inicial.

15 Otro objeto adicional del presente invento es proporcionar dicho aparato demodulador donde cada grupo de bitios de entrada comprende un bitio de preámbulo al comienzo del grupo, que proporciona la primera señal de referencia de tiempo para compararse con el primer bitio de información de dicho grupo, y un espacio de terminación al final del grupo para compararse con la última señal de referencia de tiempo con el fin de producir una salida de impulsos de "final de palabra", produciendo también el demodulador una corriente de salida de impulso, de "comienzo" al final del bitio de preámbulo, una corriente de salida de señal "en proceso" que comienza con el primer bitio de información
20
25
30 y finaliza con el espacio de terminación, y una corriente de

404459

-10-



salida de impulso de "sincronización de bitios" al final de cada bitio de información.

Otros objetos y ventajas del presente invento resultarán evidentes en el transcurso de la descripción detallada que sigue de ciertas formas preferentes de realización del mismo, tomando como referencia los dibujos adjuntos, en los que:

La figura 1 es un diagrama esquemático de un sistema de pagos de compras en una tienda, supermercado o similar empleando una modalidad del aparato demodulador asíncrono del presente invento.

La figura 1A es una vista a mayor escala de una etiqueta que contiene información digital bifásica que se puede emplear en el sistema de la figura 1.

La figura 2 es un diagrama esquemático de tipos diferentes de señales de entrada bifásicas y señales de salida correspondientes del tipo sin vuelta a cero que se pueden producir por medio del aparato demodulador.

La figura 3 es un diagrama esquemático del circuito eléctrico de una modalidad del aparato demodulador de señales binarias bifásicas del presente invento.

La figura 4 representa las formas de onda de las señales eléctricas alimentadas al circuito de la figura 3 y producidas por dicho circuito.

La figura 5 es un diagrama esquemático del circuito eléctrico de otra modalidad del aparato demodulador del presente invento para demodular señales binarias moduladas en duración de impulso; y

La figura 6 es un esquema de formas de onda de las señales producidas en el aparato demodulador de



la figura 5.

Según se ilustra en la figura 1, un aparato demodulador asíncrono 10, construido según el presente invento y representado con mayor detalle en la figura 3, se puede emplear en un sistema de cobros de compras de un supermercado. La entrada del demodulador 10 se conecta a la salida de una puerta 0 12 para alimentar una señal de entrada binaria en serie de dos niveles del tipo modulador bifásico. La señal de entrada bifásica puede ser una de los tipos representados en la figura 2, que comprenden una señal de tipo de marca 14, una señal de tipo de espacio 16, una señal de tipo de nivel 18, una señal de marca pulsatoria 20, una señal de espacio pulsatorio 22 y una señal de nivel pulsatorio 24. Cada una de estas señales de entrada bifásicas tiene una forma de onda correspondiente a un grupo de bitios que comprende un bitio de introducción, siete bitios de información de valores binarios 1100101, y un bitio de terminación. Lógicamente, se puede emplear un número diferente de bitios de información en cada grupo de palabras en lugar de los siete bitios del ejemplo anterior.

Las señales de entrada bifásicas se alimentan a la puerta 0 12 por medio de tres aparatos lectores de información binaria diferentes que comprenden un aparato lector captador magnético 26, un aparato lector de estilete de luz móvil 28 y un aparato lector fotoeléctrico fijo que comprende una célula fotoeléctrica 30, una fuente luminosa 32 y un espejo parcialmente reflector 34. Las salidas de estos tres aparatos lectores se conectan cada una a través de circuitos inversor, amplificador y limitador de amplitud 36, 38 y 40 a las entradas de la puerta 0 12. Los aparatos lec-



tores producen señales bifásicas de la misma amplitud, pero regímenes de bitios diferentes que varían debido a los cambios en la velocidad de movimiento relativo entre el aparato lector y el registro explorado que lleva la información binaria. Por ejemplo, cuando el aparato demodulador del presente invento se emplea como parte de un sistema de cobros utilizado en un supermercado, tienda o similar, una de las señales de entrada se puede obtener del aparato lector fotoeléctrico fijo que comprende una fuente luminosa 32, cuya fuente dirige un haz de luz sobre el lado de un bote 42 u otro artículo de forma regular comprado, según se desliza a lo largo de la parte superior del mostrador de cobros 44, por lo que la luz se refleja de una etiqueta 46 que lleva información binaria registrada pasando al espejo y sobre la célula fotoeléctrica 30. La marca binaria de la etiqueta 46 se sitúa a una distancia fija de la parte inferior del bote. De este modo, cuando el bote 42 se lleva a mano a lo largo del mostrador 44 en la dirección de la flecha 48, un haz luminoso emitido por la fuente 32 y que pasa a través del espejo parcialmente reflector 34 explora toda la longitud de la marca binaria 46 para producir una señal eléctrica correspondiente en la salida de la célula fotoeléctrica 30, que se transmite a través del amplificador y circuito limitador de amplitud 40. Además del movimiento lineal 48, el bote 42 se puede girar simultáneamente para mantener la parte explorada de la etiqueta prácticamente perpendicular al haz luminoso para obtener una mejor resolución. No obstante, en cualquiera de los casos, la velocidad de exploración cambia y, por lo tanto, el régimen de bitios de la señal de entrada bifásica varía. Así, el circuito demodulador



10 demodula señales binarias bifásicas asíncronas en la -
forma que se describirá más adelante.

5 Según se ilustra en la figura 1A, la marca
binaria sobre la etiqueta 46 puede adoptar la forma de ba-
rras alternas de material reflectante y antirreflectante de
anchuras diferentes. Por lo tanto, con el producir la señal
de marca bifásica 14, la marca binaria está formada por la
barra antirreflectante 50 de anchura X y las barras antirre-
flectantes 52 anchura 2X que se separan por barras reflec-
tantes 54 de anchura X y barras reflectantes 56 de anchura
10 2, a lo largo de una barra ancha 58 que tiene una anchura de
3 en el extremo del grupo de palabras que produce el espa-
cio de terminaciones la señal de la marca.

15 El aparato lector de estilete de luz móvil
28 se emplea para paquetes de configuración irregular 60 y
se mueve en la dirección de las flechas 62 a través de una
etiqueta 46' de marca binaria colocada en dicho paquete .
Como resultado, una célula fotoeléctrica dentro de la plu-
ma de luz 28 produce otra señal binaria asíncrona de tipo
20 bifásico que se alimenta al demodulador 10 a través del -
circuito inversor, amplificador y limitador de amplitud 38.
Con el fin de que un cliente cargue el importe de los artí-
culos comprados a su cuenta bancaria, una tarjeta de cré-
dito 64 que comprende una tira magnética 66 con informa-
25 ción binaria, por ejemplo el nombre del cliente y número de
cuenta de verificación registrado sobre la misma, se lleva
a mano por una ranura de guía en la dirección de la flecha
68 por la cabeza adaptadora magnética del aparato lector
26. El aparato lector produce también una señal de entrada
30 binaria asíncrona de tipo bifásico que se alimenta a través



del amplificador 36 hasta el demodulador 10.

El circuito demodulador 10 demodula las señales de entrada binarias bifásicas asíncronas en señales de salida binarias de código diferente, por ejemplo señales binarias del tipo sin vuelta a cero (NRZ). Así, la demodulación de las señales bifásicas 14 a 24 de la figura 2 produce una señal de marca NRZ 70, señal de espacio NRZ 72 o señal de nivel NRZ 74 que se alimentan a una entrada 75 de un computador digital 76 u otro aparato de proceso de información. El computador determina el precio del artículo comprado a partir de la señal de entrada en código binario, suma el costo total de las compras, y carga dicho importe a la cuenta bancaria del cliente después de hacer una comprobación de crédito con el banco. Además, un altavoz 18 u otro indicador, como puede ser, una luz destillante, adyacente al mostrador de cobros es accionado por un computador para indicar al empleado que la compra ha sido aprobada. Al mismo tiempo, otra señal se puede alinear a un aparato de control de inventario (no representado) para poner al día los registros de inventario restando los artículos comprados. Además de las señales de salida NRZ demoduladas 70, 72 y 74, el demodulador 10 produce por cada grupo de palabras impulsos de "sincronización de bitios" un impulso de "comienzo", una señal de "en proceso" y un impulso "final" que se ilustran en las figuras 3 y 4 y se alimentan a otras cuatro entradas 79 del computador.

Una modalidad del aparato demodulador asín-crono 10 se ilustra en la figura 3 y tiene tres contadores dígitos binarios que comprenden un contador de referencia de tiempo 80, un contador comparador de bitios 82 y un con-



tador comparador de ginal de palabra 84. Los contadores tie-
nen seis etapas cada una de ellas en forma de un multivibra-
dor biestable o circuito basculador que tiene su entrada
de disparato "T", conectada a la salida exacta "Q", de la
5 etapa precedente. Un circuito discriminador 86 se conecta a
la salida del contador comparador de bitios 82 y hace que
el discriminador separa los impulsos de temporización de
longitud de bitios y los impulsos de informción binaria de
los impulsos de datos de entrada "G" de la figura 4 con el
10 fin de transmitir los impulsos de temporización "H" al con-
tador de referencia de temporización y solamente los impulsos
de información como salida de datos "U" del demodulador en
la forma que se describirá más adelante. El discriminador 86
comprende un circuito basculador 88 conectado en su salida Q
15 a una entrada de una puerta O 90 y conectado en su entrada
de referencia "S" a la salida del contador 82. La corriente
de salida de la puerta Q se conecta a través de un amplifi-
cador inversor 92 a una entrada de una puerta Y 94 cuya otra
entrada se conecta a la fuente de impulsos de datos de en-
20 trada. La corriente de salida de la puerta Y se conecta a
la entrada T de un basculador de memoria de salida 96 para
suministrar un impulso de salida de datos binarios al mismo
y producir marcas de vuelta a cero (RZ) y señales de salida
de espacio en su salida Q y salida Q, respectivamente. El
25 basculador 96 funciona como memoria para dicha señal de sa-
lida de datos binarios y tiene su salida falsa \bar{Q} conectada
a la entrada de datos D de otro basculador de salida 98 que
produce una señal de salida de marca sin vuelta a cero (NRZ)
en su terminal de salida \bar{Q} 100 y produce una señal de sali-
30 da de espacio de NRZ en su terminal de salida Q 102.

404459



-16-

5 La señal de entrada binaria bifásica se
alimenta al demodulador en un terminal de entrada 104. Las
señales de entrada bifásicas pulsatorias "A" se transmiten
a través de un basculador 106 y se convierten en señales
bifásicas no pulsatorias cuando el interruptor 108 se mueve
a la posición de la derecha opuesta a la ilustrada. Las se-
ñales bifásicas no pulsatorias "B" se transmiten directamen-
te al interruptor 108 en la posición de la izquierda ilus-
trada. La señal de entrada bifásica se alimenta por medio
10 del interruptor 108 para excitar un multivibrador monoesta-
ble o circuito "monoestable" 110 en las transiciones positi-
vas de dicha señal de entrada y también se transmite a tra-
vés de un amplificador inversor 112 para excitar otro cir-
cuito monoestable 114 con las transiciones negativas de la
15 señal de entrada. Los circuitos monoestables producen impul-
sos estrechos "C" y "D" de aproximadamente 0,5 microsegundos
de longitud. Los impulsos de entrada C y D se transmiten a
través de una puerta O 116 como señal combinada "E" a una
entrada de cada una de las puertas de un par de puertas Y
20 118 y 120. Las otras entradas de la puerta Y 118 y 120 se
conecta, respectivamente, a las salidas \bar{Q} y Q de un bascula-
dor 122 que forma la segunda etapa de un circuito de memo-
ria de entrada 124. La primera etapa del circuito de memoria
de entrada, consiste en otro basculador 126 que tiene su -
25 salida Q conectada a la entrada de datos D del segundo bas-
culador 122. Durante el estado inactivo, el circuito de me-
moria de entrada 124 produce una señal de reposición de di-
rección positiva "J" en la salida \bar{Q} del basculador 126 que
se transmite a través de un conductor 128 a los terminales
30 de reposición "R", de todas las etapas de los tres contado-



res 80, 82 y 84 para reponer dichos contadores a cero antes de comenzar cada grupo de palabras binario en la señal de entrada bifásica. En este instante, la corriente de salida Q del basculador 126 es baja y se alimenta a la entrada D del basculador 122 cuya corriente de salida Q es también
5 baja, desactivando por lo tanto la puerta Y 120, y cuya corriente de salida \bar{Q} es alta, activando por lo tanto la puerta Y 118. Como resultado, los primeros dos impulsos de entrada alimentados desde la salida de la puerta L 116 se -
10 transmiten solamente a través de la puerta Y 118 para proporcionar dos impulsos de transición de preámbulo "F". Estos impulsos de transición de introducción F corresponden a las transiciones positiva y negativa al comienzo y final de bitio de introducción en la señal de entrada bifásica. Los
15 impulsos de transición de introducción se transmiten desde la salida de la puerta Y 118 a través de una puerta O 130 hasta un circuito de control secuencial 132.

El circuito de control secuencial 132 comprende dos multivibradores monoestables 134 y 136 y dos
20 amplificadores inversores 138 y 139. Los impulsos de salida "I" de la puerta O 130 se transmiten a través del inversor 138 como impulsos negativos a una entrada de la puerta Y 140. La puerta Y 140 transmite normalmente impulsos de frecuencia normales producidos por un oscilador 142 a la primera etapa del contador de referencia de tiempo 80. Los
25 impulsos de salida invertidos del inversor 138 desactivan dicha puerta Y para detener el contage adicional por parte del contador 80. Los impulsos de salida "I" de la puerta O 130 funcionan también como impulsos de transferencia y se transmiten a través del conductor 144 a los terminales preestable-

30

404459



-18-

5 cidos "P" de los circuitos basculadores que forman las etapas de contadores 82 y 84 para transferir el complemento a uno de la señal de referencia de tiempo contada previamente y almacenada en el contador 80 desde las salidas \bar{Q} de sus primeras cinco etapas en paralelo a las entradas de datos D de las etapas correspondientes del contador 82 y 84. Después de esta transferencia, el multivibrador monoestable 134 del circuito de control secuencial 132 se excita en el frente posterior de dirección positiva del impulso negativo en la salida del inversor 138 y alimenta un impulso de reposición retardado I' a las entradas de referencia "S" del contador de referencia de tiempo 80 que repone cada contador a cero porque las entradas de datos D de sus etapas se encuentran todas puestas a masa. Este impulso de reposición retardado I' se transmite también a través del inversor 139 para excitar el multivibrador monoestable 136 en su frente posterior de dirección positiva para producir un impulso de reposición retardado adicional I" que se alimenta a los terminales de reposición de los basculadores 88 y 96 en el discriminador 86.

20 El impulso de reposición del discriminador I" se transmite también a través del conductor 146 hasta las entradas de referencia S de los basculadores 122 y 124 de la memoria de entrada. Esto hace que la corriente de salida Q del basculador 126 vaya en dirección positiva y su corriente de salida \bar{Q} en dirección negativa, lo cual termina la señal de reposición alimentada a través del conductor 128 a los contadores 80, 82 y 84 y activa dichos contadores para que comiencen a contar poco después del comienzo del bitio de preámbulo de cada grupo de palabras de los impulsos de entrada.



da binarios bifásicos B. No obstante, la recepción del primer impulso de reposición I" no produce efecto en el basculador 122 porque su entrada de datos D es baja en este instante.

5 El segundo impulso de reposición I" alimentado al terminal de referencia del basculador 122 hace que produzca una corriente de salida Q de dirección positiva y una corriente de salida \bar{Q} de dirección negativa porque su corriente de entrada de datos D lleva entonces una corriente de salida Q positiva del basculador 126. Esto desactiva la puerta Y 118 y activa la puerta Y 120 por lo que los impulsos de entrada "E" se transmiten después desde la salida de la puerta Y 120 como impulsos de transición de datos "G" a la entrada de la puerta Y 148 y desde su salida a la puerta O 130. La otra entrada de la puerta Y 148 se conecta a la salida de la puerta O 90 en el circuito discriminador 96. La puerta Y 148 se activa por el circuito discriminador 86 solamente durante las transiciones regulares correspondientes al comienzo y final de cada bitio de dato de la señal de entrada bifásica B para transmitir impulsos de temporización "H" a través de la puerta Y 148 hasta el circuito de control secuencial 132. De este modo, la puerta Y 148 no se activa durante las transiciones irregulares correspondientes a la parte de información de dichos bitios de datos.

25 El oscilador 142 alimenta impulsos de frecuencia normales de frecuencias f_0 , $f_0/2$ y $3/4f_0$, respectivamente, a las entradas de excitación "T" de las primeras etapas de los contadores 80, 82 y 84. Un divisor de frecuencia 150, que comprende un par de basculadores 152 y 154, se emplea para dividir la frecuencia f_0 de los impulsos de sa-

404459

-20-



lida del oscilador 142 en impulsos de frecuencia normales de frecuencia $f_0/2$ que se transmiten desde la salida Q del basculador 152 a la entrada de excitación T de la primera etapa del contador comparador final 84. El divisor 150 transmite también impulsos de desconexión cíclica a través de una puerta O 156 para hacer que la puerta Y 140 transmita impulsos de frecuencia normales de frecuencia $3/4f_0$ a la primera etapa del contador de referencia de tiempo 80. Así, el basculador 152 del divisor 150 se conecta por su salida Q a la entrada de excitación del basculador 154, a la entrada de excitación de la primera etapa del contador comparador final 84, y a una entrada de la puerta O 156. La otra entrada de la puerta O 156 se conecta a la salida Q del basculador 154. La salida de dicha puerta O se conecta como entrada de activación a la puerta Y 140 cuyas otras dos entradas se conectan a las salidas del oscilador 142 e inversor 138. El primer impulso de salida del oscilador 142 excita el basculador 152 y produce una corriente de salida Q positiva que excita el basculador 154 para hacer que produzca una corriente de salida Q positiva. El segundo impulso de salida del oscilador invierte el basculador 152 y conmuta su salida Q a un estado de bajo voltaje o cero, pero deja el segundo basculador 152 en su estado excitado. El tercer impulso del oscilador excita de nuevo el basculador 152 para producir una corriente de salida Q positiva que invierte el basculador 154 para terminar su corriente de salida Q. El cuarto impulso del oscilador invierte el basculador 152 y deja el basculador 154 en su estado invertido por lo que, en este instante, no se transmite impulso de activación a través de la puerta O 156 a la puerta Y 140. Por lo tanto, la puer-

404459

-22-



5 todas las corrientes de entrada de la puerta Y 170 son positivas. Inmediatamente después el impulso de reposición retardado I" transmitido desde la salida de un multivibrador monoestable 136, correspondiente al segundo impulso a través de la puerta O 130, se transmite a través del conductor 146 al basculador de referencia 122 con una corriente de entrada de datos positiva alimentada por el basculador 126. Esto - conmuta la corriente de salida \bar{Q} del basculador 122 a un valor bajo o en estado de cero y desactiva la puerta Y 170.

10 El basculador 122 se mantiene un dicho estado hasta que los basculadores 122 y 126 se reponen ambos por el impulso final transmitido a través de la puerta O 166. Cuando la corriente de salida Q del basculador 122 se mantiene en estado positivo, alimenta una señal "en elaboración" "K" a un terminal de salida 172. Una señal de salida de sincronización de bitio "H" se transmite desde la salida de la puerta Y 148 hasta un terminal de salida 174 al final de cada bitio de información binaria de la señal de entrada.

15 Una puerta Y de "reposición de estado prohibido" 176 se emplea para la memoria de entrada 124. Dicha puerta tiene una entrada conectada a la salida \bar{Q} del basculador 126 y su otra entrada conectada a la salida Q del basculador 122. La salida de la puerta Y 176 se conecta a través de la puerta O 166 para reponer los terminales de ambos basculadores 122 y 126. Cuando los basculadores 122 y 126 se colocan en el estado prohibido de una corriente alta \bar{Q} para 126 y una corriente de salida alta Q para 122, la puerta Y 176 repone los basculadores.

20 Además de la corriente de salida de marca sin vuelta a cero 100 y la corriente de salida de espacio

30



5 sin vuelta a cero 102, se puede habilitar una señal de salida de nivel sin vuelta a cero en un terminal de salida 178 conectado a través del dispositivo de retardo 180 a la salida del conmutador 108. Como resultado, una señal de nivel de NRZ se demora aproximadamente un microsegundo con respecto a la señal de entrada bifásica B. La demora proporciona memoria suficiente para presentar el nivel de uno o de cero de la señal de entrada al terminal de salida de nivel NRZ 178 hasta que ha pasado la señal de sincronización de bitio 232. Asimismo, si se desea, se puede habilitar un terminal de salida de señal de espacio de vuelta a cero (RZ) 182 y un terminal de salida de señal de marca de vuelta a cero 184 en los terminales \bar{Q} y Q, respectivamente, del basculador de memoria de salida 96.

15 Las formas de las ondas de la señal eléctrica producidas por el aparato demodulador de la figura 3 se ilustran en la figura 4 y la posición de dichas formas de onda en el demodulador está indicada en la figura 3 por las letras correspondientes. Las señales de entrada bifásicas pulsatorias 186 alimentadas al terminal de entrada 104 se transmiten al punto A para excitar el basculador 106 en las partes del frente posterior de dirección negativa de dichos impulsos de entrada para producir una señal de entrada bifásica no pulsatoria 188 en la salida Q de dicho basculador. Esta señal de entrada 188 se transmite a través del conmutador 108 hasta el punto B en la posición derecha de dicho conmutador. Cuando la señal de entrada alimentada al terminal de entrada 104 es una señal de entrada bifásica no pulsatoria, como la señal 188, el conmutador 108 se mueve a la posición de la izquierda ilustrada para transmitir di-

404459

-24-



5 cha señal de entrada directamente al punto B. Las transiciones de dirección positiva de la señal de entrada bifásica 188 excitan el multivibrador monoestable 110 para producir impulsos de transición positiva 190 en el punto C, mientras que las transiciones negativas de la señal de entrada 188 se invierten por medio del inversor 112 y excitan el multivibrador monoestable 114 para producir impulsos de transición negativos 192 en el punto D. Estos impulsos de transición positivos y negativos de una longitud de 0,5 microsegundos se transmiten a través de la puerta O 116 para proporcionar impulsos de transición totales 194 en el punto C. 10 Los primeros dos impulsos de transición totales 194 se transmiten a través de la puerta Y 118 para proporcionar impulsos de transición de introducción 196 al comienzo y al final del periodo de introducción de la señal de entrada bifásica 15 porque en este instante la corriente de salida \bar{Q} del basculador 122 es alta y activa la puerta Y 11L. Estos impulsos de transición de introducción 196 se transmiten a través de la puerta O 130 para formar los dos primeros impulsos de 20 transferencia 198 en el punto I.

Los impulsos de transferencia 198 se invierten y alimentan a la puerta Y 140 para evitar momentáneamente que se alimenten señales de frecuencia normales a la etapa de entrada del contador de referencia de tiempo 80 por lo que deja de contar. Los impulsos de transferencia 198 25 se alimentan al terminal de entrada de preestablecimiento P de cada etapa de contadores 82 y 84 haciendo que el complemento de un voltaje de referencia de tiempo, correspondiente a la longitud del bitio anterior y almacenado en el contador 30 80, se transfiera desde las salidas \bar{Q} de las etapas del con-



5 tador 80 a las etapas de los contadores 82 y 84 a través de
sus entradas de datos D. No obstante, se observará que las
últimas etapas de los contadores 82 y 84 se establecen pre-
viamente a cero por medio de dichos impulsos de transferen-
cia porque sus terminales de entrada de datos D están pue-
10 tos a masa. Se observará también que el primero de dichos -
impulsos de transferencia 198 es ineficaz porque se alimenta
un nivel de voltaje de reposición sobrepasante en este ins-
tante por la salida \bar{Q} del basculador 126 al terminal de en-
10 trada de reposición R de todas las etapas de contadores 82
y 84.

Los impulsos de transferencia invertido
198 se alimentan también a un multivibrador monoestable 134
de forma que el frente posterior de dirección positiva de
15 dichos impulsos invertidos excita dicho multivibrador para
producir impulsos de referencia 200 del contador de referen-
cia en el punto I'. Los impulsos de referencia 200 ponen to-
das las etapas del contador de referencia de tiempo 80 a ce-
ro porque los terminales de entrada de datos D de dichas e-
20 tapas se encuentran todos puestos a masa. La duración de
0,5 microsegundos de los impulsos de referencia 200 es igual
al periodo de recuperación del multivibrador monoestable
134.

Los impulsos del contador de referencia
25 200 se transmiten también a través del inversor 139 para ex-
citar el multivibrador monoestable 136 y traducir impulsos
de reposición retardados 202 de 0,5 microsegundos de longi-
tud. Los impulsos de reposición 202 se emplean para reponer
el basculador discriminador 88 y el basculador de memoria de
30 salida 96 y se transmiten también a través del conductor 146

404459

-26-



5 a los terminales de referencia de los basculadores 122 y
126 del circuito de memoria de entrada 124. El primer impul-
so de reposición 202 excita el basculador 126 y termina una
señal de reposición de contador 204 producida previamente en
10 el punto J en el conductor 128 por el terminal de salida \bar{Q}
de dicho basculador, activando por lo tanto los contadores
80, 82 y 84 para comenzar a contar. El segundo impulso de
reposición 202 excita el basculador 122 porque la salida Q
del basculador 126 se encuentra en este instante a un nivel
15 elevado. Como resultado, se produce una señal de "en proce-
so" 206 en el punto K de la salida Q del basculador 122 y
se transmite al terminal de salida 172, significando de es-
te modo el comienzo de partes de datos binarios de la señal
de entrada bifásica 188. Un impulso de comienzo 207 se pro-
duce en el punto L en los terminales de salida 168 por la
puerta Y 170 cuando el segundo impulso de transferencia 196
se recibe porque la corriente de salida Q del basculador 126
y la corriente de salida \bar{Q} del basculador 122 son positivas
en este instante.

20 Entre los dos primeros impulsos del con-
tador de referencia de tiempo 200 correspondientes a los im-
pulsos de transición de preámbulo 196, el contador de refe-
rencia de tiempo 80 cuenta impulsos de frecuencia normales
208 producidos en la salida de la puerta Y 140 que tienen
25 una frecuencia de $3/4f_0$, donde f_0 es la frecuencia de los
impulsos de oscilador 210. Esto produce una señal de volta-
je en rampa de referencia de temporización 212 en el conta-
dor 80. La señal de referencia de tiempo alcanza un voltaje
de referencia de amplitud máxima 214 correspondiente al pe-
30 riodo de tiempo de la parte de preámbulo que forma el primer



bitio de la señal de entrada bifásica 188. El complemento del
voltaje de referencia de tiempo 214 representado por las -
flechas de doble cabeza 216 y 216' se transfiere al contador
de bitios 82 y el contador final 84 por el segundo impulso
5 de transferencia 198 para compararse con la longitud del bi-
tio siguiente de la señal de entrada bifásica 188 contada
por dichos contadores. Así, una señal de rampa del contador
de bitios 218 y una señal de rampa del contador final 220
se producen por medio de los contadores 82 y 84, respectiva-
10 mente, que comienzan ambos a cero al comienzo del periodo
de preámbulo, pero en los bitios de datos siguientes dichas
señales de rampa comienzan al nivel del voltaje de referen-
cia transferido 216 y 216' correspondiente a la longitud del
bitio inmediatamente anterior. Esto proporciona una técnica
15 de referencia de tiempo dinámica que compensa los regímenes
de bitios variables de las señales bifásicas asíncronas. Se
observará que los niveles de voltaje de referencia 216 y 216'
pueden variar para bitios sucesivos a causa de los cambios
en el régimen de bitios puesto que entonces la longitud del
20 bitio anterior no será igual que el bitio sucesivo siguien-
te, aún cuando esto no se ha ilustrado en la figura 4.

Las pendientes de las señales de rampa
212, 218 y 220 producidas por los contadores 80, 82 y 84 -
son diferentes porque los impulsos de entrada alimentados a
dichos contadores son de frecuencias diferentes. Así, los
25 impulsos de frecuencia constante 222 se alimentan a la entra-
da del contador 84 con una frecuencia $f/2$, la mitad de la
frecuencia de los impulsos del oscilador 210 debido al fun-
cionamiento del basculador divisor de frecuencia 152. No
30 obstante, los impulsos de frecuencia constantes 208 alimen-

404459

-28-



5 tados al contador de referencia de tiempo tiene una frecuencia de $3/4f_0$. Los impulsos de salida del divisor de frecuencia 224 producidos en el punto O en la salida Q del basculador 154 se combinan con los impulsos 222 para proporcionar un impulso de desconexión cíclica combinado 226 en la salida de la puerta O 156, que hace que la puerta Y 140 transmita tres impulsos osciladores 210 de cada cuatro impulsos para producir la señal 208. Con el fin de presentar las señales 208, 210, 222, 224 y 226 en su relación de tiempo apropiada, la parte de la izquierda de estas señales se ha representado sobre una base de tiempo mayor que las otras señales de la figura 4, mientras que la parte de la derecha de dichas señales se ilustra sobre la misma base de tiempo que dichas otras señales.

10

15 La señal " en proceso " 206 producida en la salida Q del basculador 122 activa la puerta Y 120 para transmitir impulsos de transición de datos 228 después del final de la parte de preámbulo de la señal de entrada bifásica puesto que la puerta Y 118 se desactiva entonces. Los impulsos de transición de datos 228 se alimentan a una entrada de la puerta Y 148, cuya otra entrada se activa por una señal de salida del discriminador 230 en el punto R sobre la salida Q del basculador 88 en el discriminador 86. Como resultado, se produce una señal de salida de sincronización de bitios 232 en el punto H en la salida de la puerta Y 148, que comprende solamente impulsos de transición de datos regulares que tienen lugar al comienzo y al final de cada bitio. Así, la señal de salida de la puerta Y 148 no comprende los impulsos de transición de datos irregulares 228' que tienen lugar por ejemplo, en la parte media

20

25

30



de los bitios uno de la señal de entrada de marca bifásica. Estos impulsos de transición de datos regulares 232 se transmiten a través de la puerta O 130 como impulsos de temporización que proporcionan impulsos de transferencia correspondientes 198, impulsos de referencia del contador 200 e impulsos de reposición del discriminador 202. Así, la señal de salida del discriminador 230 del basculador 88 comienza cuando el voltaje de rampa del contador comparador de bitios 218 cruza el nivel de voltaje de referencia de tiempo 216 en el punto 234 y produce una señal de salida de contador de bitios 236 en la salida Q de la última etapa del contador 82. Esta corriente de salida del contador de bitios 236 se transmite a través del conductor 238 hasta los terminales de referencia del basculador 88 y basculador 98 para producir la señal de salida del discriminador 230. La señal de salida del discriminador 230 termina en respuesta a la producción del tercer impulso e impulsos sucesivos de reposición 202 que reponen el basculador 88, y por lo tanto, desactiva la puerta Y 148, por lo que los impulsos de transición de datos 228 no se transmiten a través de la misma hasta el crizamiento de la señal del contador de bitios siguiente 240. De esta manera, se bloquea el impulso de transición de datos 228' que tiene lugar de una forma irregular. Esto significa que los impulsos producidos en la salida de la puerta O 130 transmitidos a través del inversor 138 hasta el contador de referencia de tiempo 80 hacen que dicho contador cuente durante todo el periodo de tiempo entre el comienzo y el final de cada bitio.

La señal de salida del basculador discriminador 230 se transmite a través de la puerta O 90 y el in-

404459



-30-

5 versor 92 para proporcionar una señal de desconexión cíclica
242 que se alimenta a una entrada de la puerta Y 94, activan-
do de este modo dicha puerta Y durante el periodo compendi-
do entre los impulsos de salida del basculador 230. Como re-
sultado, solamente se transmiten los impulsos de transición
de datos irregulares, como es el impulso 228', a través de
la puerta Y 94 como impulsos de salida de datos del discrimi-
nador 243 que excitan el basculador de memoria de salida 96
en el frente posterior de dichos impulsos. El basculador 96
10 produce una señal de salida de marca de vuelta a cero (RZ)
244 en la salida Q de dicho basculador. La señal de salida
de marca RZ 244 se transmite también a través del conductor
245 hasta la otra entrada de la puerta O 90 para activar la
puerta 148 y desactivar la puerta 94 para el siguiente im-
pulsos de transición de datos regular 228.
15

 Una señal de salida de datos de espacio
sin vuelta a cero (NRZ) 246 se produce en el punto W en la
salida Q del basculador 98 porque una señal invertida co-
rrespondiente a la señal de marca RZ 244, se transmite para
20 la salida \bar{Q} del basculador 96 al terminal de datos del bas-
culador 98, y la corriente de salida del contador de bitios
236 se alimenta al terminal de referencia del basculador 98.
Al mismo tiempo se produce una señal de salida de datos de
marca invertida NRZ 248 en el punto V en la salida \bar{Q} del -
25 basculador 98. Se observará que la señal de salida de espa-
cio NRZ 246 es establemente elevada y se repone a un nivel
bajo por la corriente de salida de marca RZ 244 transmitida
a través de una puerta Y 250 hasta el terminal de reposición
del basculador 98. La otra entrada de la puerta Y 250 se
30 conecta a la salida Q del basculador 98 que es establemente



positiva para activar dicha puerta Y. Cuando el segundo y el tercer impulsos de salida del contador de bitios 236' y 236" se reciben en la entrada de referencia del basculador 98, no producen efecto en el estado de dicho basculador porque la salida \bar{Q} del basculador 96 alimentada al terminal de datos del basculador 98 es negativa puesto que se trata de la inversa de la señal de marca RZ 244. No obstante, cuando se produce el cuarto impulso de salida del contador de bitios 236", la corriente de salida \bar{Q} del basculador 96 es positiva, haciendo por lo tanto que el basculador 98 se module para producir una señal de dato de espacio NRZ de dirección positiva 246 en el terminal de salida 102.

El discriminador 86 produce impulsos de salida de datos 243 en la salida de la puerta Y 94 correspondiente a cada transición irregular de la señal de entrada bifásica 188, que producen impulsos de transición de datos 228' representando bitios uno en una señal de entrada de marca bifásica y bitios cero en una señal de entrada de espacio bifásica, según se ilustra en la figura 4 parte superior. No obstante, las señales de espacio y marca de cero sin retorno 246 y 248 solamente tienen transiciones cuando el bitio del dato sucesivo siguiente es de un tipo binario diferente al del bitio de datos precedente. Además, una señal de datos de salida de nivel cero sin retorno 252 puede aparecer en el terminal de salida 178 simplemente transmitiendo la señal de entrada bifásica 188 a través del circuito de retardo 180.

Una corriente de salida de impulso final 254 se produce en el punto Y en el terminal de salida 162 significando el final de un grupo de palabras o caracteres

404459



-32-

5 de impulsos de información, por la corriente de salida del contador comparador final 84 cuando la señal de rampa del contador 220 excede del nivel de referencia de espacio de terminación 216' en el punto 256. Esto ocurre solamente durante el espacio de terminación al final de la palabra, porque dicho espacio de terminación equivale por lo menos a una vez y media la longitud del último bitio de dato del grupo. Sy mayor longitud asegura que un espacio de terminación en lugar de un bitio como el primer bitio cero de la señal de marca bifásica, produzca el impulso final 253".

10 Según se ha indicado anteriormente, el impulso final 254 se transmite a través del conductor 164 para reponer los basculadores de memoria de entrada 122 y 126, produciendo de este modo la señal de reposición del contador 204 en la salida \bar{Q} del basculador 126. Esto repone los contadores 80. 82 y 84 y evita que cuenten o que cambien de otro modo de estado hasta recibir el grupo siguiente de impulsos de entrada bifásicos 188. Al mismo tiempo, la señal "en proceso" 206 finaliza debido a la reposición del basculador 122. Se observará que la última señal del contador de referencia de tiempo 212' y la última señal del contador de bitios 218' alcanzan una mayor amplitud durante el espacio de terminación debido a la mayor duración de dicho espacio.

25 Tomese como referencia la descripción siguiente de la modalidad de las figuras 5 y 6 para una descripción más detallada del funcionamiento de los contadores comparadores 82 y 84, así como el funcionamiento de los circuitos multivibradores biestables de las figuras 3 y 4. No obstante, al contrario que en la modalidad de las figuras 5

30



5 y 6, el circuito demodulador de las figuras 3 y 4 produce un impulso de salida 236 en la última etapa del contador - comparador de bitios 82 por cada bitio de datos cuando la señal del contador comparador de bitios 218 excede del nivel del voltaje de referencia 216 al final de dicho bitio de datos. Esta señal de salida con contador de bitios 236 se alimenta entonces al circuito discriminador 86 para determinar si el bitio de datos contiene una transición irregular para identificar dicho bitio como un uno o como un cero. El discriminador indica la naturaleza del bitio de dato por la 10 señal de salida de dato del discriminador 243 que conmuta el basculador de memoria de salida 96 para producir señales de salida binarias en los terminales de salida 100, 102, 182 y 184 que no son señales bifásicas si no señales NRZ o RZ de código binario diferente a las señales de entrada bifásicas 15 alimentadas al terminal de entrada 104. De este modo, las señales de entrada bifásicas se demodulan aunque sean asíncronas y tengan un régimen de bitios variables, utilizando la técnica de referencia de tiempo dinámica donde el contador de referencia de tiempo 80 mide la longitud del bitio inmediatamente anterior y proporciona un voltaje de referencia de tiempo que se compara por medio del contador comparador de bitios 82 y el discriminador 86 con la longitud del bitio inmediatamente siguiente para identificar la naturaleza 20 binaria de dicho bitio.

25 A pesar de que no se ilustra en la figura 4, el nivel de voltaje de referencia de tiempo 216 puede variar, según indica la flecha 258, por cada señal de rampa del contador comparador de bitios sucesiva 218. Asimismo, 30 se observará que la pendiente de la señal del contador com-



5 parador de bitios 218 es mayor que la de la señal del conta-
dor de referencia de tiempo 216, puesto que cuenta a un ré-
gimen más rápido f_0 que la frecuencia de montaje $3/4f_0$ del
contador de referencia de tiempo. No obstante, la señal de
10 ramba del contador comparador final 220 tiene una pendiente
menor que la señal del contador de referencia de tiempo -
puesto que cuenta a un régimen más lento de $f/2$. Como re-
sultado, la señal del contador comparador de bitios 218, --
después de la primera ramba, excede siempre del nivel de
referencia de tiempo 216 durante cada bitio de información,
15 mientras que la señal del contador comparador final 220 nun-
ca excede de su nivel de referencia de tiempo 216' durante
los bitios de información si no que solamente lo hace duran-
te el espacio de terminación debido a su mayor longitud.

15 Según se ilustra en las tres líneas supe-
riores de la figura 4, la señal de entrada bifásica 188 pue-
de ser una señal de marca bifásica, por lo que contiene la
información binaria de 01101 entre los bitios de preámbulo
y terminación. No obstante, la señal de entrada bifásica
20 188 puede ser también una señal de espacio bifásica, en cu-
yo caso contiene información binaria 10010. Alternativamen-
te, la señal de entrada bifásica 188 puede ser una señal de
nivel bifásico, en cuyo caso contiene la información bina-
ria de 00011. Así, el aparato demodulador de la figura 3
25 puede demodular cualquiera de las señales bifásicas de la
figura 2.

30 En la figura 5 se ilustra otra modalidad
del demodulador digital síncrono del presente invento, que
es apropiado para demodular las señales de entrada binaria
en serie del tipo de modulación de duración de impulso. El



demodulador comprende un terminal de entrada de datos 310 al que se alimenta la señal de entrada binaria en serie asín-
crona, siendo dicha señal una señal de dos niveles consisten-
5 teen impulsos de bitio cero y de bitio uno, de la misma po-
laridad y amplitud, pero de dos longitudes diferentes, sien-
do la longitud del impulso de bitio uno por lo menos doble
que la longitud del impulso de bitio cero corto. El régimen
de repetición de impulsos de la señal de entrada puede va-
10 riar de forma que cuando se produce por medio de un contador
de accionamiento manual que contiene una célula de fotoeléc-
trica u otro transductor que explora a través de un registro
de indicaciones binarias en forma de barras o espacios de
dos anchuras diferentes, según se describe en la patente
15 Estadounidense 3.359.405 de Sundbland, mencionada anterior-
mente, los impulsos de entrada se transmiten desde el termi-
nal de entrada de datos 310 hasta una entrada de una prime-
ra puerta Y 312 cuya otra entrada se conecta indirectamente
a una fuente 314 de impulsos de cronometración de frecuencia
20 predeterminada que puede ser un oscilador de marcha libre.
La salida de la puerta 312 se conecta a la entrada de un
primer contador digital 316 que actúa como contador de refe-
rencia de tiempo. El contador de referencia de tiempo 316
mide la longitud de cada impulso de señal de entrada conta-
do el número de impulsos de cronometración que tienen lugar
25 durante dicha longitud y produce una señal de longitud co-
rrespondiente a la misma en la salida Q de las etapas conta-
doras. El complemento de la señal de longitud es una señal
de referencia de tiempo que se transfiere en paralelo desde
las salidas \bar{Q} del contador 316 a través de los conductores
30 317 a las etapas del contador comparador 318. El contador -

404459



-36-

5 comparador 318 compara la longitud del impulso de entrada
inmediatamente siguiente con esta señal de referencia para
determinar si es más largo o más corto que la señal de refe-
rencia y, por lo tanto, clasifica dicho impulso como un bi-
tio cero o un bitio uno. La señal de referencia tiene un va-
lor relativo de una y media unidades de tiempo mientras que
el impulso de bitio cero tiene una longitud de una unidad de
tiempo, y el impulso de bitio uno tiene una longitud de dos
unidades de tiempo. El valor de la señal de referencia se
10 pone al corriente por cada impulso de entrada sucesivo pue-
sto que se deriva de la longitud del impulso de entrada an-
terior. Como resultado, las variaciones en el régimen de re-
petición de impulsos de la señal de entrada asíncrona no a-
fectan la precisión del demodulador.

15 La corriente de salida del contador compa-
rador 318 se transmite a través de un circuito de memoria de
último bitio 320 a un terminal de salida de datos 322 como
una señal de salida digital demodulada. Esta señal de salida
tiene la forma de impulsos binarios codificados de un modo
20 diferente que la señal de entrada, por ejemplo como un tipo
de señal binaria "sin vuelta a cero" apropiada para transmi-
tirse a un registrador de corrimiento serial de un computa-
dor digital u otro aparato de proceso de datos. La corriente
de salida de la memoria de último bitio 320 se conecta tam-
25 bién a una puerta de compensación del régimen de contaje 324
a través de un conductor 326 para cambiar el número de impul-
sos de cronometración que se alimentan al contador compara-
dor 318 durante un impulso de entrada dado. Así, la puerta
de compensación 324 controla el régimen de contaje de dicho
30 contador comparador con el fin de compensar el hecho de que



5 el voltaje de referencia transferido desde el contador de referencia 316 puede ser de dos valores diferentes dependiendo de si el impulso de entrada anterior era un impulso de bitio corto o un impulso de bitio uno largo. Como resultado de esta compensación la señal de referencia de tiempo efectiva se establece siempre a una y media unidades de tiempo, tanto si la señal de referencia se deriva de un impulso de entrada corto como de un impulso de entrada largo.

10 El contador comparador 318 mide también el espacio entre impulsos de entrada sucesivos y genera un impulso de parada que significa el final de un grupo de palabras o grupo de caracteres de impulsos cuando dicho espacio excede de tres unidades de tiempo. Se utiliza una puerta de longitud de espacio 328 y una puerta de longitud de impulsos 15 330 con sus salidas conectadas a través de una puerta 0 332 a la entrada del contador comparador 318, con el fin de activar dicho contador y medir la longitud del impulso de entrada o el espacio entre impulsos de entrada. Ambas puertas de longitud de espacio 328 y de longitud de impulso 330 son 20 puertas Y que tienen tres entradas, una de las cuales se conecta en común a los impulsos de cronometración compensados a la salida de la puerta de compensación 324.

25 Otra entrada de cada una de las puertas 328 y 330 se conecta a las salidas Q y \bar{Q} , respectivamente, de un circuito supresor del contaje 334. Este circuito supresor de contaje suprime cada tercer impulso de cronometración de forma que se produzcan solamente dos de cada tres impulsos de cronometración compensados en la salida \bar{Q} , y suprime cada primer y segundo impulso de cronometración para que se produzca solamente uno de cada tres impulsos de cronometra- 30

404459

-38-



5 ción en su salida Q. La tercera entrada de la puerta de longitud de impulsos 330 se conecta al terminal de entrada de datos 310 para que dicha puerta se active solamente durante los impulsos de entrada, mientras que el tercer impulso de la puerta de longitud de espacio 328 se conecta a través de un inversor 336 a dicho terminal de entrada de datos por lo que esta puerta se activa solamente durante los espacios entre impulsos de entrada.

10 Un circuito lógico de comienzo 338 se conecta por su entrada a través de un conductor 340, un circuito de retardo 342 y una red de diferenciación que comprende un capacitor 344 y un resistor 346 al terminal de entrada de datos 310. La salida Q de la primera etapa de dicho circuito lógico se conecta a través de un conductor 348 a una

15 puerta de cronometración 350. El circuito lógico de comienzo 338 se conmuta desde su estado de "cero, cero" estable a un estado "uno, cero" en respuesta a la recepción del primer impulso de entrada y transmite una señal de desconexión cíclica a través del conductor 348 a una entrada de la puerta

20 Y 350, cuya otra entrada se conecta al oscilador de cronometración 14. Esto permite que se transmitan impulsos de cronometración a través de la puerta 350 a la puerta de compensación 324 y la puerta contadora 312. El segundo impulso de entrada de datos hace que otra puerta Y 352 produzca un

25 impulso de comienzo en el terminal de salida de comienzo 354 a la salida de dicha puerta, que indica al registrador de corrimiento del computador conectado al terminal de salida de datos 322 que la señal de salida de datos está comenzando. Esto es necesario porque el primer impulso de entrada en

30 el terminal de entrada 310 es un impulso de introducción que



no contiene información.

Cada uno de los contadores 316 y 318, el circuito lógico de comienzo 338 y el supresor de cortaje 334, están dormados por una pluralidad de multivibradores biestables o circuitos basculadores formados como dispositivos de circuito integrado que comprenden los seis terminales siguientes:

5

10

"T" — Entrada de excitación o disparo que hace que el dispositivo cambie a estado uno cuando su entrada "R" se encuentra en un estado de valor bajo.

15

"Q" — Salida real

" \bar{Q} " — Salida falsa y lo contrario que la salida "Q"

20

"R" — Entrada reposición que repone el basculador a cero

"D" — Entrada de datos de establecimiento previo

25

"S" — Entrada de referencia que hace que el estado del basculador siga la entrada "D".

30

El circuito supresor de contaje 334 comprende de dos de los circuitos basculadores 356 y 358 así como una puerta Y 360 que tiene dos entradas conectadas a las salidas "Q" de dichos circuitos basculadores y que tiene su salida conectada en común a entradas de referencia "S" y ambos circuitos basculadores. La entrada de excitación "T" del circuito basculador 356 se conecta a la salida de la puerta de compensación 324 para conmutar dicho circuito basculador

404459



-40-

5 al recibir impulsos de cronometración compensados. La puerta
Y 360 proporciona realimentación negativa que repone inmedia-
tamente los circuitos basculadores 356 y 358 a un estado
"cero, cero" cuando sus salidas "Q" alcanzan ambas un esta-
do "uno, uno". Esto hace que la salida \bar{Q} del basculador 358
se encuentre en un estado de alto voltaje en dos cada tres
impulsos de cronometración y hace, por lo tanto, que la puer-
ta de longitud de impulso 330 pase solamente dos de cada
tres impulsos de cronometración compensados alimentados a la
10 misma desde la salida de la puerta de compensación 324. Esto
significa que durante los impulsos de entrada de datos, el
contador comparador 318 contrará tan solo a dos tercios del
régimen del contador de referencia de tiempo 316. Por lo tan-
to, si se alimenta un impulso de entrada de bitio cero corto
15 de una unidad de tiempo al contador de referencia 316, la -
señal de referencia derivada del mismo y transferido al con-
tador comparador 318 por líneas de salida Q paralelas 317
tiene un valor efectivo de una y media unidades de tiempo -
porque el contador comparador 318 cuenta solamente a dos ter-
20 cios del régimen del contador de referencia 316.

La puerta de compensación del régimen de
contaje 324 comprende un par de puertas Y 362 y 364 que tie-
nen sus salidas conectadas a las entradas de una puerta O
366. Cada una de las dos puertas Y 362 y 364 tienen un par
25 de entradas una de las cuales se conecta a la fuente oscila-
dora 314 de impulsos de cronometración y la otra se conecta
por medio del conductor 326 a la salida del circuito de me-
moria del último bitio 320. Un basculador divisor de fre-
cuencia 368 se conecta entre la salida de la puerta de cro-
30 nometración 350 y la entrada común de la puerta Y 364 y la



puerta contadora 312 para alimentar a las mismas impulsos de cronometración que tienen una frecuencia $f/2$ de la mitad de la frecuencia osciladora. No obstante, los impulsos de cronometración que tiene la frecuencia f_0 del oscilador de cronometración 314 se transmiten desde la salida de la puerta de cronometración 350 directamente a la entrada de la puerta Y 362. Un circuito inversor 370 se conecta entre el conductor 326 y la segunda entrada de la puerta Y 364. Así, dependiendo de cualquiera de las puertas Y 362 y 364 se active por la corriente de salida Q de la memoria del último bitio 320 a través del conducto 326, los impulsos de cronometración compensados producidos en la salida de la puerta 366 tienen una frecuencia igual a la del oscilador de cronometración 314 o la mitad de dicha frecuencia. La corriente de salida Q de la memoria de último bitio 320 se encuentra en un estado de voltaje elevado cuando se almacena un bitio en dicha memoria que activa la puerta Y 362 y desactiva la puerta Y 364. Como resultado, el contador comparador 318 cuenta al doble de la velocidad debido al hecho de que los impulsos de cronometración compensados transmitidos a través de la puerta 362 son de una frecuencia f_0 doble que la frecuencia $f/2$ de aquellos transmitidos anteriormente a través de la puerta 364, porque la memoria del último bitio almacenó anteriormente un bitio cero correspondiente a un impulso de entrada de introducción anterior de tipo corto.

El funcionamiento del circuito demodulador de la figura 5 se comprenderá mejor tomando como referencia las formas de onda de señal ilustradas en la figura 6 que están indicadas por letras en sus posiciones en el circuito de la figura 5. La señal de entrada de datos binarios

404459

-42-



5 A comprende un impulso de introducción 372 de tipo corto cuya función principal es proporcionar una señal de referencia para compararse con el segundo impulso de entrada 374 que es el primer impulso de información para determinar si es un impulso de bitio uno o de bitio cero. En el ejemplo ilustrado, el segundo impulso de entrada 374 es un impulso de bitio uno de tipo largo, el tercer impulso de entrada 376 es también un impulso de bitio uno mientras que el cuarto impulso de entrada 377 es un impulso de bitio cero de tipo corto. El último impulso 378 del grupo de palabras es un impulso final que, como el impulso de preámbulo 372 puede ser de longitud de una unidad de tiempo de tipo corto y cuya función principal es indicar el final de la palabra, según se explicará más adelante. El frente de dirección positiva del primer impulso de entrada 372 se transmite desde el terminal de entrada 310 a través de la red de diferenciación 344 y 346 como un impulso de comienzo 379 que se alimenta a la salida del circuito de retardo 342 como un impulso de reposición retardado 380. Este impulso de reposición retardado 380 se alimenta a la entrada de referencia de las cinco etapas contadoras 382, 384, 386, 388 y 390 del contador de referencia de tiempo 316 para hacer que dichas etapas contadoras se pongan a cero porque el terminal de entrada de datos "D" de cada una de dichas etapas se conecta a masa. Se observará que antes de esto, cualquier señal de referencia anteriormente en el contador 316 se transfiere desde su salida \bar{Q} por los conductores 317 a las entradas "D" de las primeras cuatro etapas 392, 394, 396 y 398 del contador comparador 318, mientras que la última etapa 399 tiene su entrada "D" puesta a masa. Las entradas de referencia de las etapas 392, 394,

10

15

20

25

30



5 396 y 398 se conectan a través de un conductor común 400 a la salida de una puerta 0 402 donde se genera un impulso de entrada 397. El impulso de reposición retardado 380 se transmite también a las entradas de referencia de dos circuitos basculadores 406 y 408 que forman el circuito lógico de comienzo 338. La entrada de datos "D" del circuito basculador 406 se conecta a una fuente de alto voltaje por lo que produce una señal de salida de estado uno en su salida Q al recibir dicho impulso de referencia. Esta corriente de salida de estado uno se transmite como una señal de puerta de cronometración 410 a lo largo del conductor 348 a la puerta de cronometración 350 poniéndola en conducción y haciendo que transmita impulsos de cronometración de desconexión cíclica 412 de frecuencia f_0 los cuales a su vez, se transmiten desde el divisor de frecuencia 368 como impulsos de cronometración de desconexión cíclica 414 de frecuencia $f_c/2$. Los impulsos de cronometración de desconexión cíclica 414 se transmiten a través de la puerta Y 312 al contador de referencia de tiempo 316 que cuenta dichos impulsos de cronometración para producir una señal de rampa de contador de referencia 416 que comienza a un nivel de voltaje cero correspondiente a la reposición de un contador por el impulso de reposición retardado 380 y que termina al final del primer impulso de entrada 372.

10

15

20

25 La memoria de último bitio 320 tiene su salida Q en un estado de bitio cero de bajo voltaje después de reponerse al final de la "palabra" anterior que se transmite como una señal de desconexión cíclica negativa a través del conductor 326 hasta la puerta de compensación 324 por lo que pone la puerta Y 362 en estado inactivo, y, des-

30

404459

-44-



pués de transmitir a través del inversor 370, pone la puerta Y 364 en estado de conducción. Como resultado, los impulsos de cronometración compensados 418 producidos a la salida de la puerta O 366 son de una frecuencia $f_0/2$. Estos impulsos de cronometración compensados se alimentan a la entrada del supresor de contaje 334 en la entrada de excitación del basculador 356 y dicho supresor de contaje produce una señal de salida supresora 420 de frecuencia de un tercio o $f_0/6$ en la salida Q del basculador 358 y la alimenta a la puerta de longitud de espacio 328. Una señal similar, pero invertida, de una frecuencia de dos tercios o $f_0/3$ se produce en la salida \bar{Q} del basculador 358 y se transmite a la puerta de longitud de impulso 330. Como resultado, la señal de entrada 422 alimentada al contador comparador 318 por la puerta de longitud de impulso 330 consiste en dos de cada tres impulsos de cronometración compensados alimentados a la entrada de dicha puerta, por lo que la señal de rampa del contador comparador 424 tiene una pendiente o régimen de contaje de $f_0/3$.

Al final del impulso de entrada de preámbulo 372, el contador de referencia de tiempo 316 detiene el contaje porque la puerta Y 312 se desconecta y un voltaje de referencia 426 de un valor $+X_1$ en proporción a la longitud de dicho impulso de entrada de preámbulo se almacena en dicho contador. El complemento $-X_1$ de este voltaje de referencia se traslada al contador comparador 318 a través de conductores 317 cuando un impulso de transferencia 428 se produce en la salida 400 de la puerta O 402 por el frente posterior negativo del impulso de preámbulo 372 transmitido a través de un inversor 430 y un circuito de firen-



ciación que comprende un capacitor 432 y un resistor 434. Al mismo tiempo, la señal de entrada negativa producida durante el espacio entre el impulso de preámbulo 372 y el impulso de entrada de bitio uno 374, se invierte mediante el circuito inversor 336 para permitir que la puerta de longitud de espacio 328 transmita impulsos de cronometración compensados de frecuencia $f_0/6$ al contador comparador durante dicho espacio. Como resultado, el contador comparador 318 produce otra señal de rampa de contador 436 que comienza a un nivel de voltaje de referencia $-X_1$ y termina antes de cruzar el nivel de voltaje cero, por lo que no se produce impulso de salida en la salida Q de la última etapa 399 de dicho contador.

Quando el frente de dirección positiva del segundo impulso de entrada 374 se recibe y produce un tercer impulso de transferencia 438 en la salida de la puerta 0 402, el complemento $-X_1$ de la señal de referencia $+X_1$ almacenada en el contador de referencia de tiempo 316 se transfiere de nuevo desde dicho contador de referencia hasta el contador comparador. Un instante después, se alimenta un impulso de reposición retardado 440 a las entradas de referencia del contador de referencia de tiempo para reponer la señal del contador temporizador a cero. Entonces otra rampa de voltaje de referencia de tiempo 442 comienza con una pendiente o régimen de contaje de $f_0/2$ y, además, otra rampa del contador comparador 444 comienza con una pendiente de $f_0/3$. Esta corriente de rampa del contador comparador 440 cruza el nivel de cero indicando que el impulso de entrada 374 es un bitio uno, porque la duración del impulso de entrada 374 es aproximadamente de dos unidades de tiempo y ma-

404459

-46-



5 yor que la referencia de tiempo de una y media unidades. En
el punto de cruce 446, se produce un impulso de salida del
contador comparador de dirección positiva 448 en la salida
Q de la última etapa 399 del contador comparador 318 y se
10 alimenta a la entrada de datos "D" de la memoria de último
bitio 320. Un impulso de referencia de memoria 450 se produ-
ce por el frente posterior de dirección negativa del impulso
de entrada 374 transmitido a través de inversor 430, la red
de diferenciación 432 y 434, y el conductor 452 hasta la en-
15 trada de referencia de la memoria de último bitio 320. Esto
produce un impulso de salida de bitio uno en la salida Q de
la memoria de último bitio, que se transmite como impulso
de salida binario de dirección positiva 454 al terminal de
salida de datos 322. Un instante después, se produce un im-
20 pulso de corrimiento 456 en el terminal de salida 458 de la
puerta Y 460 en un instante correspondiente al frente de di-
rección positiva de la tercera señal de entrada 376, puesto
que en ese instante el circuito lógico de comienzo 338 se
encuentra todavía en un estado uno de corriente de salida
25 elevada en la salida Q del basculador 408. Este impulso de
corrimiento 456 hace que el registrador de corrimiento co-
nectado al terminal de salida de datos 322 acepte la señal
de salida de datos 454. Se observará que una señal "En pro-
ceso" 462 se transmite desde la salida Q del basculador ló-
30 gico de comienzo 408 hasta un terminal de salida 464 al re-
cibirse el segundo impulso de reposición retardado 440 en
las entradas de referencia de los basculadores lógicos de
comienzo 406 y 408. Así, el primer impulso de reposición
380 modula el basculador 406 a estado uno en su salida Q de-
bido al voltaje elevado alimentado a su entrada de datos,



5 mientras que la salida Q del basculador 408 permanece en estado
cero porque su entrada de datos tenía un valor de cero
en el instante de dicho primer impulso de reposición. No
obstante, al alimentarse el segundo impulso de reposición
retardado 440 a las entradas de referencia de los basculadores
10 406 y 408, la salida Q del basculador 406 y la entrada
D del basculador 408 se encuentran en estado uno por lo que
la salida Q del basculador 408 cambia al estado uno y produce
la señal "en proceso" 462 en el terminal de salida 464.
Esta señal "en proceso" indica que se encuentra en proceso
una transmisión de señales de datos.

15 Un impulso de comienzo de salida 466 se produce en el terminal
de salida 354 de la puerta Y 352 en el frente del impulso de
entrada 374 para indicar el comienzo de los impulsos de información
374, 376 y 377. Se observará que el impulso de comienzo de salida
se produce ligeramente antes que la señal "en proceso" 462 debido
al circuito de retardo de tiempo 342 que demora la conmutación del
20 basculador lógico de comienzo 408. Así, la corriente de salida
 \bar{Q} del basculador 408 se encuentra todavía en un estado uno
cuando la corriente de comienzo del impulso de entrada sin
retardar 468 se transmite a través del circuito de diferencia
ción 344 y 346 a la entrada de la puerta Y 352 para producir
el impulso de comienzo de salida. Al mismo tiempo, no se produce
25 impulso de corrimiento porque la salida Q del basculador
lógico de comienzo 408 se encuentra todavía a un nivel
cero.

30 La misma operación tiene lugar para el tercer impulso de
entrada 376 excepto que la corriente de rampa del contador
comparador 470 correspondiente tiene una mayor

404459

-48-



pendiente de $2/3f_0$ y se compara con un segundo voltaje de referencia $-X_2$ de doble valor que el primer voltaje de referencia $-X_1$. Este segundo voltaje de referencia es el complemento del voltaje máximo 472 alcanzado por la corriente de rampa del contador de referencia de tiempo 432 durante el impulso de entrada anterior 374. Así, como el impulso de entrada anterior 374 tiene doble longitud que el impulso de preámbulo 372 o impulso de bitio cero, hace que la corriente de rampa del contador 442 alcance un voltaje máximo 472, que tiene doble valor que el voltaje máximo 426 de la corriente de rampa del contador 416. Según se ha indicado anteriormente, un complemento $-X_2$ de este voltaje máximo se transmite desde las salidas \bar{Q} del contador 316 hasta las entradas de datos del contador 318 y sirve como señal de referencia que se compara con la corriente de rampa del contador comparador 470. Como resultado de la corriente de rampa del contador comparador 470 que tiene una mayor pendiente de $2/3f_0$, cruza el nivel de referencia cero en el punto 474 en un instante T_2 con respecto al comienzo de dicha corriente de rampa del contador comparador 444 para alcanzar el punto de cruce 446 aunque el voltaje de referencia $-X_2$ sea doble que el voltaje de referencia previo $-X_1$. Este aumento en la pendiente de la corriente de rampa del contador comparador 470 se debe a la acción de la puerta de compensación 324 que aumenta automáticamente la frecuencia de los impulsos de cronometración compenados 418 desde $f_0/2$ hasta f_0 debido al hecho de que la corriente de salida de estado uno de voltaje elevado de la memoria de último bitio 320 se transmite a través del conductor 326 para abrir la puerta Y 362 y cerrar la puerta Y 364 al comienzo de la señal de datos de salida 454.



Un segundo impulso de salida del contador comparador 478 se produce en la salida de la última etapa 399 del comparador 318 en el instante del punto de cruce 474 y mantiene la corriente de salida Q de la memoria del último bitio en estado uno de voltaje elevado por lo que la señal de datos de salida 454 permanece positiva, indicando de este modo otro bitio uno en la señal de datos de salida en el instante que tiene lugar el segundo impulso de corriente 480. No obstante, durante el impulso de entrada de bitio cero 377, se produce una corriente de rampa del contador comparador 482 que no criza el nivel de referencia cero y no produce un impulso de salida del contador comparador. Como resultado, la entrada de datos a la memoria de último bitio 320 es de cero cuando tiene lugar el impulso de referencia de memoria 484, que hace que la corriente de salida Q de dicha memoria pase a un estado de bajo voltaje y produzca un bitio cero en la señal de datos de salida 454 que se transfiere al registrador de comimientto cuando se produce el impulso de corrimiento siguiente 486.

Después del final del impulso de terminación 378, tiene lugar un espacio de terminación indicando el final de la señal de entrada de datos. Una corriente de rampa del contador comparador 488 producida durante dicho espacio alcanza el nivel de voltaje cero en el punto 490, haciendo que el contador 318 produzca un impulso de salida 492. Este impulso de medida de dirección positiva 492 se difefencia mediante el capacitor 494 y el resistor 496 y se alimenta como impulso de hiperamplitud positivo a una entrada de la puerta Y 498. La otra entrada de puerta Y 498 se conecta a través de un conductor 502 a la salida del inversor

404459



-50-

430 por lo que la puerta Y 498 no produce un impulso de salida en los instantes correspondientes a los impulsos de referencia de memoria 450 y 504 durante los espacios entre -
impulsos aunque se produzcan los impulsos de salida del contador comparador 448 y 478, porque dichos impulsos de salida del contador se diferencian mediante el capacitor 494 se alimentan como impulsos de hiperamplitud positivo y negativo a dicha puerta Y. Así, la puerta Y 498 produce solamente un impulso de parada 506 en su salida en el punto de cruce 490. Este impulso de parada 506 se transmite a las entradas de un par de puertas Y 508 y 510 que tienen sus otras entradas conectadas, respectivamente, a la salida Q y a la salida \bar{Q} de la memoria de último bitio 320. Las salidas de las puertas 508 y 510 se conectan respectivamente a un terminal de salida de "final de palabra" 512 y un terminal de salida de "final de caracter" 514. La puerta de final de caracter 510 se vuelve conductiva para transmitir el impulso de parada si el impulso de entrada de terminación 378 es de tipo corto de una unidad de tiempo ilustrado. La puerta de final de palabra 508 se vuelve conductiva para transmitir dicho impulso de parada solamente si dicho impulso de terminación es del tipo largo de dos unidades de tiempo, puesto que su corriente de rampa del contador comparador cruzará el nivel cero y excitará la memoria de último bitio a un estado uno en su salida.Q.

La salida de la puerta Y 498 se conecta también a través de una puerta O 516 a las entradas de reposición de los basculadores lógicos de comienzo 406 y 408 para reponer el circuito lógico de comienzo 338 a un estado de "cero, cero". Esto finaliza la señal de la puerta de cro-



5 nometración 410 desconectando dicha puerta Y 350 y deteni-
do todos los impulsos de cronometración 412, 414 y 418. Al
mismo tiempo, la señal "en proceso" 462 finaliza debido a
la reposición del basculador 408 a un estado de cero, y la
memoria de último bitio se repone también a un estado de -
cero si previamente estaba activada por un impulso de termi-
nación de tipo largo. Esto finaliza un ciclo de funciona-
miento del circuito demodulador del presente invento.

10 Se observará que la puerta O 516 se conec-
ta también en su otra entrada a través de un circuito de di-
ferenciación, que comprende un capacitor 518 y un resistor
520, a la salida Q de la última etapa 390 del contador de
referencia de tiempo 316. Como resultado, su por alguna ra-
zón dicha última etapa 390 se excita a un nivel de uno, re-
pone el circuito lógico de comienzo 338 para evitar cual-
quier contaje adicional puesto que entonces la señal de re-
ferencia correspondiente no se relacionaría exactamente con
15 la longitud del impulso de entrada alimentado entonces a la
puerta Y 312.

20 Resultará evidente a los expertos en la
materia que se pueden efectuar muchos cambios en las modali-
dades de preferencia descritas del presente invento sin de-
viarse de su espíritu. Por ejemplo, se pueden emplear otros
elementos lógicos distintos a los elementos lógicos ilustra-
dos. Se puede utilizar una etapa contadora comparadora se-
parada además de la etapa contadora 318 de la figura 5 para
25 contar impulsos de cronometración transmitidos durante los
espacios entre impulsos.

30 Asimismo se pueden emplear señales de en-
trada binaria de codificación diferente. Por lo tanto, el

404459



-52-

alcance del presente invento deberá quedar determinado solamente por las reivindicaciones adjuntas.

N O T A .-

5 Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas, son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una solicitud de
10 patente, presentada en Norteamérica, con fechas 1 de julio de 1.971 y 23 de marzo de 1.972, bajo los números 158.799 y 237.256, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se
15 solicita Patente de Invención por 20 años en España, sobre: PERFECCIONAMIENTOS EN APARATOS DEMODULADORES ASINCRONOS ADAPTABLES AL REGIMEN PARA SEÑALES BINARIAS DE DOS NIVELES; caracterizándose por lo siguiente:

20 1ª.- Perfeccionamientos en aparatos demoduladores asíncronos, del tipo que comprenden medios de entrada para suministrar a la entrada del demodulador una señal de entrada binaria en serie de bitios de entrada binarios asíncronos de dos niveles que tiene un ritmo de repetición de bitios desuniformes, cuyos bitios de entrada tienen partes de transición que se extienden entre dos niveles de amplitud; y medios de referencia de temporización para medir
25 la longitud de los bitios sucesivos de dichos bitios de entrada y para producir una señal de referencia de tiempo correspondiente a la longitud de cada bitio de entrada, caracterizados porque dichos medios de referencia de temporización
30





5 comprenden medios para producir una primera señal de rampa,
de inclinación predeterminada durante el período de cada
longitud de bitio de entrada, para proporcionar un nivel de
amplitud de señal de rampa al final de dicho periodo, a par-
tir del cual se deriva la señal de referencia de temporiza-
ción, de forma que el valor de dicha señal de referencia cam-
bie automáticamente en respuesta a los cambios en la longi-
tud de dichos bitios de entrada, debidos a variaciones en
el ritmo o régimen de bitios, y medios comparadores para pro-
ducir una segunda señal de rampa de inclinación predetermi-
nada correspondiente al tiempo entre las partes de transi-
ción de dichos bitios de entrada para comparar dicha segun-
da señal de rampa con la señal de referencia de tiempo deri-
vada de dicha primera señal de rampa del bitio de entrada
15 inmediatamente procedente para determinar si el bitio de
entrada comparado es un uno binario o un cero binario, y pa-
ra producir una señal de salida binaria en serie correspon-
diente a dicha señal de entrada pero de código diferente,
comprendiendo también dichos medios comparadores medios para
20 producir una tercera señal de rampa de inclinación predeter-
minada correspondiente al tiempo del espacio entre bitios
de entrada sucesivos y para comparar dicha tercera señal de
rampa del bitio de referencia de tiempo derivada de dicha
primera señal de rampa del bitio de entrada inmediatamente
25 procedente para producir un impulso de parada que indica el
final de la señal de entrada.

30 2ª.- Perfeccionamientos según la reivindi-
cación 1ª, caracterizados porque el dispositivo de entrada
suministra una señal de entrada binaria del tipo modulado en
duración de impulso donde los bitios de entrada uno y cero





son impulsos de dos longitudes diferentes.

5
3a.- Perfeccionamientos según la reivindicación 2a, caracterizados porque comprende tambien un dispositivo de compensación para permitir que la señal de referencia producida por un tipo de bitio uno de impulso de entrada de longitud diferente así como con dicho tipo uno de impulso de entrada binaria.

10
4a.- Perfeccionamientos según la reivindicación 3a, caracterizdos porque el impulso de bitio más largo tiene por lo menos doble longitud que el impulso de bitio más corto.

15
5a.- Perfeccionamientos según la reivindicación 1a, caracterizados porque los medios de referencia de temporización comprende un primer contador que mide la longitud de los bitios de entrada y produce la primera señal de rampa, y porque los medios comparadores comprenden por lo menos un segundo contador al que se alimenta la señal de referencia de tiempo y que cuenta en sentido descendente a partir del valor de dicha señal de referencia durante la
20 citada comparación.

25
6a.- Perfeccionamientos según la reivindicación 3a, caracterizados porque los medios de referencia de temporización comprenden un primer contador un generador de impulsos de cronometración y un primer dispositivo puerta para alimentar impulsos de cronometración de frecuencia pre-determinada desde dicho generador de impulsos de cronometración hasta la entrada de dicho primer contador cuando dicho dispositivo puerta funciona cíclicamente por dichos bitios de entrada para producir la citada señal de rampa a la salida de dicho primer contador.
30



5
10

7a.- Perfeccionamientos según la reivindicación 6a, caracterizados porque el dispositivo comparador comprende un segundo contador que tiene su entrada conectada a través de los medios de compensación y un segundo dispositivo puerta a dicho generador de impulsos de cronometración, entrando en conducción dicho segundo dispositivo puerta por la acción de la señal de entrada, y cambiando dichos medios de compensación al régimen de contaje de dichos segundos contador para compensar los impulsos de entrada de longitud diferente.

15
20

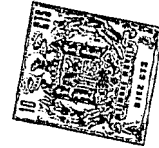
8a.- Perfeccionamientos según la reivindicación 7a, caracterizados porque el dispositivo de compensación comprende un dispositivo de memoria para almacenar el valor binario correspondiente al último impulso de salida de bitio y para poner en funcionamiento el segundo dispositivo de puerta con el fin de aumentar la frecuencia de los impulsos de cronometración compensador que se alimentan al segundo contador durante un impulso de entrada siguiente a un impulso de entrada anterior del tipo de bitio largo y para reducir la frecuencia de dichos impulsos de cronometración compensados durante un impulso de entrada siguiente a un impulso de entrada anterior del tipo de bitio corto.

25
30

9a.- Perfeccionamientos según la reivindicación 6a, caracterizados porque comprende un dispositivo de transferencia para transferir el complemento del voltaje de salida del primer contador en paralelo desde dicho contador a un segundo contador en dicho dispositivo comparador y que tiene su entrada conectada a dicho generador de impulsos de cronometración para proporcionar dicha señal de referencia.

~~30~~

404459



-56-

5

10a.- Perfeccionamientos según la reivindicación 9a, caracterizados porque el dispositivo comparador comprende también un dispositivo comparador de anchura de espacios para comparar dicha señal de referencia con una señal de anchura de espacio correspondiente al espacio entre impulsos de entrada sucesivos, y produce un impulso de parada cuando dicha señal de anchura de espacio excede de dicha señal de referencia indicando el final de señal de entrada.

10

11a.- Perfeccionamientos según la reivindicación 10a, caracterizados porque el dispositivo comparador de anchura de espacio comprende también dicho segundo contador y un tercer dispositivo de puerta conectado entre la entrada de dicho segundo contador y la salida de dicho dispositivo de compensación, conectándose cíclicamente dicho tercer dispositivo de puerta para transmitir impulsos de cronometración compensados solamente durante el espacio entre dichos impulsos de entrada.

15

20

12a.- Perfeccionamientos según la reivindicación 1a, caracterizados porque comprende también medios para producir impulsos de salida de corrimiento que se sincronizan con los bitios de información de la señal de salida.

25

13a.- Perfeccionamientos según la reivindicación 1a, caracterizados porque el dispositivo de entrada suministra una señal de entrada binaria del tipo bifásico y el dispositivo comparador comprende un dispositivo discriminador, para comparar la señal de referencia correspondiente a la longitud del bitio de entrada inmediatamente anterior contra el intervalo de la parte de información bi-

30

ⓧ



naria bifásica del bitio inmediatamente siguiente, para determinar si dicho bitio siguientes es uno binario o un cero binario.

5
10
14^a.- Perfeccionamientos según la reivindicación 13^a, caracterizados porque el dispositivo discriminador discrimina entre transiciones regulares e irregulares en la señal de entrada binaria bifásica y alimenta impulsos de temporización a dicho dispositivo de referencia que corresponden solamente a dichas transiciones regulares con el fin de producir dicha señal de referencia de tiempo, y para transmitir impulsos de información a dicho dispositivo de salida correspondiente solamente a transiciones irregulares para producir dicha señal de salida.

15
15^a.- Perfeccionamientos según la reivindicación 14^a, caracterizados porque el dispositivo de salida comprende un dispositivo de memoria de salida que tiene por lo menos un multivibrador que se excita por medio de dichos impulsos de información en respuesta a dichas transiciones irregulares.

20
25
16^a.- Perfeccionamientos según la reivindicación 14^a, caracterizados porque el dispositivo de referencia comprende un primer contador digital y el dispositivo comparador comprende un segundo contador digital, y un dispositivo pulsador normal para alimentar a las entradas de dichos primer y segundo contadores impulsos normales de una frecuencia predeterminada, siendo los impulsos normales alimentados a dicho primer contador de una frecuencia menor que los alimentados al segundo contador.

30
17^a.- Perfeccionamientos según la reivindicación 16^a, caracterizados porque comprende también un dis-

404459

-58-



positivo de transferencia para transferir dicha señal de referencia desde dicho primer contador hasta dicho segundo contador al recibir el bitio de entrada siguiente para preparar dicho segundo contador al valor de voltaje de complemento de dicha señal de referencia por lo que dicho segundo contador produce una corriente de salida solamente después de contar un número de impulsos normales que excede de dicho complemento de la señal de referencia contado previamente con el primer contador, y medios para poner dicho primer contador a cero después de una demora de tiempo con respecto a dicha transferencia.

18a.- Perfeccionamientos según la reivindicación 17a, caracterizados porque el dispositivo de entrada comprende un dispositivo de control, secuencial que funciona en respuesta a la recepción de un impulso de entrada correspondiente a una transición regular de dicha señal de entrada para desactivar el primer contador y accionar el dispositivo de transferencia para reponer dicho primer contador a cero después de una primera demora y para accionar el dispositivo discriminador después de una segunda demora en la secuencia mencionada.

19a.- Perfeccionamientos según la reivindicación 18a, caracterizados porque el dispositivo de control secuencial comprende un primer multivibrador monoestable conectado entre sus terminales de entrada y de reposición del primer contador, y un segundo multivibrador monoestable conectado entre la salida de dicho primer multivibrador y dicho dispositivo discriminador.

20a.- Perfeccionamientos según la reivindicación 19, caracterizados porque el dispositivo de memoria



5 de entrada comprende un par de multivibradores biestables
interconectados, conectados a su vez a un primer dispositi-
tivo de puerta para transmitir impulsos de entrada corres-
pondientes al comienzo y final de un bitio de preámbulo di-
rectamente al dispositivo de contro, secuencial, a impulsos
de entrada correspondientes a otras transiciones regulares
de la señal de entrada a traves de un segundo dispositivo
de puerta a dicho dispositivo de control cuando dicho se-
gundo dispositivo de puerta se desactiva por la acción del
10 dispositivo discriminador.

21a.- Perfeccionamientos según la reivin-
dicación 16a, caracterizados porque el dispositivo discrimi-
nador comprende un multivibrador biestable excitado por la
corriente de salida del segundo contador y repuesto después
15 de la transición siguiente regular de la señal de entrada
para producir una señal de desactivación que se alimenta a
una entrada de una puerta Y que tiene su otra entrada conec-
tada paa recibir impulsos de entrada correspondientes a
transiciones regulares e irregulares de la señal de entrada
para que solamente se transmitan los impulsos de transición
20 irregulares que tienen lugar antes de la salida del segundo
contador a través de dicha puerta Y a la salida del dispo-
sitivo discriminador para proporcionar los impulsos de in-
formación.

25 22a.- Perfeccionamientos según la reivin-
dicación 21a, caracterizados porque el dispositivo compra-
dor comprende también un tercer contador digital conectado
a las salidas de dicho dispositivo pulsatorio normal para
alimentar a dicho tercer contador impulsos normales de una
30 frecuencia menor que los alimentados al primer contador, co-

404459

-60-



5 nectándose dicho tercer contador también a la salida de dicho dispositivo de transferencia y produciendo un impulso de finalización al final de cada grupo de bitios de entrada correspondientes a una palabra o caracter, cuando el intervalo entre transiciones sucesivas de la señal de entrada excede en una cantidad predeterminada proporcional a la longitud del último bitio de dicho grupo.

10 23ª.- Perfeccionamientos según la reivindicación 1ª, caracterizados porque el dispositivo de entrada proporciona dicha señal de entrada con bitio dispuestos en grupos separados de bitios, comprendiendo cada grupo un bitio de preámbulo al comienzo, una pluralidad de bitio de información, y un espacio de terminación al final de dicho grupo, teniendo dicho bitio de preámbulo una longitud prácticamente igual que la del primer bitio de información y teniendo dicho espacio de terminación un intervalo equivalente por lo menos a una vez y media de longitud de último bitio de información del grupo.

15 24ª.- Perfeccionamientos en aparatos demoduladores asincronos adaptables al régimen para señales binarias de dos niveles; tal y como queda sustancialmente descrito en la presente Memoria, e ilustrado en los dibujos adjuntos.

20 Esta Memoria consta de 60 hojas escritas a máquina por una sola cara.

Madrid,

ROLAND O. BARNES

16 JUN. 1975

J. GOMEZ ACEBO Y MODET
p. p. Firmado: L. Gesto Fernández



404459

6 SET. 1972
6 SET. 1972

404459

ESCALA
VARIABLE

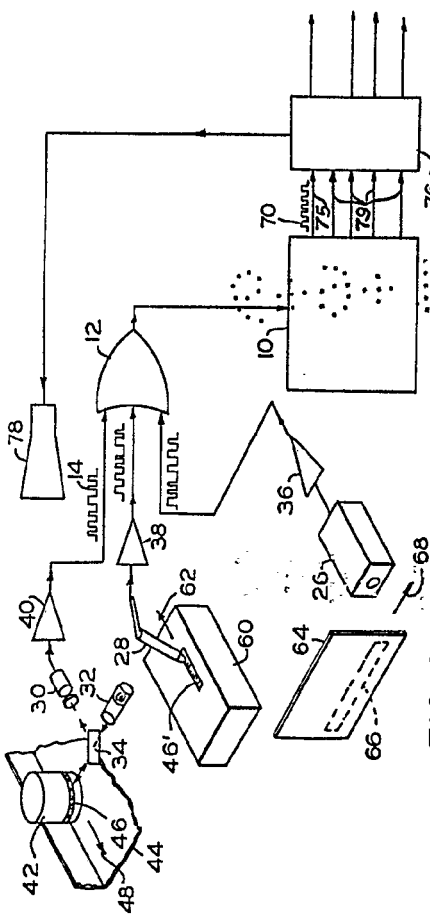


FIG. 1

FIG. 2

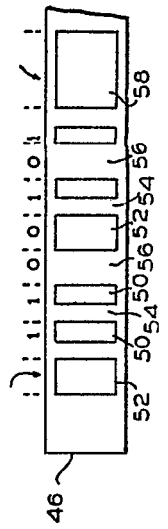
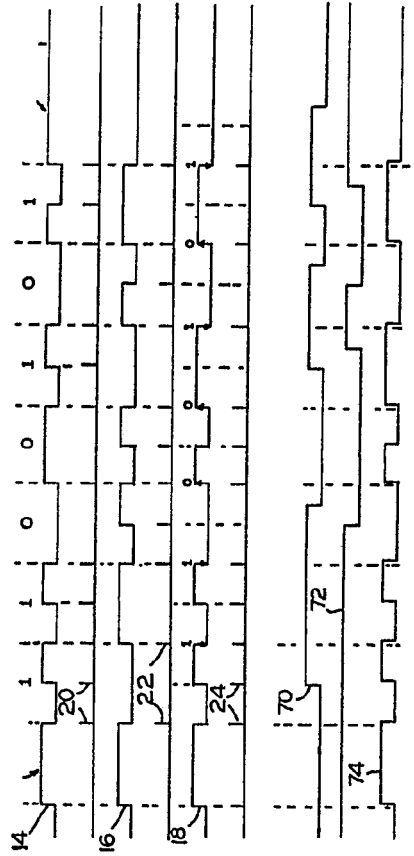


FIG. 1A

- 6 SET. 1972

Madrid

J. GOMEZ ACEBO Y MUÑEZ
P. P. Filmes de L. Gasa Ferrández

[Handwritten signature]

404459

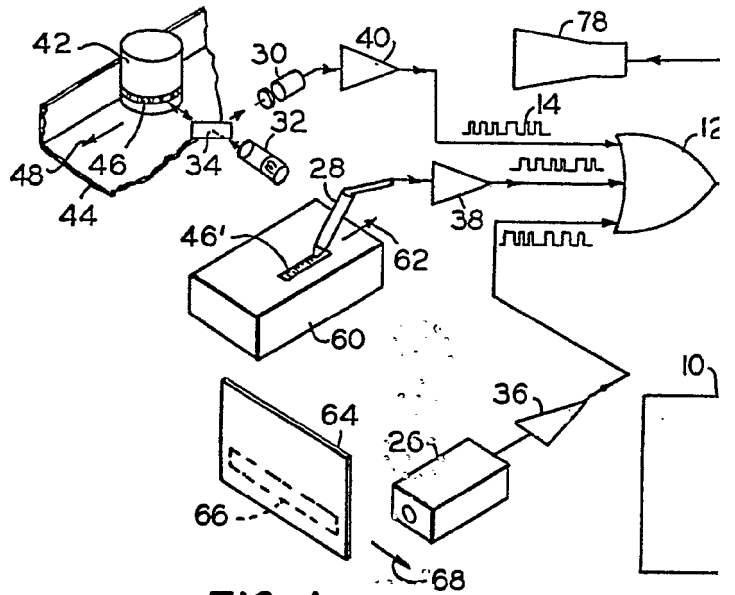
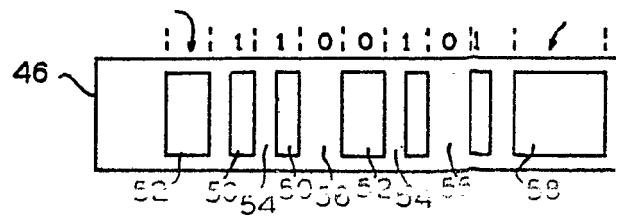
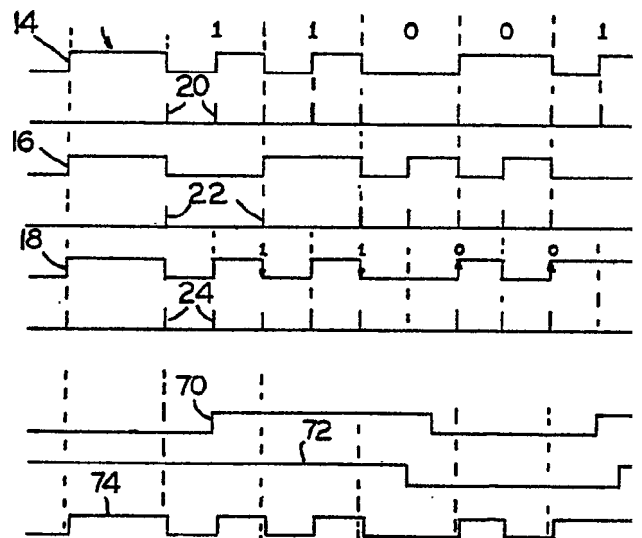
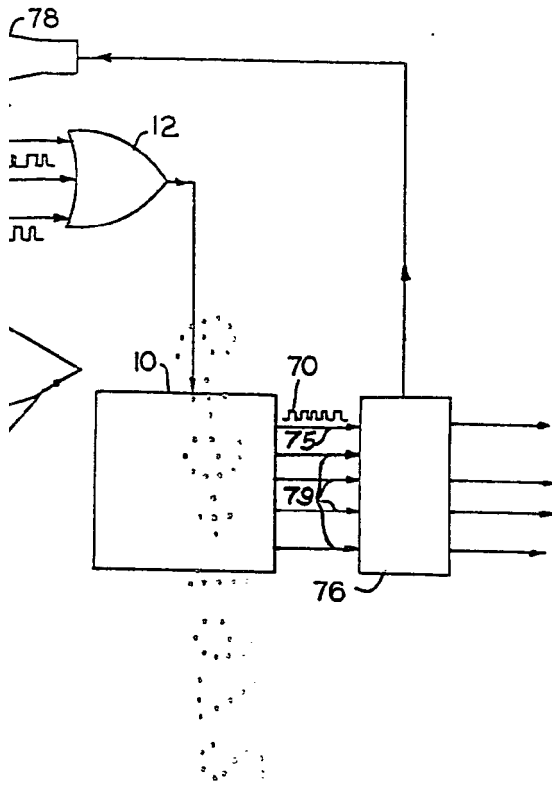


FIG. 1

FIG. 2





6 SET. 1972
 404459

ESCALA
 VARIABLE

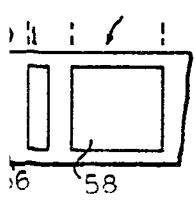
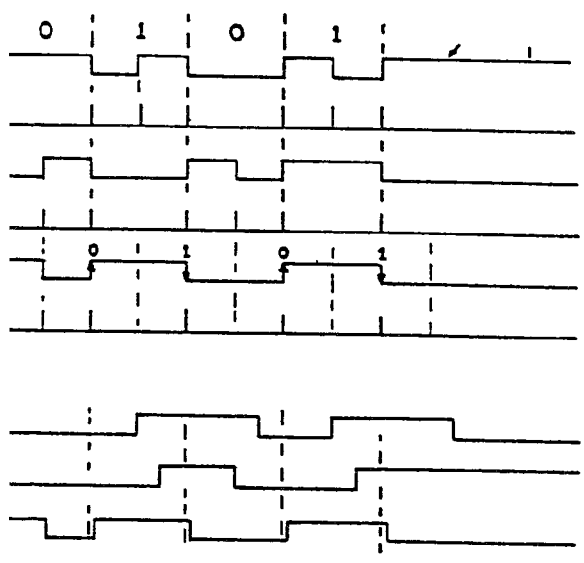


FIG. 1A

6 SET 1972

Madrid

J. GOMEZ ACEBO Y MUÑOZ
 p. p. Firmado: L. Gaeta Fernández

[Handwritten signature]

404459

404459



- 6 SET.

ESCALA:
VARIABLE

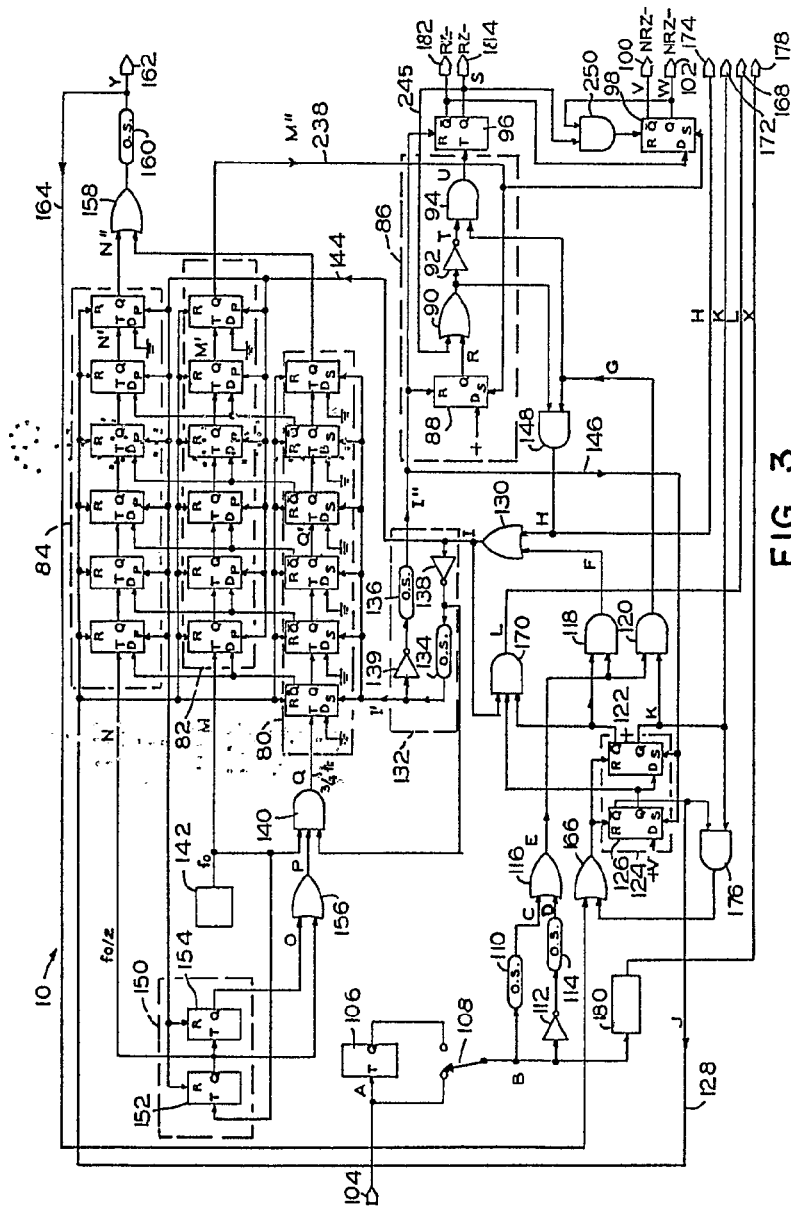


FIG. 3

- 6 SET. 1972

Madrid

J. GÓMEZ ACEG Y PÉREZ
S. P. Firmado: L. Gascón E. de la Cruz

Lupe

404459

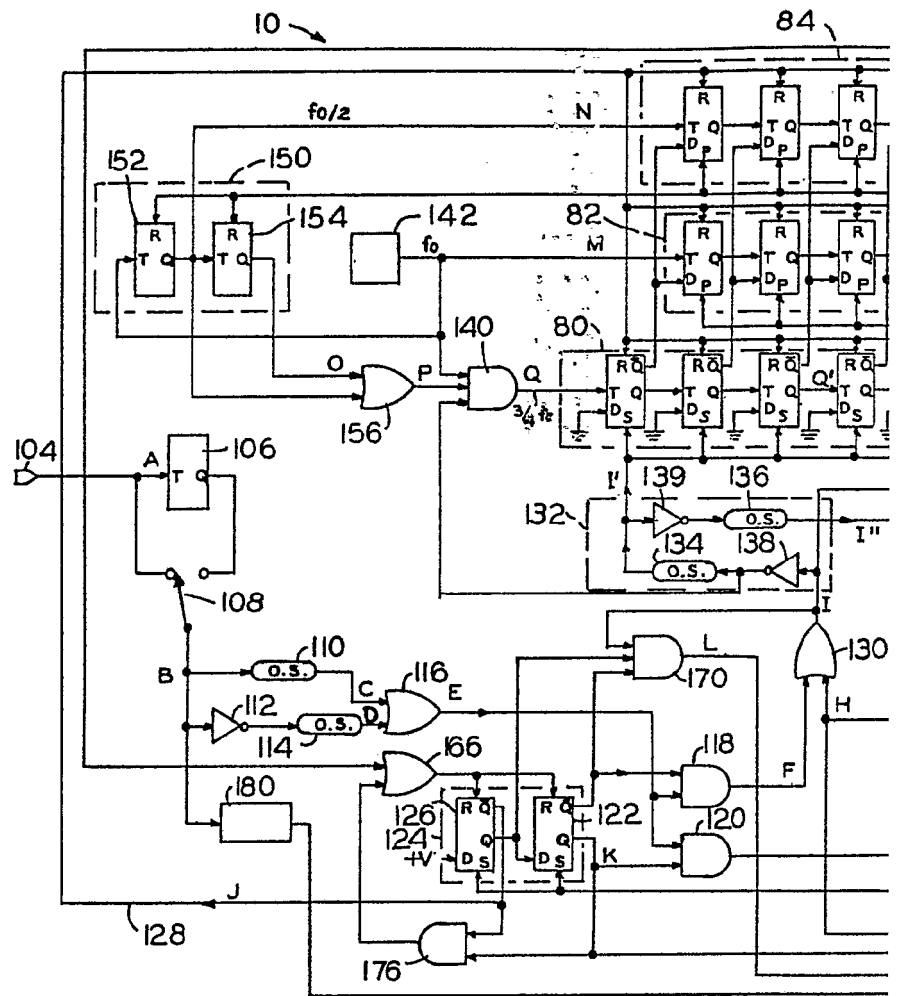
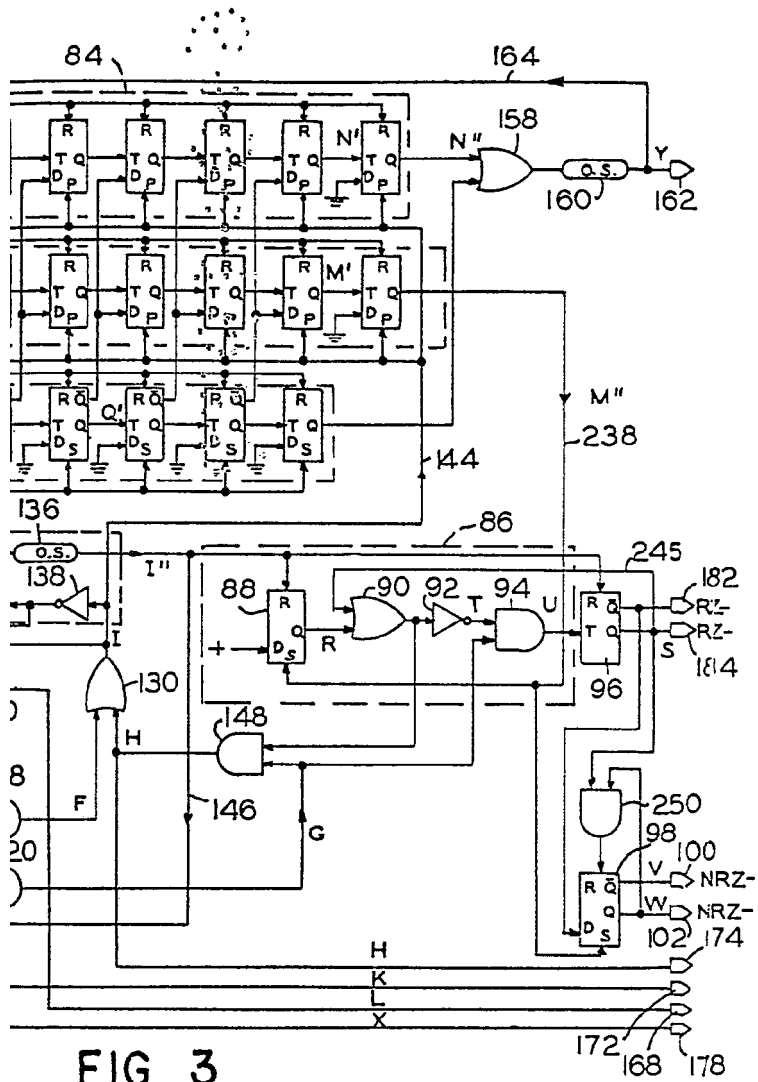
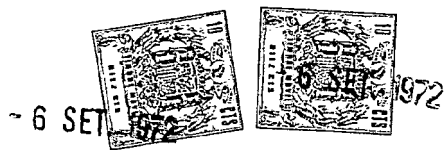


FIG.

404459



ESCALA
VARIABLE

FIG. 3

- 6 SET. 1972

Madrid

J. GÓMEZ ACEBO Y C^{IA}
p. p. Firmado: L. Goeta Fernández

404459

404459'

-6

1972



ESCALA 1/1000
VARIANTE

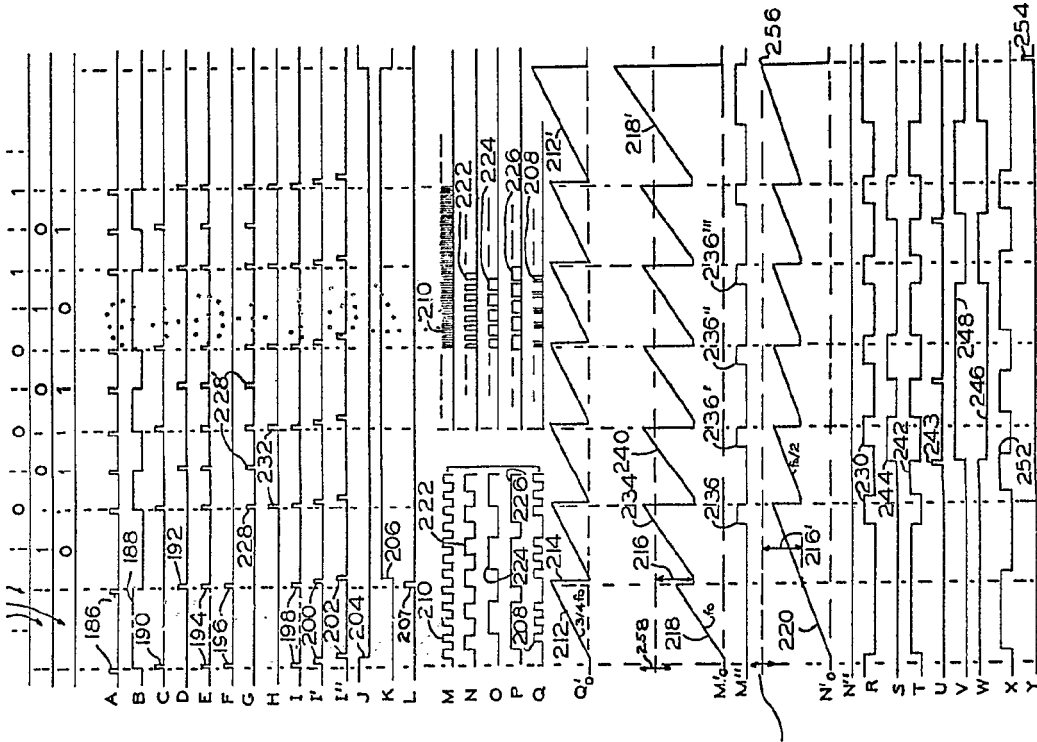
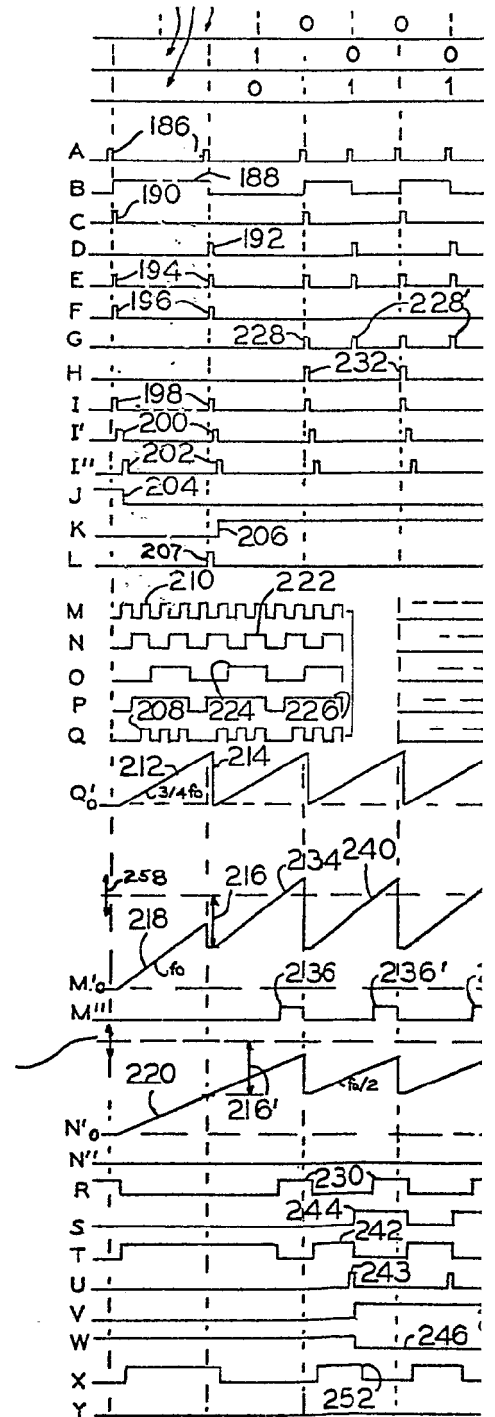


FIG. 4

1972
- 6 SET. 1972
J. GÓMEZ ACEBO Y INDOLE
P. P. Firmado: L. Gasset Fernández

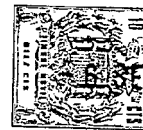
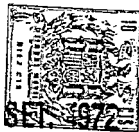
L. Gasset Fernández

404459



FIG

- 6



1972

404459

ESCALA
VARIABLE

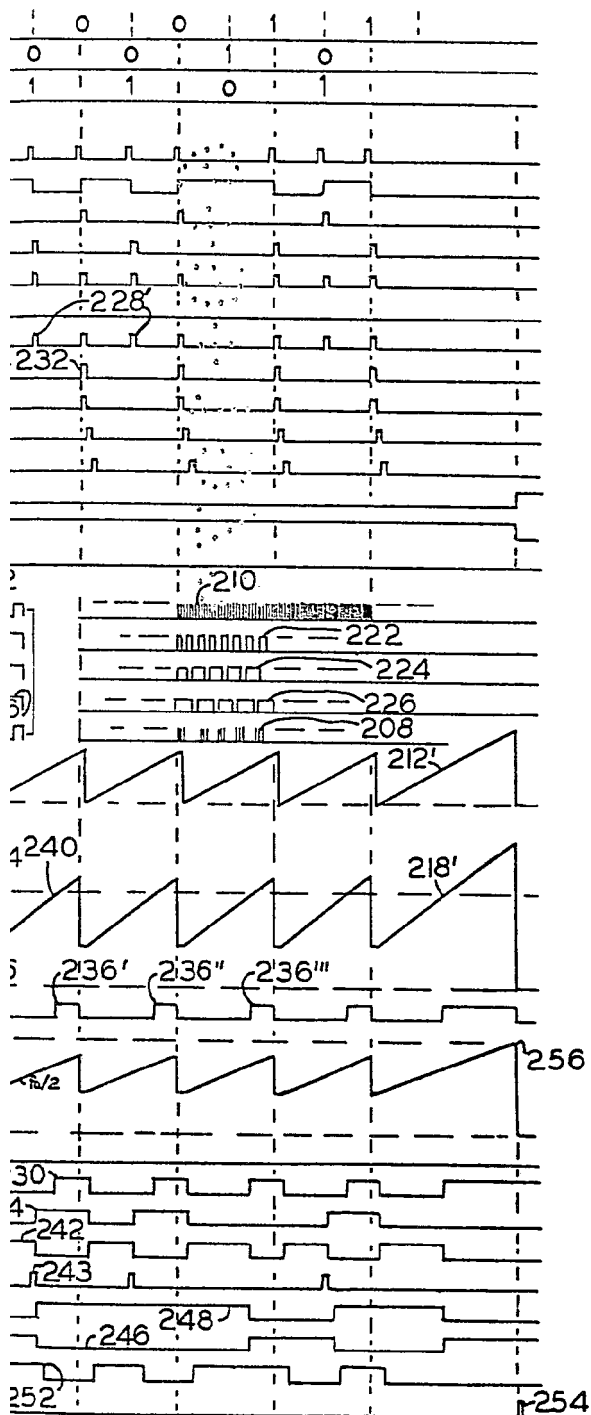


FIG. 4

6 SET. 1972

J. GOMEZ ACEBO Y MODER
p. p. Firmador: L. Gato Ferrández

404459

- 6 SET. 1972

404459'

ESCALA VARIABLE

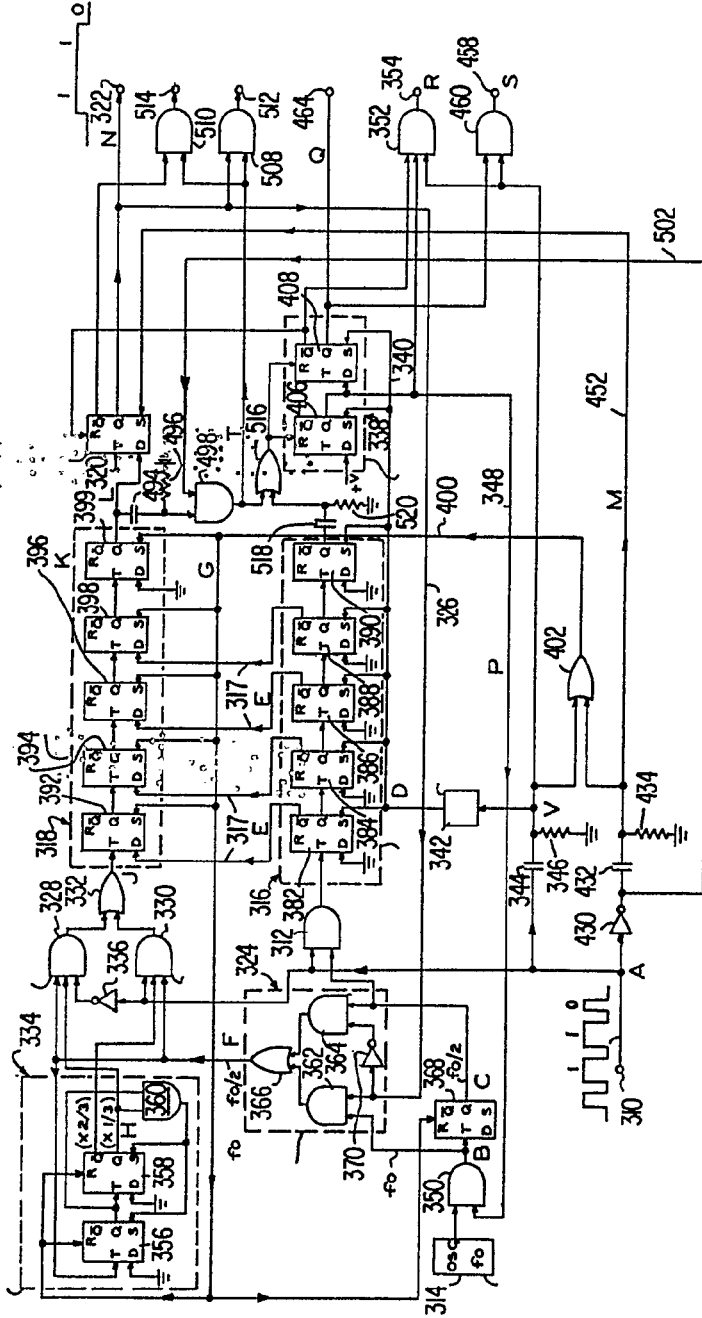


FIG. 5

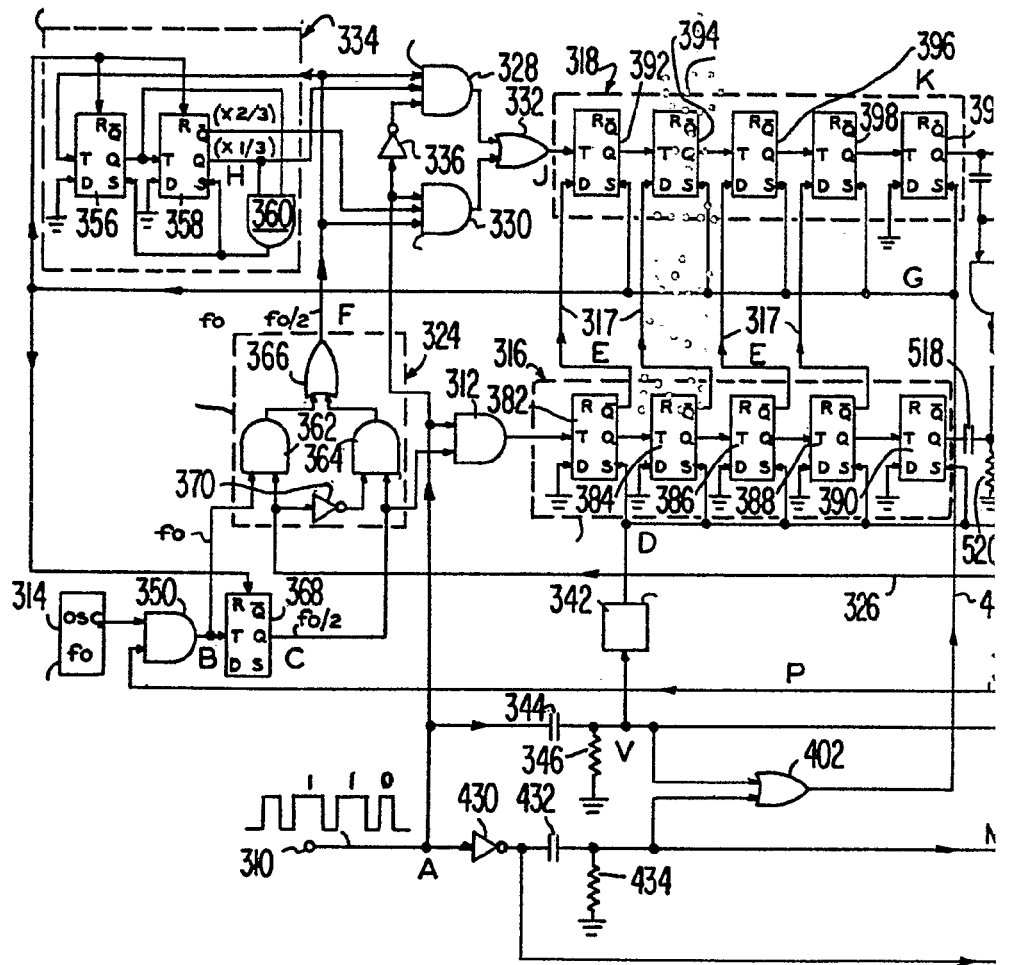
- 6 SET. 1972

Madrid

J. GÓMEZ ACEBO Y MOSES
P. F. Firmador: L. Costa Fernández

Imprenta

404459

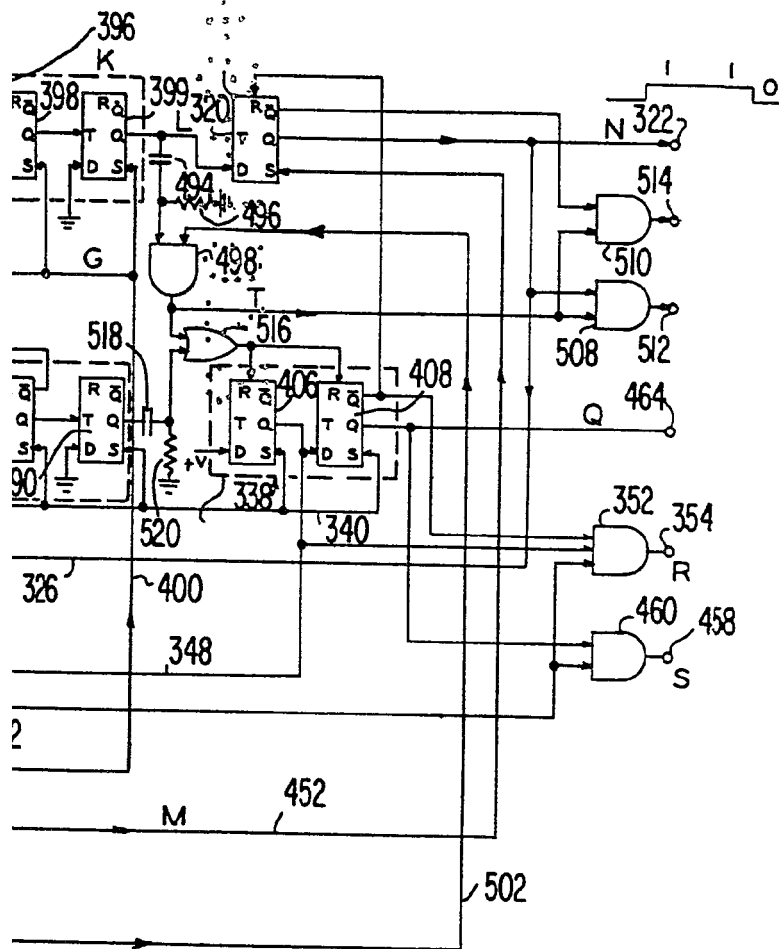


FIG

- 6 SET. 1972



404459'



ESCALA
VARIABLE

FIG. 5

- 6 SET. 1972

Madrid _____

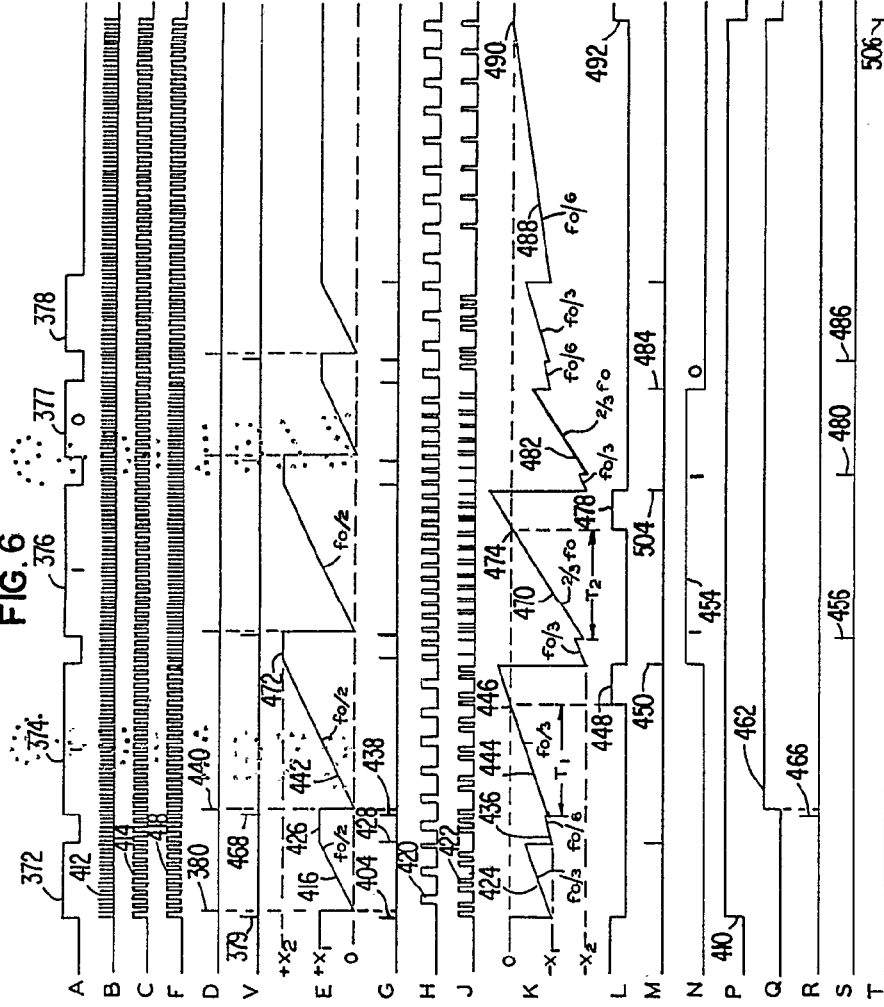
I. GOMEZ ACEBO Y MODEX
p. p. Firmado: L. Gaeta Fernández

404459

404459



FIG. 6



ESCALA VARIABLE

- 6 SET. 1972

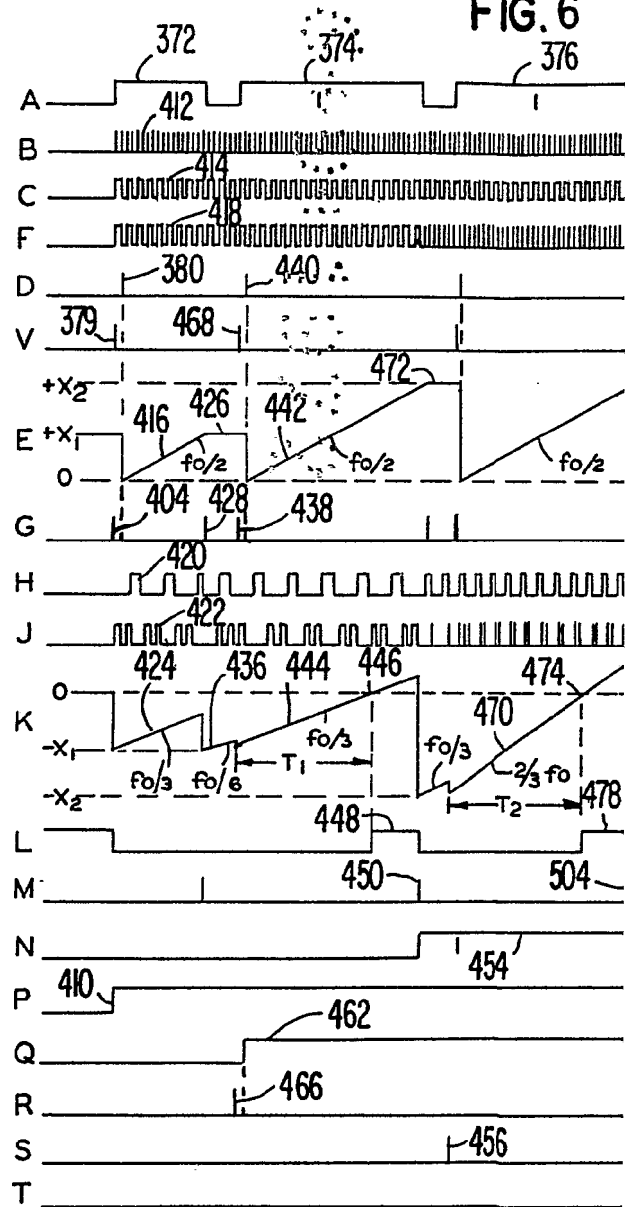
Madrid

J. GOMEZ ACEBO Y MOJET
P. P. Filmedel L. Gauda Ferrandós

Impresión

404459

FIG. 6
376



404459

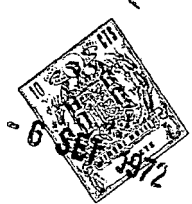
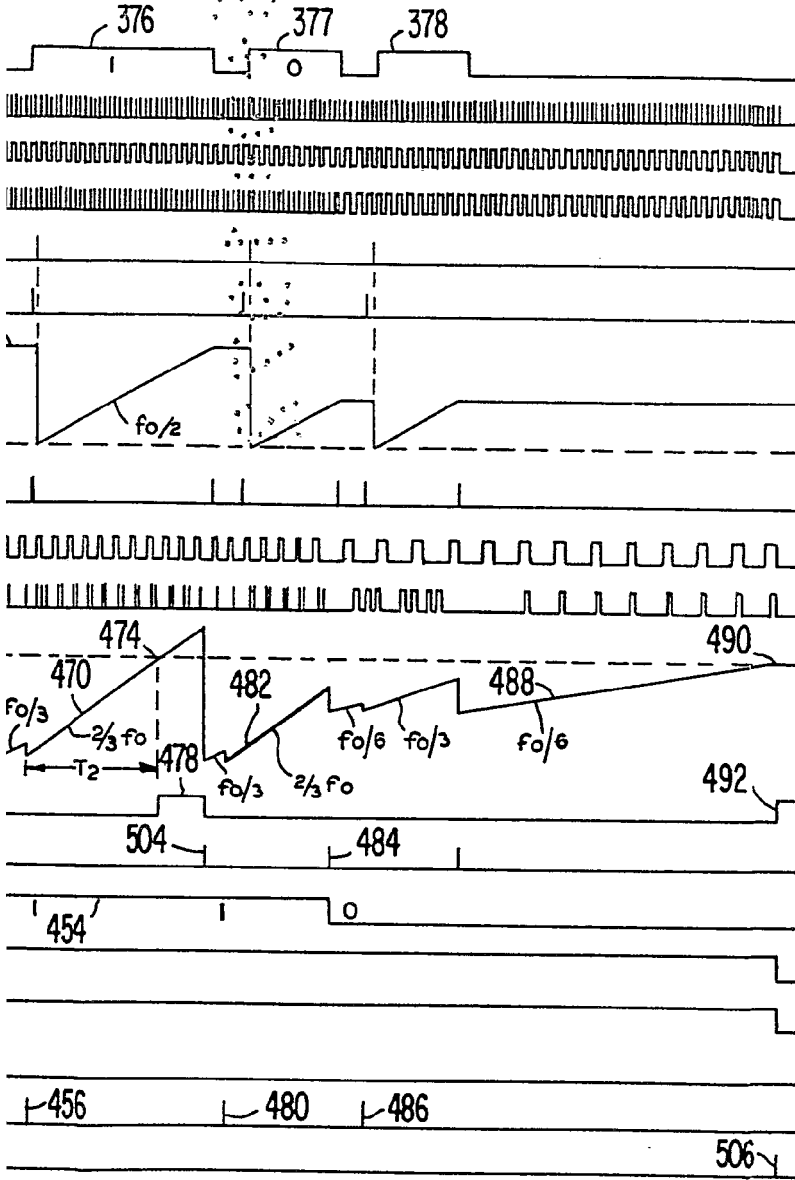


FIG. 6



ESCALA VARIABLE

- 6 SET. 1972

Madrid

J. GOMEZ ACEBO Y MODESTO
p. p. Firmados L. Goeta Fernández