

Int. Cl.: H04J



SECCION TECNICA
CLASIFICACION I. P. C.
CLASE _____
SUBCLASE _____

403923

MEMORIA DESCRIPTIVA

correspondiente a la solicitud de una

PATENTE DE INVENCION

Solicitante: D.D.I. COMMUNICATIONS, INC.

Residencia: 840 Seneca Street, LEWISTON, New York 14092,
Estados Unidos.

Enunciado: DETECTOR DE INTERVALO DE RECEPTOR MULTIPLEXOR.
PARA TREN DE IMPULSOS DE MENSAJE.

Prioridad: de la solicitud de patente estadounidense No.
158.375, del 30 de junio de 1971.

TP.

12-11-75



- 2 - 403923

EXTRACTO DE LA DESCRIPCION

Se describe un detector de intervalo para receptor multiplexor con el objeto de determinar el intervalo entre los impulsos del tren de impulsos de un mensaje que es una señal multiplex de tiempo compartido.

5 El tren de impulsos del mensaje tiene unos impulsos que se producen a la frecuencia de exploración, y en el detector de intervalo existe un dispositivo para desarrollar una frecuencia de impulsos de comprobación que incluyen un oscilador controlado por cristal y una serie

10 de divisores para producir esta frecuencia de impulsos de comprobación que es algún múltiple igual a n veces la frecuencia de exploración. Una puerta descifradora descifra uno de los n impulsos procedentes del dispositivo de frecuencia de comprobación y establece un impulso

15 de salida a partir de éste. El receptor multiplexor tiene un multivibrador monoestable que produce un impulso más estrecho, que es aproximadamente n veces más estrecho que cada impulso del tren de impulsos del mensaje y este impulso se aplica a una entrada de un comparador que incluye una puerta de rechazo NAND. Una segunda entrada del comparador recibe el impulso de salida de la puerta descifradora de uno de los n impulsos de modo que los dos impulsos de entrada coincidan sustancialmente en el tiempo y estén en oposición para mante-

20

25



- 3 -

403923

ner así el mismo estado de salida en la puerta descifradora, Si se recibe un impulso de ruido que está fuera del orden del tren de impulsos del mensaje, entonces éste reposiciona el dispositivo de frecuencia de comprobación y por tanto produce un impulso en la segunda entrada, que no coincide con el impulso aplicado a la primera entrada del comparador y por tanto produce un cambio a la salida del comparador. Un dispositivo de aceptación rechaza así todos los impulsos del tren de mensaje, recibidos hasta el momento del cambio de la salida del comparador. El extracto que antecede es simplemente un resumen de una aplicación general, no es una descripción completa de todos los principios de funcionamiento o de sus aplicaciones, y no ha de ser considerado como limitativo del alcance de las reivindicaciones.

ANTECEDENTES DEL INVENTO

En los multiplexores y particularmente en los sistemas multiplex de tiempo compartido, es usualmente importante asegurarse de que los impulsos recibidos son aquellos que han sido transmitidos por el sistema transmisor. Esto significa que los impulsos debidos al ruido deben ser eliminados o si no pueden ser eliminados que el tren de mensaje en cuestión debe ser igno-

124475



- 4 -

403923

5 rado o rechazado. Si se aceptara dicho tren de mensaje
con un impulso de ruido, podría dar lugar a la recep-
ción de información falsa. Es usualmente importante
que los impulsos recibidos no solamente tengan la fre-
cuencia de repetición adecuada o frecuencia de explora-
ción adecuada sino también que tengan la anchura de im-
pulsos adecuada. Se observará que si se produce un im-
pulso de ruido al mismo tiempo que un impulso de mensa-
je, ésto puede tender a ensanchar el impulso iniciando
10 demasiado pronto el borde anterior o terminando demasia-
do tarde el flanco final.

15 En numerosos sistemas multiplexores de la
técnica anterior, se necesitaban sistemas de comproba-
ción de paridad para obtener la seguridad de que los im-
pulsos de ruido no fueran aceptados como impulsos váli-
dos del mensaje. Estos sistemas de comprobación de pa-
ridad utilizaban a menudo datos redundantes y esto re-
tardaba la recepción del tren válido de mensaje en la
cantidad de tiempo que se necesitaba para transmitir los
20 datos redundantes. Además, estos datos redundantes se
obtenían por cifrado matemático que necesitaban circui-
tos suplementarios y aumentaban la complejidad del cir-
cuito.

25 Por consiguiente, un objeto del invento con-
siste en proporcionar un multiplexor que evita los in-



- 5 - 403923

convenientes mencionados más arriba.

Otro objeto del invento consiste en proporcionar un detector de intervalo de multiplexor que permite obtener un nivel de seguridad de transmisión y de recepción de los datos suficiente para permitir su utilización generalizada sin la necesidad de cifrado matemático utilizando datos redundantes.

Otro objeto del invento consiste en proporcionar un circuito multiplexor, que permite además la utilización de un cifrado matemático de este tipo mediante circuitos suplementarios si se desea.

Otro objeto del invento consiste en proporcionar un detector de intervalo de multiplexor para los impulsos de un tren de mensaje para producir una serie de impulsos de comprobación cuyo periodo sea precisamente igual al periodo de las señales digitales que se reciben a partir de un transmisor situado a distancia.

Otro objeto del invento consiste en proporcionar un detector de intervalo de multiplexor, en el cual el periodo entre las señales digitales se comprueba con una precisión del orden de 0,01%.

Otro objeto del invento consiste en proporcionar un detector de intervalo de multiplexor que permite fácilmente una medición precisa del intervalo

403923



403923

- 6 -

de tiempo que ha de transcurrir antes de la recepción del siguiente bit binario o de la siguiente señal digital.

5 Otro objeto del invento consiste en proporcionar un detector de intervalo de multiplexor en el cual cada dígito binario recibido es comprobado por lo que se refiere a su intervalo por comparación con la posición de un bit interno generado eléctricamente y se acepta solamente si el intervalo está dentro de los límites de un porcentaje preestablecido de lo que ha de ser en realidad.

10 Otro objeto del invento consiste en proporcionar un detector de intervalo de multiplexor en el cual la comprobación se hace en tiempo real basándose sobre la señal recibida de modo que la anchura del bit influya igualmente sobre la aceptación.

15 Otro objeto del invento consiste en proporcionar un detector de intervalo de multiplexor en el cual se incluye un dispositivo para aceptar el tren de mensaje si se ha comprobado y se ha encontrado válido, 20 o para rechazar el tren de mensaje si la comprobación indica que el tren de mensaje recibido contiene información falsa.

25



- 7 -

403923

RESUMEN DEL INVENTO

El invento puede ser incorporado en un detector de intervalo de receptor multiplex para un tren
5 de mensaje en forma de impulsos, con impulsos que se producen a la frecuencia de exploración, incluyendo dicho detector, en combinación, unos medios para producir una frecuencia de impulsos de comprobación n veces más elevada que dicha frecuencia de exploración, unos medios de puerta para descifrar uno de los n impulsos procedentes de dichos medios de frecuencia de comprobación con el objeto de establecer un impulso de salida a partir de éste, un comparador que tiene unas primera y segunda entradas, unos medios de recepción que tienen un
10 impulso que coincide en frecuencia con los impulsos de dicho tren de impulsos, unos primeros medios que conectan dicho impulso procedente de dichos medios receptores a dicha primera entrada de dicho comparador, unos segundos medios que conectan el impulso de salida de dicha puerta descifradora a dicha segunda entrada de dicho comparador para que coincida sustancialmente en el tiempo y esté en oposición con el impulso de dicha primera entrada de dicho comparador para mantener la misma salida procedente de éste, estableciendo la recepción
20 de un impulso de ruido fuera del orden de dicho tren de
25

12-11-75



- 8 -

403923

impulsos del mensaje una salida de impulsos en dichos
medios de recepcion para producir así impulsos no coin-
cidentes en dichas primera y segunda entradas de dicho
comparador para producir así un cambio en su salida, y
5 unos medios para aceptar los impulsos de un tren de
mensaje de acuerdo con la salida de dicho comparador.

En la descripción y en las reivindicacio-
nes que siguen, tomadas conjuntamente con los dibujos
adjuntos, podrán apreciarse otros objetos del invento
10 y podrá conseguirse un entendimiento más completo del
mismo.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

15 La figura 1 es una vista isométrica de un
multiplexor según el invento que incluye un sistema
transmisor y un sistema receptor;

La figura 2 es un diagrama en bloques del
20 sistema transmisor;

La figura 3 es un diagrama en bloques de los
módulos de complemento que pueden ser utilizados en el
sistema transmisor;

25 Las figuras 4 y 5 son unos gráficos de los bits



- 9 -

403923

o impulsos transmitidos en el tren de mensaje ;

La figura 6 es un diagrama esquemático del módulo transmisor principal;

5 La figura 7 es un diagrama esquemático de uno de los módulos transmisores de complemento;

La figura 8 es un diagrama en bloques del módulo receptor principal;

La figura 9 es un diagrama en bloques de los módulos receptores complementarios;

10 Las figuras 10, 11 y 12 son diagramas de forma de onda;

La figura 13 es un diagrama esquemático del circuito del módulo receptor principal; y

15 La figura 14 es un diagrama esquemático del circuito de uno de los módulos receptores de complemento.

DESCRIPCION DEL MODO DE REALIZACION PREFERIDO

20 La figura 1 es una vista isométrica de un multiplexor 15 que incorpora el invento. Este multiplexor incluye un sistema transmisor 16 y un sistema receptor 17 interconectados por unos medios de transmisión 18, 19. Los medios de transmisión están ilustrados en forma de un par de conductores eléctricos, por ejemplo una línea de teléfono. El sistema transmisor 16 tiene una pluralidad de terminales de entrada 20. Estos terminales de entrada están
25 adaptados para ser conectados a un equipo o aparato eléctri

004473



403923

co, que no se representa, y cuyo estado eléctrico ha de ser transmitido por el multiplexor. Por ejemplo, estos terminales de entrada 20 pueden ser conectados a motores, solenoides, interruptores y parecidos para indicar su estado eléctrico. Usualmente, existe un estado abierto o un estado cerrado de alguna forma de interruptor eléctrico. El sistema receptor 17 tiene una pluralidad de terminales de salida 21 y estos están adaptados para estar conectados a algún aparato o equipo eléctrico, no representado, para dar una indicación visual o auditiva del estado eléctrico del par correspondiente de terminales de entrada. Los circuitos del multiplexor están contenidos en el sistema transmisor 16 para transmitir en multiplex de tiempo compartido un tren de mensaje por los medios de transmisión 18, 19 al sistema receptor 17. Los circuitos de decodificación de multiplex están dispuestos en el sistema receptor 17 para decodificar estas señales multiplex de tiempo compartido y para distribuir las en el orden adecuado a los terminales de salida 21.

El sistema emisor 16, en este modo de realización preferido, tiene un perfil metálico de guía 23 que tiene generalmente una sección transversal en forma de U estando constituido por unos ramales 24 y estando provistos los ramales de unos pies orientados hacia el interior 25. Cada sistema tiene una pluralidad de módulos y en el



- 11 -

403923

sistema transmisor se representa un módulo transmisor principal 26, un módulo transmisor de complemento 27 y un módulo 28 de suministro de energía al transmisor. Cada uno de estos módulos esta dotado de un surco longitudinal 30 en el cual los pies 25 pueden deslizarse para alinearse y mantener lateralmente los módulos en el interior del perfil de guía 23. El sistema receptor 17 incluye un módulo receptor principal 32, un módulo receptor de complemento 33 y un módulo 34 de suministro de energía al receptor. Se puede utilizar para el sistema receptor 17 un perfil 23 y en este caso igualmente, unos pies 25 orientados hacia el interior se acoplan con unos surcos 30 situados en los bordes longitudinales de estos módulos del receptor. Una ménsula 36 en forma de L puede sujetarse en los perfiles 23 contra los cuales los módulos pueden apoyarse, para soportar longitudinalmente los módulos en sus perfiles respectivos. Los circuitos de multiplex están dispuestos en cada uno de los módulos. Los medios de conexión están dispuestos entre los módulos de un sistema. Este dispositivo de conexión incluye unos sistemas de enchufes y receptáculos complementarios constituidos por unas clavijas 37 y unos enchufes 38 para conectar eléctrica y mecánicamente los módulos en secuencia. Estos dispositivos de clavijas y enchufes proporcionan la conducción de la energía desde las fuentes de suministro de energía así como de varias señales

13-44-75



- 12 -

403923

que forman parte del circuito completo del tren de mensaje multiplex de tiempo compartido. Una forma adecuada de los módulos consiste en que contengan planchas de circuito llamadas corrientemente planchas de circuito impreso con clavijas de conexión macho en una extremidad de ellas y receptáculos hembra por su otra extremidad. Esto permite la interconexión eléctrica y mecánica de los módulos en secuencia integrada. Los módulos están alineados por los perfiles 23 y mantenidos lateralmente en ellos. Los surcos 30 y los pies 25 permiten el movimiento longitudinal de los módulos para enchufarlos conjuntamente o para desconectarlos. Igualmente, los ramales 24 del perfil metálico pueden ser elásticos de modo que puedan flexionar y separarse para permitir la introducción de un módulo de complemento suplementario o para retirarlo si se desea.

Se utilizan un terminador de transmisor 39 así como un terminador de receptor 40. Cada uno de estos terminadores contiene componentes electrónicos internos así como una clavija o un receptáculo complementario que puede ser conectado selectivamente con la extremidad de uno de los módulos de la secuencia con el objeto de terminar eléctricamente la transmisión o la recepción de la información multiplex por los módulos. Como se representa en la figura 1, cada terminador de extremidad tiene un receptáculo complementario, pero sin embargo, si las unidades de suministro de energía

15 JUN 1974

- 13 -

403923

están provistas de receptáculos y si los módulos están
construidos con la configuración inversa, en este caso,
los terminadores de extremidad estarían provistos de clavi-
5 vija y receptáculo son dispositivos de varios conductores
con el objeto de proveer la conexión necesaria de las di-
versas interconexiones electricas necesarias. Cada uno de
los módulos del transmisor, salvo el de suministro de ener-
gía tiene una pluralidad de terminales de entrada 20. Es-
10 tos terminales están situados en la cara expuesta a la vis-
ta de los módulos para su conexión comoda al equipo que se
vigila o controla. El número de módulos de complemento
en el sistema de transmisión y el número correspondiente
de módulos de complemento en el sistema receptor puede ser
15 aumentado sin límite matemático. El módulo emisor princi-
pal 26 tiene ocho terminales de entrada 20 en este modo de
realización preferido y cada módulo transmisor de comple-
mento tiene dieciseis terminales de entrada. De manera si-
milar, el módulo receptor principal 32 tiene ocho termina-
20 les de salida 21 y cada módulo receptor de complemento 33
tiene dieciseis de estos terminales de salida 21.

El dispositivo de transmisión 18, 19, está re-
presentado, en este modo de realización preferido de la
figura 1, conectado igualmente a unos terminales de salida
25 adecuadamente identificados 93 y 94 situados en la cara ex-

12-14-73



403923

5 puesta a la vista de los módulos principales. El circui-
to electrónico interno de este modo de realización prefe-
rido es muy pequeño y por tanto cada módulo viene a for-
mar parte de una tira cuya extremidad puede ser prolonga-
da. Unos bornes 20 provistos de tornillo de uso fácil,
han sido dispuestos en este modo de realización preferido
para realizar la conexión a los interruptores o equipos
externos. Por consiguiente, el sistema transmisor es una
tira cuya extremidad puede ser fácilmente prolongada, que
10 se extiende a lo largo del perfil 23. De la misma manera,
el sistema receptor 17 es igualmente una tira cuya extre-
midad puede ser prolongada. Los bornes de salida 21 pue-
den así conectarse a una serie de pilotos luminosos, por
ejemplo, para indicar el estado de los pares respectivos
15 de terminales de entrada.

El dispositivo de guía en forma de perfil in-
cluye un dispositivo complementario machihembrado y en el
modo de realización preferido, la lengüeta o pie orienta-
do hacia adentro 25 está en el perfil 23, y el surco está
20 en los módulos. El sistema transmisor 16 incluye un dis-
positivo para explorar los terminales de entrada con el
objeto de determinar su estado eléctrico, y el sistema re-
ceptor 17 incluye un dispositivo para distribuir esta se-
ñal multiplex a los pares correspondientes de terminales
25 de salida. El dispositivo de guía situado en el perfil es-



1972

- 15 - 403923

tá alineado paralelamente a los medios de conexión eléctrica en el dispositivo 37, 38 de clavijas y receptáculos.

5 La figura 2 es un diagrama en bloques del sistema transmisor 16. En este sistema transmisor está dispuesto un dispositivo para producir una frecuencia de exploración. Se trata de un oscilador de alta frecuencia 44 cuya frecuencia se reduce por medio de una serie de divisores 45 con el objeto de obtener la frecuencia de exploración más baja. Esta frecuencia de exploración puede tener
10 cualquier valor adecuado, y puede estar incluida por ejemplo entre 25 y 500 bits por segundo o impulsos por segundo. La frecuencia de exploración se suministra a un contador binario natural 46 capaz de contar hasta 16 en cuatro líneas 1, 2, 4 y 8. Este contador binario natural 46 tiene
15 salidas de nivel lógico cero o uno que están constituidas por un nivel lógico bajo o elevado en estas líneas 1, 2, 4 y 8. Por ejemplo cuando las cuatro líneas están a un nivel bajo, se trata de un cero. Cuando la primera línea tiene un nivel alto y las demás un nivel bajo, se trata de un uno. Cuando la segunda línea tiene un nivel alto y las demás un nivel bajo, se trata de un dos; cuando las dos primeras líneas tienen un nivel alto se trata de un tres, y así sucesivamente, hasta llegar al caso en el cual las cuatro líneas tienen un nivel alto que es un quince.
20 Se cuenta de 0 a 15 en la escala de 16, lo mismo que se

25

13-4-75



403923

5 cuenta de 0 a 9 en la escala decimal. Estas líneas 1, 2,
4 y 8 aplican el código binario natural a un convertidor
47 que puede igualmente ser considerado como un cifrador.
Este convertidor 47 transforma el código binario natural
en código decimal o en un código octal. La función del
convertidor consiste en utilizar la frecuencia de explora-
ción, tal como se aplica a las líneas 1, 2, 4 y 8, para
barrer o explorar la pluralidad de terminales de entrada
20. En este convertidor 47 existen ocho pares de termina-
les de entrada 20 de este tipo que corresponden al módulo
cifrador principal 26 del transmisor representado en la
figura 1. Igualmente, como se describe en el caso de la
figura 1, estos terminales de entrada 20 pueden ser conec-
tados a algún dispositivo o aparato de control que ha de
ser puesto bajo vigilancia.

20 El convertidor 47 constituye una parte de un
dispositivo cifrador destinado a cifrar el estado de los
terminales de entrada 20 dándole la forma de una señal mul-
tiplex y destinado a aplicarla a la línea de transmisión
18. Esto se hace por medio de un excitador de línea 48 a
partir del convertidor 47 a través de una línea 49 y a tra-
vés de una interrupción de la línea 50 en la cual puede ser
insertado uno o varios módulos cifradores de complemento.
Estos módulos cifradores de complemento o módulos conver-
tidores de complemento están representados en la figura 3,



- 17 -

403923

tal y como se explicará más adelante. Haciendo referencia a la figura 2, el convertidor 47 tiene igualmente una salida que se aplica a un terminador de extremidad 51 a través de una línea 52 y a través de una interrupción en la línea 53, que indica que pueden ser insertados, según se representa en la figura 3, módulos convertidores de complemento suplementarios. El terminador de extremidad 51 tiene una salida en una línea de reposición 54 para reposicionar el convertidor 47. Esta señal de reposición aplicada a la línea de reposición termina la exploración de los terminales de entrada 20 y empieza de nuevo la exploración de la serie de terminales de entrada. Por tanto, tal y como se ve en la figura 2, si existen solamente ocho terminales, el mensaje incluirá solamente ocho bits. Esto está representado en la figura 5. Existe un periodo neutro 56 entre cada tren de mensajes. En la figura 2, el segundo y el quinto de los interruptores ilustrados esquemáticamente entre los terminales de entrada 20 están cerrados. Por consiguiente, en la figura 5, esto está representado por impulsos o bits en la línea 19 mientras que los primero, tercero, cuarto, sexto, séptimo y octavo interruptores están abiertos, tal y como se indica por los impulsos o bits existentes en la línea 18 de la figura 5.

La figura 3 indica los módulos convertidores de complemento que forman parte del dispositivo cifrador.

134475



- 18 - 403923

El cifrador principal es el convertidor principal 47 de la figura 2, mientras que los módulos cifradores o convertidores de complemento están también ilustrados en la figura 3. Estos módulos pueden ser reproducciones de los módulos transmisores de complemento 27 enchufados uno tras otro, en número necesario para proporcionar la cantidad precisa de terminales de entrada 20. La figura 3 representa el convertidor 47 más tres módulos convertidores de complemento 58, 59 y 60. Como parte del módulo transmisor principal 26. se proporciona el convertidor 47, pero además se proporciona una puerta 61 la cual, en la figura 3, lleva la denominación de unidad de anillo de activación-desactivación. Conjuntamente con el convertidor 47 y la puerta 61 se utiliza igualmente una puerta 62. Se proporcionan conjuntamente con cada uno de los módulos convertidores de complemento 58, 59 y 60, respectivamente, las puertas 63, 64 y 65.

La figura 4 está destinada a ayudar a explicar el funcionamiento del sistema transmisor descrito hasta aquí. La figura 3 representa tres módulos convertidores de complemento que corresponden cada uno a una de las dieciseis líneas. Cada uno de estos módulos convertidores de complemento es parecido a uno de los módulos transmisores de complemento 27, que tiene dieciseis pares de terminales de entrada 20. Tres por dieciseis son cuarenta y ocho y



15

- 19 -

403923

añadiendo a esta cifra ocho pares de terminales del módulo transmisor principal 16 o convertidor principal 47, el total asciende a cincuenta y seis pares de terminales de entrada. Esto se ilustra en la figura 4 en la que se ve que se transmiten 56 bits o impulsos hasta el final del mensaje. Existe un periodo neutro 56 que se produce de nuevo entre los trenes de mensajes y en este caso este periodo está representado en el comienzo del mensaje. Por tanto, existirán 64 unidades de tiempo durante las cuales 56 bits de información se transmiten en el tren del mensaje. Esto significa que el sistema transmisor utilizará el oscilador 44 y la serie de divisores 45 para producir una frecuencia de exploración. El contador binario natural 46 cambia esta frecuencia en un código binario natural aplicado a las líneas 1, 2, 4 y 8. El convertidor 47 es un cifrador que utiliza la frecuencia de exploración para explorar secuencialmente los pares de terminales de entrada 20. En el caso de la figura 3, habrá un total de 56 pares de terminales destinados a ser explorados secuencialmente. El convertidor es un cifrador que cifra esta información en una señal multiplex de tiempo compartido y la aplica a través del excitador de línea 48 a las líneas de transmisión 18, 19. Por consiguiente, en esta línea de transmisión existirá un tren de mensaje que indicará el estado, abierto o cerrado, de los pares de terminales de entrada 20. Como se

104475



ve en la figura 5, la línea 19 puede estar sometida a bits
o impulsos que corresponden a aquellos interruptores que
están cerrados, y la línea 18 puede estar sometida a bits
o impulsos que corresponden a los interruptores que están
5 abiertos. En este caso, los interruptores se consideran
como siendo el equivalente del estado eléctrico a través
de cada uno de los pares de terminales de entrada 20.

Las puertas 61-65 representadas en la figura 3,
pueden ser descritas más completamente indicando que rea-
lizan una función de puerta "AND". Se observará que cada
10 una de las puertas 61-65 tiene un cero y un uno en las ex-
tremidades opuestas de dicha puerta. Existen niveles ló-
gicos bajos y elevados tal y como se describirá más adelan-
te. La puerta 61 tiene una salida elevada conectada a la
salida elevada de la puerta adyacente 62. Por consiguien-
te, en la línea 69, el convertidor 47 es activado. Estos
niveles lógicos bajos y elevados de las puertas 61-65 cons-
tituyen el estado que se obtiene después de la reposición,
cuando todo el sistema transmisor 16 está dispuesto para
15 explorar los terminales de entrada 20 desde el comienzo.
Para las necesidades de la presente Patente, se definirá
una puerta AND como siendo un elemento lógico en el cual
cuando todas las entradas son elevadas, la salida es ele-
vada, y a la inversa, cualquier nivel bajo en la entrada
20 da lugar a una salida de nivel bajo. En términos generales,
25



15

403923

5 una función de puerta AND puede ser realizada por una puer-
ta NAND, que es simplemente una puerta AND seguida por un
inversor. Por consiguiente, en una puerta NAND cuando todas
las entradas son elevadas, la salida es baja, y a la inver-
sa, cualquier nivel bajo en una entrada da lugar a una sa-
lida elevada. Esta señal de salida procedente de las
puertas, sea una puerta AND o una puerta NAND, puede acti-
var el convertidor 47 cada vez que las dos entradas aplica-
das a éste a partir de las puertas 61 y 62 son de nivel ele-
vado.
10

Después de explorar los ocho primeros pares de
terminales de entrada, se cambia el estado de la puerta 62
la cual al respecto puede ser considerada como un flip-flop.
Por consiguiente, el primer convertidor 47 del anillo se
desactiva y el siguiente módulo convertidor de complemento
15 58 del anillo se activa. La activación de este módulo de
complemento 58 permite que la frecuencia de exploración ex-
plore todos los dieciseis pares de terminales de entrada en
secuencia y al final de ésta operación se cambia el estado
de la puerta 63 para desactivar el módulo de complemento
20 58 y para activar el módulo de complemento 59. Los dieci-
seis pares de terminales de entrada de este último se ex-
ploran secuencialmente y al final de esta operación la puer-
ta 64 cambia de estado lo que desactiva el módulo de com-
plemento 59 y activa el módulo de complemento 60. La fre-
25



15

- 22 -

403923

cuencia de exploración explora los dieciseis pares de terminales de entrada de éste y al final de esta operación se cambia de estado la puerta 65 para desactivar el módulo de complemento 60. Este módulo es el último módulo de complemento de este anillo, en este ejemplo particular, aunque pueden añadirse si se desea más módulos de complemento. En este caso, según se representa en la figura 3, el terminador de extremidad 51 recibe así una señal y los componentes electrónicos internos del mismo mandan una señal de reposición a la línea de reposición 54. Esto cambia el estado de todos los flip-flops reposicionándolos en el estado original representado en la figura 3. Por consiguiente, se reanuda la exploración del convertidor 47 y de los módulos convertidores de complemento 58, 59 y 60. De esta manera se manda un tren de mensaje con 56 bits de información transmitidos en el tren de mensajes en 64 unidades de tiempo. Con una frecuencia de exploración de 200 bits por ejemplo, la totalidad del tren de mensaje se transmite en menos de 1/3 segundo.

Las figuras 6 y 7 ilustran esquemáticamente un modo de realización preferido del sistema transmisor 16. La figura 6 ilustra por sí misma de manera esquemática los componentes que pueden estar incluidos en el módulo transmisor principal 26. El oscilador 44 y la serie de divisores 45 se representan como en la figura 2. La frecuencia



- 23 - 403923

de exploración producida a la salida del divisor 45 se aplica al contador binario natural 46 que tiene una salida en las líneas 1, 2, 4 y 8. Estas líneas conducen al convertidor 47 e igualmente a las clavijas P1, P2, P4 y P8
5 conectadas a las líneas 1, 2, 4 y 8, respectivamente. Estas clavijas son clavijas macho destinadas a estar conectadas en los receptáculos complementarios numerados respectivamente R1, R2, R4 y R8 que se representan en la figura 7. El convertidor 47 se representa como estando provisto
10 de un dispositivo para cifrar el estado eléctrico de una serie de ocho terminales de entrada 20. Estos pueden ser los mismos que los terminales de entrada 20 de la figura 1. Se representa una serie de interruptores 75 conectados a través de cada uno de dichos pares de terminales de entrada
15 20, y para facilitar la descripción, se representan cerrados el segundo y el quinto de estos interruptores para estar de acuerdo con la explicación de las figuras 2 y 5.

El oscilador 44 está representado conectado entre un par de líneas 70 y 71 que proporcionan la tensión de trabajo. La línea 70 es la línea de tensión cero y la
20 línea 71 es la que proporciona el nivel lógico uno o nivel alto. En este caso se ilustra como teniendo una tensión positiva de 5 voltios. Las líneas 70 y 71 proporciona también la energía necesaria para el funcionamiento del resto del
25 sistema transmisor 16 así como del divisor 45, del conta-

124475



403923

5 dor binario natural 46 y del convertidor 47. No se repre-
sentan estas conexiones con el objeto de evitar una compli-
cación en el dibujo. La línea 70 y la línea 71 están conec-
tadas a las clavijas P70 y P71 respectivamente para sumi-
nistrar la energía de corriente continua necesaria para el
funcionamiento del módulo siguiente, el cual será el mó-
dulo transmisor de complemento 27 según se representa en
la figura 7. Igualmente, estas líneas 70 y 71 están conec-
tadas a receptáculos R70 y R71 respectivamente, para reci-
10 bir la energía procedente de la fuente de energía 28 del
emisor, representada en la figura 1.

15 El convertidor 47 incluye una serie de puertas
para transformar el código binario natural que aparece en
las líneas 1, 2, 4 y 8 en un código hexadecimal o en este
caso en un código octal ya que se explorarán solamente ocho
pares de terminales. En el interior del convertidor 47,
los inversores 76, 77 y 78 sirven para establecer una in-
versión de los impulsos en las líneas 80, 81 y 82 respec-
tivamente. Dos inversores 84 y 85 en serie están conecta-
dos a la línea 8 y por tanto esta doble inversión estable-
ce el mismo estado de nivel lógico a la salida; concreta-
mente, en la clavija P8, así como en la entrada de estos
inversores. Se precisa realizar un aislamiento o una sepa-
ración e igualmente proveer un medio para aumentar el nivel
20 de energía procedente de la fuente de tensión continua de
25



- 25 -

403923

trabajo, de modo que la tensión de la línea no disminuya
bajo el efecto de la carga. Se utiliza un grupo de puer-
tas de entradas múltiples que incluyen puertas NAND 86, 87
y 88, teniendo cada una una salida hacia un par diferente
5 de terminales de salida 20. Se ha indicado previamente
que existe un periodo neutro 56 para los primeros ocho
bits; en concreto, cuando se hace el recuento desde cero a
siete. Cuando se hace el recuento desde ocho hasta quince,
se explora el estado de los interruptores S8 a S15. Por
10 consiguiente, en el octavo bit, la línea 8 tendrá un po-
tencial elevado y las líneas 1, 2 y 4 tendrán un potencial
bajo. Esto significa que el potencial será elevado en las
líneas 80, 81 y 82 así como en la línea 8 y por tanto, cua-
tro de las cinco entradas de la puerta NAND 86 son eleva-
15 das. Ahora bien, si el interruptor S8 estuviese cerrado,
existiría una tensión baja ya que los conmutadores están
conectados a una línea 70 cuyo nivel lógico es de cero vol-
tios. El interruptor S8 está representado como abierto y
en este caso, el interruptor S8 proporciona otra entrada
20 elevada a la puerta NAND 86. Estando todas las entradas de
la puerta NAND 86 a un nivel elevado, la salida en la línea
90 es baja. Por consiguiente, se ha explorado el estado
del interruptor S8 en el recuento de ocho. En el caso de
que el interruptor S8 estuviera cerrado, existiría una en-
25 trada de nivel bajo en la puerta NAND 86 estableciendo una



- 26 -

403923

tensión elevada en la línea de salida 90. Cada uno de los interruptores S8 a S15 pueden conectarse a través de resistencias 89 a la línea 71 cuyo nivel lógico es alto, si se desea, para establecer positivamente esta condición de entrada elevada en las puertas 86, 87 y 88. A continuación, en el recuento de nueve, las líneas 1 y 8 tendrán un potencial elevado y las líneas 2 y 4 tendrán un potencial bajo. A la inversa, las líneas 81 y 82 tendrán un potencial elevado y esto significa que cuatro de las cinco entradas a la puerta NAND 87 tienen un nivel elevado. Por consiguiente, estando el interruptor S9 cerrado, existe un nivel bajo y la salida de la puerta 87 por la línea 90 tendrá un nivel elevado. Si el interruptor S9 estuviera abierto, entonces todas las entradas a la puerta 87 tendrán un nivel elevado y existiría un nivel de salida bajo en la línea 90.

Por tanto, con el recuento hasta diez, las líneas 2 y 8 tienen un nivel elevado y las líneas 1 y 4 tienen un nivel bajo lo que significa que las líneas 80 y 82 tendrán un nivel alto. Esto crea un estado de nivel alto en cuatro de las cinco entradas a la puerta NAND 88 y por tanto el estado de la quinta entrada será alto o bajo y controlará el estado de nivel bajo o alto, respectivamente, de la salida de la puerta 88 a la línea 90. La secuencia de exploración a través de las ocho puertas en el convertidor 47 sigue de la misma manera que la que se acaba de describir



- 27 -

403923

de modo que cada una de las ocho puertas NAND sea activada a su vez. Esto significa que los ocho terminales de entrada 20 se exploran secuencialmente y que su estado eléctrico se aplica en forma de señal multiplex de tiempo compartido a la línea 90.

5 Las señales multiplex de tiempo compartido aplicadas a la línea 90 se proporcionan a través de la puerta de anillo de activación-desactivación 61 representada como una puerta NAND a una línea 92 y a través del excitador de línea 48 a los terminales 93 y 94 de la línea de transmisión. Estos últimos terminales pueden conectarse a las líneas de transmisión 18 y 19 respectivamente. El excitador de línea 48 incluye puertas NAND 95 y 96 que realizan una doble inversión de la señal en la línea 92. Este excitador de línea incluye igualmente una puerta NAND 97 para realizar una sola inversión de las señales aplicadas a la línea 92. Las señales procedentes de la puerta 97 atraviesan las puertas NAND 99 y 100 en serie para realizar una doble inversión antes de ser transmitidas al terminal 94 de la línea de transmisión. La puerta NAND 97 establece el hecho de que el terminal 94 o la línea de transmisión 19 está sometida a una secuencia invertida de bits o impulsos comparados con los impulsos del terminal 93 de la línea de transmisión, o de la línea de transmisión 18. Haciendo referencia a la figura 5, por ejemplo, en comparación con la

10

15

20

25



403923

5 figura 6, se observará que el interruptor S8 está abierto. Esto aplica un nivel de entrada alto a la puerta NAND 86 cuando el nivel es bajo en la línea 90, un nivel alto a la línea 92 y un nivel alto al terminal 93 de la línea de transmisión o a la línea de transmisión 18. Al mismo tiempo, existe un nivel bajo en la línea de transmisión opuesta 19. Esto está de acuerdo con los bits representados en la figura 5. Ahora bien, en la figura 6, el interruptor S9 está representado cerrado, aplicando una entrada de nivel bajo

10 a la puerta NAND 87 y por tanto un nivel alto a la línea 90, un nivel bajo a la línea 92 y por consiguiente un nivel bajo a la línea 18. Debido a la puerta NAND 97, existirá un nivel alto en la línea de transmisión 19 y esto está de acuerdo con la figura 5.

15 La figura 6 representa los componentes del circuito electrónico del módulo transmisor principal 26 y la figura 7 representa los componentes del circuito electrónico del módulo transmisor de complemento 27. En la figura 7, se observará que los receptáculos R1, R2, R4 y R8 en

20 los cuales se enchufan las clavijas P1, P2, P4 y P8 en el momento de enchufar un módulo de complemento 27 en el módulo transmisor principal 26. Esto proporciona a las líneas 1, 2, 4 y 8 la frecuencia de exploración transformada en código binario natural. Igualmente, debido a las

25 puertas inversoras 105, las líneas 80, 81, 82 y 83 estarán



- 29 -

403923

5 sometidas a impulsos inversos de los que aparecen en las líneas 1, 2, 4 y 8 respectivamente. Estas ocho líneas alimentan el módulo convertidor de complemento 58 que actúa de una manera similar al convertidor 47. Este módulo convertidor de complemento 58 transforma el código binario natural aplicado a las líneas 1, 2, 4 y 8 en un código hexadecimal o código de base 16 por medio de una serie de dieciseis puertas NAND 108. Cada una de estas puertas NAND 108 es activada en secuencia lo mismo exactamente como las 10 puertas NAND 86, 87 y 88, etc. del convertidor 47. Por consiguiente, por la activación secuencial de estas puertas NAND 108, aparece en una línea de salida 110 unos impulsos que corresponden al estado eléctrico de la serie de dieciseis terminales de salida 111. En este caso, se ha representado de nuevo un grupo de interruptores 112 conectados 15 en estos pares de terminales de salida 111, estando algunos cerrados y otros abiertos para indicar un aparato eléctrico que está vigilado respecto a su estado por este sistema de transmisión 16. Las señales de impulso en la línea 110 20 atraviesan una puerta NAND 113 y llegan al receptáculo R92. Este recibe la clavija P92 del módulo transmisor principal 26 de la figura 6. La clavija P92 está conectada a la línea 92 para suministrar las señales al excitador de línea 48 y desde éste punto a las líneas de transmisión 18 y 19.

25 Las puertas 61, 62 y 63 de la figura 3 se descri



403923

birán ahora más detalladamente para mostrar como el conver-
tidor 47 es activado en primer lugar con el objeto de ex-
plorar los primeros ocho pares de terminales de entrada, y
a continuación es desactivado y se activa el módulo conver-
5 tidor de complemento 58 para explorar secuencialmente los
siguientes dieciseis pares de terminales de entrada. El
periodo neutro 56 se crea por medio de la puerta NAND 115
conectada a traves de un conductor 116, de la puerta NAND
117 y del conductor 118 para constituir una entrada a cada
10 una de las puertas 95 y 99 del excitador de línea 48. Se
observará que durante los primeros ocho recuentos a partir
del contador binario natural 46, la línea 8 tiene un nivel
bajo y por tanto la línea 116 tiene un nivel elevado y la
línea 118 tiene un nivel bajo. Existe un nivel de entrada
15 bajo en las puertas NAND 95 y 99, desactivándolas y mante-
niendo ambas líneas de transmisión 18 y 19 a un nivel bajo
durante este periodo neutro 56.

La línea 120 procedente de la salida del divisor
45 contiene los impulsos a la frecuencia de exploración.
20 Estos impulsos son impulsos de control de todo o nada a in-
tervalos aproximadamente iguales. Esta línea 120 se apli-
ca igualmente como entrada a las puertas 95 y 99 del exci-
tador de línea 48. Por consiguiente, cuando el nivel de po-
tencia de esta línea 120 toma un valor elevado a la fre-
25 cuencia de exploración, entonces ambas puertas 95 y 99 se



- 31 - 403923

15

activan. Cuando la línea 120 toma un potencial bajo, esto desenergiza ambas puertas 95 y 99 manteniendo a un nivel bajo el potencial de ambas líneas 18 y 19. Se trata de una característica de seguridad que asegura que no podrá transmitirse ningún impulso de ruido en forma de impulso por las líneas 18 y 19 salvo durante los periodos de nivel alto de los impulsos a esta frecuencia de exploración.

Ahora, durante el segundo grupo de ocho unidades de tiempo, figura 4, se explora el primer grupo de ocho terminales de entrada y la información es transmitida al comienzo del mensaje. La línea 8 tiene un nivel alto en este momento para activar las puertas 95 y 99. La puerta 62 incluye un flip-flop 123 sincronizado, y una puerta inversora 126. Igualmente asociados con la puerta 62 se hallan una puerta de entradas múltiples NAND 124, un inversor 125 y una puerta inversora 134. La puerta NAND 124 de entradas múltiples tiene cuatro entradas procedentes de las líneas 1, 2, 4 y 8 y cuando se cuenta hasta quince, que es la última de las primeras dieciseis unidades de tiempo, todas estas líneas tendrán un potencial elevado para activar la puerta 124 si una línea de entrada 127 tiene un nivel alto. La puerta 124 alimenta a través de la puerta inversora 125 una línea 128 que es la línea de entrada de conmutación del flip flop sincronizado 123. Este flip-flop sincronizado tiene lo que se llama normalmente una salida de activación en una

001175



403923

línea 129 y una salida de reposición en una línea 130. La línea de reposición 54 que reposiciona todos los elementos del sistema transmisor 16 está conectada a una entrada de reposición 131 que se superpone a todas las demás señales para reposicionar el flip-flop en un estado en el cual la salida 129 tiene un nivel bajo y por tanto la salida 130 tiene un nivel alto. La línea de salida 129 tiene así normalmente un nivel bajo durante las primeras dieciseis unidades de tiempo. Al atravesar la puerta inversora 126, la línea 127 toma un nivel alto durante las primeras dieciseis unidades de tiempo. Por consiguiente, cuando se alcanza por primera vez el recuento de quince, se empezará la decimosexta unidad de tiempo. En este instante, todas las entradas a la puerta NAND 124 tienen un nivel alto, su nivel de salida es bajo y la inversión de este nivel por la puerta 125 significa que el nivel de la línea 128 se eleva. Al final de este impulso entrante, el impulso pasa de nivel alto a nivel bajo y esto conmuta el flip-flop sincronizado 123 de modo que la línea 129 toma ahora un nivel alto y la línea 130 toma un nivel bajo. Ya que la línea 129 toma un nivel alto, la línea 127 toma un nivel bajo y esto mantiene en este estado la puerta 124 durante el resto del tren de mensajes. La puerta 124 tendrá entonces una salida de nivel alto y la línea 128 permanecerá a un nivel bajo durante el resto del tren de mensajes.



403923

La línea 127 ha tenido un nivel alto durante las primeras dieciseis unidades de tiempo pero su nivel pasa a ser bajo a continuación durante el resto del tren de mensajes, y puede ser considerado como salida de la puerta 62. Esta línea 127 se aplica a la puerta inversora 134 y por tanto a una línea 135 que conduce a una clavija P135. Esta clavija se acopla con un receptáculo R135 del módulo transmisor de complemento de la figura 7, o en variante puede introducirse en un receptáculo R135 del terminador de extremidad 51, que se representa en la figura 6. Si el tren de mensajes esta solamente constituido por los ocho bits que indican el estado de los terminales del módulo transmisor principal, es decir si no se utiliza ningún módulo de complemento y si el terminador de extremidad 51 está enchufado directamente en el módulo transmisor 26, entonces se producirá la reposición de todos los elementos del sistema transmisor. La línea 127 tenía un nivel alto durante las primeras dieciseis unidades de tiempo lo que significa que el potencial de la línea 135 será bajo. Ahora al final de las primeras dieciseis unidades de tiempo, esto significa que los terminales del módulo transmisor principal habrán sido explorados en secuencia. Estando enchufado el terminador de extremidad, la línea 135 toma un potencial elevado al final de esta exploración y este impulso de nivel alto atraviesa cinco puertas inversoras 136 dis

104475

- 34 -

403923



puestas en serie y que son equivalentes a su inversión cuando aparece en un receptáculo R54 de una clavija P54 y en la línea 54 como nivel bajo. Esta línea 54 tiene un potencial normalmente elevado y su potencial toma un
5 valor bajo solamente para una reposición. Por consiguiente, este estado de nivel bajo reposiciona el flip-flop sincronizado 123 y reposiciona igualmente el contador binario natural 46 dejándolo dispuesto para otro tren de mensajes.

10 Ahora, si el terminador de extremidad 51 se desenchufa y se enchufa el módulo transmisor de complemento 27 de la figura 7 en el módulo transmisor principal 26 de la figura 6, no se realiza la exploración del tren de mensajes. Tal y como se ha indicado más arriba, la línea
15 135 toma un potencial elevado al final de las primeras dieciseis unidades de tiempo. Este potencial es elevado en el receptáculo R135 y se aplica a la puerta 63 de la figura 7. En particular, la puerta 63 incluye un flip-flop sincronizado 138 que tiene una entrada de conmutación en una línea
20 139. Este estado de nivel bajo de la línea 135 durante las dieciseis primeras unidades de tiempo se aplica a la puerta 113 y este nivel bajo mantiene una tensión de salida elevada en ella de modo que esta puerta es desactivada durante las dieciseis primeras unidades de tiempo.
25 Por consiguiente, el módulo convertidor de complemento 58



no produce salida durante estas primeras dieciseis unidades de tiempo incluso cuando la exploración secuencial de los terminales de salida 111 aparece en la línea de salida 110. Sin embargo, la línea 135 toma un potencial elevado al final de las primeras dieciseis unidades de tiempo y esto activa la puerta 113 de modo que la exploración secuencial de los terminales de salida 111 aparecerá en forma de los bits 8 a 23 durante las unidades de tiempo 16 a 31. Estos bits que forman parte del tren de mensaje aparecerán en la salida de la puerta 113, que es la línea 92, y serán transmitidos al módulo transmisor principal 126 de la figura 6 para atravesar el excitador de línea 48 llegando a las líneas de transmisión 18 y 19.

Al final de las segundas dieciseis unidades de tiempo, las líneas 1, 2, 4 y 8 tendrán un potencial alto haciendo que todas las entradas de la puerta NAND de entradas múltiples 141 tengan un nivel elevado, lo que hace que la salida aplicada a la línea 142 tome un nivel bajo, y a través de un inversor 143, haciendo que la entrada basculante 139 tome un nivel elevado. Esto se produce en sincronismo con el vigesimotercero bit y cuando se produce el final de este impulso cuadrado, la conmutación del flip-flop sincronizado 138 se produce haciendo que la salida de 144 tome un nivel bajo y que la salida 145 del flip-flop tome un nivel alto. Este nivel de salida alto se invierte



por medio de una puerta de inversión 146 para mantener la entrada de conmutación 139 a un nivel bajo y esto mantiene este flip-flop en este estado durante el resto del tren de mensaje hasta la reposición por un impulso de nivel bajo que existe en la línea de reposición 54 y que se aplica a la entrada de reposición 147.

La salida 145 del flip-flop ha tenido un nivel bajo durante las segundas dieciseis unidades de tiempo, lo que significa un nivel bajo a través de las puertas inversoras 148, 149 en la clavija P135. Al final de estas segundas dieciseis unidades de tiempo sin embargo, la clavija P135 toma un potencial elevado y esto activa el siguiente módulo de complemento que puede estar enchufado en el módulo de complemento 27 de la figura 7. Igualmente, si el terminador de extremidad 51 se enchufa en lugar de otro módulo de complemento, este estado de nivel alto en la clavija P135 actuará a través del terminador de extremidad y establecerá un nivel bajo en el receptáculo R54 cuando existe un nivel bajo en la línea de reposición 54. Esto reposiciona el flip-flop 138 y reposiciona todos los elementos del módulo transmisor principal 26 de la figura 6.

Se pueden añadir módulos transmisores de complemento sin límite matemático activándose cada uno de ellos a su vez para que la exploración de sus terminales de entrada sea transmitida por la línea 92 a las líneas de



transmisión 18 y 19. El último de los módulos transmisores de complemento llevará enchufado en él el terminador de extremidad 51 para terminar la exploración y para iniciar de nuevo la exploración desde el comienzo.

5

Sistema Receptor

La figura 1 representa el sistema receptor 17 y las figuras 8, 9, 13 y 14 representan esquemáticamente el circuito utilizado en este sistema receptor 17. La fuente de suministro de energía 34 está representada en la figura 1 pero no en las figuras 8 y 9.

10

Las figuras 8 y 9 representan un diagrama en bloques del sistema receptor 17, representándose en la figura 8 los componentes principales del módulo receptor principal 32 y representándose en la figura 9 los elementos principales del módulo receptor de complemento 33. En la figura 8, las líneas de transmisión 18 y 19 están conectadas a los terminales de entrada 170 y 171 del sistema receptor 17 y más precisamente al receptor digital de línea 172. Las señales que aparecen en las líneas de transmisión 18 y 19 pueden ser consideradas como teniendo en realidad una forma ternaria y el receptor digital de línea las transforma en una salida binaria aplicada a una unidad de reconstrucción de señal 174. Si la línea de transmisión está constituida por una línea telefónica usual, por ejemplo, pueden existir repetidores u otros equipos inductivos

15

20

25

154473

15



- 38 -

403923

5 en la línea, que distorsionan fuertemente los impulsos de
onda cuadrada transmitidos originalmente por el sistema
transmisor 16. Por consiguiente la unidad de reconstruc-
ción de señal 174 restablece la forma de estos impulsos de
manera que se obtenga generalmente una onda cuadrada. A
10 continuación estos impulsos se aplican a un colector 176 que
recoge ambos grupos de impulsos que aparecen en las dos lí-
neas y acciona un contador 177 por medio de un multivibra-
dor monoestable 178. El contador 177 es un contador bina-
rio natural capaz de contar hasta dieciseis en cuatro lí-
neas que tienen el valor numérico de 1, 2, 4 y 8 y estas
líneas están designadas por 181, 182, 184 y 188, respecti-
vamente. La salida del contador binario natural se apli-
ca a un dispositivo descifrador que incluye un descifrador
15 190 en el módulo receptor principal 32 de la figura 8 y uno
o varios módulos descifradores de complemento 191-194 re-
presentados en la figura 9. Un dispositivo de memoria acti-
va 196 recibe la información descifrada procedente del des-
cifrador 190 y después de que se ha determinado que se tra-
20 ta de una información válida, se aplica a una pluralidad
de terminales de salida 21. Cada módulo descifrador de
complemento está provisto igualmente de una pluralidad de
terminales de salida a través de un dispositivo de memoria
activa y este dispositivo de memoria activa puede ser con-
siderado de manera general como formando parte del módulo
25



- 39 -

403923

descifrador o del módulo descifrador de complemento.

Las señales propiamente dichas se proporcionan a partir de la unidad de reconstrucción de señal 174 por medio de un canal 198 a través de un dispositivo de puerta 199 que puede ser considerado también como una unidad de anillo de activación-desactivación. Si este dispositivo de puerta está abierto y las señales son transmitidas al descifrador 190, el contador binario natural 177 hace que estas señales sean distribuidas en secuencias a los terminales de salida 21. Si no se usa módulo descifrador de complemento, se enchufa el terminador de extremidad 40, véase figura 1, en el descifrador principal 32 de la figura 8. Este último está dotado de una salida que sirve para reposición general, lo que significa que reposiciona todos los circuitos del sistema receptor 17.

La figura 9 representa una variante de realización de uno o varios módulos descifradores de complemento enchufados en el descifrador 190. Este es similar a la ilustración de la figura 1, en la cual un módulo receptor de complemento 33 está enchufado en el receptor principal 32. La figura 9 ilustra una unidad de anillo de activación-desactivación 199 asociada al descifrador principal 190 y este último forma parte del módulo receptor principal 32. La figura 9 representa igualmente un módulo descifrador de complemento 191 y un módulo descifrador de com-



403923

plemento 192 conjuntamente con las puertas de anillo de ac
tivación-desactivación 201 y 202. Estos cuatro dispositi-
vos constituyen los elementos principales de un módulo
receptor de complemento 33, tal y como se representa más
5 completamente en el diagrama esquemático de la figura 14.
La figura 9 representa otras variantes de módulos descifra-
dores de complemento 193 y 194 conjuntamente con las puer-
tas de anillo de activación-desactivación asociadas 203 y
204, y estas puertas constituyen los componentes principa-
10 les del módulo receptor de complemento inmediatamente ad-
yacente que ha de ser enchufado en el módulo receptor de com-
plemento 33 de la figura 1. El terminador de extremidad 40
está conectado eléctrica y mecánicamente al módulo receptor
de complemento terminal. Las puertas de anillo de activa-
15 ción-desactivación 199-204 activan el anillo en secuencia
y el anillo puede ser ampliado sin limitación matemática.
Esta activación secuencial del anillo se extiende solamen-
te en una dirección y esto significa que con un tren de men
saje particular, los bits de impulso se distribuyen en pri
20 mer lugar al primer grupo de ocho terminales de salida 21
del descifrador 190 por medio de la memoria activa 196. El
siguiente grupo de ocho bits de impulsos en el dispositivo
de memoria son distribuidos por el módulo descifrador de
complemento 191. Los tercero, cuarto y quinto grupos de
25 ocho bits de impulso se distribuyen secuencialmente por me-



- 41 -

403923

5 dio de los módulos descifradores de complemento 192, 193
y 194 a los pares correspondientes de terminales de sal-
da 21. En el ejemplo representado en la figura 9, se re-
presenta la extremidad del sistema receptor y la última
puerta de anillo de activación-desactivación 204 transmi-
te una señal al terminador de extremidad 40 y por tanto
la línea de reposición 205 está sometida a un impulso de
reposición destinado a reposicionar todo el sistema recep-
tor 17. Esto da fin a la distribución a todos los termi-
10 nales de salida de este tren de mensaje e inicia de nuevo
la distribución a los terminales de salida empezando de
nuevo por los que están asociados con el descifrador 190.

15 El dispositivo de memoria activa 196 es un
dispositivo de memoria provisional que tiene unos dispo-
sitivos de almacenado en número igual al número de los
impulsos de un tren de mensaje recibido por el sistema
receptor. Cada dispositivo de memoria tiene una sección
principal y una sección auxiliar. El dispositivo descif-
frador 190 aplica las señales descifradas procedentes de
20 la unidad de reconstrucción 174 en secuencia a la sección
principal de los dispositivos de almacenado. Las señales
son transferidas a la sección auxiliar que está constitui-
da por los terminales de salida 21 al final de cada tren
de mensajes.

25 Se proporcionan en el receptor 17 unos medios

15 JUN 1972

- 42 -

403923

de comprobación para verificar la autenticidad de las se-
ñales recibidas y para emitir una señal de verificación.
Esta señal de verificación activa el dispositivo de memo-
ria para transferir la información almacenada desde una
5 sección principal a la sección auxiliar y por tanto a los
terminales de salida respectivos del sistema receptor 17.
Este dispositivo de verificación está representado en la
figura 8 en forma de unidad de verificación de tiempo de
intervalo 208. Este dispositivo de verificación de tiem-
10 po de intervalo es un medio para eliminar los impulsos de
ruido o para eliminar la información falsa producida por
el ruido o por otras señales extrañas. Según se represen-
ta en la figura 5, existe un periodo neutro 56 en el co-
mienzo de cada tren de mensajes y el sistema receptor 17
15 tiene un detector de periodo neutro 209 para detectar este
periodo neutro situado al final del mensaje. El detector
de periodo neutro 209 recibe una tensión de entrada pro-
cedente del colector 176. Una puerta descifradora 210 del
último recuento recibe una tensión de entrada procedente
20 del descifrador 190 en el momento del descifrado del últi-
mo recuento del tren de mensajes. Esta puerta descifrado-
ra 210 recibe igualmente una tensión de entrada procedente
de la unidad de verificación 208 del tiempo de intervalo
y la puerta descifradora 210 tiene una salida hacia el de-
25 tector de intervalo neutro 209 de manera que éste proporció-



- 43 -

403923

ne el medio de emitir una señal de verificación para activar el dispositivo de memoria 196 con el objeto de transferir la información almacenada desde las secciones principales hasta las secciones auxiliares y por tanto a los terminales de salida respectivos 21 del sistema receptor 17.

La figura 13 representa esquemáticamente los componentes del módulo receptor principal 32 del sistema receptor 17. En la figura 13, los componentes principales están identificados con la entrada procedente de las líneas de transmisión 18, 19 hasta los terminales de entrada 170 y 171 del receptor digital de línea 172. Este recibe los impulsos y los transmite a la unidad de reconstrucción de señal 174 en la cual aparecen en forma de impulsos positivos en los terminales de señal 212 y 213. A continuación estos impulsos son transmitidos por unas puertas inversoras al colector 176 que es una puerta NAND que recibe los impulsos de ambas líneas de modo que aparezcan en la salida 215 en forma de tren continuo de impulsos 214 tal y como se representa en la figura 11. Los impulsos que aparecen en las dos líneas de transmisión 18 y 19 pueden tener en realidad tres estados diferentes constituyendo efectivamente un estado ternario: es decir que la línea 18 puede ser positiva respecto a la línea 19 o puede ser negativa respecto a la línea 19, o que puede tener el mismo poten-



403923

5 cial. Este estado ternario se representa en el tren de ondas 216 representado en la figura 10. A título de ilustración, este tren de ondas que se ve en la figura 10 está de acuerdo con las condiciones de conmutación representadas en la figura 2 e ilustradas por los dos trenes de onda de la figura 5, transmitidos por el sistema transmisor 16.

10 El receptor diferencial de línea toma este estado de señal ternaria y lo cambia en un código binario de dos trenes de onda, lo mismo que el que se representa para las líneas 18 y 19 de la figura 5. Igualmente, en la figura 10 se supone que existen solamente ocho bits o impulsos para este tren de mensajes particular.

15 El colector 176 recoge los impulsos de ambas líneas y hace que tengan todos una única polaridad representada en forma de polaridad positiva en el tren de ondas reconstruido 214 de la figura 11. Esto se hace para las necesidades del control descrito más adelante. Las dos series de impulsos separadas y complementarias que se representan en la figura 5 aparecen en los terminales de señal

20 212 y 213. Estos impulsos atraviesan la unidad de anillo de activación-desactivación 199 y se aplican a las líneas 218 y 219 y a continuación al dispositivo de memoria activa 196 controlado por el descifrador 190. El descifrador 190 obtiene sus señales a partir del colector 176 por medio del

25 multivibrador monoestable 178 y del contador binario natu-

15 JUN 1942



- 45 - 403923

5 ral 177. Este contador binario natural 177 tiene una salida en forma de código binario natural de los números 1, 2, 4 y 8 que aparecen en las líneas 181, 182, 184 y 188 respectivamente. En este sistema receptor 17 se ha elegido la utilización de un código octal como salida descifrada del descifrador 190. Por tanto, se han de suministrar al descifrador 190 solamente los números 1, 2 y 4 de las líneas 181, 182 y 184.

10 El contador binario natural puede ser comprado en el comercio, por ejemplo puede ser la unidad Motorola M839. El descifrador 190 está también disponible en el comercio y puede ser por ejemplo la unidad Motorola MC4038P. El descifrador 190 cambia su código binario natural en un
15 código octal, de modo que distribuya una señal secuencialmente a lo largo de las ocho líneas de salida 221, desde la izquierda hasta la derecha. El dispositivo de memoria activa 196 incluye una serie de ocho dispositivos de memoria 222 que tienen cada uno secciones principal-auxiliar. En el modo de realización preferido, existen unidades flip-
20 flop sincronizadas que pueden ser compradas en el comercio, por ejemplo Unidades Motorola MC853. Se observará que las ocho líneas de salida 221, desde la izquierda hasta la derecha conducen a cada una de las unidades flip-flop sincronizadas en secuencia desde la izquierda hasta la derecha. Por
25 consiguiente, la salida del descifrador activa cada uno de



403923

5 estos flip-flops sincronizados, en secuencia desde la izquierda hasta la derecha al mismo tiempo que las señales llegan por las líneas 218 y 219. Esto significa que en la sección principal de cada flip-flop sincronizado, el impulso particular, sea negativo o positivo, se almacena en la memoria o en la sección principal de cada uno de estos flip-flops. Es solamente al final del tren de mensajes cuando los flip-flops sincronizados 222 se conmutan y la información es vaciada o transferida a las líneas de salida que conducen a los pares de terminales de salida 21. A título de ilustración, una serie de lámparas indicadoras 224 están conectadas en estos pares de terminales de salida. A título de ejemplo, y haciendo referencia a la figura 5, la línea 19 recibe impulsos 2 y 5 del tren de mensajes de solamente ocho bits y por tanto, la segunda y la quinta lámparas indicadoras se iluminarán para indicar el hecho de que los segundo y quinto interruptores han sido cerrados entre los pares de terminales de entrada 20 de la figura 2. Estas segunda y quinta lámparas permanecerán iluminadas durante las exploraciones y distribuciones sucesivas, mientras los interruptores de entrada S8-S15 permanezcan en la posición representada. La conmutación de los flip-flops 222 no cambia la salida mientras la información de entrada permanece sin cambiar.

25 Una puerta 223 está conectada a la entrada de



403923

reposición de cada uno de los flip-flops sincronizados 222 para dar la seguridad de que cada uno de ellos será reposicionado al poner en marcha por primera vez las fuentes de alimentación, de modo que no se obtengan lecturas falsas.

5

La unidad de anillo de activación-desactivación 199 ha permitido que el descifrador 190 distribuya los impulsos o bits a los primeros ocho terminales de salida 21 del módulo receptor principal 32. Después de estos ocho primeros bits, la primera puerta de anillo de activación-desactivación 199 se dispara, lo que desactiva el descifrador 190. Haciendo referencia a la figura 9, puede observarse que esta primera puerta de anillo de activación-desactivación 199 ha sido disparada o conmutada para cambiar su estado de modo que el uno lógico o estado de nivel elevado en el lado izquierdo es ahora un cero lógico y el cero lógico del lado derecho ha pasado a ser un uno lógico. Con una salida lógica uno procedente de la puerta de anillo 199 frente a una salida lógica uno procedente de la puerta de anillo de activación-desactivación 201, el módulo descifrador de complemento 191 representado en la figura 14 se activa. Para realizar esta función, la puerta de anillo de activación-desactivación 199 de la Figura 13 recibe una señal procedente del contador binario natural 177. Se observará que los ocho números en un código octal o de base

10

15

20

25



403923

8 son los números cero a siete. Para contar cero las tres líneas 1, 2 y 4 tienen un nivel bajo y para el recuento último de siete las tres líneas 1, 2 y 4 tienen un nivel alto. Este contador binario natural 177 es capaz en realidad de contar hasta dieciseis en las cuatro líneas de salida y para contar hasta ocho, que está en el segundo grupo de ocho bits, las líneas 1, 2 y 4 estarán sometidas a un potencial de nivel bajo, pero sin embargo la línea 8 tendrá un potencial alto. Este potencial existe en la línea 188 y es invertido por la puerta 225 para aparecer en forma de nivel bajo en la línea 226. Este nivel bajo se aplica a la entrada de conmutación 227 del flip-flop sincronizado 228 que forma parte de la puerta de anillo de activación-desactivación 199. El nivel bajo a la entrada de conmutación 227 hace que la salida 229 del flip-flop tenga un nivel bajo y este nivel conectado de nuevo a la línea 226 mantiene bajo el nivel de entrada de conmutación 227 para la reposición del tren de mensajes: es decir hasta la reposición por la línea de reposición 205 que reposiciona todos los elementos del sistema receptor 17. Durante los ocho primeros recuentos, la línea 188 tenía el nivel bajo y la línea 226 tenía un nivel alto. Esto ha activado las puertas 206 y 207 de la puerta de anillo de activación-desactivación 199 para permitir la aplicación de estos bits entrantes por medio de las líneas 218 y 219 a los flip-

POOR QUALITY



403923

flops sincronizados 222. El flip-flop sincronizado 228
tiene dos salidas y cuando la salida 229 toma un nivel
bajo, la salida 230 toma un nivel alto. Este nivel es
conducido a la clavija P230 que puede ser enchufada en el
5 terminador de extremidad de línea 40 y vuelve después de
una sola inversión a la clavija P231. Esto significa el
final del recuento o el final del mensaje cada vez que se
recibe una señal por esta línea P231, y esta señal tiene
un nivel bajo debido a la inversión simple en el termina-
10 dor de extremidad de línea 40. Este impulso de nivel bajo
se aplica a través de una puerta inversora 232 al detector
de intervalo neutro 209 que detecta el periodo neutro 56
que es una indicación de final de mensaje.

Cuando el terminador de extremidad de línea 40
15 no está conectado a las clavijas P230 y P231, se puede
enchufar un módulo receptor de complemento 33 y este módu-
lo contiene los circuitos representados en la figura 14.
Este nivel elevado en la clavija P230 al final de los prime
ros ocho bits del mensaje activa la segunda puerta de ani-
20 llo de activación-desactivación 201 representada en la figu-
ra 14. Esto se hace mandando un nivel alto a través del
receptáculo R230 a la puerta de anillo 201.

Las señales entrantes se encuentran en los ter-
minales 212 y 213 de la unidad de reconstrucción de señales
25 174. Estas señales se aplican a los terminalos P12 y P13 de

403923



403923

la figura 13 y aparecen en los receptáculos R12 y R13 de la figura 14. Los trenes de impulsos son parecidos a los de la figura 5 y atraviesan las dobles puertas inversoras 234 a 237 que proporcionan el aislamiento y una potencia suplementaria para aplicar estas señales al dispositivo de memoria activa representado en la parte superior de la figura 14. Después de atravesar las dobles puertas inversoras 234-237, las señales aparecen en las líneas 238-239 y se aplican al dispositivo de memoria activa 242 que es una serie de flip-flops sincronizados similares a los flip-flops sincronizados 222 de la figura 13. Los números entrantes 1, 2 y 4 procedentes del contador binario natural se reciben en los receptáculos R181, R182 y R184, respectivamente, para aplicar este código de base ocho a los flip-flops sincronizados 242. Estos flip-flops actúan esencialmente de la misma manera que los flip-flops 222 y según se describe con relación a la figura 13, con descifrado en código de base dieciseis, o más precisamente con descifrado en un código de base ocho dos veces sucesivamente para activar secuencialmente dieciseis flip-flops sincronizados. Después de todo el mensaje, los flip-flops son conmutados para aplicar la información a los terminales de salida 21 representados en la figura 14. Esta operación igualmente es similar a la manera de distribuir estas señales de salida que se describen más arriba con relación a la figura 13.



403923

El segundo grupo de ocho bits es transmitido por las puertas 234 y 235 de la figura 13 a las líneas 238 y 239 mientras estas puertas están activadas. Estas puertas son activadas durante este segundo grupo de ocho bits por la puerta de anillo de activación-desactivación 201. Durante el primer grupo de ocho bits, cuando el descifrador 190 de la figura 13 era activo, el nivel de potencial del receptáculo R230 era bajo. Tomó un valor alto para el segundo grupo de ocho bits y se observará que esta línea 230 conduce a una de las dos entradas de las puertas 234 y 235 y que este nivel alto permite que estas puertas funcionen de modo que las señales entrantes por las dos entradas restantes sean transmitidas a las líneas 238 y 239. La línea 230 tiene un condensador 245 conectado a masa y su objeto consiste en permitir que el potencial de la línea 230 tome un valor alto solamente cuando el condensador está cargado. Por tanto, existe un ligero retraso antes de que el potencial de la línea 230 tome un valor elevado.

Un multivibrador monoestable 246 tiene una entrada de conmutación 249 conectada a un descifrador de cuenta ocho 247 a través de un inversor 248. El descifrador de cuenta ocho 247 tiene por tanto una salida en la entrada de conmutación 249 que tiene normalmente un nivel bajo y toma un nivel alto solamente al producirse el octavo recuento.



403923

Al producirse cada octavo recuento, esta entrada 249 toma un valor alto y a continuacion un valor bajo de modo que el multivibrador monoestable 246 produce un impulso positivo muy corto procedente de un terminal que conduce a una línea de salida 253. Este impulso está situado en el borde posterior de cada octavo recuento. El impulso positivo corto se aplica a una de las dos entradas de una puerta 251. Al final de los primeros ocho recuentos, la entrada de la línea 230 a la puerta 251 toma un nivel alto pero con retardo en tiempo real debido al condensador 245. Por consiguiente, el corto impulso positivo no coincide con el cambio desde el nivel bajo al nivel alto en la línea 230 y la salida en la línea 254 de la puerta 251 permanece elevada. Al final del segundo grupo de ocho señales, ya que la entrada a una puerta 255 tiene ya un nivel alto, el corto impulso positivo aplicado a la línea 253 hace que la salida 254 de la puerta 251 tome un valor bajo y esto conmuta la entrada de conmutación 257 del flip-flop sincronizado o de la puerta de anillo de activación-desactivación 201. El flip-flop 201 es conmutado a su estado biestable opuesto. Durante la conmutación, la salida de la puerta de anillo 258 toma un nivel alto y por medio de una puerta inversora 260 obliga la entrada de conmutación 257 a tomar un valor bajo y a permanecer en este valor bajo hasta que el flip-flop sincronizado 201 sea reposicionado por su terminal de



15 JUN 1946

- 53 -

403923

reposición común 261 que está conectado a la línea de reposición común 205. Esta reposición se hace al final del tren de mensaje.

5 Al final del segundo grupo de ocho señales, la salida de la línea 254 de la puerta 251 ha tomado un valor bajo y por tanto ha hecho que el flip-flop 201 cambie de estado. La salida 258 del flip-flop ha tomado un valor elevado y a través de la puerta 255 ha obligado la línea 230 a tomar un valor bajo. Este nivel bajo ha desactivado las
10 puertas 234 y 236, bloqueando la admisión de cualquier señal ulterior. Justo al final del segundo grupo de ocho señales, ya que el receptáculo R230 está a un nivel alto, el impulso positivo procedente del multivibrador monoestable 246 aplicado a una entrada de la puerta 251, hace que la
15 salida 254 de la puerta 251 tome un valor bajo produciendo la conmutación del flip-flop 201 a través de la entrada de conmutación 257. Al producirse este fenómeno, la salida 259 del flip-flop 201 toma un valor bajo lo cual, a través de la puerta inversora 263 hace que su línea de salida 262
20 tome un valor bajo y active las puertas 264 y 265 para el tercer grupo de ocho señales. Este tercer grupo de ocho señales es transmitido a través de las puertas 264-267 a los terminales 268 y 269 que son similares a los terminales 238 y 239 salvo por el hecho de que activan el tercer grupo
25 se ocho de los flip-flops sincronizados 242.



403923

Al final del tercer grupo de ocho señales, la línea 262 tiene ya un potencial elevado y por tanto prepara una puerta 272 de modo que el descifrador de cuenta ocho 247 dé un corto impulso positivo procedente del multivibrador 246, que atravesará esta puerta 272 produciendo un nivel bajo en la línea de salida 273 para conmutar el siguiente flip-flop sincronizado 202. La salida 274 de este flip-flop 202 tenía un nivel bajo para los primeros veinticuatro bits de señal pero tiene ahora un valor alto y actuando a través de la puerta inversora 275 hace que la línea 262 tome un nivel bajo para desactivar las puertas 264 y 265; terminando así las señales en este tercer grupo de ocho. La salida 274 del flip-flop ha tomado un valor alto y actúa a través de la puerta 279 para mantener la entrada de conmutación 273 en un valor bajo. Igualmente, la salida 276 del flip-flop ha tomado un valor bajo y éste a través de la puerta inversora 277 hace que la clavija P230 tome un valor alto, lo que activa el siguiente módulo de complemento en el caso de que se utilice. Si se utiliza el terminador de extremidad, entonces este produce la reposición de todo el sistema receptor 17 según se ha explicado más arriba. Por consiguiente, se verá que cada módulo de complemento tiene dos grupos de ocho bits de señal que son activados a su vez y transmitidos al dispositivo de memoria activa 242. Al final de todo el tren de mensaje, las sec-



- 55 -

403923

ciones principales son disparadas para vaciar o transferir la información almacenada en ellas a las secciones auxiliares y se produce una salida en los terminales de salida 21. Por consiguiente, las condiciones de conmutación que están representadas en los interruptores 112 de la figura 7 serán indicadas por las lámparas indicadoras conectadas a los terminales de salida 21 de la figura 14. El condensador 278 está conectado desde la línea 262 a tierra con el mismo propósito que el condensador 245; más precisamente para impedir una subida demasiado rápida del estado lógico en esta línea 262.

La figura 13 representa el detector de intervalo neutro 209 en el módulo receptor principal 32 del sistema receptor 17. Este detector de intervalo neutro incluye un integrador 290 que incluye un dispositivo reactivo representado en forma de condensador 291 y una resistencia 292 conectada en serie en una primera unión 293 y conectada a una fuente de suministro de corriente continua ilustrada por una línea positiva de corriente continua 294 y una línea de masa o línea de tensión nula 295. Pueden ser las mismas líneas que las que se representan en la parte superior de la figura 13 que proporcionan energía a todos los componentes del sistema receptor 17. Tales líneas en la parte izquierda de la figura 13 están dotadas de receptáculos para su conexión al módulo de suministro de energía 34 del receptor que se



403923

5 representa en la figura 1 y tiene unas conexiones enchufables en la parte derecha para la conexión al siguiente módulo receptor de complemento 33. Esta conexión de la resistencia y del condensador a través de la fuente de suministro de corriente continua es un medio de carga de este condensador 291.

10 El dispositivo amplificador está incluido en el detector de intervalo neutro 209 que incluye un primer transistor 298 y un segundo transistor 299 conectados en cascada a través de un diodo 300. La base del segundo transistor 299 es una entrada que está conectada a la unión 293 y el colector del primer transistor 298 es la salida del dispositivo amplificador, y es invertida dos veces para su amplificación y aislamiento de manera que aparezca en una línea 301 y una clavija P301. Tal y como se ha indicado
15 más arriba, el colector 176 recoge los impulsos procedentes de ambas líneas y por tanto todos los impulsos de un tren de impulsos reconstituidos aparecen en el terminal de salida de colector 215. Este tren de impulsos reconstituidos
20 se aplica a través de un inversor 304 a una segunda unión 305. Un dispositivo conductor unidireccional representado en forma de diodo 306 conduce la corriente desde la primera unión 293 a la segunda unión 305.

25 El detector de intervalo neutro 209 detecta el periodo al final del tren de mensaje durante el cual no se



403923

transmiten bits o impulsos. Se trata de una ausencia de cambio de estado de los impulsos sea alto o bajo. En el ejemplo dado, este periodo es igual a la longitud de tiempo real de ocho bits. En el comienzo de este final de mensaje, la unión 305 tendrá un nivel elevado porque el terminal de salida de colector 215 toma un valor bajo durante este periodo neutro. La unión 305 toma un valor alto siempre y cuando igualmente la salida procedente de la puerta 232 tenga un valor elevado y permanezca elevado durante el mismo periodo. La puerta 232 es alimentada por la línea 231 que proviene del terminador de extremidad 40 y la línea 231 tiene un nivel bajo en este final de mensaje. Durante el periodo de transmisión de los impulsos del mensaje, la salida en la unión 305 alternaba entre niveles altos y bajos a intervalos regulares correspondientes a la velocidad de transmisión de la señal y esta acción, a través del diodo 306, mantenía una tensión casi nula en el condensador 291. Una ligera acumulación de cargas en este condensador 291 existe entre cada señal en forma de una pendiente en diente de sierra. En otras palabras, el condensador se carga durante los intervalos entre impulsos a través de la resistencia 292 y a continuación se descarga a través del diodo 306 durante los impulsos. Durante el periodo neutro existe un tiempo largo entre impulsos y por tanto, el condensador 291 puede cargarse. Durante la transmisión normal de señales, esta



5 acumulación de tensión en el condensador 291 es insuficiente para hacer que la base del transistor 299 conduzca la corriente, ya que el nivel de tensión necesario para la conducción en la base del transistor 299 es igual aproximadamente a 2,1 voltios. Esta tensión es igual a tres veces los 0,7 voltios que se producen a través de los transistores 298, 299 y del diodo 300. Durante el periodo normal de recepción de las señales, por tanto, el colector del transistor 298 permanecerá a un potencial elevado ya que este transistor no es conductor y por tanto la línea 301 permanecerá también a un nivel elevado a través de las puertas 302.

15 El dispositivo de carga a través de la resistencia 292 es un dispositivo para cambiar el estado eléctrico del condensador 291 en una primera dirección, y el dispositivo de descarga a través del diodo 306 es un medio para cambiar el estado eléctrico del condensador 291 en la dirección opuesta. Uno de estos medios predomina durante el periodo neutro y en este modo de realización se trata del dispositivo de carga.

20 Al final de la corriente del mensaje, es decir el comienzo del final del periodo del mensaje, un periodo de silencio igual a ocho bits de mensaje proporciona un intervalo de tiempo suficiente para que el condensador 291 se cargue hasta el punto que la base del transistor 299 pro

25



duzca la conducción de modo que el transistor 298 conduce en un periodo de tiempo no crítico situado aproximadamente en el centro del periodo neutro que es el final del mensaje. Esta conducción hace que el terminal P301 tome un valor bajo y esto conduce a la creación de un impulso de lectura válida que se utiliza para indicar la recepción de una información exacta válida. Este impulso de lectura válida es aplicado por la línea 301 al dispositivo de memoria activa 196 y particularmente a las entradas de conmutación de todos los flip-flops sincronizados contenidos en él. Este transfiere toda la información almacenada en las secciones principales a las secciones auxiliares y esta información aparece en los terminales de salida 21 y en las lámparas indicadoras 224 en caso de que se utilicen. Este nivel bajo en la línea 301 es reposicionado y se transforma en un nivel alto en el borde delantero de la siguiente señal de la siguiente corriente de mensaje, de modo que la anchura del impulso leído es aproximadamente la anchura de cuatro o cinco señales reales.

El circuito de comprobación de tiempo de intervalo 208 se utiliza para tener la seguridad de que los bits o impulsos de señal verdaderos tienen la duración apropiada y para asegurarse de que los impulsos de ruido son rechazados. Si un impulso de ruido aparece en el momento en que un impulso de señal ocurre y si este impulso de rui-



403923

do alarga la duración de este impulso de señal, entonces el circuito de comprobación de tiempo de intervalo 208 detecta este fenómeno y rechaza el impulso. Igualmente, si el impulso de ruido aparece entre impulsos de señal, este circuito de comprobación 208 rechaza este impulso de ruido. Por consiguiente, se obtiene un nivel de seguridad durante la transmisión y la recepción del tren de mensaje sin la necesidad de un cifrado matemático utilizando datos redundantes. Sin embargo, pueden añadirse si se desea circuitos adicionales para utilizar este cifrado matemático.

El circuito de comprobación de tiempo de intervalo 208 incluye un oscilador 310 que puede ser un oscilador de cristal cuya temperatura está controlada en un recinto cerrado para mayor precisión. El oscilador puede funcionar a alta frecuencia por ejemplo 0,7 a 2,0 MHz. Esta frecuencia del oscilador se divide por una serie de divisores 311 y en este modo de realización preferido el número de estos divisores es igual al número de divisores del sistema transmisor 16 menos 1. Si cada uno de los divisores es un divisor de división por dieciseis, entonces la salida del divisor en el terminal 312 de un contador binario natural 313 será dieciseis veces la frecuencia de exploración utilizada en el sistema transmisor 16. La frecuencia de exploración podría ser del orden de 500 Hz y por tanto la salida del divisor 312 podría ser de 8.000 Hz. El contador



- 61 -

403923

binario natural 313 cuenta en una escala de dieciseis en una salida de cuatro líneas de una puerta NAND 314 y con un inversor 315 en la primera línea. Esta puerta NAND 314 descifra un número particular, en este modo de realización particular el número 14. La salida de la puerta NAND 314 aparece en una línea 316 y será constituida por una serie de impulsos separados por el mismo intervalo de tiempo que las señales binarias recibidas en la salida 318 del multivibrador monoestable 178. La precisión es del orden del 0,01% debido a los osciladores controlados por cristal en ambos sistemas transmisor y receptor. Este temporizador de intervalo 208 es reposicionado por cada bit binario remoto en la salida 318 para permitir fácilmente una medición precisa del intervalo de tiempo que ha de transcurrir antes de que se reciba el siguiente bit binario o la siguiente señal digital.

La reposición del circuito de comprobación de tiempo de intervalo 208 se hace a partir de la línea 318 a través de un multivibrador monoestable 320. Las señales entrantes del tren de mensaje aparecen en los terminales 212 y 213 en la unidad de reconstrucción de señales 174. Los impulsos de ambas líneas se recogen en el colector 176 y después de atravesar el multivibrador monoestable 178 aparecen en la salida 318 del mismo en forma de impulsos reconstituidos. Debido a la acción de este multivibrador mono-



403923

estable 178, estos impulsos no tendrán la anchura original sino que tendrán una anchura fija determinada por la constante de tiempo del multivibrador monoestable. Estos impulsos de anchura fija se aplican por la línea 318 al segundo multivibrador monoestable 320. Este segundo multivibrador monoestable 320 produce una salida disparada a partir de la salida normalmente de nivel bajo de la línea 318, toma un valor elevado y vuelve a un valor bajo después del periodo de tiempo constante fijo mencionado más arriba. El multivibrador monoestable 320 por tanto se dispara cuando este impulso toma un valor negativo y produce un impulso negativo muy estrecho en su salida y este impulso es transmitido a través de las puertas inversoras 321 igualmente en forma de impulso negativo muy estrecho cuya posición en tiempo real coincide por tanto con el borde posterior del impulso de entrada. Esta salida es normalmente elevada y el impulso negativo esta aislado y se amplifica a través de las puertas 321 y aparece en una línea 322 que es una línea de reposición para reposicionar el contador binario natural 313 y todos los divisores 311. Esta acción asegura que el contador binario natural 313 será reposicionado en tiempo real en el borde posterior de cada señal entrante y por tanto es capaz de contar un intervalo de tiempo preciso dentro de la tolerancia del oscilador de cristal para establecer una salida en la línea 316 que sea espaciada de manera



- 63 -

403923

que se produzca al mismo tiempo que el siguiente frente negativo del impulso de la señal binaria entrante. Después de producirse, el borde posterior de esta siguiente señal reposicionará de nuevo los divisores y el contador binario 313 para empezar de nuevo la comprobación.

Cada dígito binario recibido se comprueba respecto a su intervalo por este circuito 208 por comparación con la posición del bit interno generado eléctricamente y se acepta solamente si el intervalo está incluido dentro de un porcentaje preestablecido del valor que ha de tener. Ya que la comprobación se hace en tiempo real sobre la base de la recepción obtenida, la anchura del bit tiene igualmente un efecto sobre la aceptación. Esto significa que el ruido que puede producirse mientras existe el bit no será transmitido por el circuito.

El siguiente circuito produce un impulso de invalidación o de rechazo en el caso de que la comprobación falle, y este impulso se utiliza para rechazar la información con el objeto de impedir el registro de una falsa información en los terminales de salida 21. La salida procedente del circuito de comprobación de tiempo de intervalo 208 en la línea 316 se aplica a través de una puerta inversora 325 a un circuito descifrador de último recuento 210. La salida que aparece en la línea 316 tiene normalmente un nivel alto y debido al inversor 325, la sa-

SECRET



- 64 -

403923

lida que aparece en la línea 326 tiene normalmente un nivel bajo, pero puede tomar un nivel alto durante un periodo de tiempo igual aproximadamente a $1/16$ la anchura de la señal en el tren del mensaje, ya que la velocidad del contador binario 313 es igual a dieciseis veces la velocidad del contador 177. Por consiguiente, la línea 326 toma un nivel elevado solamente durante un corto periodo de tiempo y vuelve después a su nivel bajo. El descifrador de último recuento 210 incluye una puerta NAND 328 con tres entradas, una procedente de la línea 326, una de la línea 231 y una procedente de la línea 329 que viene de la salida invertida del multivibrador monoestable 178. La puerta NAND 328 se utiliza para producir un impulso de invalidación o de rechazo en su salida 205 y en la clavija P205 como resultado de la combinación de las tres señales que aparecen en las entradas. Durante el curso normal de la recepción, la línea 231 tendrá un nivel alto, la línea 329 tendrá un nivel alto durante el intervalo en el que no se recibe la señal pero tendrá un nivel bajo durante el intervalo en el que se recibe la señal. Cuando se reciben señales válidas, la línea 326 toma un nivel alto solamente durante un periodo en el que la línea 329 tiene un nivel bajo, de modo que la salida de puerta 330 no tendrá nunca un nivel bajo durante una recepción válida. Durante este funcionamiento, las señales que se reciben en la entrada 329 de



15 JUN 1972

- 65 -

403923

la puerta 328 conseguirán mantener la salida 205 a un nivel alto ya que comparten esta función de recepción de las señales con la línea 231. En el caso de que se produzcan distorsiones o fluctuaciones en las señales entrantes, por ejemplo la introducción de una señal extraña debida a ruido, la primera acción consistirá en reposicionar el contador 313 a través de la línea 322 como resultado de la recepción de esta señal extraña. A continuación este contador 313 seguirá el recuento de su intervalo de tiempo medido y producirá una señal de comprobación con separación incorrecta es decir en un momento en el que no está presente ninguna segunda señal real. Este hecho se ilustra en las figuras 11 y 12 en las cuales un impulso de ruido extraño 332 está representado en el tren de impulsos reconstituido 214. Un ciclo más tarde, se produce un impulso de comprobación 333 de duración similar en el tren de impulsos de verificación 334. Estos impulsos del tren de impulsos de verificación 334 están demorados un impulso, debido a la acción del circuito de comprobación de tiempo de intervalo 208. Se recordará que para cada impulso recibido en el tren de impulsos reconstituidos, éste reposiciona el contador binario natural 313 y los divisores 311, de modo que aparezca en la línea de salida 316 un impulso de verificación demorado en tiempo real en la cantidad de tiempo que existe entre impulsos o bits binarios. Este es el motivo



- 66 -

403923

por el cual se demora el tren de impulsos de verificación 334 de la figura 12, el tiempo que dura un impulso detrás del tren de impulsos reconstituido 214 de la figura 11.

5 Este impulso de ruido 332 de la figura 11 produce así un impulso de verificación de ruido 333 en la figura 12 con separación incorrecta; es decir en un momento en el que no esté presente ninguna señal real. Esto permitirá que la línea 326 tome un valor alto al mismo tiempo que las líneas 231 y 329 tienen un nivel alto lo que permitirá que la salida 205 tome un valor bajo para un impulso
10 de rechazo. Este impulso de rechazo se aplica a la entrada de reposición del contador binario natural 177 para reposicionarlo y se aplica igualmente a la clavija P205. Esta es la línea de rechazo que sigue hacia adelante hasta
15 todos los módulos receptores de complemento para reposicionar todas aquellas unidades rechazando así esta parte del tren del mensaje recibida hasta este momento.

 Cuando la salida 205 de la puerta 328 toma un nivel bajo, se conecta a través de un diodo 338 para descargar un pequeño condensador 339. Cuando este condensador está descargado, se conecta a través de un diodo 340 para impedir que el condensador 291 se recargue y tome un nivel alto a través de la resistencia 292 hasta que haya transcurrido un periodo de tiempo más largo de lo normal.

25 La condición de rechazo que hace que la salida



- 67 -

403923

205 de la puerta 328 tome un valor bajo a consecuencia de la recepción de mensajes, no válidos, tiene una anchura de aproximadamente $1/12$ a $1/16$ la anchura de la señal conformada tal como aparece en la salida 318 del multivibrador monoestable 178. Esta anchura asegura una descarga completa del condensador 339 a través del diodo 338. Se produce una reposición muy corta en el comienzo de cada tren de mensaje a la salida de una puerta NAND 343 debido a una entrada 344 de esta que procede del terminador de extremidad 40 y toma un nivel elevado al final de cada mensaje y permanece a un nivel elevado hasta la llegada de la primera señal del siguiente mensaje. En este momento, la otra entrada de la puerta 343 procedente de la línea 215 tiene también un nivel alto; por tanto, este nivel hace que la salida de la puerta 343 tome un nivel bajo para reposicionar todo el sistema, pero esto se hace solamente durante el tiempo muy corto que se necesita para realizar una reposición normal. Este periodo de tiempo es insuficiente para afectar la carga del condensador 339 en funcionamiento normal.

La figura 12 indica que existe una última señal de comprobación 335 que aparece en la línea 326 y que está situada un impulso más tarde que el final del mensaje. Sin embargo esto no crea un impulso de rechazo. Normalmente se podría pensar que las tres entradas 326, 231y329 de la puer



15

- 68 -

403923

ta NAND 328 tomarán un nivel alto, pero la señal que existe en la línea 231 procedente del terminador de extremidad 40 ha tomado en este momento un nivel bajo y por tanto este nivel oculta este último impulso de comprobación 335 de modo que no se crea impulso de rechazo.

5

La descripción anterior muestra que la puerta NAND 328 actúa como puerta de rechazo y como comparador para crear el impulso de rechazo en el caso de que el impulso negativo que aparece en la entrada 329 no coincida con el impulso positivo que aparece en la entrada 326 y no se superponga a éste. Si esto no ocurre, indica la presencia de un impulso de ruido en lugar de la presencia del impulso válido en el tren de impulsos del mensaje. El circuito de verificación de tiempo de intervalo 208 es un dispositivo de frecuencia de impulsos de verificación que genera una frecuencia interna para comprobar el intervalo de tiempo entre los bits válidos del tren de impulsos del mensaje. Si se recibe un impulso de ruido tal como el impulso 332 de la figura 11, este impulso ocurre fuera del periodo de tiempo adecuado para recibir un bit de mensaje válido y el detector de intervalo 208 lo detecta; por tanto, rechaza este impulso de ruido y todos los demás impulsos de este tren particular del mensaje recibidos hasta este momento.

10

15

20

25

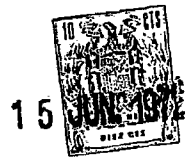
La puerta NAND 314 descifra uno de los n impulsos procedentes del dispositivo de frecuencia de verificación.



En el modo de realización preferido, el número n es 16.
El multivibrador 178 es un dispositivo estrechador de impulso de acuerdo con la constante de tiempo R-C de éste, de modo que el impulso es aproximadamente n veces más estrecho que el impulso en el terminal 215. Los impulsos negativos que aparecen en la salida 329 coinciden en el tiempo bien con el borde delantero o bien con el borde posterior de los impulsos en el terminal de colector 215 y en este modo de realización preferido los bordes delanteros coinciden en el tiempo.

La puerta descifradora de último recuento 210 es no solamente una puerta de comparación y de rechazo sino igualmente una puerta para descifrar el último recuento, porque al producirse el final del recuento a partir del terminador de extremidad 40, éste aplica un nivel bajo a una entrada 231 de esta puerta 328, manteniendo la salida 205 de la misma a un nivel alto y por tanto no se genera impulso de rechazo. Un nivel bajo de la salida es el impulso de rechazo que reposiciona todos los elementos del sistema receptor 17 incluyendo el contador 177, el flip-flop 228 y las puertas de anillo de activación-desactivación 201 y 202 de la figura 14.

La figura 6 representa el circuito del módulo transmisor principal 26 y este circuito incluye un circuito de protección de línea de emisor 151. Este circuito in



403923

5 cluye los diodos 152-155 conectados a las líneas de trans-
misión 18 y 19 para proteger la línea contra sobrecargas
accidentales debidas a sobretensiones o a crestas transi-
torias inducidas en la línea de comunicación 18, 19. Es-
10 tos diodos 152-155 mantienen la línea de transmisión entre
la tensión cero y la tensión positiva aplicada que se re-
presenta aquí como siendo de +5 voltios. No se necesitan
diodos de alta velocidad de respuesta debido a los efectos
capacitivos de la línea de transmisión 18, 19 que impide la
15 creación de transitorios muy bruscos. Los terminales 93
y 94 son los terminales que están conectados al circuito
de comunicación exterior que es usualmente una línea tele-
fónica o un par de hilos que atraviesan un ambiente que
puede ser eventualmente ruidoso. Normalmente, las puertas
20 NAND 96 y 100 crean excursiones de tensión incluidas entre
0 voltios y +5 voltios. Si una fuente externa intenta
crear excursiones de tensión que superan este valor, los
diodos 152 y 153 las limitan si la tensión es superior a
+5 voltios y los diodos 154 y 155 las limitan si la ten-
sión es inferior a 0 voltios. Este circuito de protección
25 151 funciona bien en un circuito de comunicación incluso si
los diodos no son diodos de alta velocidad de respuesta de-
bido a los efectos reactivos del circuito de comunicación.

La figura 3 representa igualmente un circuito
25 350 que permite pasar del sistema ternario al sistema bi-



403923

nario y que se utiliza en el sistema receptor en los terminales de entrada 170 y 171 procedentes de la línea de transmisión 18 y 19. En este circuito, la línea de transmisión entrante puede presentar tres estados. Amhos lados de la línea pueden tener un potencial 0 o neutro o una línea puede ser positiva con respecto a la otra, o bien esta línea puede ser negativa con relación a la otra. El circuito de transformación de ternario a binario 350 incluye un receptor digital de línea que incluye generalmente unos primero y segundo amplificadores operacionales 351 y 352.

El efecto obtenido se representa en la figura 10. Concretamente, si se coloca un voltímetro o un osciloscopio en los terminales de entrada 170, 171, se observará un estado de entrada ternario similar a la forma de onda 216 representada en la figura 10. Los dos amplificadores operacionales 351 y 352 están acoplados a través de los inversores 365 y 366 a la unidad de reconstrucción de señal 174. Las dos líneas de esta unidad 174 tienen una salida binaria reconstruida según se representa en la figura 5. Es decir que algunos impulsos están en una línea, y un grupo complementario de impulsos están en la otra línea. Los dos amplificadores operacionales 351 y 352 están conectados en oposición a través de una red de resistencias 353-363. En el caso del amplificador operacional 352, éstas están polarizadas a través de la resistencia 354, estando



su extremidad superior sometida a un potencial de +5 voltios procedente de la línea 294 y su extremidad inferior forma un divisor de tensión en el terminal de entrada inversora del amplificador operacional 352 y conduce a través de las resistencias 359, 363, 360 y 356 a un terminal de tensión negativa, -5 voltios en este modo de realización. Los valores de las resistencias de este divisor de tensión se eligen de manera que establezcan un potencial de polarización sobre los terminales de entrada del amplificador operacional 352 ligeramente superior a 50 milivoltios positivos en el terminal de entrada inversor. Esto mantiene la salida a través del amplificador operacional 352 invertido dos veces y la puerta 366 de modo que la salida en la línea 368 sea un estado binario alto es decir +5 voltios. De la misma manera, una red divisora de tensión que consiste en las resistencias 353, 358 y 363, 357 y 355 a -5 voltios establece una polarización en la entrada del amplificador operacional 351 de modo que la salida de la puerta 365 en la línea 369 tenga también un estado binario de nivel alto. Esta condición de polarización existe cuando está presente una tensión de cero voltios en los terminales de entrada 170 y 171. Igualmente este estado existe si ninguna tensión de polarización en los terminales 170, 171 es inferior a 50 milivoltios, consiguiéndose esta atenuación por la red de resistencias 361, 363 y 362. Si se aplica una tensión de



403923

señal de por ejemplo 700 milivoltios a los terminales de
entrada 170 y 171, siendo la línea de entrada 171 positiva
con relación a 170, entonces a través de las resistencias
362 y 359 de la entrada inversora del amplificador opera-
5 cional 352, esta tensión de señal actuará para aumentar la
polarización existente en este amplificador operacional
y por tanto no producirá cambio alguno en el terminal de sa-
lida 368. Sin embargo, la misma tensión de señal positiva
a través de las resistencias 362 y 357 actuará para inten-
10 tar llevar la entrada no inversora a un potencial más posi-
tivo que la entrada inversora cuando de hecho su tensión
de polarización la mantiene más negativa que la entrada inver-
sora, y en caso de éxito hará que el uno lógico binario que
existe en la salida 369 se transforme en un cero lógico bi-
15 nario. De la misma manera, si la tensión de señal en los
terminales 170 y 171 de la línea de transmisión de entrada
se invierte, las salidas en 368 y 369 tomarán un valor bi-
nario inverso. De esta manera, el funcionamiento ternario
de tres estados que existe en la línea entrante se trans-
20 forma en estado binario en las líneas 368 y 369. Cuando no
existe tensión en los terminales de entrada 170, 171, enton-
ces se obtienen unos lógicos binarios en la salida 368-369.
Se observará que se trata de una señal invertida y que el
primer par de inversores en las unidades de reconstrucción
25 de señal 174 la invierten de nuevo para obtener impulsos



positivos y similares a los que se representan en la figura 5 en los terminales de señal 212 y 213.

Una de las características del receptor digital de línea de los amplificadores operacionales 351 y 352 consiste en que tiene un modo de rechazo común; es decir que no se produce cambio en la salida digital si los terminales de entrada de los amplificadores operacionales 351 y 352 cambian su tensión entre los límites de la tensión de suministro de energía sin cambiar su relación diferencial el uno respecto al otro. Ya que los impulsos de salida del sistema transmisor digital tienen un valor de 5 voltios, si el receptor no se utilizara en una línea que no presenta pérdidas, la tensión en este punto del receptor será de +5 voltios. Esto podría mermar el funcionamiento del receptor ya que se aproximaría al punto en el cual se pierde el modo de rechazo común. Para limitar este efecto, se utiliza el circuito de protección de receptor 370. Este dispositivo de protección de receptor 370 utiliza dispositivos limitadores de tensión representados en formas de diodos y más precisamente en forma de diodos de descarga. En este modo de realización preferido, se representan en forma de diodos Zener 371-374. Los dos diodos Zener 371 y 372 están montados en serie y con polaridad invertida teniendo un punto bipolar de descarga de aproximadamente 3 voltios. De la misma manera, los diodos Zener 373 y 374 están situados

5
10
15
20
25



- 75 -

403923

en el lado opuesto de la línea que conduce a la línea de
tensión cero 295 de modo que limiten a la fuerza el nivel
máximo de la señal de entrada en una excursión de 3 voltios.
Además, estos diodos Zener proporcionan una protección de
5 línea contra sobretensiones y crestas en los terminales del
receptor 170 y 171 de la misma manera que el circuito de
protección 151 lo hace en el sistema transmisor 16.

El circuito de la figura 6 representa un cir-
cuito de protección de línea para la extremidad de emisor
10 de la línea de transmisión 18-19 y el circuito de la figu-
ra 13 representa un circuito de protección de línea para
la extremidad de recepción de esta línea de transmisión. En
cada caso, se incluyen unos primero y segundo dispositivos
de diodo teniendo la fuente de referencia de corriente con-
15 tínua por lo menos un primer terminal de referencia en con-
creto el potencial de masa. En la figura 6 se observará
que si la línea 19 está sometida a un potencial suficiente-
mente positivo, entonces, un primer dispositivo de diodo
que incluye los diodos 152 y 155 conducirá la corriente de
20 la fuente de referencia de corriente continua siempre y cuan-
do la tensión en la línea de transmisión sea superior a la
caída de tensión combinada de los diodos 152 y 155 y la
tensión de la fuente de tensión de corriente continua. A
la inversa, si la línea 19 es suficientemente negativa con
25 relación a la línea 18, entonces, un segundo dispositivo de

000000



403923

diodo que incluye los diodos 153 y 154 conducirá la corriente de la fuente de referencia de corriente continua.

5 La disposición de los diodos en la figura 6 es un puente de diodos con la fuente de referencia de corriente continua conectada en los terminales opuestos.

10 En el sistema receptor de la figura 13, el circuito de protección 370 tiene igualmente unos primero y segundo dispositivos de diodo. Si la tensión en el terminal de entrada 170 es suficientemente positiva respecto a la tensión en el terminal 171, se producirá una conducción a través del primer dispositivo de diodo controlada en gran medida por la tensión de descarga de los diodos 371 y 374, más la caída de tensión en el sentido directo a través de los diodos 372 y 373. A la inversa, si el terminal 15 171 es suficientemente positivo, existirá una conducción a través de los diodos de descarga que dependerá principalmente de la tensión de descarga de los diodos 373 y 372 más la caída de tensión en el sentido directo de los diodos 374 y 371. Para efectos de simetría, estos diodos tienen sustancialmente la misma tensión de descarga. Esto establece igualmente el punto central de los cuatro diodos 20 de descarga conectados al potencial de referencia cero en la línea 295. Debido a que la señal entrante debe recorrer una gran distancia, y porque la masa del sistema transmisor 16 puede estar desconectada o incluso no conectada 25



eléctricamente a la masa del sistema receptor 17, esta in-
terconexión de los diodos 372 y 374 al potencial de refe-
rencia cero iguala la línea. Con esto se quiere decir que
se mantiene una relación definida entre la tensión de los
5 terminales 170-171 de la línea de transmisión entrante y
la tensión de la fuente de corriente continua 294-294. En
el circuito de la figura 13, los diodos de descarga están
conectados por lo menos a un terminal de la fuente de co-
rriente continua. Sin embargo, no se conecta tensión al-
10 guna procedente de dicha fuente de tensión en el circuito
limitador de tensión con los diodos de descarga. Por con-
siguiente, es solamente la tensión de los diodos de descar-
ga propiamente dichos que debe ser superada antes de que
se produzca la limitación de la tensión en la línea de
15 transmisión.

El receptor digital de la línea 350 incluye la
red resistiva de resistencias 353-363. Incluidos en esta
red resistiva se hallan unos primero y segundo divisores
de tensión. El primer divisor de tensión puede conside-
20 rarse como incluyendo desde la primera hasta la cuarta re-
sistencias 353, 358, 360 y 356 respectivamente, conectadas
entre los terminales positivo y negativo de la fuente de
corriente continua. El segundo divisor de tensión puede
ser considerado como incluyendo la quinta, la sexta, la
25 séptima y la octava resistencias 354, 359, 357 y 355 res-

403923

15



pectivamente, conectadas igualmente entre los terminales
positivo y negativo de la fuente. Se obtiene una simetría
en la red resistiva de modo que el potencial establecido
por estos divisores de tensión en los terminales de en-
5 trada del primer amplificador o amplificador inversor sea
el mismo. Estos puntos pueden considerarse como los pri-
meros puntos de los dos divisores de tensión. Igualmente
se obtiene una simetría tal que el potencial sea el mismo
en los segundos puntos de los divisores de tensión a tra-
10 vés de los cuales la resistencia 363 está conectada. Es-
to significa que no habrá circulación de corriente notable
a través de esta resistencia 363 como resultado de estas
tensiones de polarización aplicadas a los amplificadores
351 y 352. Se observará que el segundo terminal de entra-
15 da del primer amplificador está conectado a un segundo di-
visor de tensión en un tercer punto y que la segunda entra-
da del segundo amplificador está conectada al primer divi-
sor de tensión en un tercer punto. En razón de la simetría,
estos terceros puntos tienen igualmente el mismo potencial.
20 Ya que las entradas del amplificador están conectadas a los
mencionados primero y tercer puntos, se establece una pe-
queña tensión de polarización que representa una pequeña
fracción de la tensión de la fuente de corriente continua.
A título de ejemplo esta tensión puede ser de 50 milivol-
25 tios. Esta tensión mantiene no conductores ambos amplifi-



- 79 -

403923

5 cadores en la ausencia de una señal en la línea de transmisión. Igualmente, el valor de la señal entrante, positiva en una línea particular, deben tener una magnitud y una polaridad tales que superen y por tanto anulen esta tensión de polarización preestablecida antes de que el amplificador respectivo cambie su estado de conducción.

10 En el ejemplo dado, los amplificadores son normalmente no conductores en ausencia de señal y por tanto producirán un nivel de salida lógico elevado cuando se anula la tensión de polarización. Cuando una señal aparece en la línea de transmisión, la corriente circula a través de la resistencia 363 para anular el estado de igualación o de equilibrio y por tanto activa el amplificador respectivo.

15 La presente descripción incluye lo que está contenido en las reivindicaciones adjuntas así como en la descripción anterior. Aunque el invento ha sido descrito en su forma de realización preferida, con un cierto grado de particularidad, queda entendido que la presente descripción de la forma preferida ha sido hecha solamente a título
20 de ejemplo y que se pueden realizar numerosos cambios en los detalles de los circuitos y en la combinación y disposición de los elementos de circuito sin alejarse del espíritu y del alcance del invento tal y como se reivindica en lo que sigue:

25



En resúmen, la Patente de Invención que se solicita, deberá recaer en las siguientes:

REIVINDICACIONES

5

1. Detector de intervalo de receptor múltiple xor para tren de impulsos de mensaje con impulsos que se producen a la frecuencia de exploración,

10

incluyendo dicho detector, en combinación, unos medios para producir una frecuencia de impulsos de comprobación n veces más elevada que dicha frecuencia de exploración,

15

unos medios de puerta para descifrar uno de n impulsos procedentes de dichos medios de frecuencia de comprobación para establecer un impulso de salida a partir de éste,

20

un comparador que tiene unas primera y segunda entradas, unos medios de recepción que tienen un impulso cuya frecuencia coincide con los impulsos de dicho tren de impulsos,

25

unos primeros medios que conectan dicho impulso procedente de dichos medios de recepción a dicha primera entrada de dicho comparador,

unos segundos medios que conectan el impulso



15

403923

de salida de dichos medios de puerta descifradora a dicha
segunda entrada de dicho comparador para que coincida sus-
tancialmente en el tiempo y esté en oposición con el im-
pulso de dicha primera entrada de dicho comparador para
5 mantener la misma salida a partir de éste,

estableciendo la recepción de un impulso de
ruido fuera del orden de dicho tren de impulsos de mensaje,
una salida de impulsos de dichos medios de recepción para
producir así impulsos no coincidentes en dichas primera y
10 segunda entradas de dicho comparador para producir así un
cambio en la salida del mismo, y

unos medios para aceptar los impulsos de un
tren de mensaje de acuerdo con la salida de dicho compara-
dor.

15 2. Detector de intervalo según la reivindica-
ción 1, caracterizado porque dichos medios de aceptación
aceptan impulsos de acuerdo con la ausencia de cambio en
la salida de dicho comparador.

20 3. Detector de intervalo según la reivindi-
cación 1, caracterizado porque dichos medios de aceptación
incluyen unos medios para rechazar todos los impulsos de
un tren de mensaje recibidos hasta el momento de un cambio en
la salida de dicho comparador.

25 4. Detector de intervalo según la reivindica-
ción 1, caracterizado porque dichos medios de frecuencia de



comprobación incluyen un oscilador controlado por cristal que puede funcionar a frecuencia elevada, y

5 una serie de divisores conectados a dicho oscilador para producir una frecuencia más baja que es n veces más elevada que dicha frecuencia de exploración.

5. Detector de intervalo según la reivindicación 1, caracterizado porque incluye un contador binario natural que tiene salidas en una pluralidad de líneas para contar hasta un número de base n y empezar de nuevo, y

10 unos medios que conectan dichos medios de puerta descifradora con la salida de dicho contador binario natural.

6. Detector de intervalo según la reivindicación 5, caracterizado porque dicho dispositivo de puerta descifradora incluye una puerta NAND que tiene unas entradas en cada una de la pluralidad de líneas a la salida de dicho contador binario natural para descifrar uno de los n impulsos procedentes de dicho contador y establecer una salida de nivel bajo a partir de dicha puerta NAND cuando cada una de dichas señales de entrada está sometida a un potencial elevado.

7. Detector de intervalo según la reivindicación 1, caracterizado porque dichos medios de puerta descifradora están constituidos por una puerta NAND que tiene una pluralidad de entradas para descifrar un cambio de sali-



403923

da cuando cada una de dichas entradas es elevada.

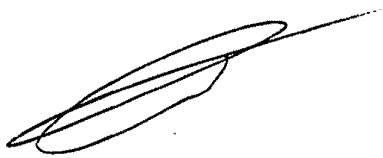
8. Detector de intervalo según la reivindicación 1, caracterizado porque dichos medios receptores incluyen unos medios de estrechamiento de impulsos para estrechar dicho impulso recibido de manera que sea aproximadamente n veces más estrecho que los impulsos de dicho tren de impulsos del mensaje.

9. Detector de intervalo según la reivindicación 1, caracterizado porque dichos medios de recepción incluyen un multivibrador monoestable que tiene una primera salida de un impulso de nivel alto con un borde anterior o un flanco final que coincide en el tiempo con el borde anterior o el flanco final respectivamente de cada impulso en dicho tren de impulsos del mensaje.

10. Detector de intervalo según la reivindicación 9, caracterizado porque incluye una segunda salida en dicho multivibrador monoestable que tiene una salida normalmente elevada y un impulso negativo complementario del impulso en la primera salida.

11. Detector de intervalo según la reivindicación 10, caracterizado porque dichos primeros medios de conexión incluyen unos medios que conectan dicha segunda salida de dicho multivibrador a dicha primera entrada de dicho comparador.

12. Detector de intervalo según la reivindicación





ción 1, caracterizado porque incluye unos medios para reposicionar dichos medios de frecuencia de comprobación al producirse cada impulso de salida de dichos medios de recepción, y

5 la recepción de un impulso de ruido actúa para reposicionar dichos medios de frecuencia de comprobación.

13. Detector de intervalo según la reivindicación 12, caracterizado porque incluye un contador binario natural conectado a la salida de dichos medios de frecuencia de comprobación, y

10

unos medios para reposicionar dicho contador binario natural al producirse un impulso de salida de dichos medios de recepción.

15

14. Detector de intervalo según la reivindicación 1, caracterizado porque dicho comparador incluye una puerta de rechazo NAND, y

20

el impulso de dicha primera entrada del comparador coincide sustancialmente en el tiempo y se superpone al impulso de dicha segunda entrada de dicho comparador para mantener por lo menos una entrada de nivel bajo en él con el objeto de impedir que la salida del mismo sea elevada.

25

15. Detector de intervalo según la reivindicación 1, caracterizado porque incluye un contador binario natural conectado a dichos medios de frecuencia de comprobación y porque tiene salidas en una pluralidad de líneas para



contar hasta un número de base n y empezar de nuevo,

estando dicha puerta descifradora conectada a dicha pluralidad de líneas de dicho contador binario natural para descifrar uno de los n impulsos procedentes de dicho contador con el objeto de establecer un impulso de salida a partir de dicha puerta descifradora,

siendo dichos medios de comparación una puerta de rechazo NAND,

incluyendo dichos medios de recepción un multivibrador monoestable que tiene una primera salida de nivel alto cuyos bordes anterior y posterior coinciden en el tiempo con los bordes anterior y posterior, respectivamente, de cada impulso de dicho tren de mensaje,

una segunda salida de dicho multivibrador que tiene una salida elevada y un impulso negativo complementario del impulso en dicha primera salida,

unos medios para reposicionar dichos medios de frecuencia de comprobación al producirse cada impulso de salida de dichos medios de recepción,

actuando la recepción de un impulso de ruido para reposicionar dichos medios de frecuencia de comprobación y para parar dicho contador binario natural, y

aceptando dichos medios de aceptación todos los impulsos de un tren de mensaje que están de acuerdo con una salida no cambiada de dicho comparador y rechazando todos



los impulsos de un tren de mensaje recibidos hasta el momento de un cambio en la salida de dicho comparador.

5 16. Se reivindica por último, como objeto sobre el que ha de recaer la Patente de Invención que se solicita: "DETECTOR DE INTERVALO DE RECEPTOR MULTIPLEXOR PARA TREN DE IMPULSOS DE MENSAJE".

10 Todo tal y como queda descrito y reivindicado en la presente Memoria descriptiva que consta de ochenta y seis páginas mecanografiadas y dibujos que se acompañan.

Madrid, 15 de junio de 1972

BERNARDO UNGRIA
P.P.

15

20

25

403923

15 JUN 1972
15 JUN 1972

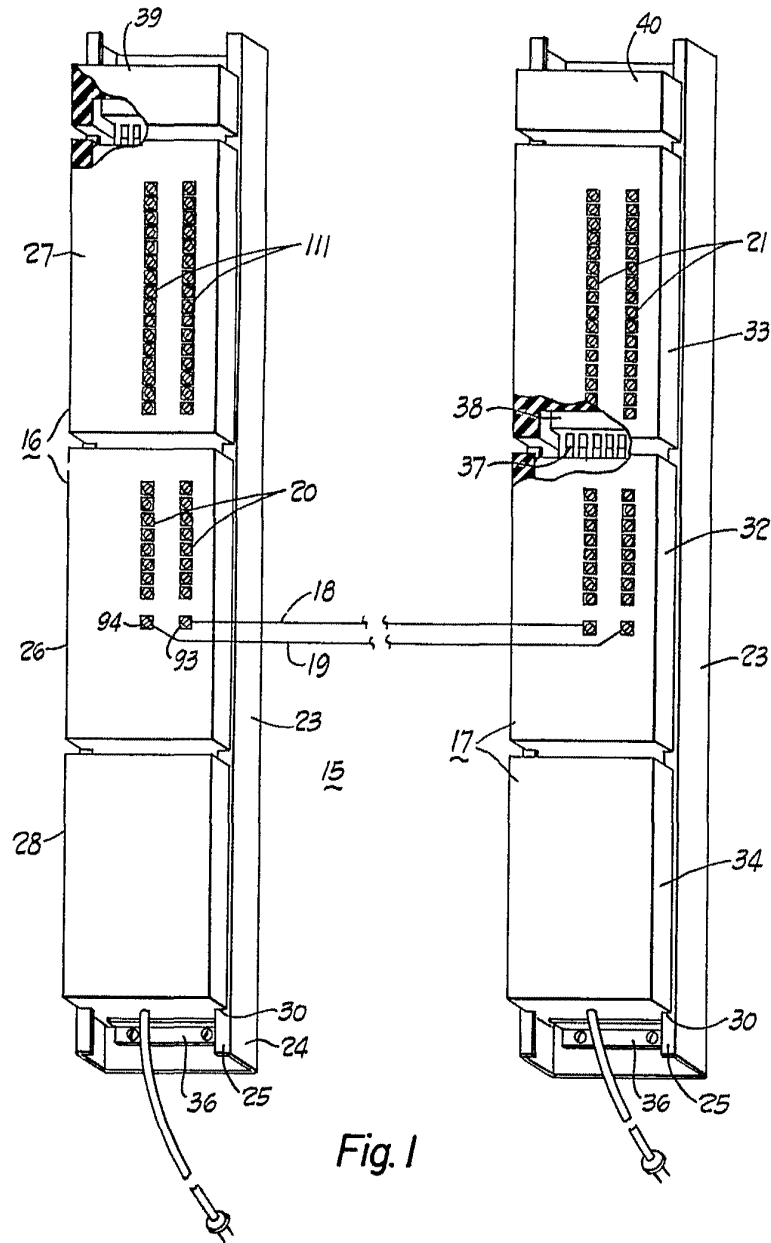


Fig. 1

ESCALA VARIABLE
 MADRID, 15 DE junio DE 1972
 BERNARDO UNGRÍA
 P. E.

403923 15

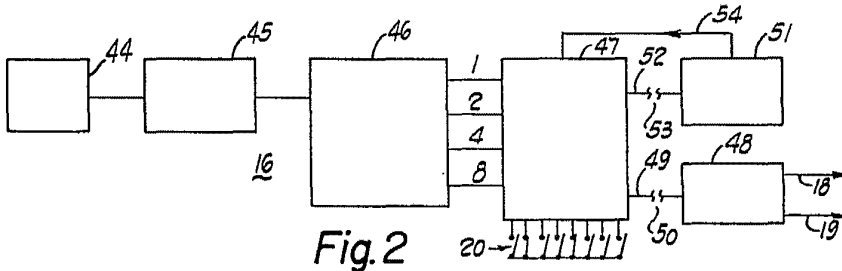


Fig. 2

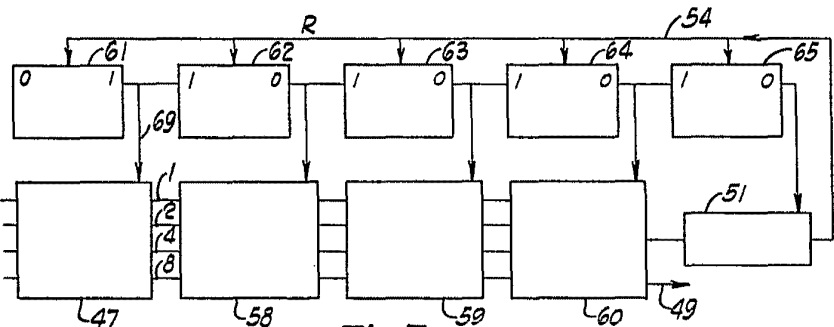


Fig. 3

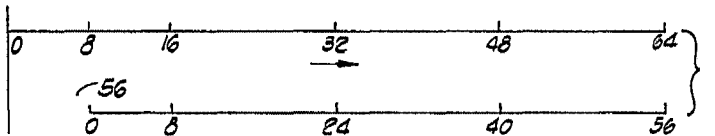


Fig. 4

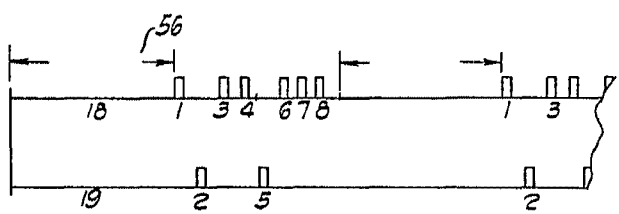


Fig. 5

ESCALA VARIABLE
 MADRID, 15 DE junio DE 1972
 BERNARDO UNGRÍA
 P. P.

403023

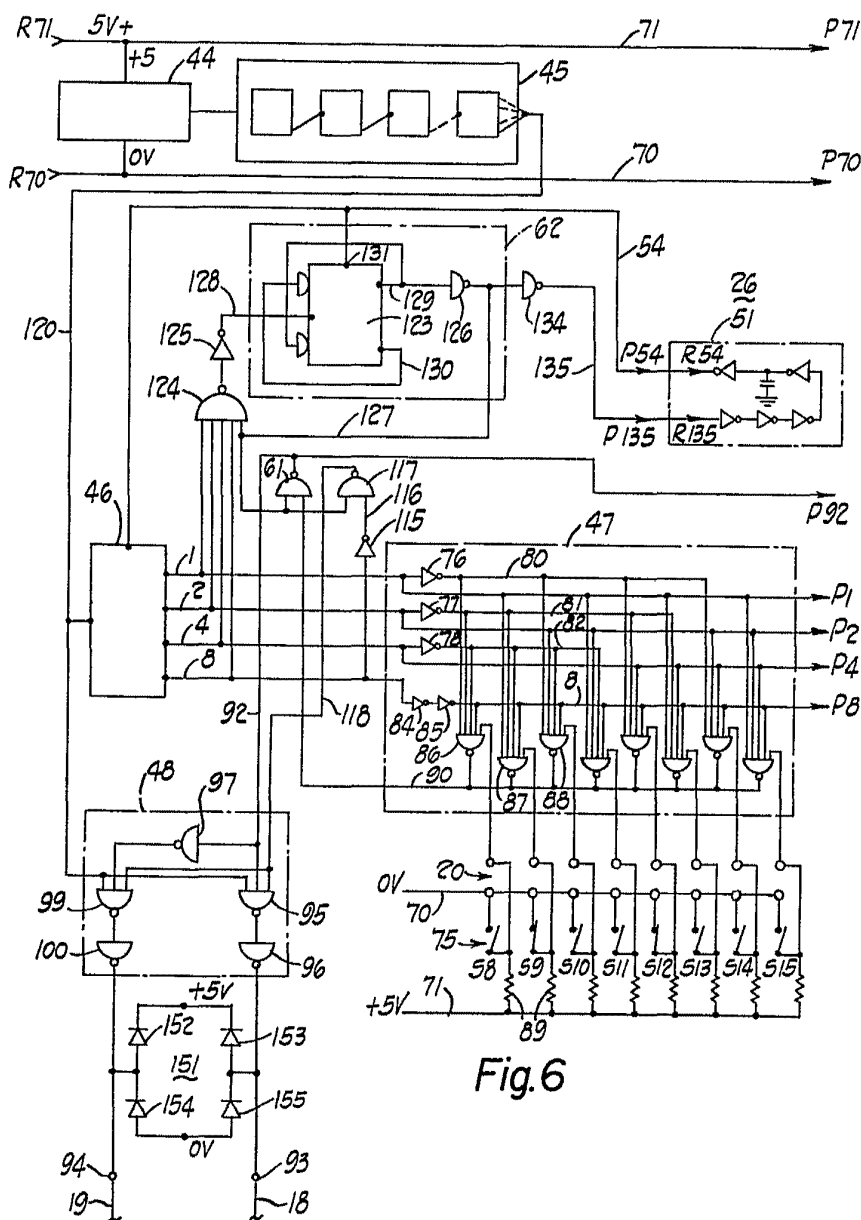


Fig.6

ESCALA VARIABLE
MADRID, 15 DE junio DE 19 72

BERNARDO UNGRÍA
P. P.

403923

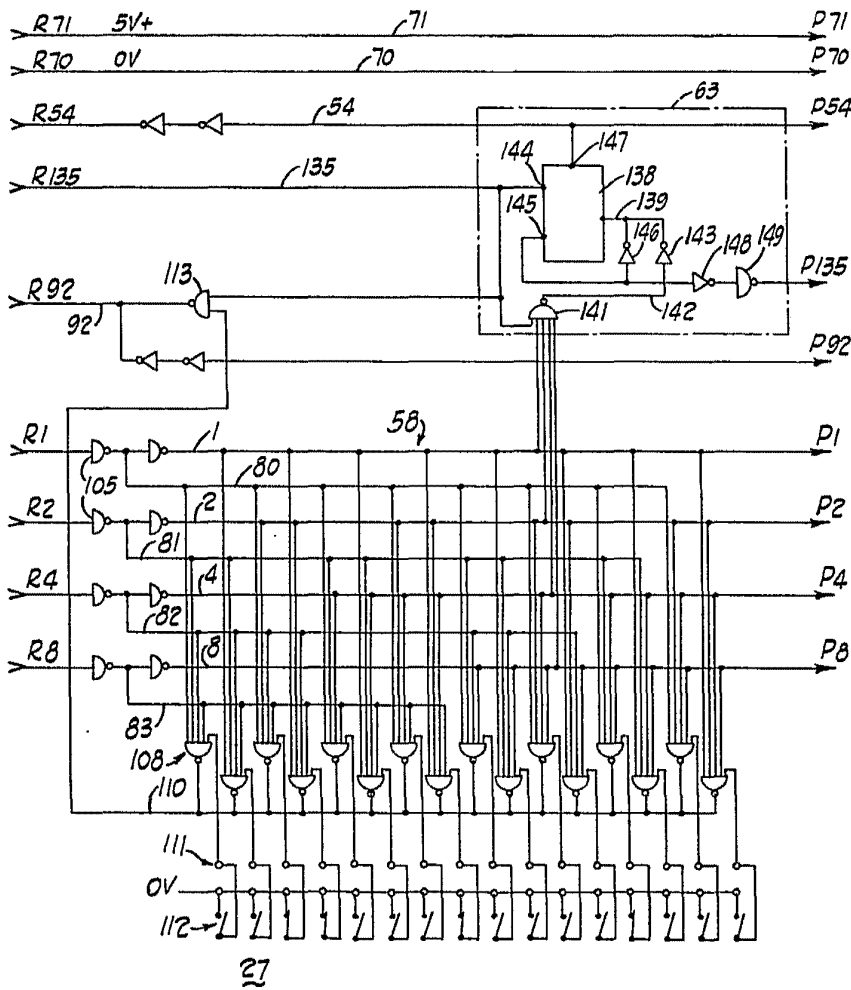


Fig. 7

ESCALA VARIABLE
MADRID, 15 DE Junio DE 1972
BERNARDO UNGRIA
P. E.

403923

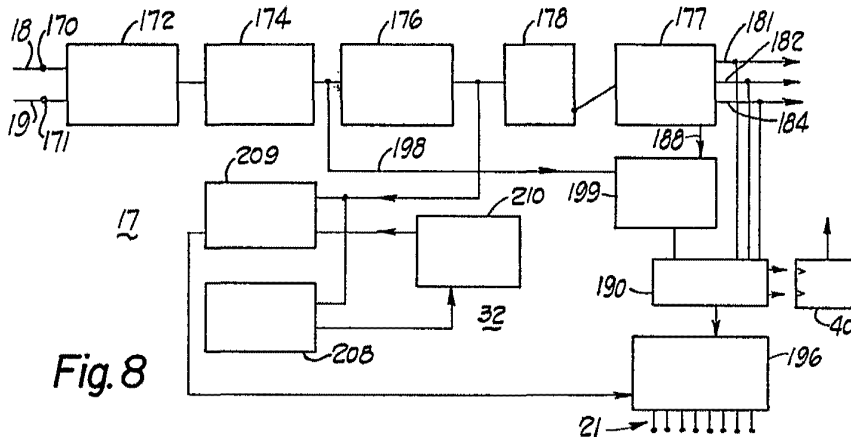


Fig. 8

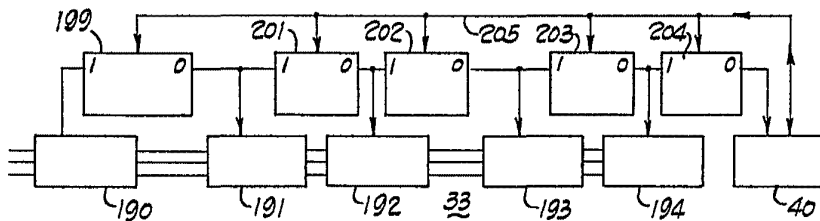


Fig. 9



Fig. 10



Fig. 11

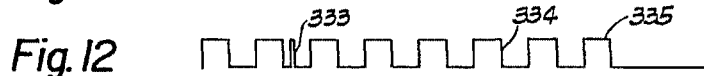


Fig. 12

ESCALA VARIABLE
 MADRID, 15 DE junio DE 1972
 BERNARDO UNGRIA
 P. E.

403923

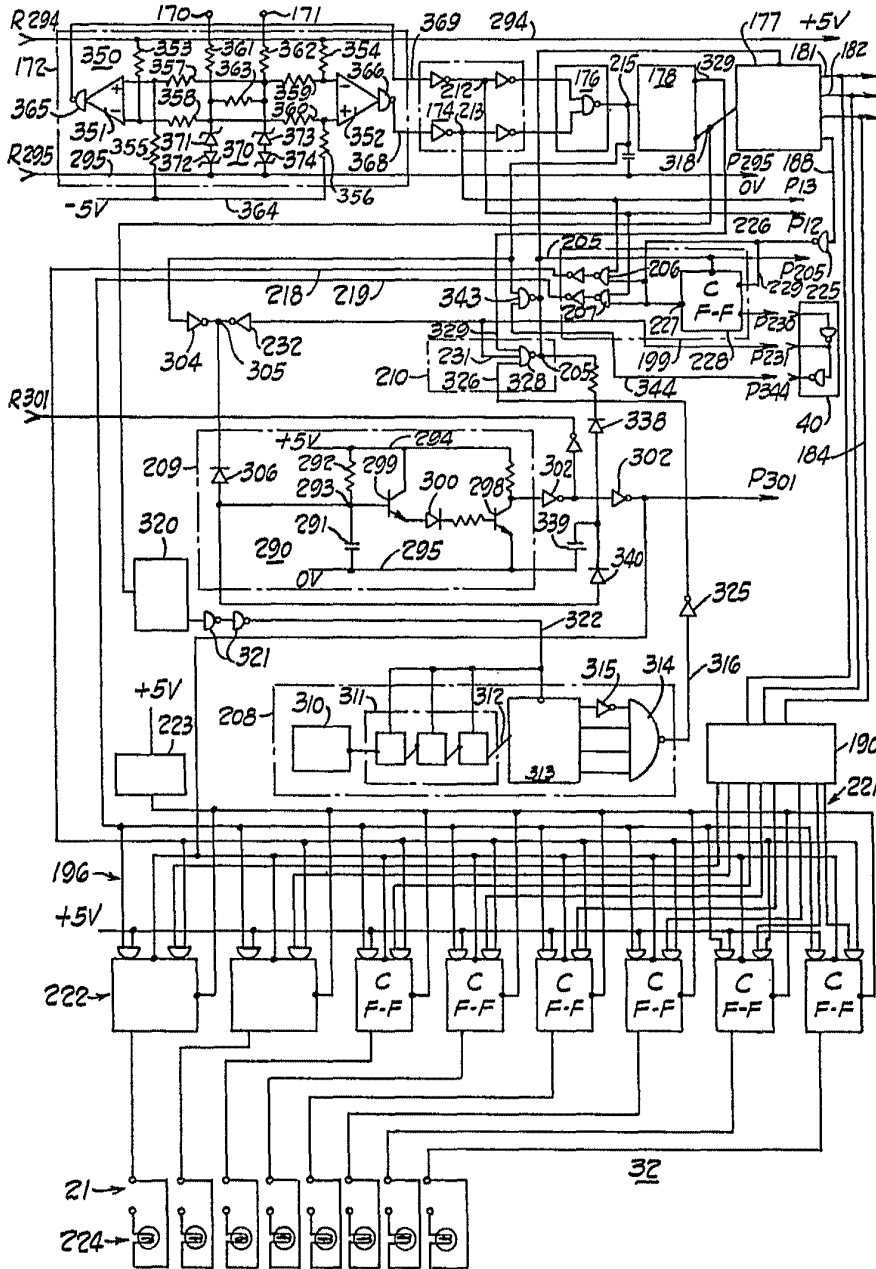


Fig. 13

ESCALA VARIABLE
MADRID, 15 DE JUNIO DE 1972
BERNARDO UNGRÍA
P. P.

403923

15

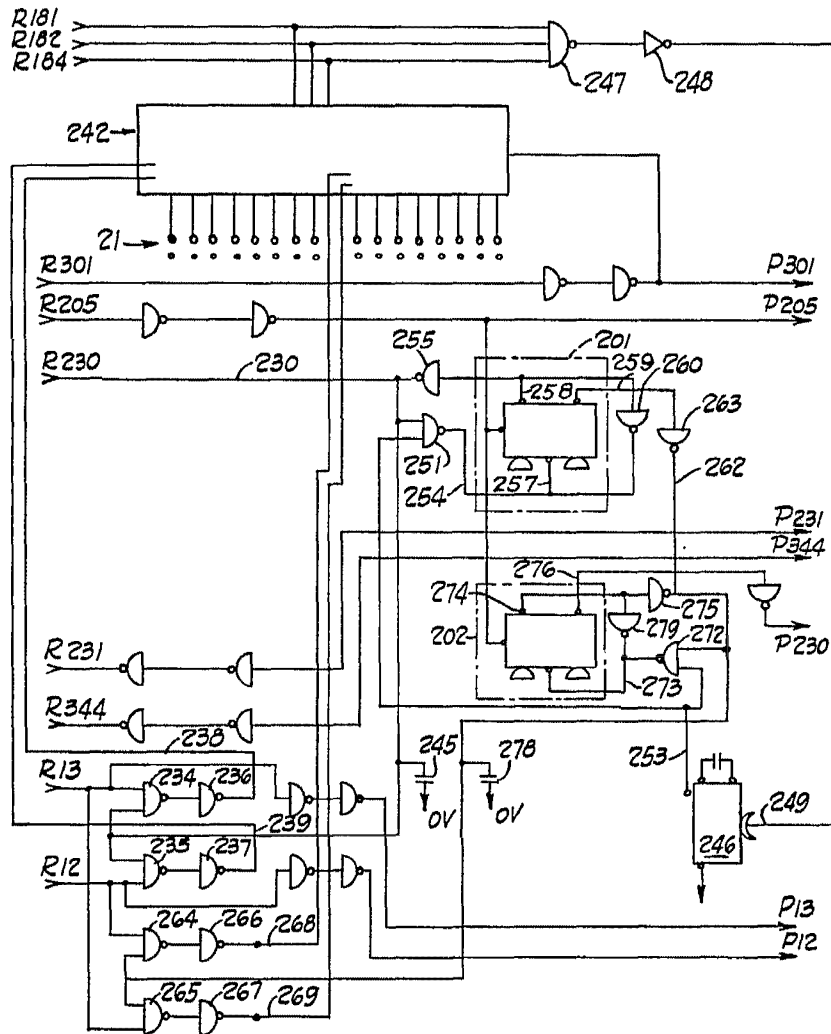


Fig. 14

ESCALA VARIABLE
MADRID, 15 DE JUNIO DE 1972
BERNARDO UNGRÍA
P. E.