



P.-50.985 - 6 JUL 1974

403781

IBM Docket R 09-70-031

Int. Cl. G 06 F

403781

SECCION TECNICA
CLASIFICACION I. P. C
CLASE _____
SUSCLASE _____

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION

en ESPANA

por 20 años

A nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad norteamericana

establecida en Armonk, N.Y., Estados Unidos de América.

por: "UN APARATO PARA LA ASIGNACION DINAMICA DE CICLOS DE INSTRUCCION A UNA PLURALIDAD DE DISPOSITIVOS DE DIRECCION EN UN SISTEMA DE TRATAMIENTO DE DATOS"

(Clase Internacional G06f)

POOR QUALITY

403781

8 JUL.



PRINCIPIOS BASICOS DEL INVENTO

Campo del Invento

El invento se refiere en general a sistemas electrónicos de tratamiento de datos y más particularmente a la asignación dinámica de ciclos de instrucción a una pluralidad de dispositivos de dirección para el acceso de una unidad de identificación de almacenamiento.

Descripción de la Técnica Anterior

La técnica anterior no asigna dinámicamente ciclos de instrucción a dispositivos de direccionamiento. Más bien, esta técnica preasigna ciclos de instrucción a los dispositivos de dirección sobre una base de tratar las pautas de datos de llegada correspondientes a órdenes de interrupción en las condiciones más desfavorables. En este invento, los ciclos de instrucción son asignados dinámicamente a una pluralidad de dispositivos de dirección independientes sobre la base de cual dispositivo de dirección está activo durante un ciclo de instrucción presente y el estado de las órdenes de interrupción en competencia durante ese ciclo de instrucción.

RESUMEN DEL INVENTO

El invento es un aparato perfeccionado para la asignación

403781



nación dinámica de ciclos de instrucción, uno cada vez, a un dispositivo de una pluralidad de dispositivos independientes de dirección para el acceso de una unidad de identificación de almacenamiento. El asignamiento de ciclos de instrucción está basado sobre cual dispositivo de dirección está activo durante un ciclo de instrucción presente y el estado de las órdenes de interrupción en competencia durante ese ciclo de instrucción.

El invento encuentra particular utilidad en controladores para dispositivos de entrada/salida para un sistema de tratamiento de datos. Los controladores contienen programas de control para los dispositivos de Entrada/Salida. De acuerdo con este invento, pueden ser almacenados múltiples programas de control en una unidad de almacenamiento de control única dentro del controlador. Los programas de control están en forma de microprograma y son seleccionados por los dispositivos de dirección. Los programas de control pueden ser individuales o comunes a dispositivos particulares de Entrada/Salida. Por ejemplo, el programa de control para el mando de ciertas funciones de un lector de fichas de datos sería individual para el lector de fichas mientras que el programa de control para el mando de ciertas funciones de una perforadora de fichas de datos sería individual para la perforadora de fichas. Y sin embargo, los programas de

403781



control para el control de funciones comunes tanto a la lectora de fichas como a la perforadora de fichas son utilizados en común por ambos dispositivos.

Los ciclos de instrucción para el acceso de dispositivos que seleccionan estos programas de control son asignados sobre una base de división de tiempo. Uno de los dispositivos de Entrada/Salida puede estar funcionando de modo continuo tal como en un modo de funcionamiento sin interrupción. Cuando esto ocurre, son asignados continuamente ciclos de instrucción al dispositivo de dirección que selecciona el programa de control en la memoria para el control de ese dispositivo de Entrada/Salida. Sin embargo, dos dispositivos de entrada/salida pueden estar simultáneamente solicitando servicio sobre una base de interrupción. Cuando esto ocurre, son asignados alternativamente ciclos de instrucción a los dispositivos de dirección que seleccionan los programas de control asociados. De ello se ve que son asignados dinámicamente los ciclos de instrucción a los dispositivos de direccionamiento de acuerdo con las necesidades de los dispositivos de Entrada/Salida a ser controlados. De este modo, puede ser utilizada una unidad única de control para una pluralidad de dispositivos de Entrada/Salida, y los recursos de la unidad de control, es decir los programas de control, son seleccionados dinámicamente de acuerdo con las necesidades de los dispositivos que están siendo controlados.

403781

- 8 JUL



Puesto que los ciclos de instrucción son asignados dinámicamente, no es necesario predeterminar pautas de interrupción. De ahí que el presente invento es más económico y más flexible. Las pautas de órdenes de interrupción pueden tener lugar en cualquier secuencia y el presente invento cumplirá las exigencias de esto.

Un objeto principal del invento es crear un aparato - perfeccionado para la asignación dinámica de ciclos de instrucción a dispositivos de dirección que:

(a) es relativamente poco costoso;

(b) no requiere predeterminación de pautas de órdenes de interrupción;

15

(c) tiene flexibilidad para cumplir los requerimientos de servicio de una pluralidad de dispositivos de Entrada/Salida;

(d) evita el excesivo escrutinio de conjuntos de programas para condiciones que requieren servicio de alta velocidad; y

20

(e) es en general útil en un sistema de tratamiento de datos.

#### BREVE DESCRIPCION DE LOS DIBUJOS

25

La Figura 1 es un diagrama de bloques de un sistema de tratamiento de datos que utiliza el controlador microprogramado de tiempo dinámicamente dividido de este invento.

403781



5 La figura 2 es un diagrama de bloques de los detalles de un circuito lógico que genera ciertas señales de control utilizadas para el control dinámico de la división de tiempo del controlador ilustrado en la Figura 1.

La Figura 3 es un diagrama de tiempo que representa los ocho intervalos de sincronismo en un ciclo de máquina.

10 La Figura 4 es un diagrama de bloques de un circuito lógico que genera las señales de control necesarias para la división dinámica de tiempo del controlador de la Figura 1 cuando son controlados tres dispositivos.

BREVE DESCRIPCION DE LAS REALIZACIONES PREFERIDAS

15 La Figura 1 es un diagrama de bloques de flujo de datos de un sistema de tratamiento de datos, que incluye una microunidad de tratamiento o controlador microprogramado diseñado para funcionar de acuerdo con los principios del invento. Los elementos básicos del sistema de tratamiento son una Memoria Principal 10, Registros  
20 12 y 14 de Datos X e Y (X Reg e Y Reg), una Unidad 16 Arimética y Lógica (ALU), una Memoria 18 de Control microprogramada, y una pluralidad de dispositivos de Entrada/Salida (I/O) de los cuales solamente están representados y están designados por  $I/O_0$  e  $I/O_1$ . También están incluidos  
25 dos Registros  $CSAR_0$  y  $CSAR_1$  de dirección de Memoria de Con-

403781



trol asociados con  $I/O_0$  e  $I/O_1$ . También están asociados con cada uno de los dispositivos I/O, correspondientes Registros Externos de dirección (Ext Regs) y una Memoria Local que contiene también Registros identificables.

5

10

La Memoria 18 de Control contiene una pluralidad de microprogramas o conjuntos de instrucciones para controlar y vigilar las operaciones de los dos dispositivos  $I/O_0$  e  $I/O_1$  de entrada/salida. Estos microprogramas son de tres tipos: (1) Aquellos que son individuales para  $I/O_0$ ; (2) Aquellos que son individuales para  $I/O_1$ ; y (3) Aquellos comunes a ambos dispositivos  $I/O_0$  e  $I/O_1$ . En una forma de ejemplo del invento,  $I/O_0$  es una lectora de fichas perforadas e  $I/O_1$  es una perforadora de fichas.

15

20

Cuando  $I/O_0$  tiene una solicitud de servicio de alta prioridad con orden de interrupción para la Memoria 18 de Control, es aplicada una señal TSCO SELECT de Control de División de Tiempo al Registro CSAR<sub>0</sub> para acceso al microprograma correcto en la Memoria 18 de Control y asociarlo con  $I/O_0$ . La señal de selección correspondiente para CSAR<sub>1</sub> está designada por TSC1 SELECT. La salida del correspondiente Registro Externo o Registro de Memoria Local es controlada por una señal Activadora de Control de División de Tiempo (TSC ACTIVE), por ejemplo esta señal para  $I/O_0$  está designada por TSCO ACTIVE, y la correspondiente señal para  $I/O_1$  está designada por TSC1 ACTIVE.

25

La Figura 1 ilustra los diversos caminos de flujo

403781

-8 J



de datos entre los diversos componentes del sistema de tratamiento de datos. En una forma del invento, la Memoria 18 de Control está normalmente dando servicio a  $I/O_1$  en un modo de servicio de baja prioridad que no está gobernado con interrupción. En este modo, por ejemplo,  $I/O_1$  puede estar haciendo manipulaciones de datos, tales como conversiones de serie a paralelo y de paralelo a serie. Sin embargo, la necesidad de  $I/O_0$  de utilizar la Memoria 18 de Control es iniciada siempre por algún tipo de orden de interrupción relacionada con el conjunto de dispositivos o el conjunto de programas. Las ordenes de interrupción relacionadas con el conjunto de dispositivos, tales como una solicitud de canal, son órdenes de interrupción externas procedentes de cualquier parte del sistema, y las órdenes de interrupción relacionadas con el conjunto de programas son generadas por la Memoria de Control en respuesta a la vigilancia continua o escrutinio de los Registros Externos para determinar cuando hay necesidad de una interrupción.

Cuando  $I/O_0$  emite una orden de interrupción, los subsiguientes ciclos de instrucción de la Memoria 18 de Control son asignados para dar servicio a  $I/O_0$  sobre una base de tiempo completo. Sin embargo  $I/O_1$  puede también emitir una orden de interrupción para una solicitud de servicio de alta prioridad. Cuando  $I/O_0$  e  $I/O_1$  están emitiendo simultáneamente ordenes de interrupción para servi-



403781

5           cio de alta prioridad, entonces el control dinámico de división de tiempo de este invento asigna alternativamente - ciclos de instrucción consecutivos de la Memoria 18 de Control a  $I/O_0$  e  $I/O_1$  que comparten así equitativamente el tiempo de utilización de la Memoria de Control. Cada uno de los microprogramas de la Memoria 18 de Control emite una orden de reposición para eliminar su división de tiempo cuando el servicio requerido se ha llevado a término. Además, este modo de funcionamiento en tiempo compartido es inhibido durante instrucciones de omisión o de

10           bifurcación. Se observará, sin embargo, que modificaciones de diseño permitirían que tuviese lugar la división de tiempo durante instrucciones de omisión o de bifurcación.

15           La Figura 2 es un diagrama de bloques de una forma de un circuito lógico que produce las señales TSCO SELECT, TSCI SELECT, TSCO ACTIVE y TSCI ACTIVE representadas en la Figura 1.

20           La Figura 3 ilustra los ocho impulsos de sincronismo, designados por A, B...H, de un ciclo de máquina del sistema de tratamiento de datos ilustrado en la Figura 1. Este ciclo de máquina puede ser también considerado como un ciclo de instrucción para la Memoria 18 de Control. Los impulsos A y D de sincronismo son de interés con respecto al presente invento.

25           La siguiente Tabla de Estados Verdaderos resume el funcionamiento del circuito lógico de la Figura 2.

403781



TABLA DE ESTADOS VERDADEROS NUMERO 1

	Estado Activo		Solicitud de Servicio		Siguiete Estado Activo	
	Presente					
1	TSO	TS1	TSO	TS1	TSO	TS1
2	1	0	0	0	0	1
3	1	0	0	1	0	1
4	1	0	1	0	1	0
5	1	0	1	1	0	1
6	0	1	0	0	0	1
7	0	1	0	1	0	1
8	0	1	1	0	1	0
9	0	1	1	1	1	0

20

Se expone el siguiente funcionamiento detallado del circuito de la Figura 2 para mostrar que este funcionamiento coincide con la anterior Tabla de Estados Verdaderos.

25

En esta realización del invento se ha supuesto que la Memoria 18 de Control está dando servicio actual-

403781



mente a  $I/O_1$  en un modo de excitación de baja prioridad o sin interrupción, que será también denominado el modo normal. Para el presente ciclo de instrucción aparece la señal TSC1 ACTIVE sobre la línea 28 desde el intervalo A de sincronismo hasta el intervalo H de sincronismo para controlar el paso de los Registros 1 Externos y Memoria 1 Local. Además, la señal TSC1 SELECT aparece sobre la línea 30 desde el intervalo D de sincronismo del ciclo precedente hasta el intervalo D de sincronismo del ciclo presente.

10 Si no hay orden de interrupción o solicitud de servicio de  $I/O_0$  en el intervalo D de sincronismo del ciclo presente, entonces la señal TSC1 SELECT permanece a nivel alto para seleccionar el registro CSAR1 para el ciclo siguiente.

El circuito de la Figura 2 pone en ejecución el modo normal como sigue. Si no hay solicitud de servicio u

15 orden de interrupción procedente de  $I/O_0$ , entonces ninguna de las señales TSO HRDW REQ o TCO SOFTWARE REQ está presente en las dos entradas del circuito "0" 32 y, por consiguiente, el circuito 34 de Cierre de Solicitud permanece

20 en su estado R o estado de reposición, y su salida tiene un nivel bajo, es decir no hay señal sobre la línea 36. Consecuentemente, tanto la entrada 38 del circuito "Y" 40 como la entrada 42 del circuito "Y" 44 están a nivel bajo, de modo que la salida del circuito "0" 46 está también a nivel

25 bajo. Sin embargo, el circuito 48 inversor o circuito

403781



"NO" hace subir el nivel de la entrada inferior del circuito "Y" 50 que está conectada al terminal R de reposición del circuito 52 de Cierre de Selección.

10 En el intervalo D de sincronismo del ciclo presente, en ausencia de una instrucción de omisión o bifurcación, el circuito "Y" 54 hace subir el nivel de su línea 56 de salida, elevándose el nivel de la entrada superior del circuito "Y" 50. Consecuentemente, la salida del circuito "Y" 50 es elevada de nivel en el intervalo D para reponer el circuito 52 de Cierre de Selección o provocar su permanencia en su estado de reposición si ya se encontraba en este estado, produciendo de este modo sobre la línea 30 la señal TSC1 SELECT. Esta señal permanece con nivel alto hasta el intervalo D del ciclo siguiente.

15 En el intervalo A del ciclo siguiente, el circuito "Y" 58 se muestrea la línea 30 para determinar si esta señal está presente. Si es así, entonces la salida del circuito "Y" 58 es elevada de nivel para excitar el circuito 60 de Cierre Activo produciendo así sobre las líneas 62 y 28 la señal TSC1 ACTIVE.

20 Supóngase ahora que antes del intervalo D aparece una orden de interrupción en la forma de una Solicitud de servicio procedente de I/O<sub>0</sub> en una de las entradas del circuito "O" 32 cuya salida excita entonces el circuito 34 de Cierre de Solicitud elevándose el nivel de la línea 36 y



# 403781

la entrada 38 del circuito "Y" 40. Puesto que el nivel de la entrada 64 del circuito "Y" 40 es subido por la presencia de la señal TSC1 SELECT sobre la línea 30, la salida del circuito "O" 46 eleva ahora el nivel de la entrada inferior del circuito "Y" 66 conectada al terminal S de activación del circuito 52 de Cierre de Selección. La entrada superior del circuito "Y" 66 es también elevada de nivel en el intervalo D, activando así el circuito 52 de Cierre de Selección para producir la señal TSCO SELECT sobre la línea 68 y eliminar la señal TSC1 SELECT de la línea 30.

En el intervalo A de sincronismo del ciclo siguiente, la entrada inferior del circuito "Y" 58 está ahora a nivel bajo. Por consiguiente, la salida del circuito "Y" 58 está también a nivel bajo, pero el circuito 70 inversor o circuito "NO" eleva el nivel de la entrada inferior del circuito "Y" 72 que está conectada al terminal R de reposición del circuito 60 de Cierre Activo. El impulso A de sincronismo es aplicado a la entrada superior del circuito "Y" 72, de modo que el Circuito 60 de Cierre es re- puesto en el intervalo A y permanece en este estado durante el tiempo correspondiente al ciclo de instrucción. Consecuentemente, la salida 62 tiene nivel bajo, y el circuito 74 inversor o circuito "NO" eleva el nivel de la línea 76 para producir sobre la misma la señal TSCO ACTIVE, de modo

403781



que se da servicio ahora a  $I/O_0$  por la Memoria 18 de Control durante este ciclo de instrucción.

Como puede verse en la Tabla de Estados Verdaderos Número 1, el controlador permanece en este modo de dar servicio a  $I/O_0$  en tanto que aparece una solicitud de servicio en una entrada del circuito "0" 32 o no se ha producido señal TS de Reposición del conjunto de programas inmediatamente después de la eliminación de las señales de entrada del circuito "0" 32 y no aparece orden de interrupción o solicitud de servicio de alta prioridad procedente de  $I/O_1$  en una entrada del circuito "0" 78. Cuando ha llegado a término el servicio solicitado o microprograma, la Memoria 18 de Control emite una orden SOFTWARE TS RESET que es aplicada al circuito "Y" 80 para reponer el circuito 34 de Cierre de Solicitud e inhabilitar el circuito "Y" 40. Consecuentemente, en el siguiente intervalo D, el circuito 52 de Cierre de Selección será repuesto para producir nuevamente la señal TSC1 SELECT sobre la línea 30, haciendo volver así al controlador a su modo normal de dar servicio a  $I/O_1$  sobre una base de baja prioridad en el ciclo siguiente.

Supóngase ahora que el circuito 34 de Cierre de Solicitud está activado, es decir, el controlador está dando servicio a  $I/O_0$  en respuesta a una solicitud de servicio presente en una entrada del circuito "0" 32. Si apare-

403781



ce ahora simultáneamente sobre una entrada del circuito "0" 78 una solicitud de servicio de alta prioridad, TSI HRDW REQ o TSI SOFTWARE REQ, entonces la Tabla de Estados Verdaderos Número 1 muestra que serán asignados alternativamente a  $I/O_1$  e  $I/O_0$  intervalos divididos de tiempo consecutivos de la Memoria 18 de Control.

Este funcionamiento es puesto en ejecución por el circuito de la Figura 2 del modo siguiente. Al comienzo del ciclo presente, están altos los niveles de ambas señales

10 TSCO ACTIVE y TSCO SELECT. La solicitud de servicio procedente de  $I/O_1$  presente sobre la entrada del circuito "0" 78, activará el circuito 82 de Cierre de Solicitud, haciendo bajar de este modo el nivel de la entrada central del

15 circuito "Y" 44 de modo que la salida de este circuito toma también un nivel bajo. Puesto que la señal TSCI SELECT no está presente sobre la línea 30, es también bajado el nivel de la entrada 64 del circuito "Y" 40, y es también bajado el nivel de la salida de este circuito. Consecuentemente, la salida del circuito "0" 46 está a nivel bajo, y

20 en el intervalo D la salida del inversor 48 actúa a través del circuito "Y" 50 para reponer el circuito 52 de Cierre de Selección y producir sobre la línea 30 la señal TSCI SELECT que selecciona el registro  $CSAR_1$  para el siguiente ciclo de instrucción. En el intervalo A de sincronismo de

25 este ciclo siguiente, es activado el circuito 60 de Cierre

403781



Activo para producir la señal TSC1 ACTIVE sobre la línea 28 cuya señal controla la salida de los Registros Externos 1 ó Memoria Local 1 asociados con  $I/O_1$ .

Si en el intervalo D de este ciclo siguiente aún aparecen solicitudes de servicio sobre las entradas de ambos circuitos "0" 32 y 78, entonces la Tabla de Estados Verdaderos Número 1 muestra que será seleccionado el registro CSAR<sub>0</sub> durante el ciclo siguiente, dando como resultado que  $I/O_0$  e  $I/O_1$  compartan por igual el tiempo de la Memoria 18 de Control. Este funcionamiento es puesto en ejecución del modo siguiente.

En el intervalo D de sincronismo, ambas entradas 38 y 64 del circuito "Y" 40 están a nivel alto, de modo que la salida del circuito "0" 46 está a nivel alto. Por consiguiente, la salida del circuito "Y" 66 activa el circuito 52 de Cierre de Selección para hacer subir el nivel de la señal TSCO SELECT en el intervalo D. Consecuentemente, en el intervalo A de sincronismo del ciclo siguiente, los circuitos "Y" 58 y 72 repondrán el circuito 60 de Cierre activo para hacer subir el nivel de la señal TSCO ACTIVE sobre la línea 76, dando así salida a los Registros Externos 0 ó Memoria Local 0 asociados con  $I/O_0$ .

Por consiguiente, mientras están simultáneamente presentes solicitudes de servicio procedentes de ambos dispositivos  $I/O_0$  e  $I/O_1$ , serán asignados alternativamente a

403781



I/O<sub>0</sub> e I/O<sub>1</sub> ciclos de instrucción consecutivos de la Memoria 18 de Control.

10 Cuando ha llegado a término el servicio solicitado por cualquiera de los dos dispositivos I/O<sub>0</sub> o I/O<sub>1</sub>, la Memoria 18 de Control genera una señal SOFTWARE TS RESET. Si se está dando servicio a I/O<sub>1</sub> en este intervalo, entonces la señal TSC1 ACTIVE sobre la línea 28 y la señal SOFTWARE TS RESET aplicadas a las entradas del circuito "Y" 84 reponen el circuito 82 de Cierre de Solicitud. La presencia de la señal TSC1 SELECT sobre la línea 30 sigue haciendo posible la activación del circuito "Y" 40, pero el inversor 86 inhabilita el circuito "Y" 44. Consecuentemente, en el intervalo D, el circuito 52 de Cierre de Selección está activado produciendo la señal TSCO SELECT sobre la línea 15 68 de modo que la señal TSCO ACTIVE se eleva de nivel en el siguiente impulso A de sincronismo.

20 La Memoria 18 de Control dará servicio ahora a I/O<sub>0</sub> sobre una base de período completo. En el ciclo siguiente, el nivel de las tres entradas del circuito "Y" 44 está alto. El nivel de la entrada superior es subido por el estado de activación del circuito 34 de Cierre de Solicitud, la entrada central por el estado de reposición del circuito 82 de Cierre de Reposición, y la entrada inferior por el inversor 86.

Quando ha llegado a término el servicio solicitado

403781



por I/O<sub>0</sub>, las señales SOFTWARE TS RESET y TSCO ACTIVE cooperan en las entradas del circuito "Y" 80 para reponer el circuito 34 Cierre de Solicitud. Consecuentemente, son inhabilitados ambos circuitos "Y" 40 y 44 y el inversor 48 y el circuito "Y" 50 repondrán el circuito 52 de Cierre de Selección en el siguiente intervalo D para retomar el controlador a su modo normal.

10 La Figura 4 ilustra una forma de un circuito lógico que genera las señales de control para la división dinámica de tiempo de la Memoria 18 de Control cuando se dá servicio a tres dispositivos I/O por parte de la Memoria de Control. Con referencia a la Figura 1, se supondrá que está incluido un tercer dispositivo I/O<sub>2</sub> de Entrada/Salida con sus registros asociados, tales como el CASR<sub>2</sub>, los Registros Externos 2 y la Memoria 2 Local, ninguno de los  
15 cuales está ilustrado en la Figura 1.

La siguiente Tabla N° 2 de Estados Verdaderos resume el funcionamiento del circuito de la Figura 4 del mismo modo que la Tabla N° 1 de Estados Verdaderos resume  
20 el funcionamiento del circuito de la Figura 2.

# 403781



TABLA Nº 2 DE ESTADOS VERDADEROS

<u>TS Activo presente</u>		<u>Solicitud de Servicio</u>			<u>TS Activo siguiente</u>
14	0	0	0	0	1
15	0	0	0	1	2
16	0	0	1	0	1
17	0	0	1	1	1
18	0	1	0	0	0
19	0	1	0	1	2
20	0	1	1	0	1
21	0	1	1	1	1
22	1	0	0	0	2
23	1	0	0	1	2
24	1	0	1	0	1
25	1	0	1	1	2
26	1	1	0	0	0
27	1	1	0	1	0
28	1	1	1	0	0
29	1	1	1	1	0
30	2	0	0	0	0
31	2	0	0	1	2
32	2	0	1	0	1
33	2	0	1	1	1
34	2	1	0	0	0
35	2	1	0	1	0
36	2	1	1	0	0
37	2	1	1	1	0

403781

-8 JUN



Es obvio de las anteriores descripciones e ilustraciones de dos realizaciones del invento, que pueden diseñarse tablas de estados verdaderos y conjunto de dispositivos accesorios para proporcionar un control de división dinámica de tiempo para cualquier número de dispositivos a los que se ha de dar servicio por la Memoria 18 de Control.

5

Una de las ventajas de la división de tiempo es que pueden existir múltiples programas de control en una memoria de control única y ser incluso independientes lógicamente. Además, pueden compartir programas comunes de control. Es posible que todos los registros CSAR pudiesen contener la misma dirección de instrucción de memoria en algún instante. Tomando además este concepto, pueden ser controlados n dispositivos idénticos, utilizando n divisiones de tiempo, por una memoria de control única.

10

15

Aunque el invento ha sido expuesto y descrito en particular con referencia a las realizaciones preferidas del mismo, se entenderá por los expertos en la técnica que pueden hacerse diversos cambios en la forma y detalles del mismo sin apartarse de la esencia y campo del invento.

20

Esta solicitud que corresponde a la presentada en Estados Unidos de América el día 30 de Junio de 1971 bajo el número 158.324, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

25

403781

R-8



--REIVINDICACIONES--

=====

Los puntos de Invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España por VEINTE años son los siguientes:

1.-Un aparato para la asignación dinámica de ciclos de instrucción a una pluralidad de dispositivos de dirección en un sistema de tratamiento de datos que incluye medios de almacenamiento que funcionan cíclicamente, comprendiendo dicho aparato:

(a) medios acoplados a dichos medios de almacenamiento y que responden a una primera orden de interrupción asociada con un primer dispositivo de dirección para la asignación de ciclos consecutivos de instrucción de dichos medios de almacenamiento a dicho primer dispositivo de dirección; y

(b) medios acoplados a dichos medios de almacenamiento y que responden a la aparición simultánea de dicha primera orden de interrupción y una segunda orden de interrupción asociada con un segundo dispositivo de dirección para asignar alternativamente ciclos consecutivos de instrucción de dichos medios de almacenamiento a dicho primer y segundo dispositivos de dirección.

20

2.-El aparato como se ha definido en la reivindicación 1, que comprende además medios que responden a

25



403781

18 J



la aparición simultánea de dicha primera orden de interrupción, dicha segunda orden de interrupción y una pluralidad de otras ordenes de interrupción asociadas con otros dispositivos de dirección para asignar secuencialmente ciclos consecutivos de instrucción de dichos medios de almacenamiento a dichos primer, segundo y otros dispositivos de dirección.

3.-El aparato como se ha definido en la reivindicación 1, que comprende además medios acoplados a dichos medios de almacenamiento para asignar normalmente ciclos consecutivos de instrucción de dichos medios de almacenamiento a dicho segundo dispositivo de dirección en ausencia de dichas primera y segunda ordenes de interrupción.

4.-El aparato como se ha definido en la reivindicación 1, en donde dichos medios de almacenamiento están funcionando de modo continuo, y dicho programa comprende una pluralidad de microprogramas que incluyen un primer microprograma asignable solamente a dicho primer dispositivo de dirección, un segundo microprograma asignable solamente a dicho segundo dispositivo de dirección y un tercer microprograma asignable tanto a dicho primer dispositivo de dirección como a dicho segundo dispositivo de dirección.

5.-Un aparato para la asignación dinámica de ciclos de instrucción a una pluralidad de dispositivos



403781



de dirección para tener acceso a una unidad de almacenamiento identificable que contiene ciclos de tiempo, comprendiendo, primeros medios para determinar el dispositivo de dirección activo durante un ciclo de instrucción,  
5 segundos medios que determinan el estado de las solicitudes de ciclos de tiempo almacenadas en dicha unidad de almacenamiento, y medios que responden a estados determinados por dichos primeros y segundos medios para la determinación de que dispositivo de dirección recibe el  
10 siguiente ciclo de instrucción.

6.-Un aparato para la asignación dinámica de ciclos de instrucción de modo selectivo, uno cada vez, en secuencia a uno de una pluralidad de dispositivos de dirección para el acceso a medios de almacenamiento identificables siendo utilizado cada uno de los dispositivos de dirección para hacer entrar en operación a un programa lógico que da servicio a ordenes de interrupción que tienen una pauta de aparición imprevisible, que comprende: primeros medios durante cada ciclo de instrucción que  
15 determinan que dispositivo de dirección está activo normalmente; segundos medios durante cada uno de los ciclos de instrucción que determinan estados de solicitud de interrupción; y terceros medios que responden a estados determinados por dichos primeros y segundos medios para  
20 la determinación del mencionado dispositivo de dirección  
25





403781

al que va a ser asignado el siguiente ciclo de instrucción.

7.-UN APARATO PARA LA ASIGNACION DINAMICA DE CICLOS DE INSTRUCCION A UNA PLURALIDAD DE DISPOSITIVOS DE DIRECCION EN UN SISTEMA DE TRATAMIENTO DE DATOS".-

5 Tal y como se ha descrito en la Memoria que antecede representado en los dibujos que se acompañan y con los fines que se han especificado.

Esta Memoria consta de veinticuatro hojas escritas a máquina por una sola cara.

10

Madrid, 1-8 Julio 72

P.A.

Alberto de Eizaburu  
Por Poder

403781

P. 50985

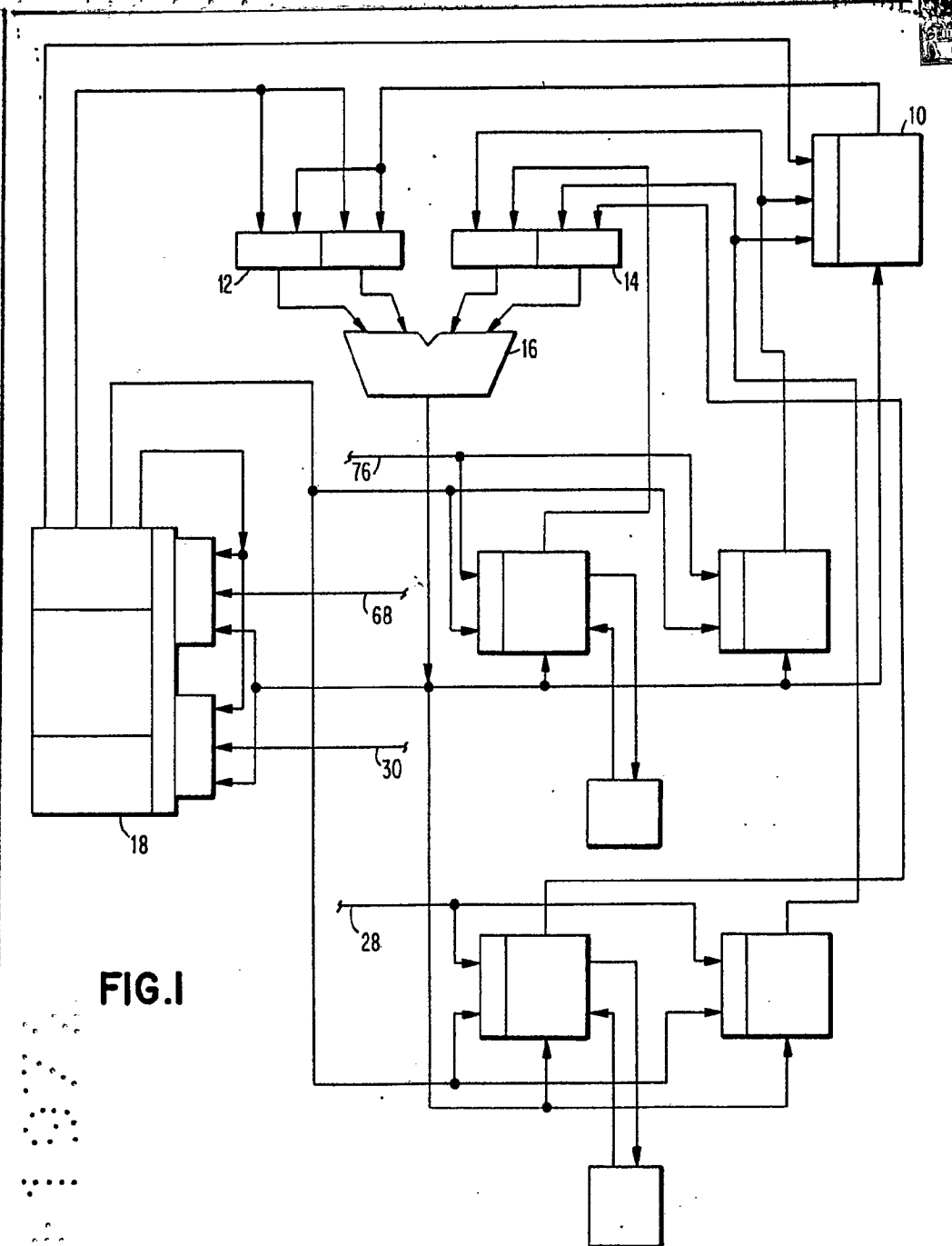
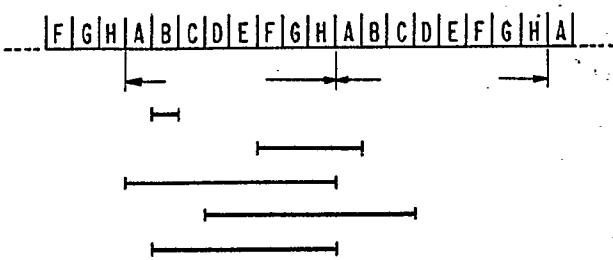


FIG. 1

FIG. 3

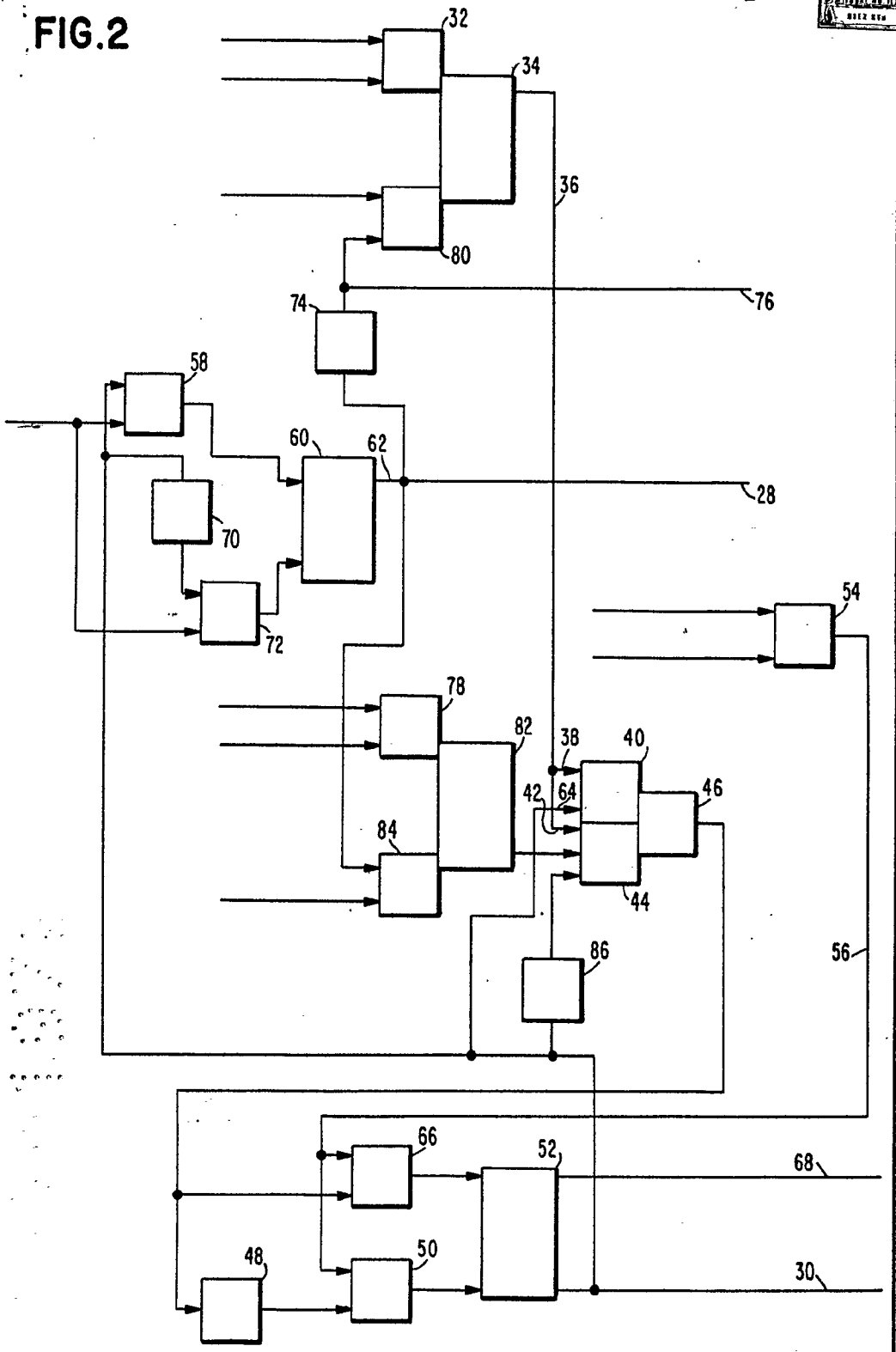


Alberto de Elizaburu  
 Por Poder.

403781



FIG. 2

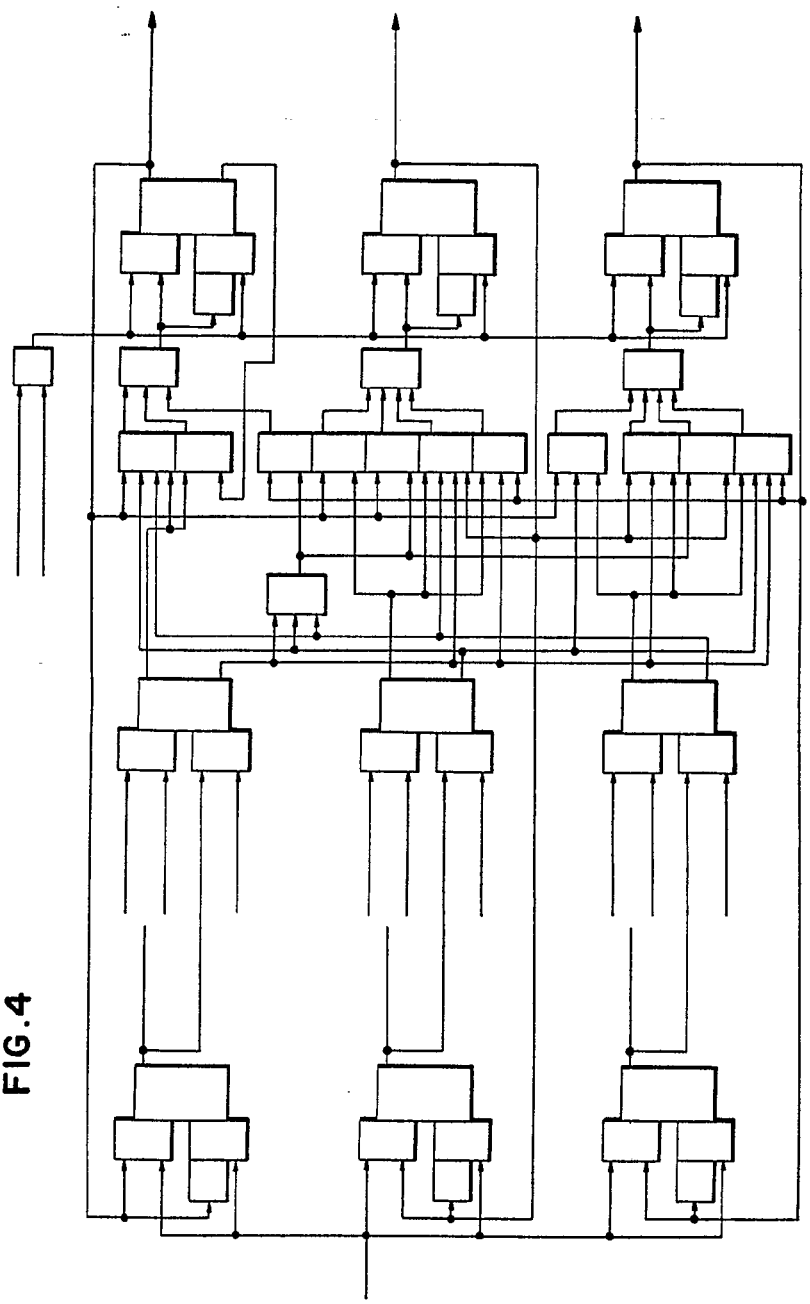


Alberto de Elzaburo  
Por Poder.

403781

403781

FIG. 4

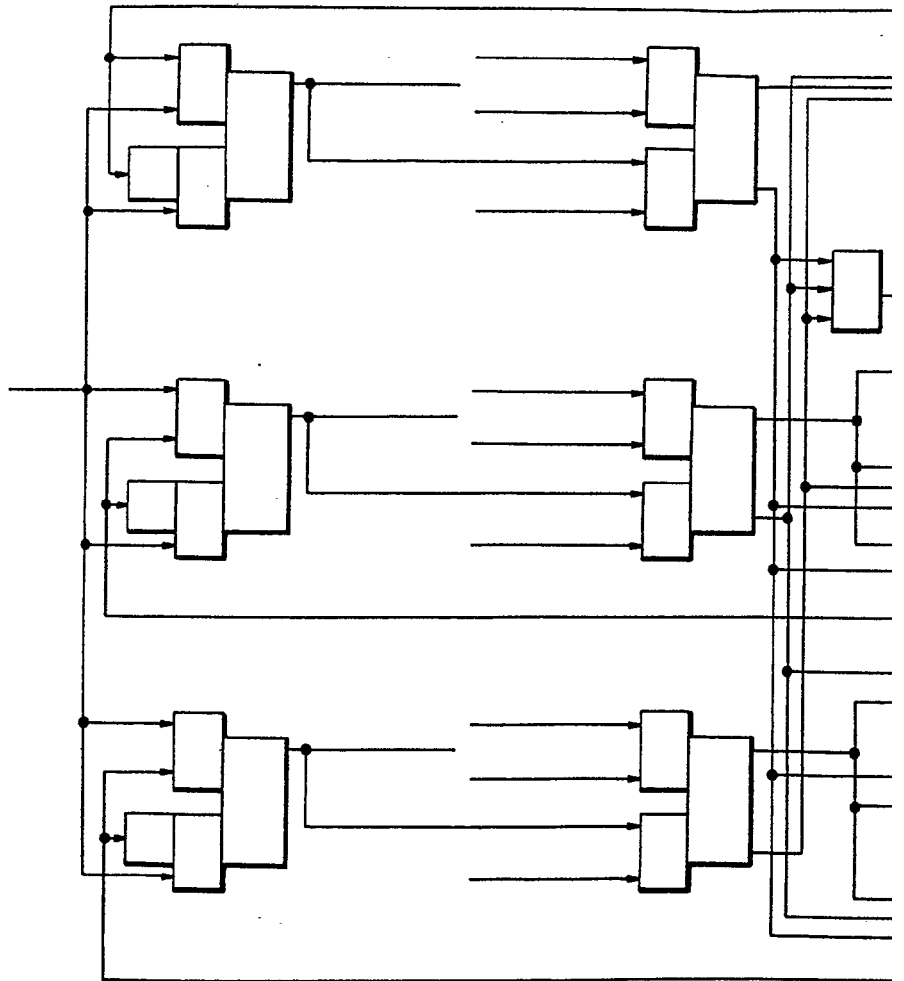


Alberto de Eizaburu  
 Por Poder.

403781

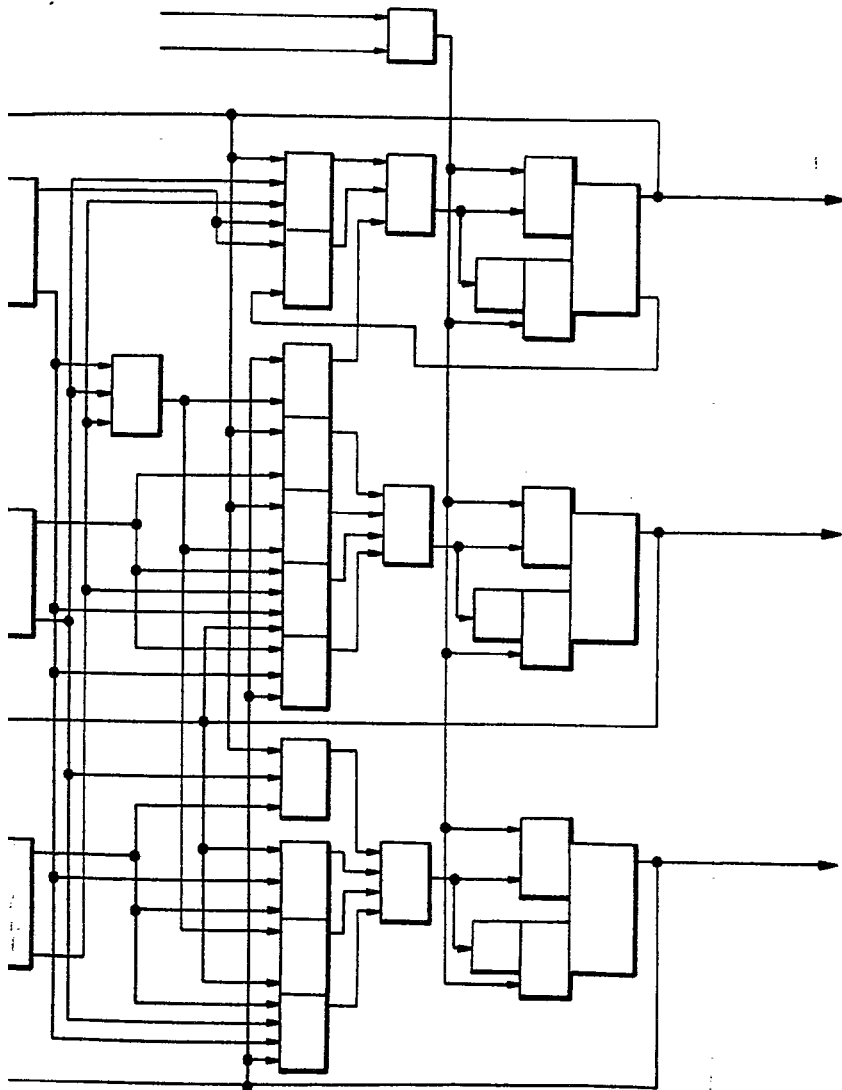
403781

FIG. 4





403781



Alberto de Elizaburu  
Por Poder.