

403759

SECCION TECNICA
CLASIFICACION I. P. C
CLASE _____
SUBCLASE _____

PATENTE DE INVENCION

Case 1.

403759



*Memoria Descriptiva*

*sobre:*

Perfeccionamientos en dispositivos de gestión de conexiones entre una memoria de datos y unidades de tratamiento que la explotan.

.=.=.=.=.=.=.=.=..

*Solicitante* COMPAGNIE INTERNATIONALE POUR L'INFORMATIQUE, entidad francesa, residente en 68 Route de Versailles, 78 LOUVECIENNES, Francia.

.=.=.=.=.=.=.=.=..

Int. Cl.: G 06 F

5. La presente invención se refiere a los sistemas de tratamiento de datos numéricos en los que varias unidades de tratamiento de la información, a continuación llamadas "procesadores", se dividen una memoria común, de palabras instrucciones por ejemplo



403759

organizada en zonas afectadas de direcciones que permiten su identificación por los mencionados procesadores.

- Más particularmente se refiere a aquellos
5. de estos sistemas cuya citada memoria es de un tipo en el que toda operación de lectura borra el contenido del emplazamiento de memoria de la palabra leída transfiriéndolo a la vez este contenido a un registro especializado de donde podrá, si ello es necesario y en un segundo tiempo, ser reescrito en éste emplazamiento de memoria, si ello es necesario igualmente después de su modificación. Es por ende usual definir una operación de cambio con la memoria como formada de dos "semi-ciclos", el primero "de lectura" y el segundo "de escritura".
  10. Esta definición será conservada en la exposición misma cuando dichos semi-ciclos podrían ser considerados como que resultan totalmente distintos entre sí en cambios entre procesadores y memoria.
  - 15.

- En los sistemas del tipo concernido es ventajoso, para reducir si es posible los tiempos de espera de los procesadores en sus solicitudes de acceso a la memoria, asegurar la posibilidad de llamadas imbricadas por la sucesión cronológica siguiente en estas llamadas: "un "primer" semi-ciclo de una llamada que procede de un procesador es seguido de un "primer" semiciclo de una llamada que procede de otro procesador, después siguen los "segundos" semi-ciclos respectivos de estas llamadas. Esta organización presenta sin embargo una contra-parte: -si dos llamadas imbricadas conciernen la misma zona de memoria, la segunda
- 20.
  - 25.
  - 30.

10-11-75



403759

- llamada puede encontrar vacío el emplazamiento de zona de memoria solicitado, borrado por el "primer" semi-ciclo de la primera llamada, lo que falseará entonces la ejecución del trabajo en curso en el segundo
5. de los procesadores solicitantes. No se puede por tanto admitir en dicha organización de llamadas imbricadas que dos procesadores puedan, sin más, solicitar y obtener el acceso de una misma zona de memoria en imbricación de llamadas y cambios.
10. Una finalidad de la invención consiste en especial en paliar este fallo y, de un modo más general, la finalidad de la invención es la prever una organización de elevada fiabilidad para la gestión de las conexiones entre procesadores y una memoria común de
15. la cual se dividen la explotación. A esta finalidad la invención prevé incorporar al sistema un dispositivo que, en todo "primer" ciclo de un cambio solicitado por un procesador determina si la zona de memoria solicitada esta libre o ocupada, asegura al instante
20. de la ocupación si esta zona está libre y, en todos los casos, informa al procesador solicitante del resultado o del no resultado de su llamada; - este dispositivo puede también asegurar, en todo "segundo" semi-ciclo de cambio, la liberación de una zona de memoria anteriormente ocupada.
25. Dicho dispositivo se caracteriza esencialmente porque, el sistema comprende un conjunto de registros cuyos contenidos definen las zonas de la memoria de explotación común por los procesadores, conjunto
30. asociado para la selección de una zona de memoria



403759

- a un registro de llamada de zona en el que todo procesador solicitante introduce un código afectado a uno de sus registros e igualmente asociado a un registro de lectura/escritura de todo código extraído de o a
5. introducir en uno de sus registros, a éste registro de lectura/escritura está anexa una organización de ensayo de su contenido, activada en cada operación de lectura y que conduce a un órgano biestable de memorización del resultado de este ensayo para información inmediata del procesador solicitante, y pone en
10. condición inmediata de ocupación de la zona de memoria solicitada si este resultado indicara su disponibilidad y señalización ulterior de ocupación de esta zona de memoria en caso de demanda de acceso procedente
15. de otro procesador antes de su liberación, efectuándose la citada puesta en condición de ocupación de una zona de memoria por medios que aseguran la fijación de un contenido característico de esta condición en el registro del citado conjunto seleccionado para la lectura
20. de su contenido en el citado registro de lectura/escritura como respuesta a la llamada de un procesador.

Para exponer la invención en su detalle, se hace referencia a la figura única anexa, que representa, a título no limitativo, un ejemplo de puesta en

25. práctica de la invención del que pueden deducirse sin más cualesquiera variantes de ejecución tecnológica y de explotación práctica que entran en el marco de la invención.

30. Con referencia a esta figura se observa en M

10111111



403759

- una memoria organizada en zonas So. Sl....., Sk,.....Sm. En cada zona está afectado un "registro" so, sl....., sk,.....sm que contiene un código específico de la zona, por ejemplo e ilustrativamente, la dirección de la primera palabra de ésta zona de memoria. La representación dada no tiene ninguna pretensión en cuanto a la topología real de estas zonas de memoria y de sus "registros". Sin embargo, unos circuitos cableados, conocidos en sí mismos, son establecidos para que, cuando un código de dirección afectado a uno de éstos "registros" es introducido en un registro RA por un procesador solicitante para la ejecución de una instrucción de cambio entonces introducida o activada en MO, el contenido del registro designado sea transferido o
5. recopiado en el registro de lectura/escritura R. Estos circuitos cableados son también establecidos para la operación inversa, a saber la escritura en un registro del conjunto so....., sm, designado por el contenido de RA, del contenido del registro R.
- 10.
- 15.
20. Un cierto número de procesadores, unidades de tratamiento de información en el sistema, tales como U1, U2..... Uk.... Un, se dividen la explotación de la memoria M a través de una intercara de conexión IL. Todo procesador puede pedir el acceso de la memoria M, más particularmente de una zona de esta memoria, presentando en los circuitos de entrada Go del registro RA el código de dirección de uno de los registros del conjunto so..... sm y activando la memoria del orden MO o sea cargándola del código de una instrucción apropiada o bien accionando esta activación para ejecución
- 25.
- 30.

403759



- si la citada memoria Mo contiene permanentemente dicho código de instrucción. Toda ejecución de una instrucción contenida en MO pone en juego una base de tiempo BF que suministra, a los fines de la invención, señales de fases convenientes, tales como  $t_0$ ,  $t_1$  y  $t_2$ . El paso en
5. fase  $t_0$  controla en todos los casos los circuitos Go para introducirse en RA el código enviado por el procesador para la selección de la zona de memoria objeto del cambio solicitado.
10. Un cambio debe, como se ha dicho, ser considerado como que comprende dos "semi-ciclos" el primero de lectura y el segundo de escritura, en lo que respecta al menos a los registros del conjunto  $so$  a  $sm$ . En lo que respecta a las zonas de memoria,  $SO$  a  $Sm$ , la naturaleza y la organización de los cambios no tienen necesidad de ser precisados ya que son exteriores al campo propio de la invención. En todo "primer" semi-ciclo,
15. la instrucción presente en MO contiene una letra de función FO que activa entonces la salida de igual denominación del descodificador de función DF asociado a MO y, en todo "segundo" semi-ciclo, la instrucción contiene una letra de función FL que activa entonces la salida de igual denominador de este descodificador.
20. Para mayor comocidad de la exposición de la invención, y por el hecho de que el sistema admite solicitudes imbricadas procedentes de procesadores distintos, es preferible considerar que los dos semi-ciclos operadores son controlados independientemente entre sí por los procesadores a la altura, al menos de la intercara de conexión II. En efecto, en operación imbricada,
25. 30.

403759



- el contenido de RA debe cambiar del "primer" semi-ciclo controlado por un primer procesador al "primer" semi-ciclo controlado por un segundo procesador; para los "segundos" semi-ciclos entonces, será preciso que el contenido de R sea establecido de nuevo en dos nuevas tomas a sus valores de "primeros" semi-ciclos (o a unos valores modificados distintos). Asimismo ocurre para la parte F de MO que deberá, cuando sea necesario, permanecer dos semi-ciclos consecutivos con su salida FO activada y después con su salida FI activada durante los dos semi-ciclos consecutivos siguientes. Es por tanto más simple para lo expuesto considerar que una llamada procedente de un procesador comprende dos "fases" distintas, una que controla un semi-ciclo de lectura y otra un semi-ciclo de escritura, con repetición en RA del mismo código del registro concernido en el conjunto so a sm, pero variación de la letra de función de una fase a otra. En el caso en que el contenido de MO sea precargado, el paso de FO a FI puede ser asegurado por un descodificado previo, en DO y DL, del código de función omitido por el procesador solicitante en una y después otra de sus fases de llamada, lo que disparará según el código de función ya sea un "primer" o bien un "segundo" semi-ciclo de cambio. En la práctica, será lo más a menudo preferible duplicar la organización RA/MO y prever medios de conmutación automática que aseguren la secuencia antes descrita cuando dos procesadores solicitan, en imbricación con el tiempo, accesos de memoria M.
- Las salidas del registro R, utilizadas por lo más y según cualquier proceso clásico que no tiene ne-
- 5.
  - 10.
  - 15.
  - 20.
  - 25.
  - 30.



403759

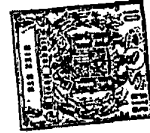
- cesidad de ser aquí descrito y representado, para la selección de memoria designada por su contenido, son, a los fines de la invención, aplicadas sobre las entradas de un circuito lógico G1, cuya otra entrada es conectada a la salida FO de MO a fin de hacer a G1 pasante durante la activación de esta salida FO. Este circuito G1 puede suministrar una señal de salida, en esta condición FO activada, para un código particular contenido en R y, de un modo simple, G1 puede consistir en un circuito Y que recibe en sus entradas las salidas seleccionadas, directas y "barras", de los niveles de R, para definir su código.
- 5.
- 10.

- La salida de G1 es aplicada sobre una entrada de una puerta G2 cuya otra entrada es conectada a la salida de una de las dos puertas G4, activadas en condición FO y que reciben las señales de las fases t1 y t2 de la base de tiempos BT. La señal de fase aplicada sobre G2 es la señal de fase t2. La salida de G2 es aplicada sobre una entrada de un órgano biestable tal como una báscula B. La otra entrada de la báscula B es conectada a la salida de una puerta G3 que recibe la señal to de la base de tiempos y es hecha pasante en condición FO activada. Las salidas de la báscula B son referenciadas como 1 y 0. La báscula está en posición de reposo cuando su salida 0 está en un nivel "verdadero" y su salida 1 en un nivel "falso", invirtiendo estas condiciones cuando la báscula está en posición de trabajo. Las salidas 1 y 0 son conectadas a unos bornes NEL y EL de la intercara de conexión IL a través de las puertas G5 hechas pasantes en condición t2 (FO)
- 15.
- 20.
- 25.
- 30.



403759

- con un ligero retardo sobre la aplicación de esta condición sobre la puerta G2. Preferentemente, se debe comprender que los bornes NEL y EL atacan, en la intercara de conexión, una báscula de memorización de los estados de los bornes NEL y EL, siempre complementarios, bien entendido. A cada llamada de memoria por un procesador, en función FO, los circuitos de llamada de este procesador vendrán a ensayar la condición de esta báscula después de la fase t2 para saber si la llamada ha terminado bien o no ha terminado bien, zona de memoria solicitada reconocida libre o por el contrario reconocida ocupada.
5. Considerando una llamada de parte de un procesador en función FO, en to de la base de tiempos BT, el código que define la zona de memoria solicitada es introducido en RA por apertura de las puertas Go, y el registro R es puesto a cero. Al mismo tiempo, la báscula B es igualmente puesta a cero (en posición de reposo) a través de la puerta G3. En fase t1, por aquel de los circuitos G4 hecho pasante en FO, se efectúa la lectura del contenido de aquel de los registros so a sm designado por el código contenido en RA, de ahí la carga de este código en el registro de lectura/escritura R. En fase t2 se opera el ensayo requerido: -
10. desde t1, el contenido del registro R es, de cualquier modo, "descodificado" por G1, es decir que, desde t1 la salida de G1 ha tomado ya sea un valor "verdadero" en el caso en que el contenido del registro R corresponda al código de ocupación anterior de la zona de memoria solicitada por el procesador, código que se encontraba en el registro seleccionado por la llamada
- 15.
- 20.
- 25.
- 30.



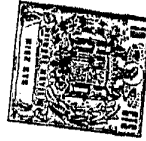
403759

- en el conjunto so a sm, o bien un valor "falso" en el caso en que el contenido del registro R sea diferente de este código de ocupación de zona de memoria. En el primer caso, desde que comienza la fase t2, la lectura de la salida de G1 por la puerta G2 provoca la puesta en trabajo de la báscula B cuya salida O viene a un nivel "falso" entonces aplicado en EL, de ahí el marcado de esta condición de ocupación anterior sobre la intercara de conexión y el aviso dado al procesador solicitante de que su llamada no ha terminado bien.
5. En el segundo caso, esta "lectura" deja la báscula B a su condición de reposo, la salida O permanece a un nivel "verdadero" entonces aplicado en EL en la apertura de la puerta G5 correspondiente, lo que previene al procesador solicitante de que su llamada ha terminado bien y que el cambio solicitado va a efectuarse.
10. Toda llamada que ha terminado bien debe asegurar inmediatamente en el semi-ciclo mismo, la puesta en ocupación de la zona de memoria solicitada, en otros términos el código "ocupación" debe estar presente en el registro de so a sm concernido (correspondiente al código entonces presente en RA). De un modo general, la organización descrita debe ser completada para "forzar" el código de ocupación en el citado registro, por ejemplo por lectura de una memoria de este código Co, provocada por la variación del nivel de salida de la puerta G5 apropiada en el instante en que esta puerta es abierta por el frente anterior de la señal t2 retardada y que la salida O de B está en un nivel
15. (verdadero). Sin embargo y según una característica de
- 20.
- 25.
- 30.



403759

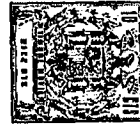
- la invención, el citado código de ocupación puede ser ventajosamente elegido como que fija "0 por todo" en el registro del conjunto so a sm designado por la dirección en RA. Con este código, la citada "deformación" se reduce a una simple puesta a cero (desaparición de contenido) del citado registro cuando la lectura de dicho registro no ocasiona su desaparición y, en el caso en que los registros del conjunto so a sm sean del tipo de desaparición en lectura, esta deformación resulta inútil ya que el código "0 por todo" de ocupación de zona de memoria es automáticamente obtenido en fase t1 y función FO, por tanto en todo "primer" semi-ciclo de un cambio. Las salidas G5 pueden incluso entonces ser emitidas si se desea. Cualquiera que sea la variante adoptada para la ocupación de la zona de memoria en un dispositivo conforme a la invención, todo procesador que solicite el acceso de una zona de memoria anteriormente ocupada por otro procesador, recibirá una información positiva sobre el no resultado de su llamada y para por consiguiente modificar en consecuencia el desarrollo de su programa de trabajo. Este perfectamente claro igualmente que toda llamada de acceso de memoria por un procesador que intervenga antes de la liberación de una zona de memoria ocupada como se ha descrito y que no concierna una zona de memoria ocupada tendría su resultado normal, señalado en el procesador solicitante y que provoca la ocupación de la zona de memoria solicitada. Dichas condiciones permiten por tanto, sin contra-parte, la imbricación de dos llamadas que proceden de procesadores
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.



403759

distintos, e incluso más si se desea.

Para liberar una zona de memoria tras cambio, el procesador envía el código que define el registro del conjunto so a sm correspondiente a la zona de memoria a liberar y activa MO con la letra de función FL, lo que desbloquea las dos puertas G6 en lugar de G4 para la ejecución de esta orden. En fase to de BT, el registro R es puesto a cero en fase tl, este registro debe ser cargado del código a introducir en el registro concernido, de so a sm que había sido anteriormente llevado al estado "ocupado". La fase t2 asegura entonces la escritura del contenido de R en éste registro del conjunto so a sm. El código introducido en R durante la fase tl de la letra de función FL podría proceder de una parte "dada" de MO y, más particularmente, de una parte de RA, formando parte de hecho este registro de dirección de MO desde el punto de vista teórico (siendo la diferencia que RA está obligatoriamente cargado de datos procedentes del procesador solicitante mientras que MO puede, como se ha dicho, ser precargado de una instrucción y solamente activado por la llamada del procesador. Es por ello que se ha indicado en el esquema de la señal de fase tl en función FL, dejaba una parte al menos del contenido de RA aplicada sobre un conjunto de puerta G7 a este efecto. En la práctica, es a menudo ventajoso conformar el conjunto so a sm bajo la forma de una memoria del tipo denominado "asociativo". En dicho caso, bien entendido, el contenido introducido en RA para una llamada por un procesador es idéntico al contenido del registro del con-



403759

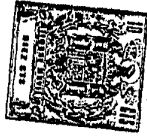
junto so a sm que define la zona de memoria deseada.

N O T A

- Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental, siendo lo que constituye la esencia del referido invento y por lo que se solicita PATENTE DE INVENCION por
5. veinte años en España sobre: PERFECCIONAMIENTOS EN DISPOSITIVOS DE GESTION DE CONEXIONES ENTRE UNA MEMORIA DE DATOS Y UNIDADES DE TRATAMIENTO QUE LA EXPLOTAN, caracterizándose por lo siguiente
- 10.

- 1.- Perfeccionamientos en dispositivos de gestión
15. de conexiones entre una memoria de datos y unidades de tratamiento que la explotan estando dicha memoria de datos organizada en zonas afectadas de direcciones, memorizadas en otros tantos registros de un conjunto asociado a un registro de llamada y a un registro de
20. lectura/escritura de todo código tomado o a introducir en uno de estos registros de dirección, y explotando dichas unidades de tratamiento estos datos por ciclos de cambio que comprenden cada uno un primer semi-ciclo, de lectura, que borra el contenido del emplazamiento
25. de memoria designado por la dirección solicitada y que le aparta a otro emplazamiento predeterminado y un segundo semi-ciclo de escritura, que reintroduce este contenido, eventualmente modificado, en el emplazamiento de memoria del que había sido extraído, pudiendo imbricarse las llamadas procedentes de al menos dos unidades
- 30.





403759

- de tratamiento diferentes en sus primeros y segundos semi-ciclos de cambios respectivos, caracterizados porque a dicho registro de lectura/escritura está anexa una organización de ensayo de su contenido activada en
5. cada primer semi-ciclo de un cambio de que conduce a un órgano biestable de memorización del resultado de este ensayo para información inmediata de la unidad de tratamiento solicitante, y puesta en condición de ocupación inmediata de la zona de memoria para fijación
10. de un código característico de ocupación de zona de memoria en su registro de dirección y señalización ulterior de esta ocupación de zona hasta su liberación en el segundo semi-ciclo de este cambio por reescritura de la dirección de zona en su registro de dirección.
15. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque esta organización comprende unos medios para poner en posición de reposo al órgano biestable a cada comienzo de primer semi-ciclo de un cambio, un operador lógico que suministra ulteriormente durante este semi-ciclo una señal cuando el
20. código de ocupación está contenido en este registro de lectura/escritura que tiene unas salidas aplicadas sobre él, y unos medios para aplicar dicha señal sobre el órgano biestable para llevarle a la posición de trabajo, estando conectada una salida al menos de este órgano a un borne de marcado de su condición para información de la unidad de tratamiento solicitante:
25. 3.- Perfeccionamientos según la reivindicación 2, caracterizados porque unos medios están previstos para que, en todo primer semi-ciclo donde dicho órgano
- 30.



403759

biestable permanece en reposo, un código de ocupación sea forzado en este semi-ciclo en el registro de dirección de zona concernido por la llamada.

5. 4.- Perfeccionamientos según la reivindicación 3, caracterizados porque el código de ocupación comprende cero en todos sus elementos y la deformación consiste en la desaparición del código en este registro de dirección de zona de memoria.

10. 5.- Perfeccionamientos según la reivindicación 2, caracterizados porque el código de ocupación comprende cero en todos sus elementos y los registros de dirección de zonas de memorias son establecidos para que su contenido sea borrado en la lectura.

15. 6.- Perfeccionamientos según la reivindicación 1, caracterizados porque se disponen medios para engendrar una señal de función característica de primer ciclo y una señal de función característica de segundo semi-ciclo en todo cambio, y controlar la activación de la citada organización de ensayo por dicha señal de función característica de primer semi-ciclo de los cambios.

20.

25. 7.- Perfeccionamientos en dispositivos de gestión de conexiones entre una memoria de datos y unidades de tratamiento que la explotan, tal y como queda sustancialmente descrito en la presente Memoria y en los dibujos adjuntos.

Esta Memoria consta de quince hojas, escritas a máquina por una sola cara.

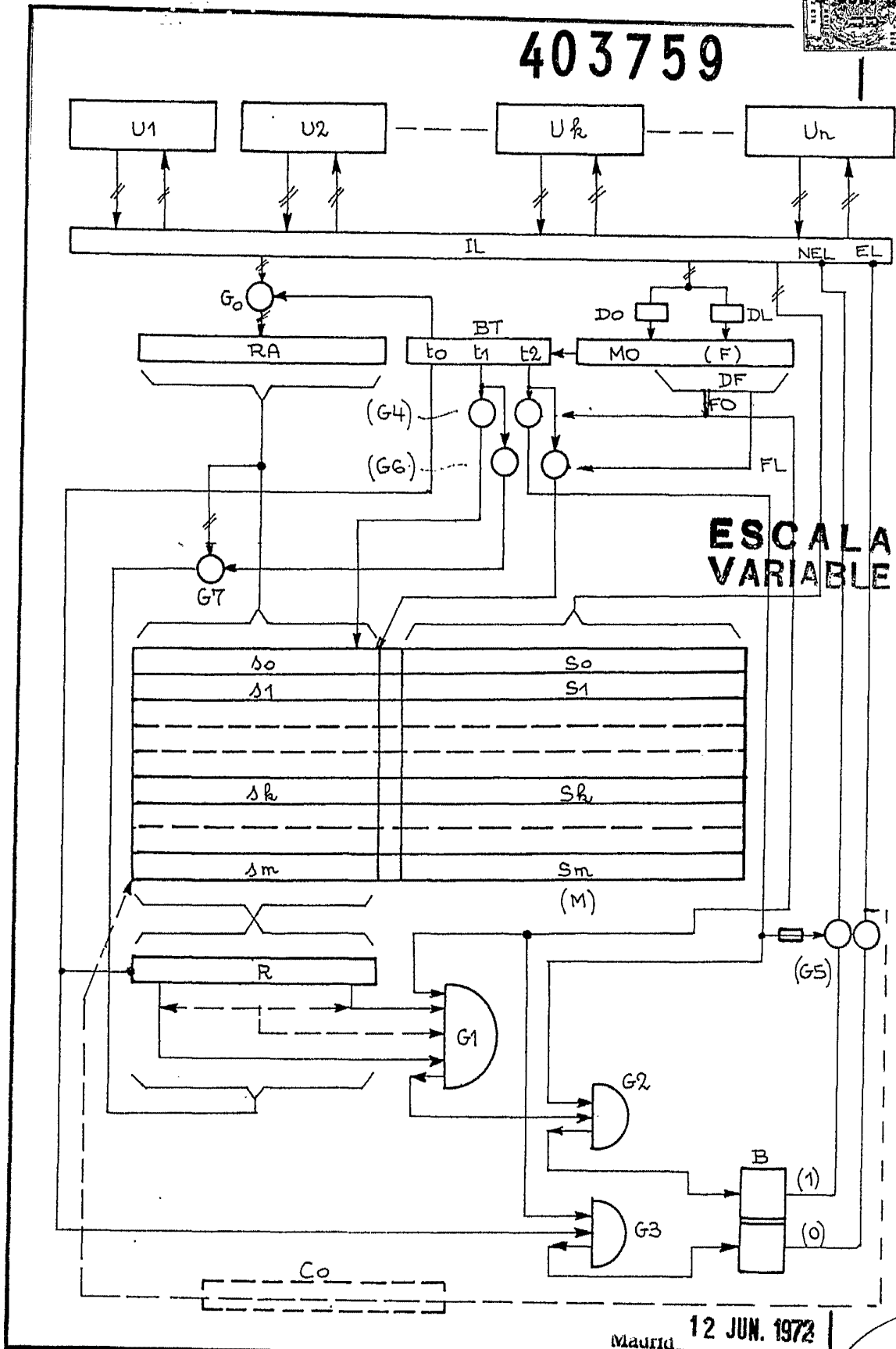
Madrid, 12 JUN. 1972  
COMPAGNIE INTERNATIONALE POUR L'  
INFORMATIQUE,

J. GOMEZ ACEBO Y MODET  
p. p. Firmados L. Gueta Forastades





403759



Madrid 12 JUN. 1972

J. GÓMEZ ACEBO Y MODER  
p. p. Elementos de la Gran Enciclopedia

*[Handwritten signature]*