

403566



403566 G11C

MEMORIA DESCRIPTIVA.

PATENTE DE INVENCION.

PAIS : ESPAÑA.

DURACION : 20 AÑOS.

OBJETO : "MEMORIA DE APILAMIENTO CON INDICACION
"DE DESBORDAMIENTO PARA TRANSMISION DE
"DATOS EN FORMA BINARIA EN EL ORDEN CRO-
"NOLOGICO DE SU ENTRADA".

SECCION TECNICA

CLASIFICACION I. P. C.

CLASE _____

SUBCLASE _____

A nombre de : JEUMONT-SCHNEIDER.

Residente en : PARIS (Francia), 5 Place de Rio-de-Janeiro.

Nacionalidad : FRANCESA.



403566-7 JUN

En la técnica de la transmisión de datos, en que se tiene en particular que explotar informaciones transmitidas a una cadencia independiente de la del órgano de lectura, que debe explotar estas informaciones según su orden de antigüedad, se utilizan memorias de apilamiento que memorizan las informaciones en el orden cronológico de su aparición.

El objeto del presente invento es una memoria de apilamiento que permite la entrada en memoria de una información codificada en forma binaria desplazando al mismo tiempo hacia la salida las informaciones precedentemente almacenadas en la memoria sin alterar el orden cronológico de su entrada. Por acción sobre una señal de mando llamada señal de reloj, se puede hacer circular la información almacenada en la memoria por desplazamientos sucesivos hacia la salida a fin de que la información más antigua se encuentre la primera disponible en las salidas de la memoria de apilamiento.

Tal memoria presenta la particularidad de poseer por una parte dos señales lógicas de mando, la primera que actúa sobre la orientación de los bitios de entrada para autorizar o no su penetración en la memoria, la segunda que permite borrar la información extraída de la memoria. Esta memoria posee por otra parte, dos bitios suplementarios; un "bitio de desbordamiento" y un "bitio de marcación".



El bitio de desbordamiento destinado a averiguar si la memoria ha sido saturada en un momento dado, acompaña eventualmente la información presentada al órgano de lectura conectado sobre las salidas de la memoria: este bitio es elaborado por puertas lógicas y un circuito tamponizador mandados a partir de la primera señal lógica de mando y del bitio de marcación, que acompaña la información que ha entrado en memoria.

El ritmo de salida de las informaciones es adoptado al del órgano de lectura mismo, mientras que el ritmo de entrada de las informaciones es cualquiera.

La memoria de apilamiento según el invento, está caracterizada porque tiene:

1º) tantos circuitos de memoria como bitios hay en la información a transmitir, estando compuesto cada circuito de memoria por una parte por un grupo de n registros idénticos de desplazamientos montados en serie (teniendo cada registro de desplazamiento varios emplazamientos, dos entradas unidas entre sí y una salida), por otra parte tres puertas lógicas de orientación con dos entradas y una salida, a saber una primera puerta cuya primera entrada recibe el bitio de entrada correspondiente a dicho circuito de memoria y cuya otra entrada recibe una señal lógica de autorización de entrada en dicha memoria (señal designada en lo que sigue por "primera señal lógica"), una segunda puerta cuya primera entrada está conectada a la salida de la primera puerta y cuya segunda entrada está conectada a la salida de la tercera puerta, teniendo el grupo de los registros su entrada conectada a la salida de la segunda puerta y su salida unida a la primera entrada de la tercera puerta, reci-



biendo la segunda entrada de dicha puerta, la primera señal lógica complementada y estando constituida la salida de cada circuito de memoria por la salida de su grupo de registros.

- 2a) un primer circuito auxiliar compuesto por un grupo
- 60.- de n registros de desfase idénticos a los precedentes y montados en serie pero cuyas dos entradas del primer registro no están unidas juntas como en el 1a), recibiendo una de estas entradas una señal lógica de mando llamada "segunda señal lógica" destinada a borrar en la memoria la información que ha salido de ella, estando conectada la otra entrada a la salida de una puerta lógica con dos entradas unidas respectivamente a las salidas de otras dos puertas lógicas con dos entradas y una salida cada una, teniendo la primera de estas puertas una entrada que recibe un bitio auxiliar llamado "bitio de desbordamiento" y recibiendo la otra entrada la primera señal lógica, teniendo la segunda de estas puertas una entrada que recibe la primera señal lógica complementada, estando unida la otra entrada a la salida del grupo de registros precedente que constituye así la salida de dicho primer circuito auxiliar, salida cuyo estado lógico indica el desbordamiento eventual de la memoria.
- 65.-
- 70.-
- 75.-

- 3a) un segundo circuito auxiliar compuesto por un grupo de n registros de desplazamiento idéntico al grupo del primer circuito auxiliar y cuya primera entrada del primer registro recibe la segunda señal lógica, mientras que la segunda entrada de dicho registro está unida a la salida de una puerta lógica de dos entradas, recibiendo una de estas entradas la primera señal lógica complementada y estando la otra entrada unida a la salida de otra puerta lógica de dos
- 80.-
- 85.-

403566

- 5 -



entradas, recibiendo una la primera señal lógica complementada y estando la otra conectada a la salida del grupo de registros precitado, entregando dicha salida un bitio auxiliar llamado "bitio de marcación" y constituyendo la salida
90.- de dicho segundo circuito auxiliar.

42) una señal de reloj que inicia el avance de las informaciones, hacia la salida de la memoria, en los tres grupos de registros de desplazamiento enumerados anteriormente.

El invento será mejor comprendido con referencia a un
95.- ejemplo de realización representado en la única figura adjunta.

La memoria según el invento, cuyo esquema eléctrico está representado en el interior del cuadro de trazo mixto, tiene por una parte un cierto número de entradas representadas sobre el lado izquierdo del cuadro por la letra E seguida de un índice, por otra parte un número de salidas representadas sobre el lado derecho del cuadro por la letra S seguida de un índice, siendo superior el número de salidas en una unidad al número de entradas, y finalmente dos señales lógicas de mando C_1 y C_2 cuyos bornes de entrada están
100.- en la parte inferior del cuadro, siendo C_1 una señal de autorización de entrada en la memoria y siendo C_2 una señal de borrado de la información extrida de la memoria.
105.-

El esquema tiene únicamente registros de desplazamiento del tipo conocido y circuitos lógicos Y de inversión de dos entradas.
110.-

La información que debe entrar en la memoria es codificada previamente en forma de binaria con ayuda de y bitios que constituyen respectivamente las entradas lógicas $E_1, E_2,$
115.- $E_3 \dots E_y$ y a los cuales corresponden respectivamente las



salida $S_1, S_2, S_3, \dots, S_y$.

Un bitio suplementario de rango $y + 1$, llamado "bitio de desbordamiento", es aplicado en la entrada lógica E_{y+1} a la cual corresponde la salida lógica S_{y+1} de la memoria.

- 120.- Este bitio permite averiguar si la memoria ha sido o no saturada en un momento dado. Una salida suplementaria S_{y+2} corresponde a un binon llamado "binon de marcación" cuya misión será precisada más adelante. La memoria tiene igualmente una señal de reloj no representada en el esquema.
- 125.- Entre cada entrada E_1, E_2, \dots, E_y y su salida correspondiente S_1, S_2, \dots, S_y hay dispuesto un circuito de memoria que tiene en serie un número n de registros de desplazamiento R_1, R_2, \dots, R_n y puertas lógicas de orientación 2, 3 y 4 constituidas por ejemplo por circuitos lógicos Y de inversión.
- 130.- Hay en total y circuitos de memoria idénticos. En la figura, sólo los circuitos de memoria correspondientes a los binons extremos E_1 y E_y han sido representados, y los correspondientes a los otros binons intermedios han sido representados por puntos para simplificar el esquema.
- 135.- Los n registros de desplazamiento R_1 a R_n dispuestos en serie tienen cada uno dos entradas A y B conectadas entre sí y una salida Q, y contienen cada uno z emplacements. La capacidad de la memoria está así caracterizada por el producto nz .
- 140.- Las entradas A y B del primer registro de desplazamiento R_1 están unidas a la salida del circuito lógico Y de inversión 2 de dos entradas C y D. La entrada D está conectada a la salida de un segundo circuito Y de inversión 3, de dos entradas E y F. La entrada E recibe el binon correspondiente
- 145.- de la información. La entrada F recibe una señal lógica de

403566

- 7 -



mando C_1 .

La salida Q del enésimo registro R_n está conectada a una entrada G de un circuito lógico Y de inversión 4, cuya segunda entrada H recibe la señal lógica C_1 , y cuya salida
150.- I está conectada a la segunda entrada C del circuito lógico Y de inversión 2; por otra parte, la salida Q del enésimo registro R_n entrega la señal de salida marcada por la letra S afectada por el índice correspondiente al binon considerado.

155.- La señal \bar{C}_1 es elaborada por el circuito lógico Y de inversión 5 cuyas dos entradas están unidas al borne de entrada de C_1 . Las dos señales suplementarias de salida S_{y+1} y S_{y+2} son elaboradas por otra parte a partir de dos circuitos complementarios que tienen cada uno por una parte n
160.- registros de desplazamiento (idénticos a los precedentes) designados respectivamente por R'_1, R'_2, \dots, R'_n y $R''_1, R''_2, \dots, R''_n$, conectados en serie de la misma manera que los registros de desplazamiento R_1 a R_n salvo que las entradas X e Y de los primeros registros R'_1 y R''_1 son alimentadas
165.- separadamente, y por otra parte circuitos lógicos Y de inversión.

Las entradas Y de los registros R'_1 y R''_1 reciben la señal lógica de mando C_2 . La entrada X de R'_1 está unida a la salida del circuito lógico Y de inversión 7 cuya entrada
170.- N está conectada a la salida del circuito lógico Y de inversión 9 de dos entradas R y P , recibiendo R la señal lógica de mando C_1 , y recibiendo P el binon de desbordamiento E_{y+1} . La entrada T del circuito lógico 7 está unida a la salida del circuito lógico Y de inversión 10 cuya entrada U
175.- recibe la señal lógica \bar{C}_1 y la entrada V la señal de salida

403566

- 8 -



S_{y+1} del n ésimo registro R''_n .

La entrada X del registro R''_1 está conectada a la salida del circuito lógico Y de inversión 6 con dos entradas J y K, recibiendo J la señal lógica \bar{C}_1 y estando unida K a la salida del circuito lógico Y de inversión 8 una de cuyas entradas L recibe la señal lógica \bar{C}_1 y la otra entrada M recibe la señal de salida S_{y+2} del n ésimo registro R''_n .

Cada registro de la memoria recibe una señal de reloj no representada. La constitución de los registros de desfase R, R', R'' es tal que si una de las dos entradas A, B o X, Y recibe una señal lógica en el estado "0", la señal lógica a la salida está en el estado "0" después de z impulsos de reloj, y la señal lógica en la salida está en el estado "1" cuando las dos entradas reciben señales lógicas en estado "1".

La memoria de almacenaje puede funcionar según dos posibilidades, una por acceso directo de las informaciones sobre las entradas E_1 a E_y , la otra por reciclado de las salidas S_1 a S_y sobre las entradas respectivas E_1 a E_y por medio de los circuitos Y de inversión 4, es decir que las informaciones entradas en memoria pueden provenir bien directamente de las entradas E, bien de las salidas S correspondientes. Estas dos posibilidades son efectuadas a partir de la señal lógica C_1 que actúa sobre los circuitos lógicos Y de inversión 3 y 4.

Cada bitio de la información codificada es transformado en una señal de entrada en el primer registro de desplazamiento R_1 por medio de las puertas Y de inversión 3 y 2. Se puede en efecto verificar, para cada uno de los bitios de la información propiamente dicha, que el estado ló-

403566

- 9 -



gico de las entradas A B es el mismo que el de la entrada E del bitio considerado si la señal C_1 está en el estado lógico "1", y que, por el contrario, si la señal C_1 está en el estado lógico "0", el estado lógico de las entradas A B es el mismo que el de la salida S del bitio considerado.

210.-

El funcionamiento de la memoria va a ser examinado ahora desde un triple punto de vista:

- entrada de una información en la memoria,
- salida de una información de la memoria,
- 215.- - desbordamiento de la memoria.

La entrada de una información en la memoria se efectúa durante una fase en que la señal lógica C_1 está en el estado "1", fase llamada de autorización de entrada en memoria. Durante esta fase, las informaciones en las entradas A y B de los registros de desfasaje R son las de las

220.- entradas E, y además la señal lógica de borrado C_2 está en estado "1". La información en la entrada X del registro R'_1 es el bitio de rango $y+1$ y la información en la entrada X del registro R''_1 es la señal lógica C_1 que está en el esta-

225.- do "1". La entrada en memoria de las informaciones no es autorizada más que si el bitio de rango $y+2$ está en el estado "0", lo que significa que la memoria de apilamiento no está saturada. La entrada en memoria se efectúa entonces dando un impulso de reloj. La información entrada está así

230.- constituida por $y+2$ bitios, a saber y bitios de la información propiamente dicha más un bitio correspondiente a la entrada E_{y+2} (bitio de desbordamiento) y un bitio de marcación en el estado lógico "1". Las otras informaciones ya en memoria son desplazadas por medio de impulsos de reloj.

235.- La salida de una información de la memoria se efectúa



sobre demanda del órgano de lectura de aguas abajo. Esta salida no está autorizada más que durante la fase en que la señal lógica de mando C_1 está en el estado "0" (fase llamada de autorización de salida), es decir durante la fase en que

240.- no pueden entrar nuevas informaciones en la memoria.

De acuerdo con lo que se ha dicho más arriba, las informaciones en las entradas A B de los registros R son las de las salidas S correspondientes. Se puede verificar además que las informaciones en las entradas X de los registros R'_1 y R''_1 son respectivamente las mismas que las de las salidas S_{y+1} y S_{y+2} . La salida de una información se efectúa entonces de la manera siguiente: Se hace actuar el reloj de los registros por desplazamientos sucesivos hasta que el bitio de marcación en S_{y+2} pasa del estado "0" al estado "L"; en este momento la información más antigua en la

245.- memoria se encuentra disponible sobre las salidas $S_1 \dots S_y$ de la memoria y esta información es acompañada por el bitio de desbordamiento en S_{y+1} y el bitio de marcación en S_{y+2} .

250.- Después de que la información ha sido adquirida por el órgano de lectura (o en una variante por una memoria inter-

255.- media o reguladora auxiliar del tipo conocido) las informaciones contenidas en la memoria de apilamiento son recicladas hacia las entradas de la memoria siguiente: en primer lugar, la señal C_2 pasa del estado "1" al estado "0", luego se da un impulso de reloj. La información disponible sobre las salidas y ya leída por el órgano de lectura es entonces reciclada hacia la entrada de la memoria de apila-

260.- miento. Como esta realimentación se efectúa con las entradas Y de los registros R'_1 y R''_1 en el estado lógico "0",

265.- la información entrada de nuevo en memoria posee bitios de

403566

- 11 -



rango $y+1$ (bitio de desbordamiento) y de rango $y+2$ (bitio de marcación) en estado lógico "0", es decir, que en una salida a la siguiente, la información no será ya tomada en cuenta. A continuación, la señal de mando C_2 pasa de nuevo
270.- al estado "1". Se da entonces impulsos de reloj para reciclar las otras informaciones en memoria hacia la entrada de la memoria, pero sin alterarlas, es decir sin borrar su bitio de marcación. Estas realimentaciones son proseguidas en tanto que el bitio de salida S_{y+2} quede en el estado lógico
275.- "1". Cuando este bitio pasa de "1" a "0", el reciclado es entonces interrumpido deteniendo los impulsos de reloj. En estas condiciones, la memoria se encuentra de nuevo en el estado que precedía al comienzo de la fase de salida, pero la información extraída es borrada y las informacio-
280.- nes útiles restantes son colocadas en el orden de su entrada, por el lado de la entrada de la memoria.

Se va a examinar finalmente el tercer punto, a saber el desbordamiento de la memoria, es decir el caso en que la memoria está saturada hasta el punto de no poder admi-
285.- tir nuevas informaciones sin dejar salir las más antiguas que corren el riesgo entonces de no poder ser leídas por el órgano de lectura, y de ser así perdidas. Este caso se produce cuando en la fase de autorización de entrada en memoria (estando C_1 en el estado "1") se tiene S_{y+2} en el es-
290.- tado "1". Por una lógica conocida, no representada en el esquema (por ejemplo una memoria o una báscula), el bitio E_{y+1} es puesto en el estado "1". Se puede entonces prohibir toda nueva entrada en memoria por una acción sobre el reloj de registro de desfase. A continuación cuando el
295.- órgano de lectura haya permitido liberar uno o varios empla-

403566

- 12-



zamientos, las nuevas informaciones que se van a poder hacer entrar en la memoria serán acompañadas por este bitio de rango $y+1$ en el estado "1". Cuando el órgano de lectura reciba una información que posea este bitio en el estado "1",
300.- se sabra que esta información ha entrado en memoria después de un desbordamiento, y que por consiguiente se podrán haber perdido otras informaciones. Este bitio de rango $y+1$ puede ser llevado de nuevo al estado "0" por ejemplo por medio de un circuito temporizados de duración conveniente cuya
305.- acción se disparará una vez que haya sido detectado en la memoria un emplazamiento vacante o por medio de cualquier otro dispositivo equivalente.

En el ejemplo citado, sólo se han utilizado circuitos lógicos Y de inversión. Sin embargo cualquier otra disposición
310.- equivalente de circuitos lógicos de tipo diferente podría ser empleada, sin que se salga por ello del marco del invento. Lo mismo sucede para los niveles lógicos citados, que podrían ser invertidos.

La memoria de almacenaje según el invento puede ser utilizada en ciertos casos particulares de transmisión de datos.
315.-

N O T A.-

Los puntos de invención propia y nueva que se presenten para que sean objeto de esta Patente de Invención en
320.- España, por veinte años, son los siguientes:

12.- Memoria de apilamiento con indicación de desbordamiento para transmisión de datos en forma binaria en el orden cronológico de su entrada, caracterizada porque tiene tantos circuitos de memoria como bitios hay en la información a transmitir, estando compuesto cada circuito de memo-
325.-

McE



- ria por una parte, por un grupo de n registros idénticos de desplazamiento montados en serie (teniendo cada registro de desplazamiento varios emplazamientos, dos entradas reunidas entre sí y una salida), por otra parte, tres puertas lógicas de orientación con dos entradas y una salida,
- 330.- a saber una primera puerta cuya primera entrada recibe el bitio de entrada correspondiente a dicho circuito de memoria y cuya otra entrada recibe una señal lógica de autorización de entrada en dicha memoria (señal designada en lo
- 335.- que sigue por "primera señal lógica"), una segunda puerta cuya primera entrada está conectada a la salida de la primera puerta y cuya segunda entrada está conectada a la salida de la tercera puerta, teniendo el grupo de los registros su entrada conectada a la salida de la segunda puerta
- 340.- y su salida unida a la primera entrada de la tercera puerta, recibiendo la segunda entrada de dicha puerta, la primera señal lógica complementada, y estando constituida la salida de cada circuito de memoria por la salida de su grupo de registros.
- 345.- 22.- Memoria según el punto 12, caracterizada porque tiene un primer circuito auxiliar compuesto por un grupo de n registros de desplazamiento idénticos a los precedentes y montados en serie pero cuyas dos entradas del primer registro no están unidas juntas como en el punto 12, recibiendo una de estas entradas una señal lógica de mando llamada "segunda señal lógica" destinada a borrar en la memoria la información que ha salido de ella, estando conectada la otra entrada a la salida de una puerta lógica de dos entradas unidas respectivamente a las salidas de otras dos
- 350.- puertas lógicas con dos entradas y una salida cada una, te-
- 355.-

ME

403566

- 14 -



niendo la primera de estas puertas una entrada que recibe un bitio auxiliar llamado "bitio de desbordamiento" y recibiendo la otra entrada la primera señal lógica, teniendo la segunda de estas puertas una entrada que recibe la primera señal lógica complementada, estando unida la otra entrada a la salida del grupo de registros precedente que constituye así la salida de dicho primer circuito auxiliar, salida cuyo estado lógico indica el desbordamiento eventual de la memoria.

365.- 3º.- Memoria según el punto 1º, caracterizada porque tiene un segundo circuito auxiliar compuesto por un grupo de n registros de desplazamiento idéntico al grupo del primer circuito auxiliar y cuya primera entrada del primer registro recibe la segunda señal lógica mientras que la segunda entrada de dicho registro está unida a la salida de una puerta lógica de dos engradas, recibiendo una de estas entradas la primera señal lógica complementada y estando la otra entrada unida a la salida de otra puerta lógica de dos entradas, recibiendo una la primera señal lógica complementada y estando conectada otra a la salida del grupo de registros precitado, entregando dicha salida un bitio auxiliar llamado "bitio de marcación" y constituyendo la salida de dicho segundo circuito auxiliar.

380.- 4º.- Memoria según el punto 1º, caracterizada porque tiene una señal de reloj que inicia el avance de las informaciones, hacia la salida de la memoria, en los tres grupos de registros de desplazamiento enumerados anteriormente.

385.- 5º.- "MEMORIA DE APILAMIENTO CON INDICACION DE DESBORDAMIENTO PARA TRANSMISION DE DATOS EN FORMA BINARIA EN EL ORDEN CRONOLOGICO DE SU ENTRADA", todo tal y conforme se des-

MGE

403566 - 15 -



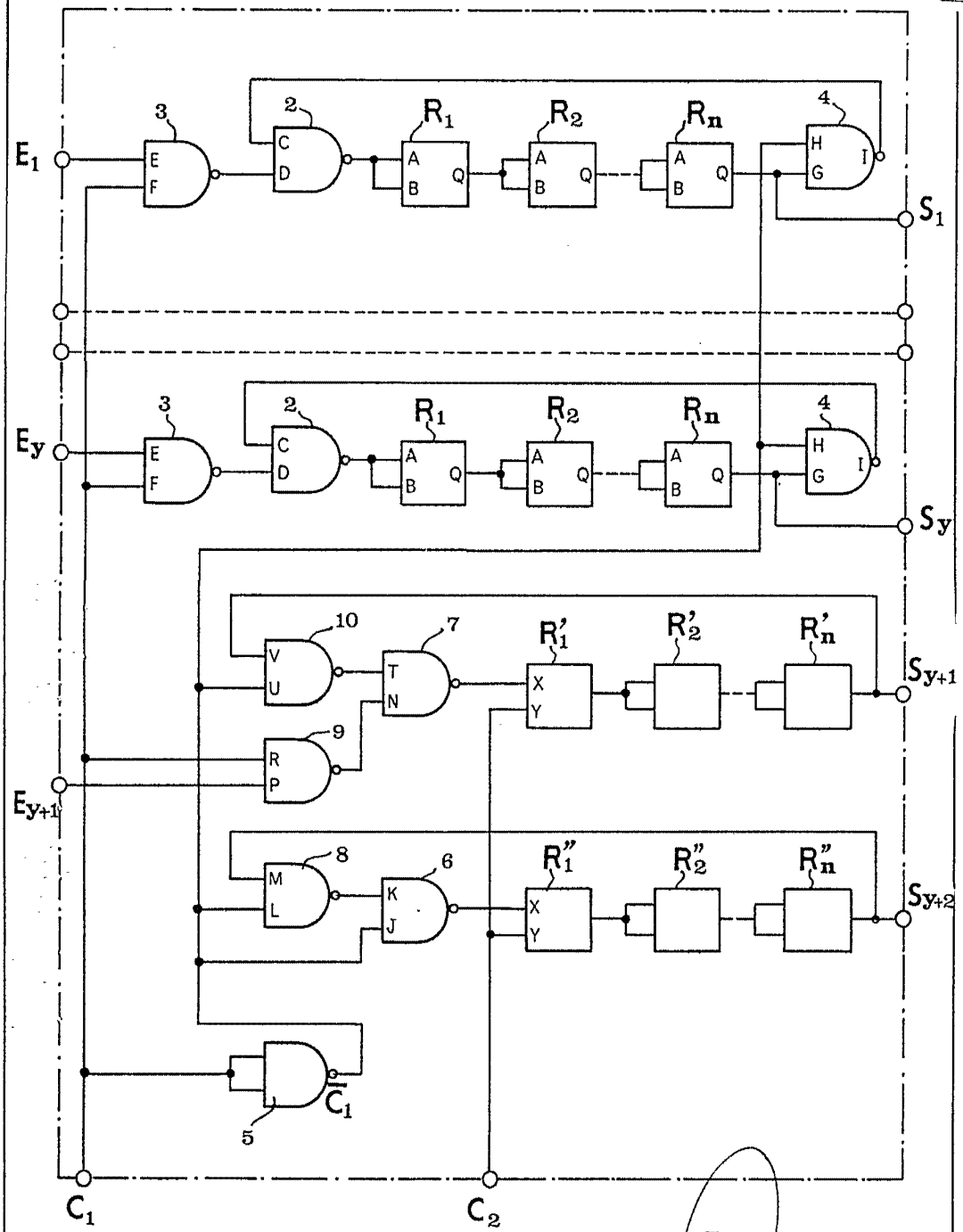
cribe en la presente Memoria, la cual consta de 387 líneas
y a título de ejemplo se representa en el adjunto dibujo.

Madrid, =7 JUN. 1972

mCe

ESCALA VARIABLE

10 JUN 1972
-7 JUN 1972



Madrid, -7 JUN. 1972