



403442

403442

P.- 51.155

PHN 5647 Spain VD/EV

SECCION TECNICA
CLASIFICACION I. P. C.
CLASE _____
SUBCLASE _____

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION por 20 AÑOS

A nombre de N.V. PHILIPS'GLOEILAMPENFABRIEKEN

entidad holandesa

establecida en Emmasingel 29, Eindhoven, Holanda

por: "UNA DISPOSICION DE CIRCUITO DECODIFICADOR PARA
UN RECEPTOR DE TELEVISION MULTI-SISTEMA"

Int. Cl. H03K, H04N

(Clase Internacional H04n, H03c)

14.7.72

- 1 -

POOR
QUALITY

20070

403442



El invento se refiere a un circuito decodifi
cador para un receptor de televisión multisistema para
el tratamiento de al menos una señal modulada en ampli
tud y una señal modulada en frecuencia, que comprende
5 un separador conmutable de vía de señal en una vía de
señal de modulación de amplitud y una vía de señal de
modulación de frecuencia, incluyendo la vía de señal de
modulación de frecuencia un limitador.

Son conocidos circuitos decodificadores en un
10 receptor de televisión en color PAL- SECAM del tipo an
tes descrito, del documento de publicación de la paten
te alemana 1.2 79.727, que utilizan dos separadores de
vía de señal para una señal de crominancia cada uno de
los cuales está acoplado a una salida de un conmutador
15 que funciona a la mitad de la frecuencia de línea, el
cual está acoplado a su vez a una salida y a una entra
da de una línea de retardo.

El objeto del invento es hacer los circuitos
de este tipo adecuados para la técnica de circuitos in
20 tegrados.

A este respecto, un circuito decodificador
del tipo descrito en la introducción de acuerdo con el
invento está caracterizado porque el separador de vía
de señal incluye un primer transistor acoplado a una en
25 trada del mismo, cuyo transistor tiene su emisor de un

403442



21 10 1972

segundo transistor y a una primera fuente de corriente a través de una primera resistencia, estando conectada además dicha conexión entre la primera resistencia y la primera fuente de corriente al emisor de un tercer transistor a través de una segunda resistencia, estando acopladas cada una de las bases del segundo y tercer transistores a una entrada diferente de tensión de conmutación del sistema, mientras que al menos uno de los colectores del primero y segundo transistores está acoplado a una salida de modulación de frecuencia del separador de vía de señal y al menos uno de los colectores del primer y tercer transistores está acoplado a una salida de modulación de amplitud del separador de vía de señal.

Debido a esta medida, se obtiene un separador conmutable de vía de señal para un circuito decodificador que puede realizarse fácilmente mediante técnicas de circuito integrado y que actúa como limitador para señales moduladas en frecuencia, por ejemplo, para el sistema SECAM, y como amplificador para señales moduladas en amplitud, por ejemplo para el sistema PAL, mientras que extensiones adicionales con elementos de circuito integrados permiten obtener diferentes circuitos decodificadores de un modo simple.

Se describirá el invento con referencia a los

403442



dibujos y a algunas realizaciones.

En los dibujos:

La Figura 1 ilustra, a modo de diagrama de
circuito de principio no detallado, parte de un circui
5 to decodificador de acuerdo con el invento que tiene
dos separadores de vía de señal de crominancia incorpo
rados antes de un conmutador que funciona a la mitad
de frecuencia de línea;

La Figura 2 representa, a modo de diagrama
10 de estudio, un circuito decodificador de acuerdo con el
invento en el cual está incluida la parte representada
en la Figura 1 en un diagrama de bloques;

La Figura 3 representa, a modo de diagrama
de circuito de principio no detallado, parte de una rea
15 lización adicional de un circuito decodificador de
acuerdo con el invento que incluye dos separadores de
vía de señal incorporados después de un conmutador que
funciona a la mitad de la frecuencia de línea;

La Figura 4 representa, a modo de diagrama
20 de estudio, un circuito decodificador de acuerdo con el
invento, en el cual está incorporada la parte represen
tada en la Figura 3 en un diagrama de bloques.

En la Figura 1 la base de un primer transis-
tor 1 está conectada a una primera entrada 3. El colec
25 tor de este transistor 1 está conectado a una tensión

403442



positiva de +12V. Una señal de crominancia PAL o SECAM, que se produce en una salida de una línea de retardo no representada, está aplicada a la primera entrada 3.

5 El emisor del primer transistor 1 está conec-
tado al emisor de un segundo transistor 5 cuya base es-
tá conectada a una primera entrada 7 de tensión de con-
mutación de sistema.

10 Cuando se recibe una señal de crominancia SE-
CAM, la tensión en la entrada 7 de tensión de conmuta-
ción de sistema se hace tal que el segundo transistor
5 conduce. Cuando se recibe una señal de crominancia
PAL la tensión es tal que este segundo transistor 5 que
da al corte.

15 Los emisores del primer y segundo transisto-
res 1 y 5 están conectados, a través de una primera re-
sistencia 9, al colector de un transistor 11 que sirve
como primera fuente de corriente cuya base está conecta-
da a una tensión positiva de más +1,5 V y cuyo emisor
está conectado, a través de una resistencia 13, a un con-
20 ductor 0 de tensión cero.

El colector del transistor 11 está conectado,
a través de una segunda resistencia 15, al emisor de
un tercer transistor 17 cuya base está conectada a una
segunda entrada 19 de tensión de conmutación de sistema.

25 Cuando se recibe una señal de crominancia

403442



SECAM, la tensión en la segunda entrada 19 de tensión de conmutación de sistema es tal que el tercer transistor 17 queda al corte y cuando se recibe una señal de crominancia PAL la tensión es tal que el tercer transistor 17 conduce.

El primero, segundo y tercer transistores 1, 5 y 17, la primera y segunda resistencias 9 y 15 y la primera fuente 11 de corriente constituyen un separador de vía de señal que, en caso de recepción de una señal de crominancia PAL, tiene una función de amplificación y, en caso de recepción de una señal de crominancia - SECAM, tiene una función de limitación. Cuando se recibe una señal SECAM, el primer y segundo transistores 1 y 5 constituyen un amplificador diferencial de tensión limitador porque sus emisores están conectados directamente entre sí y cuando se recibe una señal de crominancia PAL el primero y tercer transistores 1 y 17 constituyen un amplificador diferencial no limitador porque sus emisores están conectados a una primera fuente 11 de corriente a través de la primera y segunda resistencias 9 y 15 que producen entonces una reacción .

Los emisores del primero y segundo transistores 1 y 5 están conectados a la base de un cuarto transistor 21 cuyo emisor está conectado, a través de una tercera resistencia 23, al colector de un transistor 25 que sirve como segunda fuente de corriente cuyo emisor está conectado, a través de una resistencia 27, al con

403442



ductor 0 de tensión nula y cuya base está conectada a la tensión positiva de +1,5 V.

Además, el colector del transistor 25 está conectado, a través de una cuarta resistencia 29, al emisor de un quinto transistor 31 y está también conectado al emisor de un sexto transistor 33. La base de este sexto transistor 33 está conectada a una tercera entrada 35 de tensión de conmutación de sistema y el colector está conectado, a través de una resistencia 36, a una tensión de alimentación positiva de +7 V.

Como resultado de la tensión en esta tercera entrada 35 de tensión de conmutación de sistema, el cuarto y quinto transistores 21 y 31 están al corte cuando se recibe una señal de crominancia SECAM y son hechos conductores cuando se recibe una señal de crominancia PAL. En el último caso, el sexto transistor 33 está al corte. El cuarto y quinto transistores 21 y 31 funcionan entonces como amplificador diferencial para una señal que procede del emisor del primer transistor 1.

La base del quinto transistor 31 está conectada a los emisores interconectados de un séptimo y un octavo transistores 37 y 39 que están conectados, a través de una quinta resistencia 41, al colector de un transistor 43 que sirve como tercera fuente de corriente.

403442

21 Jul.



La base del último transistor 43 está conectada a la
tensión positiva de 41,5 V y el emisor está conectado,
a través de una resistencia 45, al conductor 0 de ten-
sión cero. El colector del transistor 43 está conecta-
5 do además, a través de una sexta resistencia 46, al emi-
sor de un noveno transistor 47. La base del octavo tran-
sistor 39 está conectada a una cuarta entrada 49 de ten-
sión de conmutación de sistema y la del noveno transis-
tor 47 está conectada a una quinta entrada 51 de ten-
10 sión de conmutación de sistema.

La base del séptimo transistor está conectada
a una segunda entrada 53 de señal de crominancia a la
cual está aplicada una señal de crominancia PAL o SECAM
que se produce en una salida de dicha línea de retardo
15 no representada.

Los transistores séptimo, octavo y noveno 37,
39, 47, las quinta y sexta resistencias 41, 46 y la ter-
cera fuente 43 de corriente constituyen un segundo sepa-
rador de vía de señal de crominancia PAL- SECAM.

20 Durante el tratamiento de una señal de cromi-
nancia SECAM, las tensiones en la cuarta y quinta entra-
das 49 y 51 de tensión de conmutación de sistema ase-
guran que el noveno transistor 47 está al corte y que
el octavo transistor 39 se hace conductor. El séptimo
25 y el octavo transistores 37, 39 constituyen entonces.

14.7.72

- 8 -

403442



un amplificador diferencial limitador para la señal de crominancia SECAM.

Durante el tratamiento de una señal de crominancia PAL, las tensiones en las entradas cuarta y quinta 49 y 51 de señal de conmutación de sistema son tales que el octavo transistor 39 está al corte y el noveno transistor 47 conduce, de modo que los transistores séptimo y noveno 37, 47 constituyen un amplificador limitador como resultado de la reacción producida por las resistencias quinta y sexta 41, 46. Se produce entonces en la quinta resistencia 41 una señal de crominancia PAL que está aplicada a la base del quinto transistor 31.

El amplificador diferencial constituido por los transistores cuarto y quinto suministrará entonces una señal que es proporcional a la diferencia de las tensiones presentes en las bases de los transistores cuarto y quinto 21, 31 en las cuales están aplicadas convenientemente una señal de crominancia PAL retardada y una señal de crominancia PAL sin retardar. Los colectores de los transistores cuarto y quinto suministrarán entonces una señal de crominancia que representa la componente de la fase alternante de la señal PAL.

Los colectores del segundo transistor 5 y del cuarto transistor 21 están interconectados, así como los del octavo transistor 39 y el quinto transistor

403442



31. Estas interconexiones serán así portadoras, en el caso de recepción PAL, en oposición de fase, de la componente de fase alternante de la señal de crominancia PAL y de la señal de crominancia SECAM limitada sin re-
5 tardar en el caso de recepción SECAM.

Los colectores interconectados de los transistores segundo y cuarto 5 y 21 están conectados a los emisores interconectados de un décimo transistor 53 y un undécimo transistor 55, los colectores interconecta-
10 dos de los transistores quinto y octavo 31, 39 están conectados a los emisores interconectados de un duodécimo transistor 57 y un decimotercer transistor 59. Las bases del undécimo y del duodécimo transistores 55, 57
15 están conectadas a una tensión positiva de +4,7 V, y las del décimo y decimotercero transistores 53, 59 están conectadas a una entrada 51 de tensión de conmutación de la mitad de la frecuencia de línea. Los colectores del décimo y duodécimo transistores 53, 57 están inter-
20 conectados, así como los del undécimo y decimotercero transistores 55, 59.

Los transistores décimo, undécimo, duodécimo y decimotercero 53, 55, 57, 59 constituyen un conmutador bipolar que interconecta las dos entradas a las dos salidas alternativamente de un modo directo y de
25 un modo cruzado. En el caso de recepción SECAM, está

403442



continuamente disponible una componente de señal (R-Y) de crominancia en los colectores del undécimo y decimo tercero transistores 55, 59 y está disponible una componente de señal (B-Y) de crominancia en los colectores del décimo y duodécimo transistores 53, 57, mientras que en caso de recepción PAL cada una de estas parejas de colectores proporciona una componente de señal (R-Y) de crominancia que tiene un signo no alternante.

La señal (R-Y) de crominancia es transmitida a través de un transistor 63 a una salida 65 que es común para PAL y SECAM. A este respecto, los colectores de los transistores 55 y 59 están conectados al emisor del transistor 63 cuya base está conectada a una tensión de alimentación positiva de +7 V y cuyo colector está conectado, a través de una resistencia 67 de carga, a una tensión de alimentación positiva de +12 V.

Los colectores del tercer transistor 17 y el noveno transistor 47 están conectados entre sí y además, a través de una séptima resistencia 69, al emisor de un decimocuarto transistor 71 y, a través de una octava resistencia 73, al emisor de un decimoquinto transistor 75. La base del decimocuarto transistor 71 está conectada a la tensión de alimentación positiva de +7 V y su colector está conectado a la tensión de alimentación positiva de +12 V. El colector del decimoquinto



403442

transistor 75 está conectado, a través de una resistencia 77 de carga, a la tensión de alimentación positiva de +12 V. Su base está conectada al colector del sexto transistor 33 y recibe una tensión de conmutación de sistema, así como a la base de un decimosexto transistor 79 conectado al mismo, cuyo colector está conectado a la tensión de alimentación positiva de +12 V y cuyo emisor está conectado al emisor de un decimoséptimo transistor 81. Estos emisores interconectados están conectados a los colectores del décimo y duodécimo transistores 53, 57. La base del decimoséptimo transistor 81 está conectada a una tensión de alimentación positiva de +6,5 V y su colector está conectado al del decimoquinto transistor 75. Estos colectores interconectados constituyen una salida 83 para la componente de señal (B-Y) de ambas señales de crominancia PAL y SECAM.

La componente (B-Y) de la señal de crominancia PAL está constituida en los colectores comunes del tercer y noveno transistores 17, 47, donde son sumadas entre sí una señal de crominancia PAL no retardada y una señal de crominancia PAL retardada y son transmitidas a la resistencia 77 de carga porque, en el caso de recepción PAL, el decimoquinto transistor 75 conduce y el decimocuarto transistor 71 está al corte como resultado de la tensión de conmutación de sistema presente

403442 21 JUL



en la base del decimoquinto transistor 75.

Sin embargo, en caso de recepción SECAM, el decimoquinto y el decimosexto transistores 75, 79 están al corte y el decimocuarto y el decimoséptimo transistores 71, 81 conducen, de modo que la señal (B-Y) de crominancia SECAM de los colectores interconectados de los transistores décimo y duodécimo 53, 57 es transmitida a la salida 83.

En el circuito decodificador de la Figura 2, una parte 85 representada en diagrama de bloques corresponde al circuito representado en la Figura 1. Los componentes correspondientes tienen las mismas cifras de referencia que los de la Figura 1. Una entrada 87 del circuito está conectada, a través de una línea 89 de retardo, a la entrada 53 de la parte 85 y, a través de un atenuador 91, a la entrada 3. Cada una de las entradas 3, 53 pueden conectarse, a través de un separador 93, 95 de vía de señal, a un limitador 97, 99 en caso de recepción SECAM, por una parte, y por otra parte a una entrada de un circuito 101 sumador y de un circuito 103 substractor en caso de recepción PAL. El circuito 101 sumador tiene una entrada 105 que puede ser conectada, a través de un contacto 111 de conmutación de sistema, a la salida 83 en caso de recepción PAL. Las salidas de los limitadores 97, 99 y las en-

30975

403442



tradas de un conmutador 113 bipolar que funciona a la
mitad de la frecuencia de línea, están conectadas a las
salidas 107, 109 del circuito 101 sumador. Una salida
del conmutador 113 puede conectarse, en caso de recep
5 ción SECAM a través de un contacto 115 de conmutación
de sistema, a la salida 83 de la parte 85 y otra sali
da está conectada a la salida 65 de la parte 85.

El separador 93 de vía de señal y el limita
dor 97 corresponden a los transistores primero, segun
10 do y tercero 1, 5, 17 de la Figura 1. El separador 95
de vía de señal y el limitador 99 corresponden al sép
timo, al octavo, y al noveno transistores 37, 39, 47 de
la Figura 1. El circuito 101 sumador corresponde a
los transistores tercero y noveno 17, 47, el circuito
15 103 substractor corresponde a los transistores cuarto
y quinto 21, 31 de la Figura 1, el conmutador 113 que
funciona a la mitad de la frecuencia de línea corres
ponde a los transistores décimo, undécimo, duodécimo
y decimotercero 53, 55, 57 y 59 de la Figura 1, el con
20 tacto 111 de conmutación de sistema corresponde a los
decimocuarto y decimoquinto transistores 71, 75 de la
Figura 1 y el contacto 115 de conmutación de sistema
corresponde a los decimosexto y decimoséptimo transis
tores 79, 81 de la Figura 1.

25 Los contactos 93, 95, 111, 115 de conmutación
de sistema son accionados por tensiones que se origi-

403442



nan de un generador 117 de tensión de conmutación de sistema que puede hacerse funcionar, si se desea, manual o automáticamente. En el último caso, ha de derivarse una señal de identificación de sistema de las
5 señales de crominancia.

La salida 83 de la parte 85 está conectada, a través de un condensador 119, a una primera entrada de un demodulador 123 de producto y, a través de un circuito desfasador, a una segunda entrada 125 del
10 mismo. El circuito desfasador está constituido por una disposición en serie de un condensador 127 y un circuito 129 resonante paralelo que tiene un factor de calidad Q ajustable. El punto de unión entre el condensador 127 y el circuito 129 resonante paralelo está
15 conectado, a través de un condensador 131, a una segunda entrada 125 del primer demodulador 123.

La salida 65 de la parte 85 está igualmente unida a un segundo demodulador 133, a través de un condensador 135 a una primera entrada 136 y a través de
20 condensadores 137, 141, a una segunda entrada 142, mientras que el punto de unión de los condensadores 137, 141 está conectado a un circuito 139 desfasador que tiene un factor de calidad Q ajustable.

La estructura del primer demodulador 123 es
25 como sigue. La primera entrada 121 está conectada a

20075

403442

21 JUL. 1972



la base de un transistor 143 cuyo emisor está conecta
do, a través de dos resistencias 145, 147, al emisor
de un transistor 149. El punto de unión de las resis-
tencias 145, 147 está conectado al colector de un tran-
5 sistor 151 dispuesto como fuente de corriente, cuya ba-
se está conectada a una fuente de alimentación positi
va de +1,5 V y cuyo emisor está conectado al conductor
0 de tensión cero a través de una resistencia 153.

El colector del transistor 143 está conecta
10 do a los emisores de dos transistores 155, 157 y el
colector del transistor 149 está conectado a los emi-
sores de dos transistores 159, 161.

Los colectores de los transistores 155 y
159 están conectados entre sí y están conectados, a
15 través de una resistencia 163, a una tensión de alimen-
tación positiva de +12 V. Los colectores de los tran-
sistores 157 y 161 están interconectados y están conec
tados a la tensión de alimentación positiva de +12 V.
Las bases de los transistores 157, 159 están conecta
20 das a los colectores de un par de transistores 165,
167, cuyos colectores están conectados, a través de
una resistencia 168, a la tensión de alimentación po-
sitiva de +12 V. Las bases de los transistores 155,
161 están conectadas a los colectores de un par de
25 transistores 169, 171. Estos colectores están conecta

403442

21 JUN



dos, a través de una resistencia 172, a la tensión de
alimentación positiva de +12 V. Los emisores de los
transistores 165, 167, 169 y 171 están interconectados
y están conectados al colector de un transistor 173
5 dispuesto como fuente de corriente, cuyo emisor está
conectado, a través de una resistencia 175, al conduc-
tor 0 de tensión cero.

Cada una de las bases de los transistores
169 y 171 están conectadas a una salida 174, 176 dife-
10 rente del generador 117 de señal de conmutación de sis-
tema. La base del transistor 165 está conectada a la
segunda entrada 125 del primer demodulador 123 y está
conectada, en cuanto a tensión continua, a la base del
transistor 171 a través de una resistencia 177. La ba-
15 se del transistor 167 está conectada a una entrada 178
de señal de referencia PAL y, en cuanto a tensión con-
tinua, a la base del transistor 169 a través de una
resistencia 179.

Cuando la tensión en las bases de los tran-
20 sistores 165 y 171 es suficientemente positiva con re-
lación a la tensión en las bases de los transistores
167 y 169, la señal de entrada en la segunda entrada
125 es aplicada a través del par de transistores
165, 171, entonces en conducción, en oposición de fa-
25 se, a las bases de los transistores 157, 159, y 155,

403442

21 JUL.



161. Este es el caso cuando se recibe una señal SECAM.
Los transistores 167 y 169 están entonces al corte.

5 Cuando se recibe una señal PAL, las bases de los transistores 167, 169 se hacen más positivas que las de los transistores 165, 171, de modo que los últimos están al corte y los transistores 167, 169 conducen. La señal de referencia PAL es entonces aplicada desde la entrada 178 en oposición de fase a las bases de los transistores 155, 161 y 157, 159.

10 La sección 143, 149, 155, 157, 159, 161 de demodulación utilizada realmente funciona de un modo conocido que no necesita ser descrito adicionalmente.

15 La función del factor de calidad ajustable de los circuitos 129, 139 desfasadores es hacer las tensiones de salida de cada uno de los demoduladores iguales para los sistemas PAL y SECAM, aunque difiera la relación de las amplitudes de las señales (R-Y) y (B-Y) en las señales de crominancia SECAM y PAL. En efecto, debido a una variación del factor de calidad, el desfase cambia en función de la frecuencia de la señal en la segunda entrada 125. Puesto que el demodulador funciona como demodulador de fase, la tensión de salida del demodulador cambia en función del factor de calidad del circuito 129.

25 La amplificación de los demoduladores está

403442



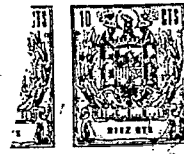
escogida preferiblemente de modo que es tal que, en el caso de recepción PAL, las señales (R-Y) y (B-Y) tienen su relación original determinada por el transmisor después de la demodulación. La relación de los factores Q de calidad de los circuitos 129, 139 desfa
5 sadores es entonces tal que tiene lugar la misma relación de amplitud en la salida de los demoduladores en el caso de recepción SECAM.

En la Figura 3 los componentes correspondien
10 tes tienen las mismas cifras de referencia que en las otras Figuras.

Aparte de las conexiones de base y colector, los separadores de vía de señal que limitan en caso de recepción SECAM y amplifican sin limitación en caso
15 de recepción PAL, que incluyen los transistores primero, segundo y tercero 1, 5 y 17 y los transistores séptimo, octavo y noveno 37, 49, y 47, respectivamente, y el amplificador de tensión diferencial que puede ser
20 bloqueado en caso de recepción SECAM, que incluye el cuarto, el quinto y el sexto transistores 21, 31 y 33, son iguales a los de la Figura 1.

La base del primer transistor 1 está conectada a los colectores de los transistores décimo y duodécimo 53, 57 y la del séptimo transistor 37 está conectada a los colectores del undécimo y del decimotercero
25

403442



transistores 55, 59. El colector del décimo transis-
tor 53 está conectado, a través de una resistencia
181 de carga, y el del undécimo transistor 55 está co-
nectado, a través de una resistencia 183 de carga, a
5 la tensión de alimentación positiva de ± 12 V.

Los colectores de los transistores segundo,
tercero y noveno 5, 17, y 47 están conectados a la sa-
lida 83 y, a través de una resistencia 185 de carga,
a la tensión de alimentación positiva de ± 12 V. Los co-
10 lectores del quinto y del octavo transistores 31, 39
están conectados a la salida 65 y, a través de una re-
sistencia 187 de carga, a la tensión de alimentación
positiva de ± 12 V. Los colectores del cuarto y sexto
transistores 21, 33 están también conectados a la ten-
15 sión de alimentación positiva de ± 12 V.

Los emisores del décimo y undécimo transis-
tores 53, 55 están conectados al colector de un tran-
sistor 189 y los del duodécimo y décimotercero transis-
tores 57, 59 están conectados al colector de un tran-
20 sistor 191. La base del transistor 189 está conectada
a la entrada 3 para las señales de crominancia no re-
tardadas y la del transistor 191 está conectada a la
entrada 53 correspondiente a las señales de crominan-
cia que están retardadas en un período de línea. Los
25 emisores de los transistores 189, 191 están conectados

14.7.72

403442



al conductor 0 de tensión cero a través de resistencias 193, 195, respectivamente .

El funcionamiento del circuito es como sigue:

Como resultado de la acción del conmutador que funciona a la mitad de la frecuencia de línea con el décimo, undécimo, duodécimo y decimotercero transistores 53, 55, 57, 59, es alternativamente aplicada una señal de crominancia retardada y una señal de crominancia no retardada PAL o SECAM a la base del primer transistor 1 y es aplicada alternativamente una señal de crominancia no retardada y una señal de crominancia retardada PAL o SECAM a la base del séptimo transistor 37.

En caso de recepción PAL, el segundo, el sexto y el octavo transistores 5, 33, 39 están al corte y los transistores primero, tercero, cuarto, quinto, séptimo y noveno 1, 17, 21, 31, 37, 47 están conduciendo.

Solamente se produce en los colectores del tercer y noveno transistores 17, 47 una señal suma de la señal de crominancia PAL no retardada y la señal de crominancia PAL retardada en un período de línea y que incluye la componente de fase constante de la señal PAL (B-Y). La diferencia de la señal de crominancia PAL no retardada y la señal de crominancia retardada y la señal de crominancia PAL retardada y la se

403442



ñal de crominancia no retardada y no limitada, es alter-
nativamente formada por el amplificador 21, 31 dife-
rencial en el colector del quinto transistor 31. Esto
produce la componente en cuadratura de la fase alter-
5 nante original (R-Y) de la señal de crominancia PAL.
Sin embargo, esta señal (R-Y) no presenta una alternan-
cia de fase con el cambio de línea en el colector del
quinto transistor 31 debido a la acción del conmutador
53, 55, 57, 59.

10 En caso de recepción SECAM los transistores
tercero, cuarto, quinto y noveno 17, 21, 31, 47 están
al corte y los transistores primero, segundo, sexto,
séptimo y octavo 1, 5, 33, 37, 39 conducen.

Una señal de crominancia SECAM retardada y
15 una señal de crominancia no retardada se producen al-
ternativamente en el colector del segundo transistor
5 y es producida alternativamente una señal de cromi-
nancia SECAM no retardada y una señal de crominancia
retardada limitada, en el colector del octavo transis-
20 tor 39. Como es sabido, la señal (B-Y) de crominancia
SECAM es producida de este modo en la salida 83 y la
señal (R-Y) de crominancia SECAM es producida en la
salida 65 cuando el conmutador 53, 55, 57, 59 conmuta
con el ritmo correcto.

25 En la Figura 4, una parte 86 representada en

403442



un diagrama de bloques corresponde al circuito de la
Figura 3. Las cifras de referencia corresponden a las
de las otras Figuras. El conmutador 113, que funciona
a la mitad de la frecuencia de línea, está acoplado
5 directamente a las entradas 3 y 35 y corresponde a los
transistores 53, 55, 57 y 59 de la Figura 3. Las salidas
del conmutador 113 están unidas a las entradas de
los separadores 93, 95 de vía de señal cuyas salidas
SECAM incluyen los limitadores 97, 99 y cuyas salidas
10 PAL están unidas al circuito 101 sumador y al circuito
103 substractor. Las salidas del circuito 101 sumador
y el limitador 97 están conectadas a la salida 83 de
la parte 86 y las del circuito 103 substractor y el
limitador 99 están conectadas a la salida 65 de la
15 misma.

El conmutador 113 que funciona a la mitad de
la frecuencia de línea, corresponde a los transistores
53, 55, 57, 59 de la Figura 3; el separador 93 de vía
de señal y el limitador 97 corresponden a los transis-
20 tores 1, 5, 17 de la Figura 3; el separador 95 de vía
de señal y el limitador 99 corresponden a los transis-
tores 37, 39, 47 de la Figura 3; el circuito 101 suma-
dor corresponde a la conexión del colector de los tran-
sistores 17, 47 de la Figura 3, y el circuito 103 subs-
25 tractor corresponde a los transistores 21 y 31 de la

403442



Figura 3.

La posición de los separadores 93, 95 de vía de señal representada es la posición PAL, y la posición no representada es la posición SECAM.

5 La diferencia más importante de la parte 85 de la Figura 2 es que el conmutador 113 que funciona a la mitad de la frecuencia de línea está en este caso incluido antes de los separadores 93, 95 de vía de se-
ñal y en la Figura 2 está incluido después de ellos.

10 El funcionamiento de la parte 86 corresponde al funcionamiento del circuito de la Figura 3, de modo que éste no necesita ser descrito adicionalmente.

El resto del circuito corresponde a la parte acoplada a la parte 15 del circuito de la Figura 2,
15 de modo que se hace referencia a la misma para su fun-
cionamiento.

20 Cuando se utiliza el circuito de la Figura 3, resultará obvio que tanto la señal de crominancia SECAM limitada como la señal PAL sin limitar se pro-
ducen en el colector del primer transistor 1, de modo que también el colector de este transistor puede estar conectado al colector del noveno transistor 47, en vez de a los colectores de los transistores segundo y tercer 5 y 17.

25 Las fuentes 11, 25, 43 de corriente de los

403442



circuitos descritos pueden ser sustituidas, si se desea, por una resistencia conectada al conductor 0 de tensión cero.

Además, las bases de los transistores cuarto y quinto 21 y 31 pueden estar acopladas de un modo diferente, por ejemplo, directamente, a las entradas 3 y 53, respectivamente.

La utilización de demoduladores comunes a los sistemas PAL y SECAM tiene el resultado de que el control de saturación de un receptor de televisión en color provisto de un circuito como el antes descrito se realizará generalmente en la sección del receptor que sigue a los demoduladores. Preferiblemente, este será el caso después de un acoplamiento de tensión alterna seguido por un circuito fijador de nivel, mientras que para obtener el nivel correcto en caso de recepción de una señal SECAM, la señal de entrada de los demoduladores es suprimida.

El circuito decodificador ha sido descrito con referencia a su utilización en un receptor de televisión en color PAL-SECAM. En principio, sin embargo, el circuito decodificador puede ser utilizado en aquellos receptores que sean adecuados para la recepción de señales moduladas tanto en amplitud como en frecuencia.

403442



Esta solicitud, que corresponde a la presentada en Holanda el 4 de Junio de 1971, bajo el Número 7107669, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

5

REIVINDICACIONES


10

Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

15 1.- Una disposición de circuito decodificador para un receptor de televisión multi-sistema para el
20 tratamiento de al menos una señal demodulada en amplitud y una señal modulada en frecuencia, que incluye un separador conmutable de vía de señal de crominancia en una vía de señal de modulación de amplitud y una vía de señal de modulación de frecuencia, en el
25 cual la vía de señal de modulación de frecuencia inclu

14.7.72

- 26 -



403442

27



ye un limitador, caracterizada porque el separador de
vía de señal incluye un primer transistor (1) acopla-
do a una entrada del mismo y que tiene su emisor conec-
tado al emisor de un segundo transistor (5) y, a tra-
5 vés de una primera resistencia (9), a una primera fuen-
te (11) de corriente, cuya conexión entre la primera
resistencia (9) y la primera fuente (11) de corriente
está conectada además, a través de una segunda resis-
tencia (15), al emisor de un tercer transistor (17),
10 estando cada una de las bases del segundo y del tercer
transistores (5,17) conectadas a una entrada (7,19)
diferente de tensión de conmutación de sistema, estan-
do unido al menos uno de los colectores del primer y
del segundo transistores (1,5) a una salida de modula-
15 ción de frecuencia del separador de vía de señal, y
estando unido al menos uno de los colectores del pri-
mer y del tercer transistores (1,17) a una salida de
modulación de amplitud del separador de vía de señal.

2.- Una disposición de acuerdo con la rei-
20 vindicación 1, caracterizada porque los emisores del
primer y segundo del transistores (1,5) están conec-
tados a la base de un cuarto transistor (21) cuyo emi-
sor está conectado, a través de una tercera resisten-
cia (23), a una segunda fuente (25) de corriente, mien-
25 tras que el punto de unión entre dicha tercera resis-

14.7.72

- 27 -

403442



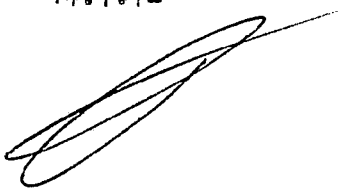
tencia (23) y la segunda fuente (25) de corriente está
conectado, a través de una resistencia (29), al emisor
de un quinto transistor (31) y además al emisor de un
sexto transistor (33) cuya base está acoplada a una en-
5 trada (35) de tensión de conmutación de sistema.

3.- Una disposición de acuerdo con la rei-
vindicación 2, caracterizada porque el colector de uno
de los transistores del grupo formado por el primer y
el segundo transistores (1,5) está conectado al colec-
10 tor de uno de los transistores del grupo formado por
los transistores cuarto y quinto (21,31).

4.- Una disposición de acuerdo con la rei-
vindicación 2, que incluye un separador adicional de
vía de señal, caracterizada porque el separador adi-
15 cional de vía de señal incluye un séptimo transistor
(37) acoplado a una entrada del mismo y que tiene su
emisor conectado al emisor de un octavo transistor (39)
y, a través de una quinta resistencia (41), a una ter-
cera fuente (43) de corriente, mientras que el punto
20 de unión o conexión entre la quinta resistencia (41)
y la tercera fuente (43) de corriente está conectado,
a través de una sexta resistencia (46), al emisor de
un noveno transistor (47), estando conectada la base
del quinto transistor (31) a los emisores del séptimo
25 y del octavo transistores (37,39).

14.7.72

- 28 -



403442



5.- Una disposición de acuerdo con la reinvindicación 4, caracterizada porque el colector del cuarto transistor (21) está conectado al colector del segundo transistor (5) y a los emisores de un décimo y un undécimo transistores (53,55), estando conectado al colector del quinto transistor (31) al del octavo transistor y a los emisores de un duodécimo y un decimotercero transistores (57,59), y estando conectado al colector del tercer transistor (17) al del noveno transistor (47) y, a través de una séptima y una octava resistencia (69,73), al emisor de un decimocuarto y un decimoquinto transistores (71,75), respectivamente, mientras que los colectores del décimo y duodécimo transistores (53,57) están conectados entre sí y a los emisores de un decimosexto y un decimoséptimo transistores (79,81), estando conectados entre sí los colectores del undécimo y decimotercero transistores (55,59), estando conectadas entre sí en parejas las bases del undécimo (55), el duodécimo (57), el décimo (53) y el decimotercero (59) transistores en los cuales al menos una de dichas parejas de bases está conectada a una entrada para una tensión de conmutación de la mitad de la frecuencia de línea, estando conectados entre sí los colectores del decimoquinto transistor (75) y el decimoséptimo transistor (81) y estando unidas las ba

14.7.72

403442



ses del decimoquinto transistor (75) y el decimosexto transistor (79) a una entrada (35) de tensión de conmutación de sistema con relación a la del decimocuarto transistor (71) y el decimoséptimo transistor (81).

5 6.- Una disposición de acuerdo con la rei -
vindicación 5, caracterizada porque las entradas de los separadores de vía de señal están acopladas a una entrada (3) y una salida (53), respectivamente, de un circuito de retardo.

10 7.- Una disposición de acuerdo con la rei -
vindicación 4, caracterizada porque los colectores del segundo y tercer transistores (5,17) y los del quinto y octavo transistores (31,39) están conectados entre sí en parejas, mientras que cada una de las entradas
15 de los separadores de vía de señal (bases 1,37) están conectadas a una salida diferente de un conmutador bipolar que funciona a la mitad de la frecuencia de línea, una de cuyas entradas está acoplada a una entrada (13) de un circuito (91) de retardo y del cual una entrada
20 adicional está acoplada a una salida (53) del circuito (91) de retardo.

25 8.- Una disposición de acuerdo con la rei -
vindicación 5 y la reivindicación 7, caracterizada por que los colectores del decimoprimer y decimoquinto
transistores (55,75) y del octavo y tercero transisto

14.7.72

- 30 -

403442



res (39,17) están conectados a primeras entradas (121,136)
de un primer y un segundo demoduladores (123,133), res
pectivamente, y a través de un circuito (127,129,137, -
139) desfasador que tiene un factor Q de calidad ajus
5 table, a una segunda entrada (125,142) del primer y se
gundo demoduladores (123,133).

9.- Una disposición de acuerdo con cualquie
ra de las reivindicaciones precedentes, caracterizada
porque las mencionadas fuentes de corriente son tran-
10 sistores.

10.- "UNA DISPOSICION DE CIRCUITO DECODIFICA
DOR PARA UN RECEPTOR DE TELEVISION MULTI-SISTEMA".

Tal y como se ha descrito en la Memoria que
antecede, representado en los dibujos que se acompañan
15 y para los fines que se han especificado.

Esta Memoria consta de treinta y una hojas es
critas a máquina por una sola cara.

Madrid, 21 JUL 1972

P.A.

Aldo de Lizaso
Por Poder

MAL/14.7.72

403442

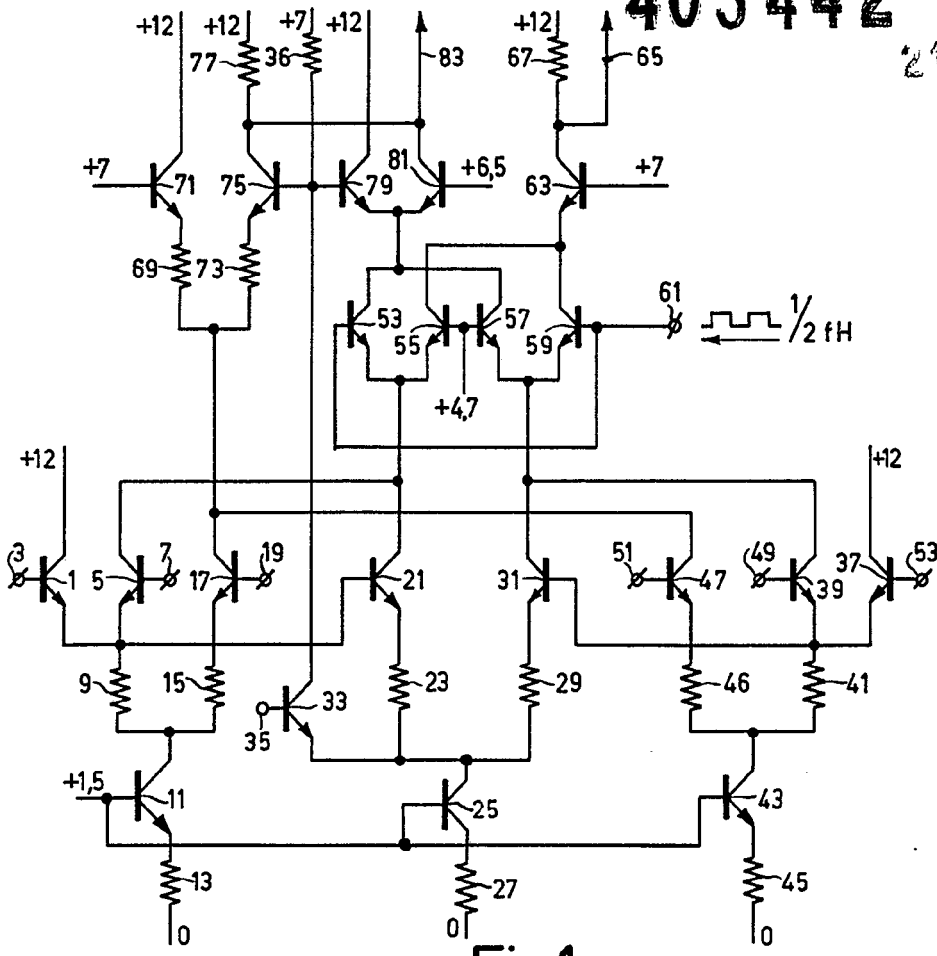


Fig.1

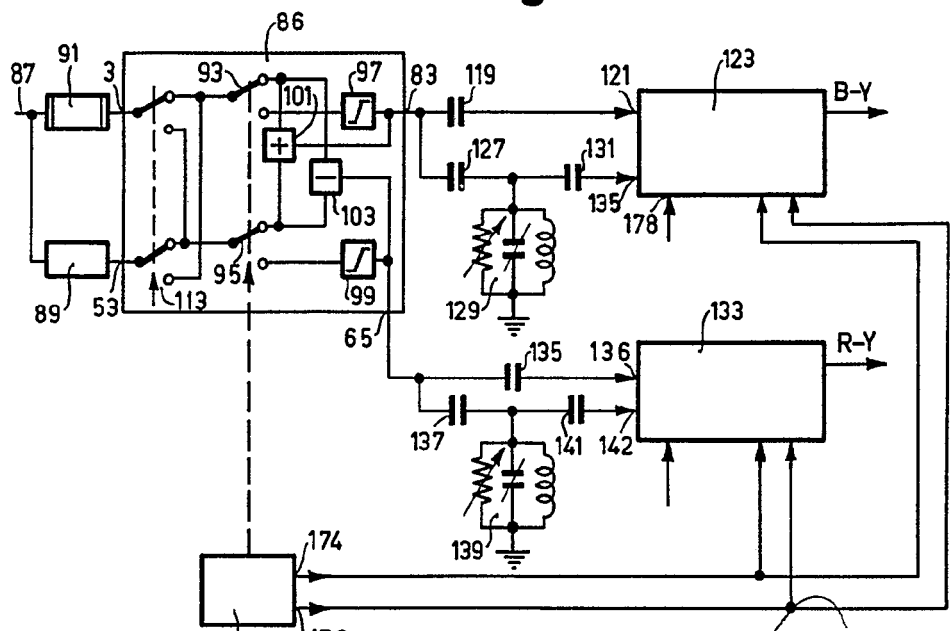


Fig.4

Alber...
For Pader.

403442

403442

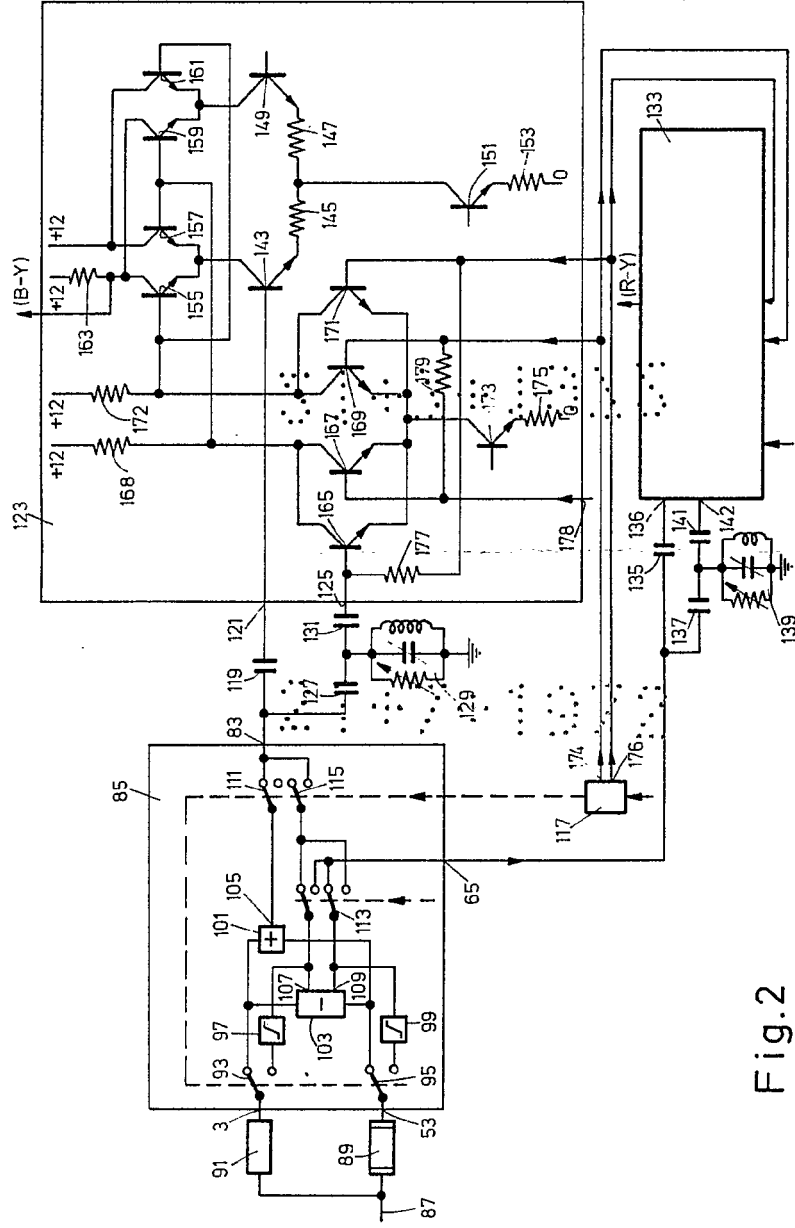


Fig. 2

Alberto *Perles*
 Per. Poder.

403442

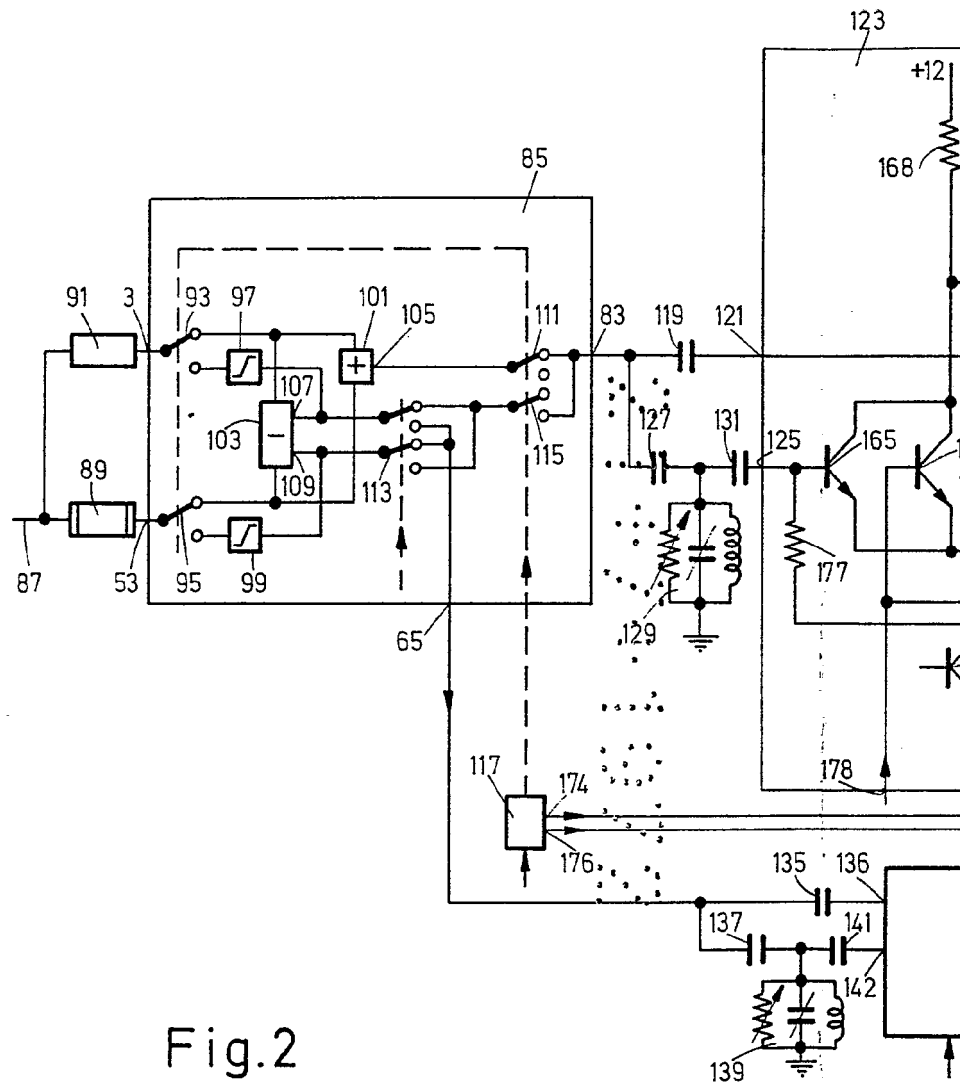
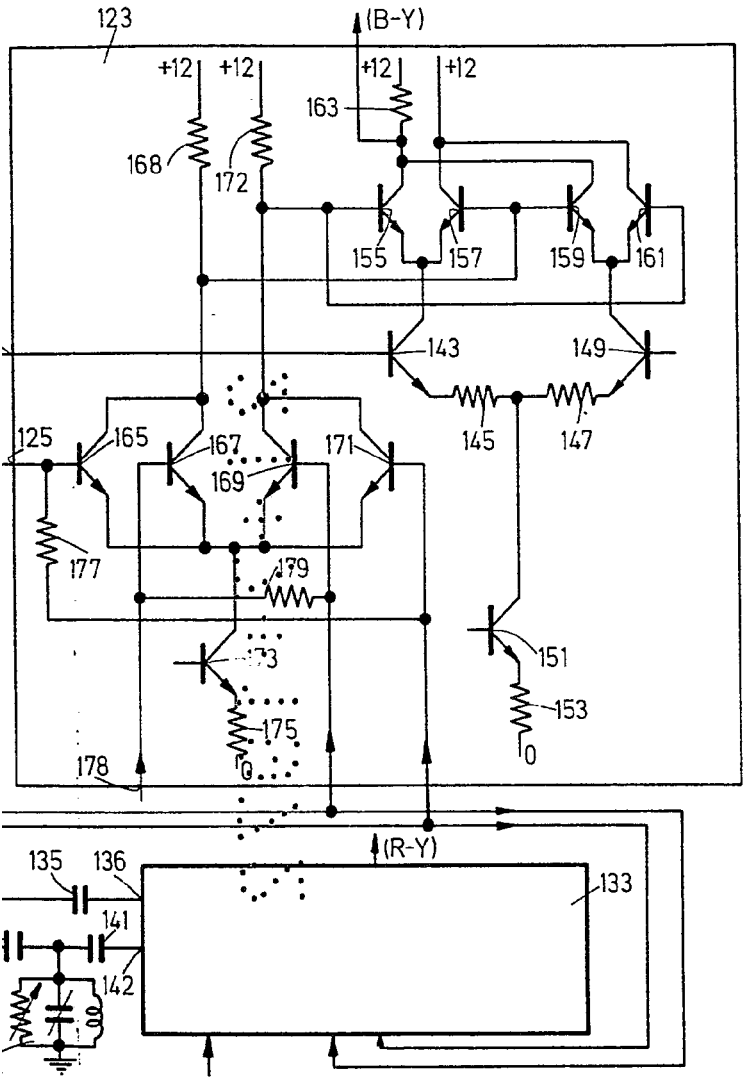


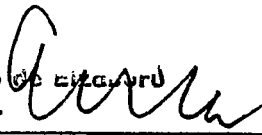
Fig.2



403442



Alberto de Eizaguru
 Por Poder.



403442

21 J

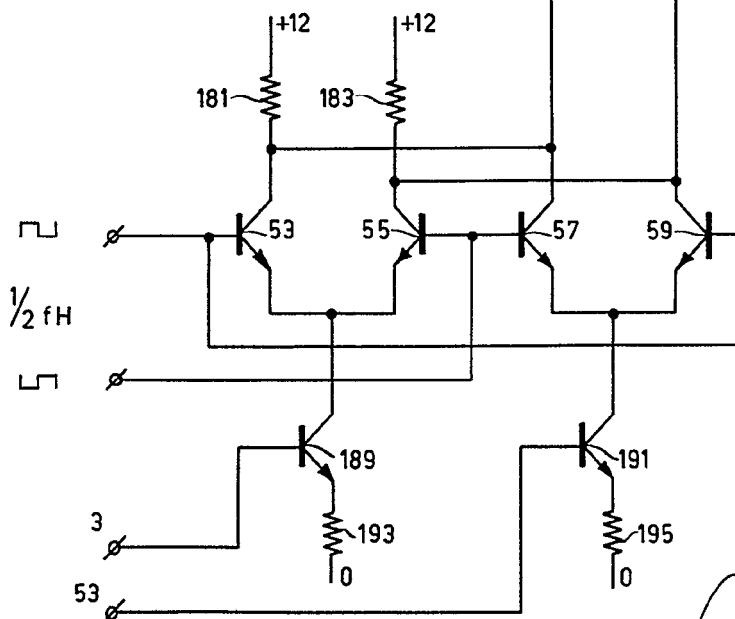
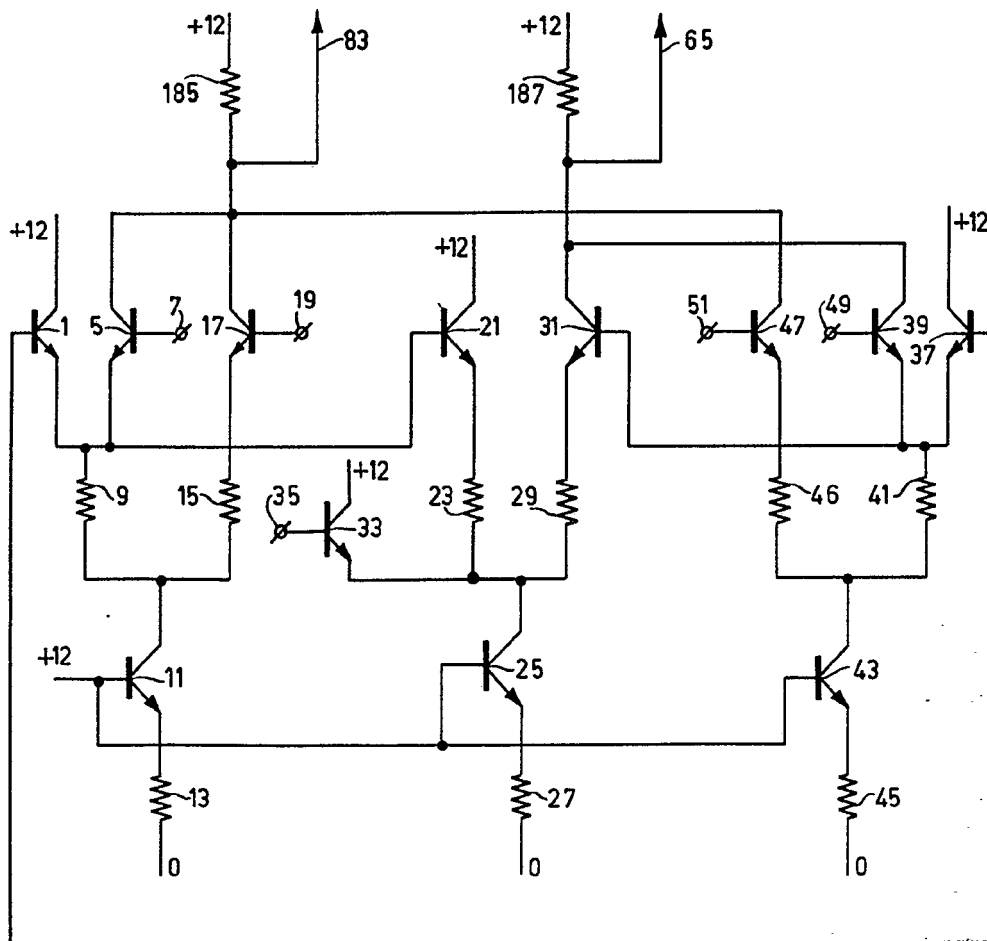


Fig.3

Philips Gloedlampenfabrieken
For Power