

402499



PATENTE DE INVENCIÓN

SECCION TECNICA
CLASIFICACION I. P. C
CLASE _____
SUBCLASE _____

Memoria Descriptiva

sobre:

Perfeccionamientos en procesadores de multi-acoplamiento de perifericas para sistemas de tratamiento de información.

.....

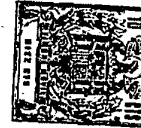
Solicitante: COMPAGNIE INTERNATIONALE POUR L'INFORMATIQUE, entidad francesa, residente en 68 Route de Versailles, 78- Louveciennes, Francia.

Int. Cl.: G11C, G06K

5. La presente invención se refiere al problema del multi-acoplamiento de perifericas en los procesadores de datos que incorporan lo que puede ser considerado como una "micro-máquina, a saber, formada por la combinación de:

402499

- 2 -



5. - una memoria de mando, que contiene micro-programas de donde pueden ser extraídas micro-instrucciones cuya misión consiste generalmente en descomponer el funcionamiento de una instrucción procedente de un órgano exterior que forma parte de los alrededores de la micro-máquina.

10. - una memoria de trabajo, constituida por una pluralidad de registros cuya casi totalidad es banalizada para afectación de funciones según las necesidades por las micro-instrucciones que proceden de la memoria de mando: -registros de transferencia y de trabajo, afectados a la micro-máquina y sus alrededores, acumulador (es) y registro (s) de base, memoria (s) de instrucciones, registros de trabajo afectados a las periféricas que dan servicio a ésta micro-máquina, y
15. otras funciones útiles para la ejecución de los micro-programas y de las conexiones entre la micro-máquina y su alrededor,

20. - un operador, la mayoría de las veces un simple adicionador-subtractor con organos de ensayo diversificados, preferentemente intercalados entre los registros de la memoria de trabajo y su propio registro de escritura-lectura,

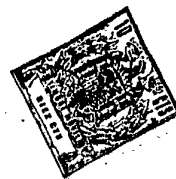
25. - medios de cambio entre la memoria de mando y la memoria de trabajo y entre éstas memorias y al menos un órgano exterior del medio circundante de la micro-máquina,

30. - medios de conexiones y de cambios entre ésta micro-máquina y las diferentes periféricas afectadas a su servicio.



- El organo exterior mencionado más arriba consiste esencialmente en una memoria capaz de proporcionar una por una instrucciones y operandos a la citada micro-máquina para la ejecución de programas administrados por dicho medio circundante. Esta memoria puede ó bien ser la memoria general de una unidad calculadora a la que se liga el citado procesador para formar un sistema con ella, ó bien la memoria central de un sistema que comprende una pluralidad de procesadores de los cuales al menos uno incorpora una unidad calculadora. A continuación de la exposición, éste organo exterior, que forma por tanto parte del medio circundante con el cual el procesador forma un sistema, será simplemente denominado "memoria central".
- 5.
- 10.
- 15.

- Usualmente, un acceso a una periférica es asegurado por mediación de una unidad de conexión, ó acoplador, exterior al sistema que sirve y que ejecuta instrucciones recibidas de éste sistema. Estas instrucciones, banalizadas, pueden ser simples, concernientes por ejemplo al cambio de una sola palabra, pero pueden ser más complejas, concerniendo por ejemplo incluso al cambio del contenido de una zona de memoria cuya longitud está dinámicamente definida durante la operación. Cada unidad de conexión comprende por tanto, habitualmente, además de una organización directamente ligada a la naturaleza de la periférica, una organización de ejecución de programas definidos por dichas instrucciones aunque sean independientes de la periférica en cuanto a su fun-
- 20.
- 25.
- 30.



cionamiento interno al sistema.

- El objeto de la invención es el de prever una organización de procesador que, por la puesta en práctica de su micro-máquina, asume las funciones de
5. acoplamiento específicas de las periféricas que le sirven, de ahí una explotación acrecentada de la micro-
quina, y por ende un mayor rendimiento del procesador y, por lo demás, una reducción de la estructura propia a cada acoplador a su sola organización de administración del funcionamiento de la periférica.
- 10.

- Para exponer ésta organización en su detalle, se hace referencia a la figura única anexa que representa un ejemplo no limitativo de ejecución de un procesador según la presente invención, ejemplo del que pueden deducirse todas las variantes que entran dentro del marco de la invención.
- 15.

- Este ejemplo considera un procesador UT_j que forma parte de un sistema de múltiples procesadores, ... UT_i, UT_j, UT_k, \dots servidos por una memoria central (MC) que puede proporcionarles, una por una, palabras instrucciones y palabras operandos según las necesidades de un programa, al menos, ejecutado por una unidad central ó calculadora no representada por tanto fuera del alcance mismo de la invención y que puede ser incorporada a uno de los procesadores ó formar una unidad de administración fuera de procesadores.
- 20.
- 25.

- El procesador UT_j está representado por su micro-máquina aumentada de los medios particulares para la puesta en práctica de la invención y las periféricas que sirven al procesador y que deben, según la
- 30.

402499

- 5 -



- invención, servir a la micro-máquina del procesador, están en parte mostradas de Po a Pn, cada una asociada a su acoplador, de Co a Cn. La micro-máquina comprende una memoria de mando (MD) que contiene micro-programas, de MP1 a MP2 distribuidos en zonas en ésta memoria y seleccionables a partir del registro de direcciones de micro-programas T. En V se ha indicado el registro de lectura de esta memoria de micro-programas (MD). La memoria de trabajo (MT) de la micro-maquina está organizada en zonas de memoria de Z1 a Zm, seleccionables a partir del registro de direcciones J, y está equipada de su registro de escritura-lectura U. En OP se ha indicado un operador, tal como un adicionador substractor y órgano de ensayo incorporados para ensayos de paridad, desbordamiento, etc, aunque éste operador puede ser establecido fuera de la memoria (MT) propiamente dicha. La memoria (MT) está constituida de registros banalizados, es decir que en sus diferentes zonas, los registros no tienen afectaciones propias. Estas afectaciones les serán dadas segun el micro-programa seleccionado en (MD) para trabajar en una zona de memoria Z de (MT) cuya dirección es designada durante ésta selección. Entre éstas afectaciones, dichos registros podrán ser utilizados como memoria de orden o contador ordinal en cada zona de memoria Z. Sin embargo, en (MT), dos registros indicados en MD y CO están particularizados a priori para estas funciones que llenan entonces para todo trabajo en parte al menos unas zonas Z de (MT).
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.

402499 - 6-



- En GT se ha indicado un registro para el apartado, cuando haya necesidad, del contenido del registro de direcciones T y, similarmente, en GJ, un registro de apartado eventual del contenido del registro de direcciones J. Quede bien entendido que éstos podrían ser dos registros de la memoria (MT) y otros registros podrán ser afectados al apartado de otros datos del contexto de una tarea interrumpida en la micro-máquina en provecho de una tarea prioritaria respecto a aquella en curso, conteniendo dicho contexto, de hecho y en especial, el contenido del registro U de la memoria (MT) en el instante de dicha interrupción.
- Las palabras instrucciones y operandos son introducidas una por una en un registro M accesible a la memoria central (MC). En efecto, éste registro M es un registro de escritura-lectura de la memoria (MC) previsto particular para el procesador UT_j , incorporando igualmente cualquier otro procesador del sistema un registro de este tipo en una forma preferida de ejecución de la invención. Para la escritura en memoria (MC) de los resultados de un trabajo efectuado por el procesador, este registro M recibirá una por una las palabras "resultados" que serán transferidas a la memoria (MC) a direcciones entonces contenidas en un registro de selección de direcciones en (MC), representado en S. En un sistema de multi-procesadores y memoria central de hecho, era usual no prever más que un registro del tipo M y un registro del tipo S para la memoria central. Según las tareas en curso en
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.



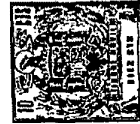
- el sistema, esta disposición ocasionaba esperas de ejecución de trabajos en los procesadores que podían revelarse perjudiciales para el funcionamiento y rendimiento del conjunto: - una instrucción introducida en el registro del tipo M de la memoria central con destino a un procesador tal como UT_j debía, bien entendido, esperar en este registro una llamada del citado procesador para su toma en carga y, durante ésta espera, la memoria central no podía servir a ningún otro procesador. Recíprocamente, una disposición en memoria central de un resultado de trabajo de un procesador debía esperar la disponibilidad a la vez del registro tal como M y del registro tal como S de la memoria central. La incorporación a cada procesador de registro tales como M y S permite a la unidad central del sistema continuar trabajando sin espera indebida de disponibilidad de la memoria central y permite igualmente a los procesadores ver sus trabajos regularizados al máximo. Cuando en efecto, durante la ejecución de una tarea, una palabra, instrucción ó operando, es introducida en M en dicho registro "tampon" de un procesador, esta palabra puede esperar, sin bloquear la memoria central, a que el procesador haya terminado un trabajo en curso que no necesita la explotación inmediata de dicha palabra. Cuando el trabajo en curso tenga la necesidad del operando, un micro instrucción vendrá a extraerla de M. Cuando el trabajo en curso ha concluido y cuando la micro-máquina ejecuta el saldo de este trabajo, un micro-programa vendrá a comprobar el contenido de M,
5. da en el registro del tipo M de la memoria central con destino a un procesador tal como UT_j debía, bien entendido, esperar en este registro una llamada del citado procesador para su toma en carga y, durante ésta espera, la memoria central no podía servir a
10. ningún otro procesador. Recíprocamente, una disposición en memoria central de un resultado de trabajo de un procesador debía esperar la disponibilidad a la vez del registro tal como M y del registro tal como S de la memoria central. La incorporación a cada
15. procesador de registro tales como M y S permite a la unidad central del sistema continuar trabajando sin espera indebida de disponibilidad de la memoria central y permite igualmente a los procesadores ver sus trabajos regularizados al máximo. Cuando en efecto,
20. durante la ejecución de una tarea, una palabra, instrucción ó operando, es introducida en M en dicho registro "tampon" de un procesador, esta palabra puede esperar, sin bloquear la memoria central, a que el procesador haya terminado un trabajo en curso que no necesita la explotación inmediata de dicha palabra.
25. Cuando el trabajo en curso tenga la necesidad del operando, un micro instrucción vendrá a extraerla de M. Cuando el trabajo en curso ha concluido y cuando la micro-máquina ejecuta el saldo de este trabajo, un
30. micro-programa vendrá a comprobar el contenido de M,



- y, si entonces y normalmente, se trata de una palabra instrucción, la micro-máquina asegurará la ejecución de esta instrucción por su descomposición normal para el trabajo para el cual ha sido introducida en M. En esta instrucción podrá, por ejemplo, figurar una dirección de ordenación en memoria (MC) del resultado de ejecución de la instrucción y esta dirección será introducida en S para la transferencia de este resultado a (MC). De hecho, y de un modo general, se puede decir que la incorporación de registros M y S en cada procesador permite un trabajo en paralelo de los procesadores frente a frente de la memoria central (MC) así como de la unidad central que administra el sistema.
5. En la figura, se han indicado además convencionalmente diferentes conexiones que pueden ser establecidas entre las memorias de mando (MD) y de trabajo (MT) para su cooperación funcional en la ejecución de las micro-instrucciones y de los micro-programas, sobre todo por transferencias entre los registros V y U. También se ha indicado de modo convencional que el registro U de la memoria (MT) estaba en conexiones bilaterales con los acopladores Co a Cn de las periféricas Po a Pn.
10. Cada acoplador de periférica no comprende, en un procesador establecido de conformidad con la invención, más que una organización reducida propia para el mando de extracción y de introducción de los datos en esta periférica, permitiendo los micro-programas de acoplamiento la eliminación en
- 15.
- 20.
- 25.
- 30.



- éstos acopladores de toda organización de interpretación de los mandos. Esta organización reducida comprenderá, para las periféricas de todo tipo, los elementos útiles y normales de sincronización entre las periféricas y la micro-máquina y la lógica normal de suspensión. Comprenderá también, para las bandas y cintas, el registro tampón usual y, en el caso de periféricas rápidas, tales como discos o tambores magnéticos, que necesitan operaciones cuya ejecución debe ser demasiado rápida para poder ser tomadas en carga por la micro-máquina, los elementos útiles a estas operaciones tales como, por ejemplo y en especial, los elementos de conversión paralelo-serie y serie-paralelo de los códigos a escribir y a leer respectivamente sobre y de estas periféricas. Los circuitos de selección de emplazamientos de palabras a escribir o leer pueden igualmente, si se desea, ser incluidos en los acopladores reducidos para discos y tambores, aunque, a menudo, esta selección podrá ser realizada por un micro-programa y el mando directamente dado al acoplador de la periférica a partir de (MT). Para la puesta en práctica de la invención, no hay por lo demás necesidad de describir el detalle de cada acoplador reducido para cada tipo de periférica, sino de considerar que, de un modo clásico, cuando una periférica ha sido llamada por la memoria (MT) y cuando su acoplador ha recibido de esta memoria las informaciones útiles y puesta la periférica en condición de proporcionar o de recibir datos, éste acoplador emite una señal que indica dicha condición para
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.



señalar al procesador que el cambio deseado puede tener lugar. Dichas señales, de so a sn en el ejemplo representado, son clásicas en sí mismas pero sus efectos, y por tanto su tratamiento, son completamente específicos en un procesador establecido de conformidad con la invención y, por ello, estas señales son aplicadas sobre la organización particular siguiente:

Cada una de las señales so a sn es dirigida sobre un codificador K_0 a K_n y cada codificador, cuando es excitado, suministra dos códigos T_i y J_i para la iniciación de los registros de direcciones T y J de las memorias (MD) y (MT) de la micro-máquina. Como los excesos de estos códigos en T y J interrumpen, de hecho suspenden, un trabajo en curso en la micro-máquina, no son dirigidos sobre los registros de direcciones más que a través de puertas de iguales denominaciones T_i y J_i que no son hechas pasantes más que cuando reciben una señal de liberación ACQ que marca el final de ejecución de una micro-instrucción en un micro-programa en curso, que procede del registro U en el ejemplo considerado. Dicha señal de liberación controla entonces al mismo tiempo al apartado del contexto de la tarea en curso en la micro-máquina, fundamentalmente el apartado de la dirección que existe en T en el registro GT por la puerta gt y el de la dirección que existe en J en el registro GJ por la puerta gj, siendo asegurado el apartado del contenido de U, por lo demás durante este saldo, por ejemplo en un registro de (MT) con, eventualmente, otros datos del citado contexto en dichos registros. Para



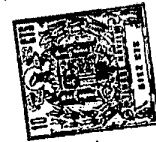
la lectura de las salidas de los codificadores K, las puertas T_i y J_i reciben la señal s que procede del acoplador por un circuito O de reunión de todas las señales s_0 a s_n .

5. Esta organización provoca por tanto, de hecho, una suspensión del desarrollo del micro-programa en curso en la micro-máquina. Puede sin embargo que dicha suspensión sea inoportuna durante la aparición de una señal s a la salida de un acoplador C, incluso al saldo de una micro-instrucción. En efecto, para algunas periféricas, los cambios comprenden, de modo imperativo, varios ciclos de trabajo repetidos ó repetitivos (cambio del contenido de una zona de memoria por ejemplo) que no pueden ser interrumpidos. Es por ello que es ventajoso que sea establecida, en un procesador de multi-acoplamiento de periféricas según la presente invención, una jerarquía de los accesos de las periféricas a la micro-máquina. A éste efecto, las salidas s_0 a s_n de los acopladores C_0 a C_n son aplicadas en común sobre un circuito de control de jerarquía CH cuyas salidas controlan unas puertas, de H_0 a H_n , intercaladas entre las salidas de las señales s_0 a s_n de los acopladores y las entradas correspondientes de los codificadores K_0 a K_n . Son entonces las salidas de este circuito CH las que se reúnen con las entradas del circuito O. El circuito CH está agenciado para que, cuando dos señales s coexisten, no desapareciendo ninguna señal s más que una vez al cambio ha terminado para su periférica (ó siendo memorizada sobre una memoria unitaria en CH hasta el final del cambio). Una sola de sus salidas sea
- 10.
- 15.
- 20.
- 25.
- 30.

- activada, aquella que corresponde a la entrada acti
vada de mayor grado en la jerarquía preestablecida
entre las periféricas. La estructura de dicho cir
cuito CH se concibe directamente: - comprende tan
5. tas puertas como salidas s de acopladores salvo una,
aquella de mayor prioridad en la jerarquía, y éstas
puertas son inhibidas por la activación de las sali
das s de los acopladores de mayores prioridades en
la jerarquía. Considerando ilustrativamente que la
10. jerarquía es la de los índices, de sn a so, la señal
de salida sn cuando "cierta" inhibirá todas las de-
más ouertas, la de s (n-1) cuando "cierta" inhibirá
las puertas afectadas a las salidas de s (n-2) a so, y
así sucesivamente.
15. Para precisar mejor la organización y el fun
cionamiento del procesador de multi-acoplamiento de
periféricas según la presente invención, se vá a con
siderar, en el ejemplo considerado, el caso de un cam
bio entre una periférica tal como un disco magnético
20. cuyo sistema desee leer un sector definido para orde-
nación del contenido de éste sector en memoria cen-
tral (MC) y la citada memoria central.
- Para dicha operación, una instrucción proce
dente de (MC) es introducida en M para iniciar, en
25. una zona de memoria de (MT) dos registros de transfe
rencia por una cuenta de palabras a transferir en
(MC) a partir del disco a una dirección de ordenación
en (MC). Estos dos datos están contenidos en la ci
tada instrucción.
30. Si un trabajo está en curso en el procesa



5. dor es perfectamente explotado en el sistema del que forma parte, la instrucción esperará en M el instante en que la memoria de mando (MD) termina un micro-programa ó una parte de micro-programa MP que puede permitir una interrupción de la tarea en curso. La instrucción en M es entonces tomada en cuenta y en (MD) se desarrolla un micro-programa de descomposición de esta instrucción que inicia en una zona de memoria Z de (MT) entonces afectada a la periférica designada en la instrucción, los dos citados registros. Por éste micro-programa además, é ilustrativamente, la dirección del sector del disco que concierne al cambio es transmitida al registro U y por ende al acoplador C de esta periférica. Esta dirección podía ser definida en la instrucción leída en M pero, la mayoría de las veces, lo será en una segunda instrucción procedente de (MC) denominada por el procesador después de la citada iniciación. Habiendo recibido el acoplador ésta dirección procede a la preparación de la transferencia descodificándola, seleccionando el sector y preparando la transferencia hacia el registro U de las palabras que allí serán leídas. En éste caso, se supone que el acoplador ha conservado la organización de descodificado de dirección local además de la organización de ruta de las palabras del cambio solicitado. La señal que emite a su salida s es entonces proporcionada por la salida "cierta" de un comparador del código de dirección local aplicado sobre el acoplador con el código de dirección de lectura del disco. Se podría, de otro modo, consi
- 10.
- 15.
- 20.
- 25.
- 30.



- darar que la selección del sector depende de un micro-programa ejecutado por la micromáquina, y la señal s sería suministrada cuando el acoplador estuviera "listo" para el cambio, sistema de agujas locales condicionada para la lectura requerida.
5. El acoplador que suministra por tanto su señal s y siendo por ejemplo prioritario sobre aquel que presenta una señal s de trabajo en curso al circuito CH, la liberación de la micro-instrucción en curso en la micro-máquina, los códigos Ti y Si definidos por el codificador K que corresponden al acoplador son forzados en los registros de direcciones T y J respectivamente, tras el apartado como se ha indicado de los contenidos anteriores de éstos
10. registros de direcciones y del resto del contexto de la tarea suspendida, siendo la señal s procedente del circuito O aplicada a este efecto sobre una puerta adicional R hecha pasante por la señal de liberación ACQ. En una variante de realización, por otra
15. parte, el apartado de estas direcciones anteriores y del resto del citado contexto podría ser asegurado por una micro-instrucción especial que la señal s solicitaría, por un codificador adicional, en memoria de mando (MD), siendo entonces gobernadas las
20. puertas Ti y Ji no ya por la señal s misma, sino por la señal de final de ejecución de ésta micro-instrucción (esta puerta adicional podría ser la puerta R cuya salida produciría la llamada de la
25. micro-instrucción citada).
30. Habiendo sido así tenido en cuenta la señal

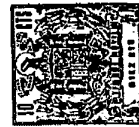


- s por la micro-máquina, el código de dirección MP del micro-programa se halla en T y el código de dirección del bloque de registros Z se halla en J. El micro-programa así solicitado se desarrolla entonces según un proceso interno a la micro-máquina y que no tiene necesidad de ser detallado aquí, para, por ejemplo: -leer una palabra sobre el acoplador, colocarla en memoria (MC) a la dirección de denominación S, hacer progresar esta dirección una unidad y hacer retroceder una unidad la cuenta de palabras en el registro iniciado por la instrucción de comienzo, leer una segunda palabra sobre el acoplador y colocarla en (MC) y así sucesivamente hasta la cuenta de palabras prevista por la iniciación. Al final de ejecución, el micro-programa envía al acoplador, por mediación del registro U, una señal de salida del cambio y siendo éste acoplador entonces desactivado su señal s desaparece. El programa de acoplamiento que había sido suspendido puede entonces, por ejemplo é ilustrativamente, tomar de nuevo en la micro-máquina, los datos de su contexto que son el objeto de una llamada automática por la última instrucción del micro-programa salvado; - códigos apartados en GT y GJ y solicitados en T y J, y así sucesivamente.

N O T A

30. Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas, son susceptibles de modificación.

402499



- 16 -

- nes de detalle en cuanto no alteren su principio fundamental; también se hace constar que el invento se refiere a una Solicitud de Patente presentada en Francia, con fecha 7 de Mayo de 1971, número 71.16498;
5. acogiéndose por lo tanto, a los beneficios que conceden los Convenios Internacionales en vigor, y siendo lo que constituye la esencia del referido invento, y por lo que se solicita PATENTE DE INVENCION por veinte años en España, sobre: PERFECCIONAMIENTOS EN PROCESADORES DE MULTI-ACOPLAMIENTO DE PERIFERICAS PARA SISTEMAS DE TRATAMIENTO DE INFORMACION; caracterizándose por lo siguiente:
- 10.

- 1.- Perfeccionamientos en procesadores de multi-acoplamiento de periféricas para sistemas de tratamiento de información que comprenden una memoria central que puede suministrar una por una al procesador palabras instrucciones y operandos y que puede recibir de éste procesador una por una las palabras que resultan del trabajo efectuado sobre éstas palabras instrucciones y operandos por un micro-máquina que incorpora y que contiene una memoria de mando en la cual están dispuestos unos micro-programas de micro-instrucciones y una memoria de trabajo dividida en zonas de registros banalizados cuyas afectaciones son determinadas por los citados micro-programas durante la ejecución caracterizados porque dichos procesadores incorporan medios propios para la ejecución de una periférica a asegurar para un cambio de palabras entre ésta periférica y la citada memoria central, estando limitada la organización del acoplador de ésta
- 15.
- 20.
- 25.
- 30.



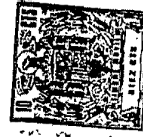
periférica a los únicos elementos útiles al gobierno local de la citada periférica y su conexión con la micro-máquina del procesador.

5. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichos medios incorporan una lógica de exceso, en los registros de direcciones de esta memoria de mando y de ésta memoria de trabajo de la micro-máquina, unos códigos de direcciones respectivos de un micro-programa de cambio y de una zona de trabajo de éste micro-programa para éste cambio y unos medios de activación de la citada lógica por toda señal procedente de un acoplador de una periférica y que indique que como consecuencia a una llamada de cambio dirigida a ésta periférica por la micro-máquina, dicha periférica está presta para la realización de este cambio.
- 10.
- 15.

20. 3.- Perfeccionamientos según la reivindicación 2, caracterizados porque dichos medios incorporan una organización de ordenación de contexto de toda tarea suspendida en la micro-máquina durante la activación de la citada lógica de exceso.

25. 4.- Perfeccionamientos según la reivindicación 3, caracterizados porque los citados códigos de direcciones de la lógica de exceso son derivados, durante la aparición de dicha señal, de codificadores cuyo número de pares es igual al de las periféricas, a través de los circuitos-puertas hechos pasantes a la liberación de toda micro-instrucción de la tarea en curso en la micro-máquina.

30. 5.- Perfeccionamientos según la reivindi



5. cación 4, caracterizados porque entre las entradas de lectura de los citados codificadores por las citadas señales procedentes de los acopladores, están intercalados unos circuitos-puertas, cada uno de los cuales está aplicado bajo el control de una salida de un circuito de determinación de prioridad jerarquizada de las periféricas que operan sobre las citadas señales procedentes de los citados acopladores, siendo reunidas las salidas de este circuito para el control de la citada lógica de exceso y de la citada organización de ordenación de contexto de tarea interrumpida.

15. 6.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichos procesadores incorporan para la ejecución de los citados cambios entre la memoria central y las periféricas, un registro tampón de palabra que procede de ó a colocar en la memoria central y un registro tampón de dirección de ordenación y llamada en esta memoria central.

20. 7.- Perfeccionamientos según las reivindicaciones anteriores, caracterizados porque cuando el sistema de tratamiento de la información comprende una memoria central y una pluralidad de procesadores de multi-acoplamiento de periféricas cada una de las cuales incorpora una micro-máquina, cada procesador incorpora medios propios para la ejecución por la micro-máquina de toda función específica de acoplamiento de cada una de sus periféricas con la citada memoria central, estando limitado cada acoplamiento de periférica a los solos elementos útiles para el

25.

30.

402499

- 19 -



mando local de su periférica, é incorpora un registro tampón de palabra procedente de o a colocar en la citada memoria central y un registro tampón de dirección de ordenación y llamada de palabra en ésta memoria central.

5.

8.- Perfeccionamientos en procesadores de multi-acoplamiento de periféricas para sistemas de tratamiento de información; tal y como queda sustancialmente descrito en la presente Memoria é ilustrado en el adjunto dibujo.

10.

Esta Memoria consta de diez y nueve hojas, escritas a máquina por una sola cara.

Madrid, 4 JUN. 1973

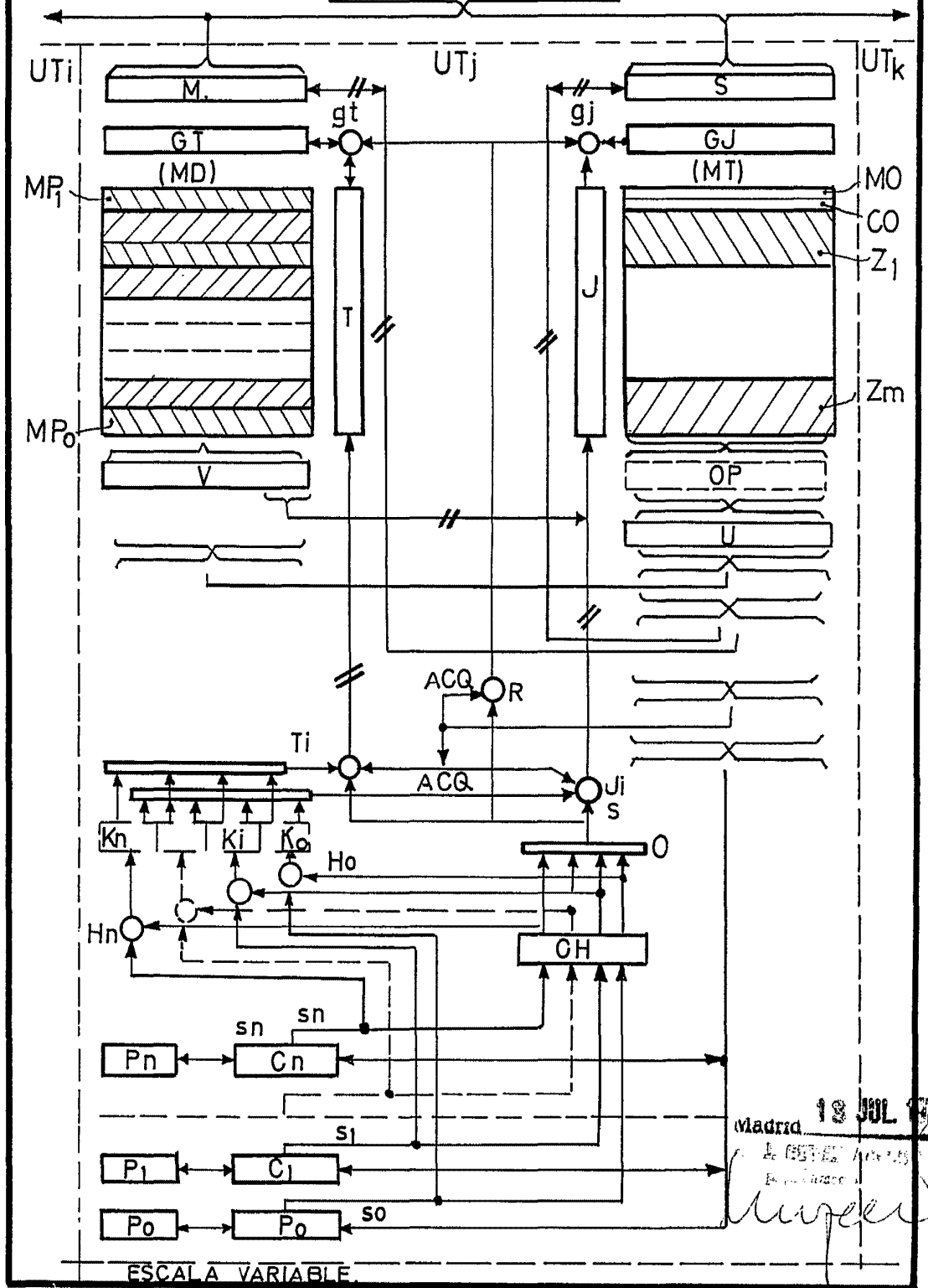
COMPAGNIE INTERNATIONALE POUR
L'INFORMATIQUE,

J. GOMEZ ACEBU Y MODEI
p. p. Firmado: L. Góiz Fernández

402499

(MC)

ESCALA
VARIABLE



Madrid 19 JUL 1972

Handwritten signature and notes.