

40.1687

22 ABR 1972



P.- 50.428

Int. Cl.: H01K

FIN 5545 Spain VD/EV

MEMORIA DESCRIPTIVA

SECCION TECNICA

CLASIFICACION I. P. C.

CLASE 1 _____

SUBCLASE _____

para solicitar PATENTE DE INVENCION por 20 años

a nombre de N.V. PHILIPS'GLOEILAMPENFABRIEKEN

entidad holandesa

con domicilio en Emmasingel 29, Eindhoven, Holanda

por: "UN DISPOSITIVO SEMICONDUCTOR"

(Clase Internacional H011)

18.4.72

- 1 -

401687



El invento se refiere a un dispositivo semi-
conductor que comprende un cuerpo semiconductor que tiene
una región de un primer tipo de conductividad, una capa
semiconductora que se encuentra sobre dicha región y en
5 posición contigua a la superficie del cuerpo, al menos
una primera capa enterrada del segundo tipo de conducti-
vidad situada localmente entre dicha capa semiconducto-
ra y la región del primer tipo de conductividad y un tra-
zado de un material aislante incrustado al menos parcial-
10 mente en la capa semiconductora, estando una región de
la capa semiconductora separada de la región del primer
tipo de conductividad y de la parte restante de la capa
por la primera capa enterrada y por una parte del traza-
do contigua a la primera capa enterrada y que rodea sus-
15 tancial y completamente a dicha región, estando dispuesto
un elemento de circuito semiconductor al menos parcialmen-
te en dicha región de la capa semiconductora.

La mencionada capa semiconductora puede ser
una capa única pero puede ser también una capa compuesta
20 consistente por ejemplo en dos o más capas epitaxiales
dispuestas una sobre la otra, mientras que las diversas
partes de la capa pueden presentar diferentes tipos de
conductividad y/o conductividades, por ejemplo por difu-

401687

22



sión hacia el interior de donadores o aceptadores.

Son conocidos dispositivos del tipo descrito y son utilizados en particular en circuitos integrados monolíticos. Dichas estructuras tienen diversas ventajas importantes de las cuales merece mencionarse en primer lugar un considerable ahorro de espacio de modo que puede conseguirse en circuitos integrados una gran densidad de concentración de elementos de circuito. Este ahorro de espacio se consigue en particular por que una o más uniones p-n que pertenecen a un elemento de circuito pueden estar dispuestas inmediatamente contra el material aislante incrustado y no necesitan, como en los circuitos integrados convencionales, mantenerse separadas a una cierta distancia de zonas de aislamiento de difusión.

Una ventaja adicional importante de dichas estructuras que tienen un trazado incrustado de un material aislante, es que, también como resultado de los métodos utilizados para la disposición de dicho trazado, los procesos de enmascaramiento necesarios para llevar a cabo las diversas difusiones pueden ser simplificados considerablemente.

Además, para la fabricación de las estructuras descritas que tienen un trazado aislante incrustado, son generalmente necesarios menos pasos de alineamiento

401687



mientras que la tolerancia correspondiente a cada paso de alineamiento es en la mayoría de los casos relativamente grande, todo esto como resultado del hecho de que el trazado de material aislante puede ser utilizado completa o parcialmente también como máscara de difusión.

El dispositivo como se ha descrito antes, brinda la posibilidad de disponer un elemento de circuito en un circuito integrado monolítico de tal modo que dicho elemento está aislado, por el trazado incrustado de material aislante y por la unión p-n entre la mencionada primera capa enterrada y la región del primer tipo de conductividad, de las partes restantes de la capa semiconductor y de dicha región. En este dispositivo, la primera capa enterrada forma usualmente por sí misma una zona activa del elemento de circuito semiconductor.

Sin embargo, la estructura descrita es menos adecuada para varias importantes aplicaciones en circuitos semiconductores integrados. Esto se aplica, entre otros, a muchos casos en que dicha región del primer tipo de conductividad, usualmente constituida por el sustrato, va a ser usada como zona activa en el circuito, por ejemplo, como zona de colector de uno o más transistores bipolares de la misma estructura de conductividad, por ejemplo, n-p-n, como un transistor n-p-n adyacente

401687₁

22



aislado del substrato y dispuesto de acuerdo con la estructura conocida descrita.

Otra estructura que se presenta frecuentemente, para la cual el uso del dispositivo conocido es menos adecuado, es, por ejemplo, una estructura en la cual deben encontrarse en el mismo cuerpo semiconductor, unos junto a otros, elementos de circuito semiconductores, por ejemplo, transistores bipolares, de estructura complementaria (n-p-n) y (p-n-p), estando ambos transistores aislados del substrato y teniendo propiedades eléctricas comparables.

Ha de entenderse ahora y posteriormente que los elementos de circuito semiconductores que tienen una estructura complementaria se interpretarán como dos elementos de circuito semiconductores similares de los cuales cada una de las zonas semiconductoras del primer elemento tiene un tipo de conductividad que es opuesto al de la zona correspondiente del segundo elemento, por ejemplo, un transistor bipolar o de efecto de campo del tipo n-p-n y uno del tipo p-n-p.

Uno de los objetos del invento es crear un dispositivo semiconductor que tiene un trazado incrustado de material eléctricamente aislante de una nueva estructura, que no presenta las mencionadas restricciones de las estructuras conocidas descritas o muestra dichas

401687



restricciones al menos en un grado considerablemente menor y que puede ser fabricado con un mínimo de pasos de enmascaramiento y una gran tolerancia en el alineamiento de las máscaras. Otro objeto del invento es crear un método nuevo y muy sencillo de fabricación de tal dispositivo.

Para este fin, el invento se basa, entre otras cosas, en el reconocimiento del hecho de que utilizando una segunda capa enterrada del primer tipo de conductividad en combinación con una configuración del trazado aislante incrustado, tal que dicha segunda capa enterrada está a lo sumo atravesada solo parcialmente por el trazado incrustado, puede obtenerse una estructura que tiene ventajas tecnológicas y eléctricas muy importantes en comparación con los dispositivos conocidos.

Por consiguiente, de acuerdo con el invento, un dispositivo del tipo mencionado en la introducción está caracterizado porque entre la primera capa enterrada y la capa semiconductor se encuentra una segunda capa enterrada del primer tipo de conductividad y porque la mencionada región de la capa semiconductor está dividida, por una parte del trazado incrustado de material aislante que está separada de la primera capa enterrada al menos por una parte del espesor de la segunda capa en-

401687

22



terrada, al menos en una primera región en forma de isla en la cual está dispuesto el elemento de circuito semiconductor al menos parcialmente, y una segunda región en forma de isla del primer tipo de conductividad, cuyas regiones son ambas adyacentes a la segunda capa enterrada.

Además de las ventajas ya descritas que están asociadas con la utilización de un trazado incrustado de un material aislante en general, el dispositivo de acuerdo con el invento tiene, entre otras, la importante ventaja de que dicho elemento de circuito que está aislado en el interior del cuerpo semiconductor de la región del primer tipo de conductividad y de la parte restante del circuito por la primera capa enterrada, puede estar combinado, si es deseable, con uno o más elementos de circuito del mismo tipo y estructura de conductividad de los cuales la mencionada región del primer tipo de conductividad constituye una zona activa (zona común). Otra ventaja importante es que el dispositivo de acuerdo con el invento es muy adecuado para ser combinado con una estructura que comprende otro elemento de circuito que es de una estructura complementaria a la del elemento de circuito primeramente mencionado y está igualmente aislado de la región del primer tipo de conductividad, siendo las zonas activas correspondientes de dicho circuito com-

401687

22 APR 1972



plementario de tipos de conductividad opuestos pero presentando concentraciones de impureza comparables.

El material aislante del trazado incrustado puede componerse de una variedad de materiales o de combinaciones de capas de diferentes materiales aislantes. Sin embargo, el trazado incrustado de material aislante se compone ventajosamente de óxido obtenido por oxidación local, por ejemplo por oxidación térmica, del material semiconductor. En este caso, el trazado se extiende preferiblemente por todas partes desde la superficie hacia abajo hasta sustancialmente la misma profundidad en el material semiconductor. Tal trazado tiene la ventaja de que puede ser fabricado de un modo simple y, si es deseable, en un paso de oxidación y al tiempo que se utiliza una sola máscara.

Además, el mencionado elemento de circuito semiconductor comprende preferiblemente al menos una unión p-n que tiene una parte que se extiende sustancialmente en sentido paralelo a la superficie y que está limitada por el trazado incrustado del material aislante. Como resultado de esto, puede obtenerse una reducción del número de pasos de enmascaramiento durante la fabricación del dispositivo, al tiempo que también es admisible una tolerancia grande en ciertos pasos de alineamiento, a saber, en aquellos casos en que el trazado incrustado se

401687

22 APR 1972



utiliza al menos parcialmente como máscara de difusión.

La segunda capa enterrada del primer tipo de conductividad puede extenderse dentro del trazado incrustado solamente sobre una parte de la capa enterrada, como resultado de lo cual hacen contacto con la primera capa enterrada partes de dicha capa semiconductor. Sin embargo, con el fin de obtener un aislamiento tan eficaz como sea posible entre el elemento de circuito semiconductor y la parte restante del cuerpo semiconductor, es recomendable utilizar una estructura organizada constructivamente de tal modo que la capa semiconductor esté completamente separada de la primera capa enterrada por la segunda capa enterrada. Como resultado de esto, dos uniones p-n de las cuales en la práctica siempre al menos una estará dispuesta en dirección inversa y producirá el aislamiento que se pretende, se encuentran entre el elemento de circuito semiconductor y la región del primer tipo de conductividad.

La región del primer tipo de conductividad puede consistir en un substrato semiconductor impurificado homogéneamente del primer tipo de conductividad sobre el cual y/o en el cual está dispuesta dicha capa semiconductor. Sin embargo, de acuerdo con una realización preferida que puede ser fabricada de un modo simple y eficiente, el dispositivo está concebido constructiva-

401687



mente de modo que la región del primer tipo de conducti-
vidad comprende un substrato de alta concentración de
impureza del primer tipo de conductividad y una capa epi-
taxial del primer tipo de conductividad dispuesta sobre
5 dicho substrato, en cuya capa se encuentra la primera ca-
pa enterrada al menos principalmente. En este caso, el
substrato de alta concentración de impureza puede servir
como zona de contacto de baja resistividad sobre la capa
epitaxial de concentración de impureza más baja del pri-
10 mer tipo de conductividad.

Durante la fabricación, la capa semiconduc-
tora que se encuentra sobre la región del primer tipo de
conductividad se dispone generalmente en la forma de una
capa que es en su integridad del primer tipo o del segun-
15 do tipo de conductividad, pero en el dispositivo acabado
han sido convertidas partes de dicha capa, por ejemplo
por difusión o por implantación iónica, en el tipo de
conductividad que es opuesto al de la capa original. De
acuerdo con una importante realización, la mencionada
20 primera región en forma de isla comprende una zona del
segundo tipo de conductividad que es adyacente a la su-
perficie y que es, una parte de una capa semiconductor
original que es por completo del segundo tipo de conduc-
tividad, o bien está constituida por impurificación en
25 exceso de una parte de la capa semiconductor que origi-

401687



nalmente era del primer tipo de conductividad.

En ciertas circunstancias, la mencionada zona del segundo tipo de conductividad puede formar un conjunto con la primera capa enterrada. En general, sin
5 embafo, esto no es deseable, entre otras cosas, para obtener un buen aislamiento y capacidades de unión p-n no demasiado grandes, y se preferirá que la zona del segundo tipo de conductividad contigua a la superficie esté separada en su integridad de la primera capa ente-
10 rrada por material del primer tipo de conductividad.

Una importante realización preferida está caracterizada porque la zona del segundo tipo de conduc-
tividad que es contigua a la superficie constituye la zona de base de un transistor bipolar, cuyas zonas de
15 emisor y colector están constituidas por la segunda capa enterrada y al menos por una zona de superficie del primer tipo de conductividad dispuesta en la zona de ba-
se.

La concentración de impureza de la zona del
20 segundo tipo de conductividad contigua a la superficie puede ser sustancialmente homogénea, por ejemplo, cuando dicha zona forma parte de una capa semiconductor originalmente dispuesta con concentración de impureza unifor-
me del segundo tipo de conductividad. Frecuentemente, por
25 ejemplo cuando la capa enterrada del segundo tipo de con-

401687



ductividad se utiliza como zona de colector, será ventajoso cuando la concentración de impureza de la zona del segundo tipo de conductividad contigua a la superficie decrece desde la superficie en la dirección de la segunda capa enterrada, mientras que, por ejemplo, en el caso inverso, o sea cuando la segunda capa enterrada se utiliza como zona de emisor, la concentración de impureza de dicha zona disminuirá preferiblemente desde la segunda capa enterrada hacia la superficie a fin de obtener en la zona de base una distribución de la concentración de impureza que sea tan favorable como sea posible. Estas distribuciones de concentración de impureza pueden ser obtenidas, por ejemplo, por medio de pasos de difusión.

La mencionada zona de superficie del primer tipo de conductividad que pertenece al transistor bipolar, puede ser contigua al trazado incrustado de material aislante, si es deseable, en cuyo caso se permite una tolerancia grande en el paso de alineamiento necesario para la fabricación de la mencionada zona de superficie.

En todas las anteriores realizaciones, puede ser utilizada ventajosamente la segunda región en forma de isla del primer tipo de conductividad para establecer contacto con el elemento de circuito en la primera región en forma de isla por intermedio de la segunda capa enterrada del primer tipo de conductividad, Para ese fin, la

401687

22 APR 1972



concentración de impureza de la segunda región en forma de isla se hace preferiblemente más alta en una parte contigua a la superficie que en la parte subyacente a fin de poder proporcionar un buen contacto sobre la superficie. Puede hacerse esto de modo conocido, por ejemplo, mediante la disposición de una zona de superficie del primer tipo de conductividad altamente impurificada en la segunda región en forma de isla o llevando a cabo en dichas islas una difusión del primer tipo de conductividad en todo el espesor de la capa semiconductor.

El cuerpo semiconductor se compone ventajosamente en su integridad de silicio y el trazado incrustado se compone, al menos parcialmente, de óxido de silicio. Para muchas aplicaciones en las cuales se obtiene el trazado incrustado en general por oxidación térmica local del silicio, presenta las máximas ventajas esta concepción constructiva del dispositivo.

El dispositivo de acuerdo con el invento es de particular importancia porque puede combinarse con otra estructura de un modo muy adecuado. Es de interés práctico particular una combinación mediante la cual pueden disponerse de un modo muy simple en el mismo circuito monolítico elementos de circuito semiconductores de estructuras complementarias. En relación con esto, una

401687



realización preferida muy importante de acuerdo con el
invento está caracterizada porque se encuentra una ter-
cera capa enterrada del segundo tipo de conductividad
junto a la primera capa enterrada entre la región del
5 primer tipo de conductividad y la capa semiconductor,
estando una parte adicional de la capa semiconductor
sustancialmente separada por completo de la región del
primer tipo de conductividad y de la parte restante de
la capa semiconductor por la tercera capa enterrada y
10 por una parte del trazado incrustado de material aislante
contigua a la tercera capa enterrada y a la parte adi-
cional, comprendiendo dicha parte adicional al menos una
región en forma de isla limitada por la tercera capa en-
terrada y el trazado incrustado, en cuya región está dis-
15 puesto al menos parcialmente un elemento de circuito se-
miconductor de una estructura que es complementaria a
la de dicho elemento de circuito dispuesto en la primera
región en forma de isla.

20 La primera y la tercera capas enterradas es-
tarán preferiblemente separadas entre sí, pero en ciertas
circunstancias pueden estar unidas.

Aunque esto no es necesario, se escogerá pre-
feriblemente una estructura del trazado incrustado de ma-
terial aislante tal que la parte de trazado incrustado
25 que limita a la mencionada parte adicional, forma parte

401687



de la parte de trazado incrustado que limita a la primera y a la segunda regiones en forma de isla. Como resultado de esto, se obtiene al mismo tiempo una estructura muy compacta del dispositivo.

5 Además, tal estructura está preferiblemente concebida en su construcción de modo tal que la parte adicional de la capa semiconductoras está dividida, por una parte del trazado incrustado que es adyacente a la tercera capa enterrada y que se extiende a lo sumo sobre
10 una parte del espesor de la capa enterrada, en una tercera región en forma de isla en la cual está dispuesto el elemento semiconductor de una estructura complementaria al menos parcialmente y en una cuarta región en forma de isla del segundo tipo de conductividad. La cuarta
15 región en forma de isla puede servir para establecer contacto con dicho elemento de circuito complementario por intermedio de la tercera capa enterrada.

Los elementos de circuito semiconductores complementarios pueden consistir por ejemplo, en transistores de efecto de campo de unión p-n (FET de unión) o
20 transistores de efecto de campo de electrodo de control aislado (IGFET). Se han de considerar también otros elementos, por ejemplo, estructuras del tipo p-n-p-n. Es de particular importancia, sin embargo, el caso que se presenta
25 frecuentemente en el cual los elementos de circuito

401687



semiconductores complementarios están constituidos por transistores bipolares complementarios. Por consiguiente, una importante realización adicional preferida está caracterizada porque la tercera región en forma de isla
5 comprende una zona del primer tipo de conductividad que es contigua a la superficie y en la cual está dispuesta al menos una zona de superficie del segundo tipo de conductividad constituyendo la zona del primer tipo de conductividad, la zona de base de un transistor bipolar, cu-
10 yas zonas de emisor y colector están constituidas por la tercera capa enterrada y la mencionada zona de superficie del segundo tipo de conductividad.

En muchos casos, se verá que no es necesario establecer contacto con las capas enterradas del segundo
15 tipo de conductividad, y dichas capas enterradas pueden mantenerse a un potencial flotante. En ciertas circunstancias, sin embargo, puede ser ventajoso proveer de un conductor de conexión a la primera y/o a la tercera capa enterrada. Esto puede resultar necesario en particular en
20 aquellos casos en que la primera y/o la tercera capa enterrada constituye una zona activa del elemento de circuito semiconductor.

El dispositivo de acuerdo con el invento puede estar combinado adicionalmente con particular ventaja
25 con uno o más elementos, por ejemplo, transistores bipo-

401687



lares o de efecto de campo de la disposición de circui-
to cuya región de substrato del primer tipo de conducti-
vidad constituye una zona activa (zona común). De acuerdo
con otra importante realización, el dispositivo está con-
5 cebido constructivamente por consiguiente de modo que el
trazado incrustado de material aislante también limita
al menos una región en forma de isla de la capa semicon-
ductora contigua a la superficie, comprendiendo dicha re-
gión al menos una zona del segundo tipo de conductividad
10 contigua a la superficie, cuya zona está limitada por el
trazado incrustado y por material del primer tipo de con-
ductividad que es adyacente a la región del primer tipo
de conductividad, constituyendo zonas activas de un ele-
mento de circuito semiconductor la mencionada zona del
15 segundo tipo de conductividad y la región subyacente del
primer tipo de conductividad.

En la fabricación de esta realización prefe-
rida, se presenta la importante ventaja de que simultá-
neamente con la disposición del trazado incrustado al me-
20 nos parcialmente de material aislante en un único y mismo
paso de proceso, se forma al menos una parte de la mázca-
ra de difusión requerida para la fabricación de los ele-
mentos de circuito semiconductores con zona común. Cuando
dichos elementos son transistores bipolares verticales,
25 solamente necesitan ser eliminadas las partes de la capa

401687

-7 NOV 1972



que protegen contra oxidación y que se encuentran en el área para la difusión de base de dichos transistores, lo cual requiere solamente un paso de alineamiento de poca precisión.

5 Con el fin de obtener una estructura que sea lo más compacta posible, se prefiere usualmente que la parte de trazado incrustado que limita a la región en forma de isla de la capa semiconductor contigua a la región del primer tipo de conductividad, forme parte de la parte de trazado incrustado que limita a las regiones en forma de isla de la capa semiconductor que se encuentran por encima de la primera y de la tercera capa enterrada. Puede obtenerse una estructura aún más compacta cuando el trazado incrustado de material aislante comprende una red coherente que limita varias islas de la capa semiconductor en posición adyacente a la región del primer tipo de conductividad, en cuyas islas están dispuestos elementos de circuito semiconductores que tienen una zona común que comprende la región subyacente del primer tipo de conductividad.

10

15

20

En esta memoria, se describe también un método muy eficaz de fabricación del dispositivo descrito. Este método está caracterizado porque se dispone localmente una primera capa enterrada del segundo tipo de conductividad sobre una región del primer tipo de conductividad o en la

25

401687

22 APR 1972



misma, porque se dispone una segunda capa enterrada del primer tipo de conductividad que está completamente rodeada por una parte de la primera capa enterrada sobre dicha primera capa enterrada y en contacto con la misma, porque se dispone una capa semiconductor por crecimiento epitaxial sobre la región del primer tipo de conductividad y en contacto con la misma y las capas enterradas, y porque la capa semiconductor es oxidada al menos sobre una parte de su espesor por un tratamiento de oxidación local mientras se utiliza una capa que protege como máscara contra la oxidación, prosiguiendo el proceso de oxidación hasta que el trazado de óxido resultante se extiende hasta la parte de la primera capa enterrada que rodea a la segunda capa enterrada, y a lo sumo solamente sobre una parte del espesor de la segunda capa enterrada, de modo que se forman una primera y una segunda regiones en forma de isla de la capa semiconductor, disponiéndose entonces zonas de un elemento semiconductor de circuito en la primera región en forma de isla.

Este método puede ser llevado a efecto ventajosamente de modo que el material de partida es un substrato de alta concentración de impureza del primer tipo de conductividad y una capa epitaxial del primer tipo de conductividad que está dispuesta sobre el mismo y tiene una concentración de impureza más baja que el substrato,

401687



y de modo que la primera capa enterrada se dispone al menos principalmente y preferiblemente en todo el espesor de dicha capa epitaxial del primer tipo de conductividad.

5 Se obtiene un aislamiento óptimo cuando se dispone una segunda capa enterrada del primer tipo de conductividad cuyo borde está tan próximo al borde de la primera capa enterrada, que la parte del trazado de óxido incrustado que se forma durante el proceso de oxidación
10 y que es contiguo a la parte de la primera capa enterrada que rodea a la segunda capa enterrada, es contigua al mismo tiempo a la segunda capa enterrada.

 Con el fin de obtener una superficie que sea lo más plana posible, lo cual es deseable en particular
15 para disponer la metalización, es atacada al menos una de las partes de la capa semiconductor no cubierta por la capa de máscara antes de llevar a cabo el tratamiento de oxidación. Este ataque se lleva a cabo generalmente hasta una profundidad tal que se forma un trazado de óxido in-
20 crustado por la oxidación de dicha parte atacada, la superficie de cuyo trazado está sustancialmente al nivel de la superficie original de la capa semiconductor puesto que el óxido formado ocupa un volumen mayor que tenía el material semiconductor oxidado.

25 Una realización preferida muy importante del

401687



método, está caracterizada porque simultáneamente con la primera capa enterrada, se dispone una tercera capa enterrada del segundo tipo de conductividad que se encuentra junto a la primera capa enterrada, porque se forman al mismo tiempo por oxidación local una tercera y una cuarta regiones en forma de isla de la capa semiconductor y se conectan entre sí por intermedio de la tercera capa enterrada, obteniendo la cuarta región en forma de isla el segundo tipo de conductividad por la introducción de activadores durante o después de la disposición de la capa semiconductor, disponiéndose en la tercera región en forma de isla zonas de un elemento de circuito semiconductor de una estructura, preferiblemente, que es complementaria a la del elemento de circuito dispuesto en la primera región en forma de isla. Como resultado de esto, pueden formarse en el mismo circuito monolítico elementos de circuito complementarios, en particular transistores bipolares que están aislados entre sí y de la región de substrato.

Se obtiene una importante variante adicional del método de acuerdo con el invento, cuando se forman al mismo tiempo por oxidación local una o más regiones en forma de isla de la capa semiconductor contigua a la región subyacente del primer tipo de conductividad, en cuyas regiones se disponen elementos de circuito semiconduc-

401687



tores que tienen al menos una zona del segundo tipo de conductividad que es contigua a la superficie y está limitada por el óxido incrustado. Este método preferido se lleva a cabo preferiblemente de modo que el trazado de óxido incrustado que limita a las regiones en forma de isla de la capa semiconductoras contigua a la región subyacente del primer tipo de conductividad, se dispone en la forma de una red coherente con la parte restante del trazado de óxido. Como resultado de esto, por ejemplo, puede formarse uno o más transistores bipolares que tienen una zona de colector común con un mínimo de pasos de enmascaramiento y alineamiento junto a un transistor bipolar aislado o un par de transistores aislados complementarios y simultáneamente con los mismos. Tal grupo de transistores formados por medio de un trazado incrustado de material aislante y que tienen una zona común, combinados o no con una estructura completamente aislada mientras se utiliza este trazado incrustado, es en sí mismo eléctrica y tecnológicamente una parte de cruzamiento de un circuito monolítico.

Con el fin de que el invento pueda ser fácilmente llevado a efecto, se describirán ahora con mayor detalle unos cuantos ejemplos del mismo, a modo de ejemplo, con referencia a los dibujos que se acompañan, en los cuales;

401687



La Figura 1 es una vista diagramática en plan-
ta de una parte de un dispositivo de acuerdo con el in-
vento;

5 La Figura 2 es una vista diagramática en cor-
te transversal del dispositivo representado en la Figura 1,
tomada según la línea X-X de la Figura 1,

Las Figuras 3 a 10 son vistas diagramáticas
en corte transversal tomadas según la línea X-X de la Fi-
gura 1 del dispositivo representado en las Figuras 1 y 2
10 en sucesivos pasos de fabricación,

La Figura 11 es una vista diagramática en cor-
te transversal de otro dispositivo de acuerdo con el in-
vento, y

La Figura 12 es una vista diagramática en cor-
15 te transversal de un dispositivo que tiene transistores
complementarios de efecto de campo de acuerdo con el in-
vento.

Las Figuras son diagramáticas y no están di-
bujadas a escala. Se hace referencia generalmente a las
20 partes correspondientes por las mismas cifras de referen-
cia. En las vistas en corte transversal, las zonas semi-
conductoras representadas con la misma dirección de raya-
do tienen generalmente el mismo tipo de conductividad.
En la Figura 1, los contornos de las capas metálicas es-
25 tán representados en líneas de trazos y los contornos

401687



del trazado de óxido incrustado están representados en líneas llenas.

La Figura 1 es una vista en planta y la Figura 2 una vista diagramática en corte transversal tomada según la línea X-X de la figura 1 de una parte de un dispositivo semiconductor de acuerdo con el invento. El dispositivo constituye un circuito integrado monolítico y comprende una región (1, 2) de tipo n monocristalina que consiste en un soporte 1 de alta concentración de impureza de silicio de tipo n, que tiene una resistividad de 0,01 ohm.cm, y una capa epitaxial 2, igualmente de silicio de tipo n y dispuesta sobre dicho soporte, que tiene un espesor de 8 micras y una resistividad de 0,6 ohm.cm. Sobre la región (1, 2) de tipo n está situada una capa 3 de silicio de tipo n monocristalino que tiene un espesor de 3 micras y una resistividad de 0,3 ohm.cm, en la cual están dispuestas varias zonas de diferentes tipos de conductividad cuya función se describirá aquí posteriormente.

Entre dicha capa 3 semiconductor y la región (1, 2), está situada localmente una primera capa 4 enterrada de conductividad de tipo p. Esta capa 4 se encuentra principalmente en la capa 2 epitaxial.

Además, se encuentra un trazado de un material aislante incrustado en la capa 3 semiconductor y,

401687



en este ejemplo, se compone de regiones incrustadas 5 de óxido de silicio que se extienden desde la superficie 6 por todas partes hasta sustancialmente la misma profundidad en el cuerpo semiconductor.

5 Una región de la capa 3 semiconductoras está separada de la región (1,2) de tipo n y de la parte restante de la capa 3, por la primera capa enterrada 4 y por la parte 5A del trazado 5 de óxido contigua a la capa enterrada 4 y que rodea completamente a dicha región. En
10 esta región está dispuesto un transistor n-p-n bipolar que tiene una zona 7 de base de tipo p contigua a la superficie 6, en cuya zona está dispuesta una zona 8 de superficie de tipo n, la zona de emisor.

De acuerdo con el invento, una segunda capa
15 9 enterrada de conductividad de tipo n se encuentra entre la primera capa 4 enterrada y la capa 3 semiconductoras, y la región de la capa 3 semiconductoras rodeada por la capa 4 enterrada y el óxido 5A está dividida, por una parte 5B del trazado de óxido, en una primera región I
20 en forma de isla y una segunda región II en forma de isla de tipo n, ambas de las cuales son contiguas a la segunda capa enterrada. La parte 5B de óxido está separada de la primera capa 4 enterrada, por una parte del espesor de la segunda capa 9 enterrada. La primera región I en
25 forma de isla comprende la ya mencionada zona VII de base

401687



de tipo p y la zona 8 de emisor de tipo n del transistor bipolar n-p-n, cuyo colector está formado por la capa 9 enterrada de tipo n con la cual puede establecerse contacto por medio de la isla II de tipo n en la superficie 6. La unión 10 base colector del transistor se extiende en sentido paralelo a la superficie 6 y está limitada por el trazado 5 de óxido incrustado. La capa 3 semiconductor del ejemplo está separada en su integridad de la primera capa 4 enterrada, por la segunda capa 9 enterrada.

El dispositivo hasta aquí descrito puede ser fabricado no solamente de un modo particularmente simple como se describirá posteriormente, sino que al mismo tiempo presenta la importante ventaja de que puede ser combinado de un modo muy adecuado en un circuito integrado monolítico con otros elementos de circuito semiconductores.

Por ejemplo, en el ejemplo aquí descrito (véase la Figura 2), está dispuesta una tercera capa 11 enterrada de conductividad tipo p junto a la primera capa 4 enterrada. Una parte adicional de la capa 3 semiconductor que se encuentra entre dicha capa 11 enterrada y la superficie 6, está separada en su integridad de la región (1,2) de tipo n y de la parte restante de la capa 3, por la tercera capa 11 enterrada y por una parte del trazado 5 de óxido que rodea completamente a dicha

401687



parte adicional, está constituida por las partes 5A y 5C (véanse las Figuras 1 y 2) y es contigua a la capa 11.

La mencionada parte adicional de la capa 3 comprende una zona 12 de base de tipo n y una zona 13 de emisor de tipo p de un transistor bipolar p-n-p cuya zona de colector está formada por la capa 11 enterrada. La mencionada parte adicional de la capa 3 está dividida en una tercera región III en forma de isla y una cuarta región IV en forma de isla, por una parte 5D del trazado de óxido incrustado contigua a la capa 11 enterrada y que se extiende solamente sobre una parte del espesor de dicha capa enterrada. La tercera región III en forma de isla está ocupada por completo por la zona 12 de base de tipo n y la zona 13 de emisor de tipo p; por intermedio de la cuarta región en forma de isla que es enteramente de conductividad del tipo p, puede establecerse contacto con la capa 11 enterrada que sirve como zona de colector.

De acuerdo con la estructura descrita, han sido concebidos constructivamente dos transistores bipolares de estructura complementaria que están aislados entre sí y de la región (1,2) de substrato en una estructura compacta en la misma placa semiconductor, en los cuales la dirección de corriente de emisor a colector es

18.4.72

401687



transversal respecto a la superficie 6 para ambos transis-
tores, en contraste, por ejemplo, con combinaciones cono-
cidas de transistores complementarios que están formadas
por un transistor vertical aislado y un transistor late-
5 ral cuya región de substrato forma la zona de base. En
la combinación de acuerdo con el invento, ambos transis-
tores tienen la misma estructura y pueden darse además
concentraciones de impureza comparables a zonas corres-
pondientes, en contraste con muchas estructuras conocidas
10 con transistores complementarios (u otros elementos de cir-
cuitos semiconductores).

Además, en el dispositivo descrito se encuen-
tran varios transistores que tienen una zona de colector
común, de los cuales se representa en el dibujo uno de
15 los transistores completamente y se representa otro par-
cialmente. El trazado de óxido incrustado comprende, para
este fin, una red de regiones 5E de óxido incrustado que
rodean a varias regiones V en forma de isla de la capa 3
de silicio las cuales son contiguas a la región (1,2) de
20 tipo n. Cada una de estas regiones en forma de isla com-
prende una zona 14 de tipo p que es contigua a la super-
ficie 6 y en la cual está dispuesta una zona 15 de super-
ficie de tipo n. Las zonas 14 están limitadas por el
óxido incrustado y constituyen las zonas de base de tran-
25 sistores de los cuales las zonas 15 son las zonas de emi-

401687



sor, mientras que la zona de colector común está formada por las regiones 1 y 2 de tipo n. La citada red de partes de óxido incrustado comprende al mismo tiempo una parte 5A que está asociada con el aislamiento del transistor n-p-n (8, 7, 9).

El contacto con las zonas 12, 13, 7, 8, 14 y 15, las islas II y IV y el soporte o substrato 1, está establecido por las capas metálicas 16 a 25.

Resultará obvio que tal red puede comprender, en vez de una parte 5A, una parte 5C del trazado de óxido que pertenece al aislamiento del transistor p-n-p (13, 12, 11) o puede también estar separada en su integridad de la mencionada parte 5A y 5C del trazado. Las islas limitadas por la red pueden ser contiguas a la región (1,2) de tipo n, si se desea, también por intermedio de la capa enterrada de tipo n, cuya capa enterrada de tipo n puede disponerse simultáneamente con la capa 9. Los transistores dispuestos en la red pueden ser también transistores laterales (con una zona (1,2) de base común). Si se desea, dichos transistores pueden comprender también uno o más transistores laterales y uno o más transistores verticales, estando conectadas entre sí en el circuito la zona de base de los transistores laterales y la zona de colector de los transistores verticales y estando constituidas por la región (1,2) de tipo n.

401687



Desde luego, la estructura descrita constituye solamente un ejemplo de las muchas posibilidades del dispositivo de acuerdo con el invento. En ciertas circunstancias, por ejemplo, la capa 4 puede estar conectada a la capa 11. En vez de una región 5A de óxido común entre los transistores (8, 7, 9) y (13, 12, 11), el aislamiento de óxido puede estar formado por partes mutuamente separadas del trazado de óxido.

Además, las regiones de óxido que rodean a los transistores (8, 7, 9) y (13, 12, 11) de aislamiento, así como las capas enterradas 4 y 11, pueden presentar en ciertas circunstancias una abertura o interrupción a través de la cual, por ejemplo, puede ser suministrada una tensión de alimentación desde otras partes del cuerpo semiconductor o por intermedio de la cual está conectado un elemento de circuito a todas las partes del circuito por una resistencia formada por el material de la capa semiconductor.

Se describirá ahora un método muy simple y práctico de fabricación del dispositivo anterior. El material de partida (véase la Figura 3) es una placa 1 de silicio de tipo n que tiene una resistividad de 0,01 ohm.cm. Puede fabricarse simultáneamente un gran número de dispositivos idénticos sobre dicha capa.; se describirá ahora la fabricación con referencia a la parte de

401687



uno de los mencionados dispositivos que se representa en los dibujos.

Se difunde localmente boro en la superficie de la placa 1 para formar las capas 4 y 11 de tipo p mientras se utiliza una máscara 26 de óxido. Las capas 4 y 11 tienen una resistencia laminar de aproximadamente 450 ohmios por cuadrado y penetran solo ligeramente en la placa 1 como resultado de la alta concentración de impureza de la placa. Después de eliminar la máscara 26 de óxido, se dispone una capa 2 de silicio de tipo n que tiene una resistividad de 0,6 ohm.cm. y un espesor de 8 micras del modo usual sobre la placa 1 por crecimiento epitaxial. Durante dicho crecimiento epitaxial las capas 4 y 11 se difunden desde el substrato 1 a través de casi el espesor completo de la capa 2.

Mientras se utiliza una nueva máscara 27 de óxido (véase la Figura 5) se difunde arsénico en una parte de la capa 4 para formar la capa 9 de tipo n que tiene una resistencia laminar de 20 ohmios por cuadrado, de tal modo que la capa 9 está rodeada por completo por la capa 4.

Después de eliminar la máscara 27, se obtiene por crecimiento una capa 3 de silicio de tipo n que tiene una resistividad de 0,3 ohm.cm. y un espesor de 3 μ m (véase la Figura 6). Esta capa 3 se cubre entonces con

401687



una capa 28 que protege contra oxidación, por ejemplo de
nitruro de silicio. Utilizando métodos fotolitográficos
de ataque conocidos, se disponen aberturas en dicha capa
28, y el silicio expuesto dentro de dichas aberturas es
5 atacado parcialmente eliminándose hasta una profundidad
de aproximadamente una micra (véase la Figura 6). Para
todos los detalles técnicos referentes a la oxidación
local y al tratamiento de ataque fotolitográfico de ca-
pas de nitruro que protegen contra oxidación, se hace re-
10 ferencia al artículo de Appels y otros, contenido en
"Philips Research Report" Abril 1.970, páginas 118-132.

El silicio es oxidado entonces a 1.000°C.
en oxígeno húmedo, prosiguiendo el proceso de oxidación
hasta que el trazado 5 de óxido resultante se extiende
15 hasta las capas 9 y 11 las cuales durante el crecimiento
de la capa 3 se han difundido sustancialmente en su inte-
gridad desde la placa 1 en las capas 2 y 3, pero solamen-
te sobre una parte del espesor de la capa 9 de tipo n
(véase la Figura 7). La cara superior del trazado 5 de
20 óxido incrustado coincide sustancialmente con la cara su-
perior de la capa 3. De esta manera, se obtienen las re-
giones I a V en forma de isla de la capa 3 semiconducto-
ra.

La capa 28 de máscara se elimina entonces y
25 se dispone una capa 29 de óxido por oxidación térmica



(véase la Figura 8), después de lo cual se da a la isla IV una conductividad totalmente de tipo p mediante una difusión de boro profunda. Se practica por ataque entonces una abertura en la capa 29 de máscara por encima de la isla III y es eliminada completamente por encima de las islas I y V la capa 29, después de lo cual se disponen las zonas 13, 7 y 4 de tipo p por una difusión de boro menos profunda (véase la Figura 9).

En la difusión anteriormente mencionada que se lleva a cabo después del proceso de oxidación, son necesarios pasos de alineamiento de solamente una pequeña precisión para la disposición de las zonas 7 y 14 y para la impurificación de la isla IV, puesto que el óxido 5 incrustado ya presente sirve al mismo tiempo como máscara de difusión.

La capa 29 de máscara se elimina entonces y se dispone una capa 30 de óxido de modo conocido en toda la superficie por una conversión térmica de silano (SiH_4) y oxígeno. Esto puede realizarse también por oxidación térmica. Esta capa se utiliza como máscara de difusión para disponer, por medio de una difusión de fósforo, las zonas 8 y 15 de tipo n y las regiones de contacto de tipo n de alta concentración de impureza sobre la zona 12 de base y la isla II (véase la Figura 10). Después de obtener por ataque ventanas de contacto y del proceso

401687

22



de depósito desde vapor y después del ataque fotolitográfico de las capas 16 a 25 metálicas (usualmente de aluminio), se obtiene la estructura representada en las Figuras 1 y 2.

5 Puesto que la capa 4 enterrada de tipo p se difunde desde el soporte 1 en todo el espesor de la capa 2 y aún sobre una parte del espesor de la capa 3, es suficiente una profundidad relativamente pequeña de penetración del óxido 5 de modo que pueden evitarse largos tiempos de oxidación, lo cual hace particularmente interesante, desde el punto de vista tecnológico, dicho método de aislamiento por medio de una combinación de crecimiento epitaxial sobre una capa enterrada y un proceso de oxidación local.

10 De acuerdo con una variante, puede también obtenerse la estructura representada en las Figuras 1 y 2 por crecimiento de una capa 3 de tipo p sobre la capa 2, en vez de una capa 3 de tipo n. Por ejemplo, el trazado 5 de óxido puede disponerse en todo el espesor de la capa 3, mientras los pasos de difusión pueden ser modificados, por ejemplo, de modo que después de la oxidación se forman en primer lugar la zona 12 de base de tipo n y la isla II de tipo n, después de lo cual, por un proceso de difusión de tipo n menos profundo, se forman
15 las zonas 8 y 15 de emisor mediante la disposición de

401687



una nueva máscara de difusión para formar la zona 13 de emisor de tipo p y regiones de contacto de base sobre las islas IV, I y V. En este caso, las zonas 7 y 14 de base, como partes de la capa 3 original de tipo p, pueden ser homogéneas, mientras que la concentración de im
5 pureza de la zona 12 disminuye desde la superficie en la dirección de la capa I enterrada en contraste con el método antes descrito en el cual la impurificación de la zona 12 de base es sustancialmente homogénea y la con-
10 centración de impureza de las zonas 7 y 14 disminuye desde la superficie en la dirección de la región 1.

Son posibles muchas otras variantes. Por ejemplo, las capas 4 y 9 enterradas pueden ser difundidas una después de la otra por intermedio de la misma máscara de
15 difusión ambas en la superficie de la capa 2 epitaxial. De acuerdo con una importante realización, puede establecerse contacto en la superficie con la capa 4 enterrada o con la capa 11 enterrada o con ambas capas. Tal estructura está representada en la vista diagramática en corte
20 transversal de la Figura 11, en la cual, por ejemplo, las regiones 31, 33, 35, 37 y 39 tienen conductividad de tipo n y las regiones 32, 34, 36 y 38 tienen conductividad de tipo p. De esta manera, se obtiene una combinación de un transistor n-p-n aislado (39, 38, 33) y una estructura de
25 tiristor n-p-n-p aislada (37, 36, 35, 34) que es en sí

401687



misma también particularmente interesante. La región 31 de sustrato de tipo n es única en este ejemplo y no comprende ninguna capa epitaxial como en el ejemplo pre-
cedente. Las partes 40, 41 y 42 de capa metálica cons-
tituyen los electrodos de emisor, base y colector del
5 transistor y las partes 43 y 44 de capa metálica cons-
tituyen el cátodo y el ánodo del tiristor del cual la
capa 45 metálica es el electrodo de control. El trazado
46 de óxido incrustado comprende en este ejemplo partes
10 45A incrustadas más profundamente y partes 46B incrusta-
das menos profundamente. Esto puede conseguirse, por
ejemplo, bien cubriendo la superficie semiconductor ocupada por la parte 46B por la capa que protege contra oxida-
ción durante una parte del tiempo de oxidación y elimi-
nando dicha parte de la capa de máscara solamente en un
15 instante posterior al tratamiento de oxidación, o bien
no atacando el silicio en el área de la región 46B de óxi-
do antes del tratamiento de oxidación, en cuyo caso una
parte de la región 46B crecerá por encima de la superfi-
20 cie semiconductor. En este ejemplo, se utiliza una capa
epitaxial de tipo n sobre la cual se dispone una capa epi-
taxial de tipo p; los límites de contorno entre dichas ca-
pas que constituyen juntas la capa semiconductor monocri-
stalina mencionada en la introducción, se representan par-
25 cialmente en líneas de trazo. Las zonas 35, 36 y 38 son

401687



partes de dichas capas epitaxiales. Las zonas restantes se obtienen al menos parcialmente por difusión.

En el ejemplo representado en la Figura 11, se establece contacto con la capa 34 enterrada junto a la región 46A de óxido. En analogía con esto, por ejemplo, en el dispositivo representado en la Figura 2 podría establecerse contacto con la capa 4 enterrada del mismo modo para obtener un elemento $n-p-n-p$ (8, 7, 9, 4); en este caso, podría también omitirse la zona 8 y la combinación de las regiones 7, 9 y 4 podría ser utilizada como un transistor $p-n-p$.

En la Figura 12 se representa otra variante, en la cual se representa una estructura análoga a la representada en la Figura 2 con regiones 51, 54, 56 y 57 de tipo n y regiones 52, 53, 55, y 58 de tipo p , pero en la cual los elementos de circuito semiconductores son transistores complementarios de efecto de campo de unión, un transistor de efecto de campo $n-p-n$ con electrodos 59 y 60 de control, zonas 54 y 56 de electrodo de control, región 55 de canal y electrodos 61 y 62 de entrada y salida, y un transistor de efecto de campo $p-n-p$ con electrodos 63 y 64 de control, zonas 53 y 58 de electrodo de control, región 57 de canal y electrodos 65 y 66 de entrada y salida.

Los tipos de conductividad indicados en los

401687



22 1988 10:2

ejemplos pueden en principio ser, desde luego, sustituidos todos por sus tipos de conductividad opuestos. Además, en vez de una zona de emisor el transistor descrito puede también comprender varias zonas de emisor.

5 Son posibles muchas variantes para los expertos en la técnica sin apartarse del campo de este invento. Por ejemplo, pueden ser utilizados otros materiales semiconductores o combinaciones de materiales semiconductores en donde (véase la Figura 2) puede fabricarse la
10 capa 3, por ejemplo, a partir de un material semiconductor diferente de el de las regiones 1 y 2. El trazado aislante incrustado puede sobresalir parcialmente más allá de la superficie semiconductor y, si se desea, puede componerse total o parcialmente de materiales diferentes
15 al óxido de silicio. En adición a los elementos descritos, pueden encontrarse en el circuito también otros elementos de circuito semiconductores pasivos (resistencias, condensadores) o activos. Además, los transistores pueden ser utilizados en sentido inverso, en los cuales,
20 por ejemplo (véase la Figura 2) se utiliza la capa 9 enterrada como zona de emisor y la zona 8 es utilizada como zona de colector. En este caso, puede ser aconsejable hacer disminuir la impurificación de la zona 7 de base desde la capa 9 hacia la superficie. La impurificación
25 de las diversas regiones puede también llevarse a cabo,

401687



aparte de por difusión desde la atmósfera, total o par-
cialmente por implantación iónica, preferiblemente mien-
tras se utiliza el material aislante incrustado como
máscara, o por difusión hacia el exterior de una capa
5 de óxido impurificada.

Finalmente deberá destacarse que, aunque en
los ejemplos la porción (5B) del trazado aislante hundi-
do que da origen a la división en una primera y una se-
gunda región en forma de isla, se extiende hasta el in-
10 terior de la segunda capa (9) enterrada, esto no signi-
fica que sea necesario, y que esta porción (5B) del tra-
zado aislante puede bien ser poco profunda a fin de que
no se extienda hasta la segunda capa enterrada.

Esta solicitud que corresponde a la presen-
15 tada en Holanda, con fecha 14 de Abril de 1971, bajo el
Nº 7105000, se acoge a los beneficios del artículo 51 del
vigente Estatuto sobre Propiedad Industrial.

REIVINDICACIONES

Los puntos de invención propia y nueva que
se presentan para que sean objeto de esta solicitud de
20 Patente de Invención en España, por VEINTE años, son los
siguientes:

18.4.72

401687



1.- Un dispositivo semiconductor que comprende un cuerpo semiconductor que tiene una región de un primer tipo de conductividad, una capa semiconductor presente sobre dicha región y contigua a la superficie del cuerpo, al menos una primera capa enterrada del segundo tipo de conductividad presente localmente entre dicha capa semiconductor y la región del primer tipo de conductividad, y un trazado de un material aislante incrustado al menos parcialmente en la capa semiconductor, estando separada una región de la capa semiconductor de la región del primer tipo de conductividad y de la parte restante de la capa por la primera capa enterrada y por una parte del trazado contigua a la primera capa enterrada y que rodea sustancialmente en su integridad a dicha región, estando dispuesto un elemento de circuito semiconductor al menos parcialmente en dicha región de la capa semiconductor, caracterizado porque entre la primera capa enterrada y la capa semiconductor se encuentra una segunda capa enterrada del primer tipo de conductividad y porque la mencionada región de la capa semiconductor está dividida, por una parte del trazado incrustado de material aislante que está separada de la primera capa enterrada al menos por una parte del espesor de la segunda capa enterrada, al menos en una primera región en forma de isla en la cual está dispues-

18.4.72

- 40 -

ME

401687

22 ABR 1972



to el elemento de circuito semiconductor al menos parcialmente, y en una segunda región en forma de isla del primer tipo de conductividad, cuyas regiones son ambas contiguas a la segunda capa enterrada.

5 2.- Un dispositivo semiconductor de acuerdo con la reivindicación 1, caracterizado porque el trazado incrustado de material aislante se compone de óxido que ha sido obtenido por oxidación local del material semiconductor y se extiende por todas partes desde la superficie hasta sustancialmente la misma profundidad en el
10 cuerpo semiconductor.

 3.- Un dispositivo semiconductor de acuerdo con la reivindicación 1 o la reivindicación 2, caracterizado porque el elemento de circuito semiconductor comprende al menos una unión p-n que tiene una parte que se extiende sustancialmente en sentido paralelo a la superficie y que está limitada por el trazado incrustado de material aislante.
15

 4.- Un dispositivo semiconductor de acuerdo con una o más de las reivindicaciones precedentes, caracterizado porque la capa semiconductor está separada en su integridad de la primera capa enterrada por la segunda capa enterrada.
20

 5.- Un dispositivo semiconductor de acuerdo con una o más de las reivindicaciones precedentes, carac-
25

18.4.72

- 41 -

mcE

401687

22



5 terizado porque la región del primer tipo de conductividad comprende un substrato de alta concentración de impureza del primer tipo de conductividad y una capa epitaxial del primer tipo de conductividad dispuesta sobre dicho substrato, en cuya capa se encuentra al menos principalmente la primera capa enterrada.

10 6.- Un dispositivo semiconductor de acuerdo con una o más de las reivindicaciones precedentes, caracterizado porque la primera región en forma de isla comprende una zona del segundo tipo de conductividad que es contigua a la superficie.

15 7.- Un dispositivo semiconductor de acuerdo con la reivindicación 6, caracterizado porque la zona del segundo tipo de conductividad que es contigua a la superficie constituye la zona de base de un transistor bipolar, cuyas zonas de emisor y colector están constituidas por la segunda capa enterrada y al menos por una zona de superficie del primer tipo de conductividad dispuesta en la zona de base.

20 8.- Un dispositivo semiconductor de acuerdo con la reivindicación 6 o la reivindicación 7, caracterizado porque la concentración de impureza de la zona del segundo tipo de conductividad contigua a la superficie es sustancialmente homogénea.

25 9.- Un dispositivo semiconductor de acuerdo

18.4.72

- 42 -

mle

401687



5 con la reivindicación 6 o la reivindicación 7, caracteri-
zado porque la concentración de impureza de la zona del
segundo tipo de conductividad contigua a la superficie
disminuye desde la superficie en la dirección de la se-
gunda capa enterrada.

10 10.- Un dispositivo semiconductor de acuerdo
con la reivindicación 6 o la reivindicación 7, caracteri-
zado porque la concentración de impureza de la zona del
segundo tipo de conductividad contigua a la superficie
disminuye desde la segunda capa enterrada hacia la su-
perficie.

15 11.- Un dispositivo semiconductor de acuerdo
con una o más de las reivindicaciones precedentes, carac-
terizado porque la concentración de impureza de la segun-
da región en forma de isla en una parte contigua a la su-
perficie es más alta que en la parte subyacente de dicha
región.

20 12.- Un dispositivo semiconductor de acuerdo
con una o más de las reivindicaciones precedentes, carac-
terizado porque el cuerpo semiconductor se compone de si-
licio y el trazado incrustado se compone al menos parcial-
mente de óxido de silicio.

25 13.- Un dispositivo semiconductor de acuerdo
con una o más de las reivindicaciones precedentes, carac-
terizado porque se encuentra una tercera capa enterrada

18.4.72

mce

401687

22



del segundo tipo de conductividad junto a la primera
capa enterrada entre la región del primer tipo de con-
ductividad y la capa semiconductor, estando separada
una parte adicional de la capa semiconductor sustancial-
5 mente en su integridad de la región del primer tipo de
conductividad y de la parte restante de la capa semicon-
ductora, por la tercera capa enterrada y por una parte
del trazado incrustado de material aislante contigua a
la tercera capa enterrada y que rodea a la parte adicio-
10 nal, comprendiendo al menos dicha parte adicional una re-
gión en forma de isla limitada por la tercera capa ente-
rrada y el trazado incrustado; en cuya región está dis-
puesto al menos parcialmente un elemento de circuito se-
miconductor de una estructura que es complementaria a la
15 de dicho elemento de circuito dispuesto en la primera re-
gión en forma de isla.

14.- Un dispositivo semiconductor de acuerdo
con la reivindicación 13, caracterizado porque la parte
de trazado incrustado que limita a la mencionada parte
20 adicional forma parte de la parte del trazado incrustado
que limita a la primera y a la segunda regiones en forma
de isla.

15.- Un dispositivo semiconductor de acuerdo
con la reivindicación 13 o la reivindicación 14, caracte-
25 rizado porque la parte adicional de la capa semiconducto-

mge

401687



ra está dividida, por una parte del trazado incrustado contigua a la tercera capa enterrada y que se extiende a lo sumo sobre una parte del espesor de dicha capa enterrada, en una tercera región en forma de isla en la

5 cual está dispuesto el elemento semiconductor de una estructura complementaria al menos parcialmente y en una cuarta región en forma de isla del segundo tipo de conductividad.

16.- Un dispositivo semiconductor de acuerdo

10 con la reivindicación 15, caracterizado porque la tercera región en forma de isla comprende una zona del primer tipo de conductividad que es contigua a la superficie y en la cual está dispuesta al menos una zona de superficie del segundo tipo de conductividad, constituyendo la zona

15 del primer tipo de conductividad la zona de base de un transistor bipolar, cuyas zonas de emisor y de colector están constituidas por la tercera capa enterrada y la mencionada zona de superficie del segundo tipo de conductividad.

20 17.- Un dispositivo semiconductor de acuerdo con una o más de las reivindicaciones precedentes, caracterizado porque la primera y/o la tercera capa enterrada del segundo tipo de conductividad están provistas de un conductor de conexión.

25 18.- Un dispositivo semiconductor de acuerdo

mce

401687

22



con una o más de las reivindicaciones precedentes, caracterizado porque el trazado incrustado de material aislante también limita al menos una región en forma de isla de la capa semiconductor contigua a la superficie, comprendiendo dicha región al menos una zona del segundo tipo de conductividad contigua a la superficie, cuya zona está limitada por el trazado incrustado y por material del primer tipo de conductividad que está en posición contigua a la región del primer tipo de conductividad, constituyendo tanto la mencionada zona del segundo tipo de conductividad como la región subyacente del segundo tipo de conductividad zonas activas de un elemento de circuito semiconductor.

19.- Un dispositivo semiconductor de acuerdo con la reivindicación 18, caracterizado porque la parte de trazado incrustado que limita a la región en forma de isla de la capa semiconductor contigua a la región del primer tipo de conductividad, forma parte de la parte de trazado incrustado que limita a las regiones en forma de isla de la capa semiconductor que se encuentran por encima de la primera o de la tercera capa enterrada.

20.- Un dispositivo semiconductor de acuerdo con la reivindicación 18 o la reivindicación 19, caracterizado porque el trazado incrustado de material aislante comprende una red coherente que limita varias islas de

mke

401687



5 la capa semiconductoras contigua a la región del primer tipo de conductividad en cuyas islas están dispuestos elementos de circuito semiconductores que tienen una zona común que comprende la región subyacente del primer tipo de conductividad.

21.- Un dispositivo semiconductor.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan, y para los fines que se han especificado.

10 Esta Memoria consta de cuarenta y siete hojas escritas a máquina por una sola cara.

Madrid,

-7 NOV. 1972

P.A.

Alberto San Lázaro
Por Poder

31-X-72

- 47 -

mlc

401687

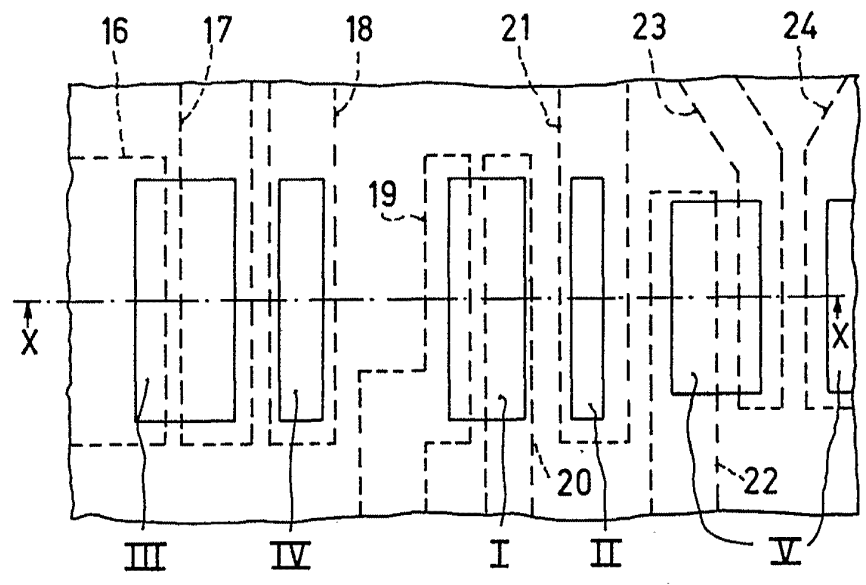


Fig. 1

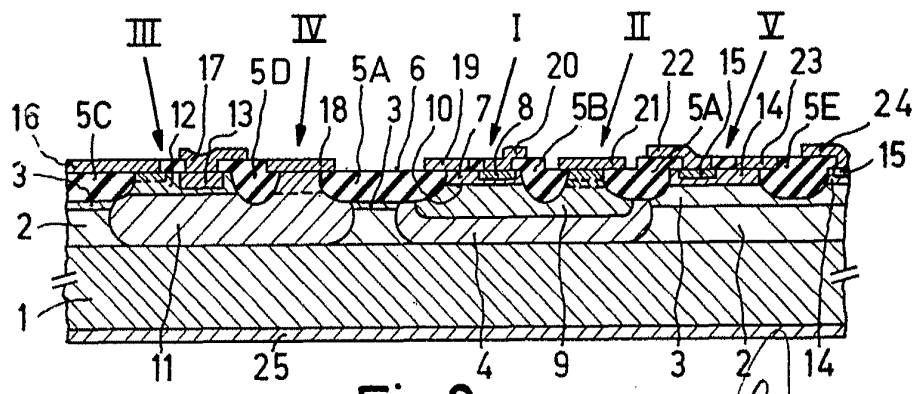


Fig. 2

Alberto de Fizzarini
 Per Foderi

401687

2248

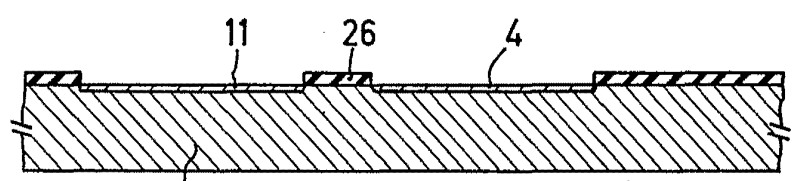


Fig. 3

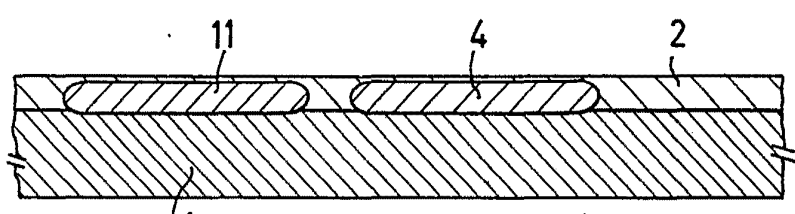


Fig. 4

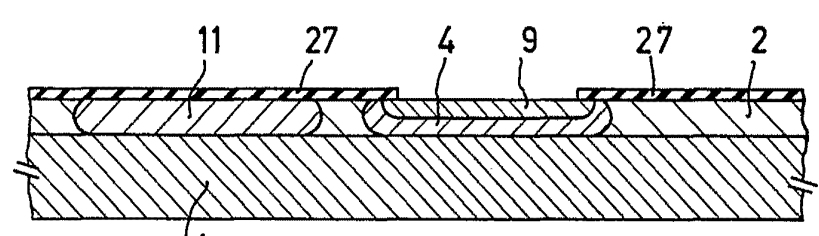


Fig. 5

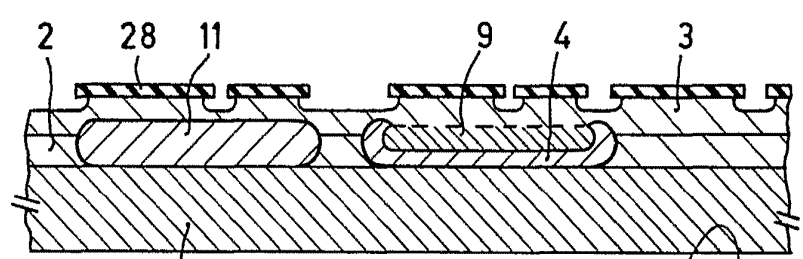


Fig. 6

Alberto de Riza/uru
Por Poder

401687 22 AB

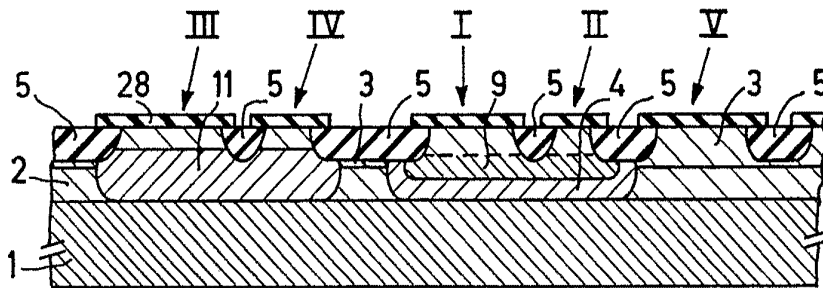


Fig. 7

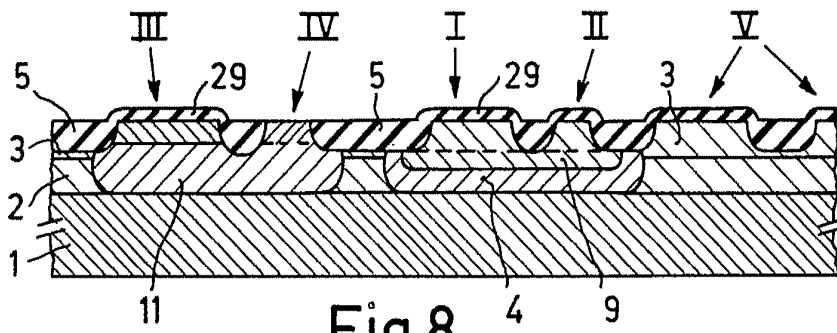


Fig. 8

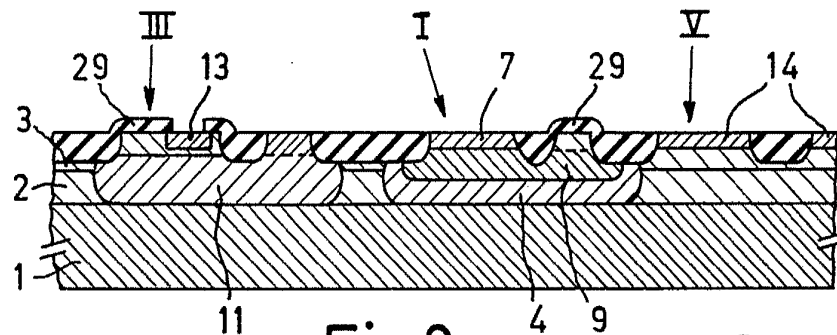


Fig. 9

Alberto de Elzaburu
Per Philips

401687

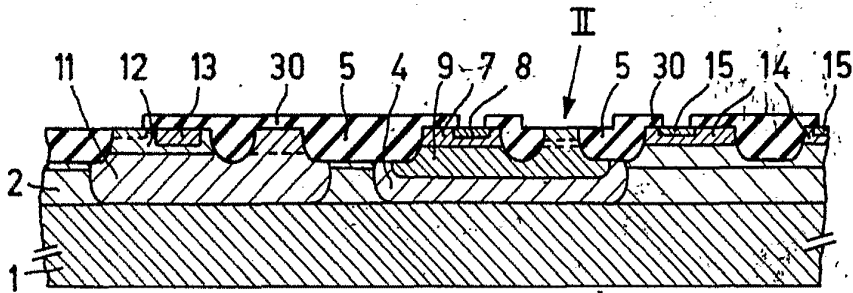


Fig.10

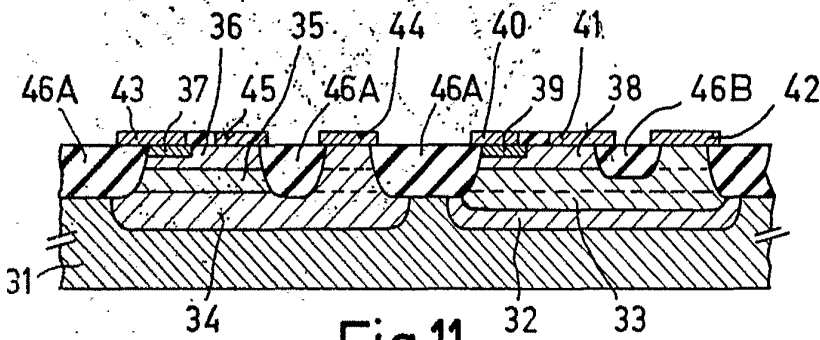


Fig.11

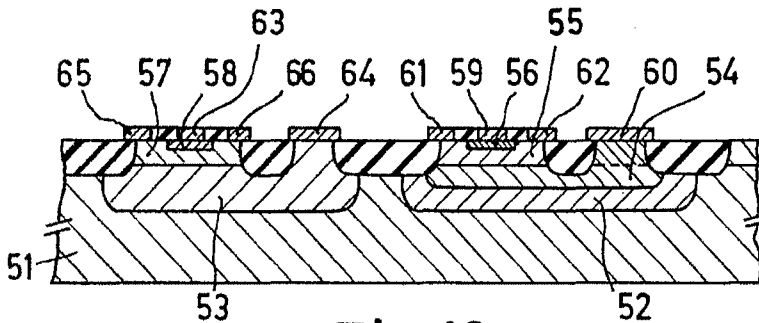


Fig.12

Arta