

401103



A.E.J.Chatelon 33

Int. Cl.<sup>2</sup> - H03K -

SECCION TECNICA  
CLASIFICACION I. P. C.  
CLASE \_\_\_\_\_  
SUBCLASE \_\_\_\_\_

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION  
EN ESPAÑA POR "MEJORAS EN LOS CIRCUITOS DE CODIFICACION"  
A NOMBRE DE STANDARD ELECTRICA, S.A., CON DOMICILIO EN  
MADRID, CALLE DE RAMIREZ DE PRADO Nº 5.

-----

Se refiere el presente invento a mejoras en los circuitos de codificación y más particularmente a mejoras en los codificadores de realimentación multiplex por división en el tiempo diseñados para ser asociados con un sistema de telecomunicación PCM (con modulación por codificación de impulsos), con  $m = 32$  canales, del V0 al V31, en el que los canales V0 y V16 se reservan para la transmisión de datos de sincronización y señalización. En el curso de la descripción nos referiremos a este sistema como "sistema VO/V16".

La codificación multiplex por división en el tiempo con un codificador de realimentación comprende generalmente tres operaciones sucesivas por cada uno de los canales:

(1) el muestreo y retención en un condensador de la amplitud de la señal analógica de entrada, (2) la determinación

401103



2.

del código que caracteriza la amplitud de la señal analógica de entrada almacenada en el condensador y (3) la descarga del condensador. Para la codificación en un código de  $n$  bits el slot de tiempo de canal se divide en  $n$  slots de tiempo de bit  $t_1, t_2, t_3 \dots t_n$ , cada uno de los cuales es asignado a la determinación del valor de un bit.

El método de codificación de realimentación (feedback coding method) es bien conocido y ha sido particularmente descrito en el libro "Notes on Analo-Digital Conversion Techniques" (Notas sobre las técnicas de conversión de analógico a digital) de A.K. Susskind (MIT Publication), páginas 5.54 a 5.60.

Se comprende que, en un slot de tiempo de canal, el tiempo de que se dispone para ejecutar las operaciones de carga y descarga del condensador de retención es de solo una fracción de un slot de tiempo de bit; ello no supone inconvenientes para la carga del condensador de memoria o retención que puede ser fácilmente efectuada con una pequeña constante de tiempo.

Por otra parte, la descarga de este condensador debe ser al máximo si no se quiere añadir una tensión residual de cruce al valor de la muestra que le sigue. Se comprende que esta tensión residual puede hacerse más pequeña si la constante de tiempo de descarga es pequeña y el tiempo de descarga grande.

La resistencia de la constante de tiempo de descarga es la del gate de descarga, estando limitada la reducción de su valor por la corriente de pico que puede pasar a través del gate.

Es sabido que para obtener un aumento del tiempo de

# 401103



3.

descarga se pueden acoplar a un solo codificador dos circui  
tos de muestreo y retención que procesen alternativamente  
los datos analógicos de los canales pares y los de los ca-  
nales impares. Entonces, con un slot de tiempo de canal  
5 puede ser descargado el condensador.

Si se emplea este método en un sistema VO/V16 es de ob-  
servar que los canales reservados para la transmisión de los  
códigos de señalización y sincronización, o códigos "CS",  
son ambos canales pares.

10 En un código de este tipo generalmente se habilita un  
circuito de corrección de centrado que permite la elimina-  
ción del error de codificación debido a las fluctuaciones  
de las tensiones de continua y a las variaciones en las ca-  
racterísticas de los componentes. Este sistema se describe  
15 en la patente de los EE.UU. nº 3.365.713 a cuyo texto hace-  
mos en éste referencia.

Para obtener la información que facilite esta correc-  
ción de centrado se muestrea, a intervalos regulares, un ca  
nal de referencia. Este canal de referencia comprende una  
20 señal analógica de amplitud constante  $e_0$  que representa, por  
ejemplo, en un canal normal, una amplitud cero. En el caso  
especial en que se codifiquen señales A.C., no simétrica-  
mente, en códigos de  $n$  bits, uno de los códigos  $N = 2^{n-1}$   
- 1 o lo que es igual  $N+1 = 2^{n-1}$  es normalmente obtenido  
25 por la tensión  $e_0$ , difiriendo estos códigos en su bit más  
significativo que respectivamente es 0 - 1. La información  
de corrección se contiene en este bit y, cuando es igual a  
0 (1) controla la variación de una de las tensiones de con  
tinua usadas en el codificador, de tal modo que, en el  
30 muestreo siguiente se obtiene un código cuyo bit más signi

401103



4.

ficativo es i (0). El resultado es que se corrige la codificación de los otros canales usando una tensión de referencia de un valor promedio eo que, por tanto, queda centrada en la escala de las tensiones a codificar, entre el valor  
5 de la tensión por el que se ha obtenido el código N y el valor por el que se ha obtenido el código N + 1.

Debe observarse que el canal de referencia no va conectado a ningún origen de señales que hayan de ser codificadas para la transmisión y que, en la transmisión, el correspondiente slot de tiempo queda libre para el envío de datos como pueden ser los de un código de sincronización.  
10

Las fluctuaciones y variaciones que tienen que ser corregidas actúan sobre toda la cadena de codificación y, especialmente, sobre el circuito o circuitos de muestreo y  
15 retención. Se comprende, por tanto que, cuando hayan de usarse dos circuitos de muestreo y retención, la corrección de centrado tiene que hacerse independientemente para los circuitos de canal par y para los de canal impar. Para estas operaciones se necesitan dos slots de tiempo de canal de referencia, un slot de tiempo de canal par y un slot de tiempo  
20 de canal impar.

Hemos, sin embargo, visto anteriormente que los dos slots de tiempo de canal que quedan libres en un sistema VO/V16 eran ambos slots de tiempo de canal par.

25 Es, por tanto, un objeto del presente invento, la obtención de un sistema con el que se lleven a cabo las operaciones de corrección de centrado en un sistema VO/V16, comprendiendo medios para codificar la señal analógica recibida en la entrada impar A1 en un slot de tiempo de canal  
30 par VO y retardar la transmisión del código correspondiente

401103



5.

a la señal analógica en la entrada A1 hasta el siguiente slot de tiempo de canal VI. Entonces se tiene que los tiempos de canal de referencia para las operaciones de corrección de centrado.

5. Otro objeto del presente invento es la obtención de un codificador sin cruces para un sistema de transmisión PCM en el que se reserven dos canales pares para la transmisión de los códigos de señalización o de sincronización, o bien de unos y otros.

10 Una característica del presente invento es la de que se provee un codificador multiplex por división en el tiempo para un sistema de transmisión digital de  $m$  canales teniendo reservados dos canales de número par para la transmisión de los datos de señalización y sincronización, siendo  $m$  un entero mayor que cuatro y comprendiendo: (m-1) orígenes de señales analógicas; un segundo origen de señal de referencia de centrado del codificador analógico; unos primeros medios para generar  $m$  señales de temporización secuenciales cada una de las cuales define el tiempo de uno de los  $m$  canales; un primer circuito de muestreo y retención; un segundo circuito de muestreo y retención; un primer circuito de corrección de centrado del codificador acoplado al primer circuito de muestreo y retención activado durante una señal dada de las señales de número par de las  $m$  señales de temporización la cual define uno de los dos canales de número par; un segundo circuito de corrección de centrado del codificador acoplado al segundo circuito de muestreo y retención activado durante una señal dada de las señales de número impar de las  $m$  señales de temporización; un codificador de realimentación acoplado a cada uno de los prime-

15  
20  
25  
30

401103



6.

ro y segundo circuitos de muestreo y retención y a cada uno  
de los primero y segundo circuitos de corrección de centra  
do del codificador; un primer multiplexor acoplado a los pri  
meros medios, la entrada del primer circuito de muestreo y  
5 retención, un origen seleccionado de los de número impar de  
los primeros  $m-1$ , todos los orígenes de número par de los  
primeros  $(m-1)$  y el segundo origen, respondiendo el primer  
multiplexor a las señales de número par de las  $m$  señales  
de temporización para acoplar las señales analógicas desde  
10 las seleccionada de las señales de número impar de los  $m$   
primeros orígenes, las de número par de los  $m$  primeros ori  
genes y el segundo origen al primer circuito de muestreo y  
retención; un segundo multiplexor acoplado a los primeros  
medios, el segundo origen, el resto de los de número im  
15 par de los  $(m-1)$  primeros orígenes y la entrada del segun  
do circuito de muestreo y retención respondiendo el segun  
do multiplexor a los de número impar de las  $m$  señales de  
temporización para acoplar las señales analógicas proceden  
tes del resto de los de número impar de los primeros oríge  
20 nes y el segundo origen al segundo circuito de muestreo y  
retención; y un circuito de salida acoplado a la salida del  
codificador de realimentación para retardar la información  
digital del origen seleccionado entre los de número impar  
de los  $(m-1)$  primeros orígenes en un slot de tiempo de ca  
25 nal al de las señales de número impar de las  $m$  señales de  
temporización que pasan la señal analógica del segundo ori  
gen a través del segundo multiplexor al segundo circuito de  
muestreo y retención de modo que los canales de número par  
quedan disponibles para la transmisión de los datos de se  
30 ñalización y sincronización.

# 401103



7.

Las características y objetivos que han sido mencionados y otros más, propios de este invento, quedarán más claros con la descripción que sigue, que se da con referencia a los dibujos que se acompañan, en los que:

5           - La Fig. 1 muestra una realización de un origen de señal de reloj o temporización;

          - Las Figs. 2a - 2e muestran los diagramas de tiempos de las señales de temporización obtenidas con el circuito de la Fig. 1, y

10           - La Fig. 3 muestra, en forma de diagrama de bloques, una realización de un codificador multiplex por división en el tiempo de acuerdo con los principios del presente invento.

          En la TABLA I que se da a continuación se indican las principales características del sistema VO/V16, así como las definiciones de las señales de reloj o temporización usadas en la codificación.

          En la Fig. 1 se muestra (como ejemplo no limitativo) una realización de un origen de señales de reloj o de tiempo empleado con el sistema de la Fig. 3. En las Figs. 2a a 2e se muestran los diagramas de tiempo de las diferentes señales generadas en el reloj de la Fig. 1.

          El reloj comprende: (1) el generador de señales o impulsos GN que da las señales con un período de repetición de una duración e (Fig. 2e); (2) el selector de cuatro posiciones SL1 en forma de contador binario y decodificador lógico que avanza bajo el control de las señales entregadas por el generador GN y que da las señales de slot de tiempo básico a, b, c, d (Fig. 2e); (3) el selector de n posiciones SL2 en forma de contador binario y de-



codificador lógico que avanza bajo el control de las señales a y que da las señales de bit  $t_1, t_2, \dots, t_n$  (Fig. 2d), y (4) el selector de 32 posiciones  $SL_3$  en forma de contador binario y decodificador lógico que avanza bajo el control de las señales  $t_1$ . En primer lugar da las señales de slot de tiempo de canal  $VO, V_1, \dots, V_{31}$  (Fig 2c) y, en segundo lugar, las señales  $V_p$  y  $V_i$  (Figs 2a y 2b) tomadas del flip-flop menos significativo del contador de selector  $SL_3$ . Debe notarse que en la Fig 2c los slots de tiempo de canal  $VO$  y  $V_{16}$ , reservados para la transmisión de los códigos CS, han sido enmarcados.

TABLA I	
CARACTERISTICAS DEL "SISTEMA VO/V16" Y DE LAS SEÑALES DE RELOJ USADAS PARA LA CODIFICACION	
SIMBOLOS	SIGNIFICADO
$V_p$	Slots de tiempo de canal par (Fig. 2a)
$V_i$	Slots de tiempo de canal impar (Fig. 2b)
$m = 32$	Número de canales
$VO, V_1, \dots, V_{31}$	Slots de tiempo de canal (Fig. 2c)
$A_1, A_3, \dots, A_{31}$	Entradas analógicas impares
$A_2, A_4, \dots, A_{30}$	Entradas analógicas pares
$A_p, A_i$	Entradas a las que se aplica la tensión de referencia $e_0$
$t_1, t_2, \dots, t_n$	Señales de bits que dividen cada slot de tiempo de canal en $n$ intervalos de tiempo iguales (Fig. 2d).
$e$	Duración del slot de tiempo básico
$a, b, c, d$	Señales de slot de tiempo básico que dividen cada slot de tiempo de bit en cuatro intervalos de tiempo de una duración $e$
$VO, V_{16}$	Slots de tiempo de canal reservados para la transmisión de códigos CS
$V_1, V_{16}$	Slots de tiempo de canal reservados para la corrección de centrado

401103

9.



La Fig 3 muestra el diagrama de bloques general del circuito de codificación de acuerdo con el presente invento, el cual comprende dos circuitos de muestreo y retención respectivamente asignados a los canales pares y a los impares. Estos circuitos, que llevan la referencia MXs/SHp y MXi/SHi son idénticos y las letras de referencia de los componentes de los mismos van seguidas de la letra p para los circuitos de canal par y de la letra i para los de canal impar.

El circuito de muestreo y retención Mxp/SHp asignado a los slots de tiempo de canal par comprende: (1) El multiplexor MXp conectado a las entradas A1, A2, A4, A6... A14, Ap, A18, A20... A30. Este circuito es controlado por las señales de slots de tiempo de canal par V0, V2... V30 y comprende los gates analógicos o gates de coincidencia X0, X2... X30 constituidos, por ejemplo, por transistores de efecto de campo; y (2) el circuito de muestreo y retención SHp que comprende el condensador de retención Cp con su gate de control de carga (gate de coincidencia) Gap y su gate de control de descarga (gate de coincidencia) Gbp, el comparador analógico CMP, el circuito de corrección de centrado ACp que recibe la información del slot de tiempo de canal V16 (gate AND Gcp) y el circuito sumador ADp.

El circuito de muestreo y retención actúa de la forma siguiente: en un slot de tiempo de canal par, tal como el V2, se abre el gate X2 por la señal V2 y el gate Gap se abre al comienzo de este tiempo por la condición lógica  $Vp.tl.a$  (slot de tiempo básico a de cada tiempo de bit tl de un tiempo de canal par Vp). El condensador de retención Cp se carga entonces con la amplitud de la tensión

401103



10.

presente a la entrada A2, permaneciendo cargado hasta la  
señal que le sigue inmediatamente Vi, que controla la aper-  
tura del gate de descarga Gbp. Así se tiene la muestra du-  
rante todo el slot de tiempo de canal V2 y es aplicada a  
5 la primera entrada del circuito de suma ADp. La segunda  
entrada del circuito ADp recibe una tensión variable sumi-  
nistrada por el circuito ACp y, como ya se dijo anterior-  
mente, la suma algebraica de las dos tensiones permite el  
ajuste del centrado del codificador CD una vez por cada  
10 frame. Esta operación se describe detalladamente en la pa-  
tente de los EE.UU. antes citada 3.365.713.

La señal de salida del circuito ADp es aplicada a la  
primera entrada del comparador CMp.

El circuito de muestreo y retención MXi/SHi asignado  
15 a los tiempos de canal impares comprende el circuito MXi y  
el SHi que son idénticos a los circuitos MXp y SHp. El va-  
lor de la muestra recogida en una entrada de señal analó-  
gica, tal como la A3, es aplicada a la primera entrada del  
comparador CMi en el tiempo V3.

20 El codificador CD, de diseño usual, comprende el regis-  
tro de n etapas RG en el que establece, durante los tiempos  
t1 a tn, el código correspondiente a la amplitud de la mues-  
tra almacenada en el condensador Cp o en el Ci, el codifi-  
cador de digital a analógico Dc que da una tensión que co-  
25 rresponde a este código, la cual es aplicada a la segunda  
entrada de los comparadores CMp y CMi. La unidad de control  
CU, tal como es descrita en la patente de los EE.UU. antes  
citada Nº 3.365.713 con respecto a la unidad de control 90  
y al flip-flop 122, controla la modificación del valor del  
30 código almacenado en el registro RG de acuerdo con el resul-

# 401103



11.

tado de la comparación efectuada, por el hilo D, por aquel que esté activo de los dos comparadores CMP y CMI. La unidad de control CU da, en su salida BO, el valor binario del bit computado en cada slot de tiempo de dígito. Ha de  
5 considerarse que este valor estará dispuesto en el slot de tiempo básico d.

El circuito de salida OC, acoplado a la salida BO, comprende el registro de cambio de n bits SR, los gates AND Gd1 a Gd3 y los gates OR Gd4, Gd5. El registro SR re-  
10 cibe una señal BO en un slot de tiempo básico cada vez que el codificador CD da un dígito 1 e igualmente recibe una señal de reloj en el tiempo d. El registro SR contiene, por tanto los n últimos bits dados por el codificador CD.

Como se hizo notar anteriormente, los dos slots de  
15 tiempo de canal reservados en el sistema VO/V16 para hacer la corrección del centrado son slots de tiempo de canal par si bien una de estas operaciones puede tener lugar en un slot de tiempo de canal par y la otra en un slot de tiempo de canal impar.

20 Para resolver este inconveniente, como se ve en la Fig. 3 la señal analógica recibida por la entrada impar A1 es codificada durante el tiempo VO (circuitos MXp, SHp, y CD) y el código así obtenido es retardado un slot de tiempo de canal en el circuito OC para ser transmitido durante  
25 el tiempo Vi (gate AND Gd1). Este slot de tiempo de canal V1 queda entonces dispuesto para efectuar la misma operación para los circuitos MXp, SHp y CD.

En la TABLA II que sigue se da la correspondencia  
entre los lots de tiempo de canal, los canales analógicos  
30 codificados y los códigos transmitidos.



TABLA II		
CORRESPONDENCIA ENTRE LOS TIEMPOS DE CANAL; LOS CANALES CODIFICADOS Y LOS CODIGOS TRANSMITIDOS		
TIEMPOS DE CANAL	CANALES CODIFICADOS	CODIGOS TRANSMITIDOS
V0	A1	CS1
V1	(A1)	CA1
V2	A2	CA2
V3	A3	CA3
.	.	.
.	.	.
.	.	.
V15	A15	CA15
V16	(Ap)	CS2
V17	A17	CA17
.	.	.
.	.	.
.	.	.
V30	A30	CA30
V31	A31	CA31

Debe observarse que las entradas analógicas a las que se ha llevado la tensión de referencia son las de referencia A1 y Ap en la TABLA II y en la Fig. 3 y que (1) los códigos de sincronización y señalización transmitidos durante V0 y V16 llevan, respectivamente, las referencias CS1 y CS2, y (2) los códigos que corresponden al valor de las señales aplicadas a las entradas A1, A2... A31 llevan las referencias CA1, CA2... CA31.

401103



13.

La transmisión retardada del código generado durante el slot de tiempo de canal VO es controlada por el circuito OC cuyo registro SR contiene los n últimos dígitos codificados.

5 Así, el código CA1 es almacenado en este registro al final del tiempo VO y la apertura del gate Gd1 permite su transmisión durante el tiempo V1.

Los otros slots de tiempo de canal se dividen en dos grupos: (1) slots de tiempo de canal de sincronización y señalización definidos por la condición lógica VS = VO+ 10 V16 (gate OR Gd4) durante los cuales los códigos CS1, CS2 son transmitidos por la apertura del gate AND Gd3, y (2) slots de tiempo de canal para la transmisión de los códigos CA definidos por la condición lógica  $\overline{V1} \cdot \overline{VS}$  (gate AND Gd2).

15 Todos estos códigos aparecen, en serie, en la salida B del circuito OC.

Si bien los principios del invento han sido descritos refiriéndolos a unos aparatos específicos, ha de ser claramente entendido que esta descripción únicamente se hace a modo de ejemplo y sin que ella suponga ninguna limitación en la finalidad del invento según se determina en 20 los objetivos del mismo y en las reivindicaciones que se acompañan.

Este invento corresponde a una solicitud de patente 25 formulada en Francia el día 24 de marzo de 1971, señalada con el nº 71 10385 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

N O T A

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años 30

401103



14.

son los siguientes:

1. Mejoras en los circuitos de codificación caracterizadas por un codificador multiplex por división en el tiempo para un sistema de transmisión digital de  $m$  canales  
5 teniendo reservados dos canales de número par para la transmisión de los datos de señalización y sincronización siendo  $m$  un entero mayor que cuatro y comprendiendo:  $(m-1)$  primeros orígenes de señales analógicas; un segundo origen de señal de referencia de centrado del codificador analógico;  
10 unos primeros medios para generar  $m$  señales de temporización secuenciales, cada una de las cuales define el tiempo de uno diferente, de los  $m$  canales; un primer circuito de muestreo y retención; un segundo circuito de muestreo y retención; un primer circuito de corrección de centrado acoplado a dicho primer circuito de muestreo y retención acti  
15 vado durante una señal dada de las señales de número par de las dichas  $m$  señales de temporización, la cual define uno de los dichos dos canales de número par; un segundo circuito de corrección de centrado de codificador acoplado a dicho segundo circuito de muestreo y retención activado duran  
20 te una señal dada de las señales de número impar de las dichas  $m$  señales de temporización; un codificador de realimentación acoplado a cada uno de los dichos primero y segundo circuitos de muestreo y retención y a cada uno de los di  
25 chos primero y segundo circuitos de corrección de centrado del codificador; un primer multiplexor acoplado a dichos primeros medios, la entrada de dicho primer circuito de muestreo y retención, un origen seleccionado de los de número impar de los dichos primeros  $m-1$ , todos los orígenes de número par de los dichos primeros  $m-1$  y dicho  
30

ME

401103



15.

segundo origen, respondiendo dicho primer multiplexor a las señales de número par de las dichas  $m$  señales de temporización para acoplar las señales analógicas desde la dicha seleccionada de las señales de número impar de los dichos  $m$  primeros orígenes, los dichos de número par de los dichos  $m$  primeros orígenes y dicho segundo origen a dicho primer circuito de muestreo y retención; un segundo multiplexor acoplado a los dichos primeros medios, dicho segundo origen, el resto de los de número impar de dichos  $m-1$  primeros orígenes y la entrada de dicho segundo circuito de muestreo y retención respondiendo dicho segundo multiplexor a los de número impar de las dichas  $m$  señales de temporización para acoplar las señales analógicas procedentes de dicho resto de los de número impar de dichos primeros orígenes y dicho segundo origen a dicho segundo circuito de muestreo y retención; y un circuito de salida acoplado a la salida de dicho codificador de realimentación para retardar la información digital de dicho origen seleccionado entre los de número impar de dichos  $m-1$  primeros orígenes en un slot de tiempo de canal al de las señales de número impar de las dichas  $m$  señales de temporización que pasan la señal analógica de dicho segundo origen a través de dicho segundo multiplexor a dicho segundo circuito de muestreo y retención de modo que dichos dos canales de número par quedan disponibles para la transmisión de los datos de señalización y sincronización.

2. Mejoras en los circuitos de codificación caracterizados por un codificador de acuerdo con la reivindicación 1, en el que el mencionado circuito de salida incluye un registro de cambio acoplado a la salida de dicho codi-

mg

401103



16.

ficador de realimentación para la obtención del mencionado retardo.

3. Mejoras en los circuitos de codificación caracterizadas por un codificador de acuerdo con la reivindicación 1, en el que dicho circuito de salida incluye un registro de cambio acoplado a la salida de dicho codificador de realimentación y un gate AND acoplado a la salida de dicho registro de cambio y respondiendo dichos primeros medios, para obtener dicho retardo, a dicha señal de las de número impar de dichas m señales de temporización.

4. Mejoras en los circuitos de codificación caracterizadas por un codificador de acuerdo con la reivindicación 1, el cual además comprende un tercer origen de códigos de señalización y sincronización; y en el que dicho circuito de salida incluye un registro de cambio acoplado a la salida de dicho codificador de realimentación, un primer gate AND acoplado a la salida de dicho registro de cambio y respondiendo dichos primeros medios a dicha señal de número par de las m señales de temporización para obtener dicho retardo así como la salida codificada del origen seleccionado de los de número impar de dichos m-1 primeros orígenes, un segundo gate AND acoplado a dicho tercer origen y dichos primeros medios con respuesta a dichas m señales de temporización que definen dichos dos canales de número par para obtener a la salida dichos códigos de señalización y sincronización, un tercer gate AND acoplado a la salida de dicho codificador y dichos primeros medios en respuesta a dichas m señales de temporización excepto para la mencionada de las de número impar de dichas m señales de temporización que definen dichos dos canales de número par para

ME

401103



17.

obtener en su salida la salida codificada de dichas m-1  
señales analógicas que no son las dichas seleccionadas de  
número impar de dichas m-1 señales analógicas, y un gate OR  
acoplado a dichos primero, segundo y tercero gates AND para  
5 obtener una salida secuencial de código para dicho codifica  
dos multiplex por división en el tiempo.

5. Mejoras en los circuitos de codificación caracte  
rizadas por un codificador de acuerdo con la reivindicación  
1, en el que dicho primer circuito de muestreo y retención  
10 incluye un primer condensador de retención, un primer dispo  
sitivo de coincidencia acoplado entre dicho primer multiple  
xor y dicho primer condensador con respuesta a las señales  
de número par de dichas m señales de temporización para car  
gar en dicho primer condensador con la amplitud de la dicha  
15 señal analógica que se está entonces procesando, un segundo  
dispositivo de coincidencia acoplado a dicho primer conden  
sador con respuesta a las señales de número impar de dichas  
m señales para la descarga de dicho primer condensador, un  
primer circuito sumador acoplado a dicho primer condensador  
20 y a la salida de dicho primer circuito de corrección del  
centrado, y un primer comparador acoplado a la salida de di  
cho primer circuito sumador y a la realimentación de dicho  
codificador de realimentación para obtener una señal de en  
trada en dicho codificador de realimentación durante las se  
25 ñales de número par de dichas m señales de temporización; e  
incluyendo dicho segundo circuito de muestreo y retención  
un segundo condensador de retención, un tercer dispositivo  
de coincidencia acoplado entre dicho segundo multiplexor  
y dicho segundo condensador con respuesta a las señales de  
30 numeración impar de dichas m señales de temporización para

mgc

401103



18.

cargar dicho segundo condensador con la amplitud de dicha  
señal analógica procesada en el momento, un cuarto disposi-  
tivo de coincidencia acoplado a dicho segundo condensador e  
con respuesta a las señales de número par de dichas m seña-  
5 les de temporización para la descarga de dicho segundo con-  
densador, un segundo circuito sumador acoplado a dicho se-  
gundo condensador y a la salida de dicho segundo circuito  
de corrección de centrado, y un segundo comparador acopla-  
do a la salida de dicho segundo circuito sumador y a la rea-  
10 limentación de dicho codificador de realimentación para ob-  
tener una señal de entrada a dicho codificador de realimen-  
tación durante las señales de número impar de dichas m seña-  
les de temporización.

6. Mejoras en los circuitos de codificación caracte-  
15 rizadas por un codificador de acuerdo con la reivindicación  
5, incluyendo un primer gate AND acoplado entre la salida  
de dicho codificador de realimentación y dicho primer cir-  
cuito de corrección de centrado con respuesta a dicha señal  
dada de las de número par de dichas m señales de tempori-  
20 zación para activar dicho primer circuito de corrección de cen-  
trado; y un segundo gate AND acoplado entre la salida de  
dicho codificador de realimentación y dicho segundo circui-  
to de corrección de centrado con respuesta a dicha señal  
dada de las de número impar de dichas m señales de tempori-  
25 zación para activar dicho segundo circuito de corrección de  
centrado.

7. Mejoras en los circuitos de codificación caracte-  
rizadas por un codificador de acuerdo con la reivindicación  
1, incluyendo además un primer gate AND acoplado entre la sa-  
30 lida de dicho codificador de realimentación y dicho primer

ME

401103



19.

circuito de corrección de centrado con respuesta a dicha  
señal dada de las de número par de dichas m señales de  
temporización para activar dicho primer circuito de corrección del centrado; y un segundo gate AND acoplado entre la  
5 salida de dicho codificador de realimentación y dicho segundo circuito de corrección de centrado con respuesta a  
dicha señal de las de número impar de dichas m señales de  
temporización para activar dicho segundo circuito de corrección de centrado.

10 8. Mejoras en los circuitos de codificación caracterizadas por un codificador de acuerdo con la reivindicación 1, en el que dicho primer multiplexor incluye  $m/2$  dispositivos de coincidencia con respuesta cada uno de ellos  
a una señal diferente de las dichas de número par de dichas  
15 m señales de temporización; y en el que dicho segundo multiplexor incluye  $m/2$  dispositivos de coincidencia con respuesta cada uno de ellos a una señal diferente de las dichas de número impar de dichas m señales de temporización.

20 9. Mejoras en los circuitos de codificación caracterizadas por un codificador de acuerdo con la reivindicación 8, en el que dicho primer circuito de muestreo y retención incluye un primer condensador de retención, un primer dispositivo de coincidencia acoplado entre dicho  
primer multiplexor y dicho primer condensador con respuesta  
25 ta a las señales de número par de las dichas m señales de temporización para cargar dicho primer condensador con la amplitud de dicha señal analógica que está entonces siendo procesada, un segundo dispositivo de coincidencia acoplado a dicho primer condensador con respuesta a las señales  
30 de número impar de dichas m señales de temporización para

MLG

401103



20.

la descarga de dicho primer condensador, un primer circui-  
to sumador acoplado a dicho primer condensador y a la sali-  
da de dicho primer circuito de corrección de centrado, y  
un primer comparador acoplado a la salida de dicho primer  
5 circuito sumador y a la realimentación de dicho codifica-  
dor de realimentación para la obtención de una señal de en-  
trada a dicho codificador de realimentación durante las se-  
ñales de número par de dichas m señales de temporización;  
incluyendo dicho circuito de muestreo y retención un segun-  
do condensador de retención, un tercer dispositivo de coin-  
10 cidencia acoplado entre dicho segundo multiplexor y dicho  
segundo condensador con respuesta a las señales de número  
impar de dichas m señales de temporización para la carga  
de dicho segundo condensador con la amplitud de dicha señal  
analogica entonces procesada, un cuarto dispositivo de coin-  
15 cidencia acoplado a dicho segundo condensador con respuesta  
a las señales de número par de dichas m señales de tempori-  
zación para la descarga de dicho segundo condensador, un se-  
gundo circuito sumador acoplado a dicho segundo circuito de  
20 corrección de centrado y un segundo comparador acoplado a  
la salida de dicho segundo circuito sumador y a la realimen-  
tación de dicho codificador de realimentación para obtener  
una señal de entrada a dicho codificador de realimentación  
durante las señales de número impar de dichas m señales de  
25 temporización; incluyendo además un primer gate AND acopla-  
do entre la salida de dicho codificador de realimentación  
y dicho primer circuito de corrección de centrado con res-  
puesta a dicha señal dada de las de número par de dichas m  
señales de temporización para activar dicho primer circui-  
30 to de corrección de centrado; un segundo gate AND acoplado

Mc

401103



21.

entre la salida de dicho codificador de realimentación y dicho segundo circuito de corrección de centrado con respuesta a dicha señal dada de las de número impar de dichas m señales de temporización para activar dicho segundo circuito de corrección de centrado; y un quinto origen de có  
5 digos de señalización y sincronización; y en el que dicho circuito de salida incluye un registro de cambio acoplado a la salida de dicho codificador de realimentación, un ter  
10 cer gate AND acoplado a la salida de dicho registro de cambio y a dichos terceros medios con respuesta a dicha señal de las de número impar de dichas señales m de temporización para obtener dicho retardo y obtener en la salida de ello la salida codificada de dicho origen seleccionado de los de número impar de dichos m-1 terceros orígenes, un  
15 cuarto gate AND acoplado a dicho quinto origen y a dichos terceros medios con respuesta a dichas m señales de temporización que definen dichos dos canales de número par para obtener en la salida de los mismos dichos códigos de señalización y sincronización, un quinto gate AND acoplado a  
20 la salida de dicho codificador y a dichos terceros medios con respuesta a dichas m señales de temporización excepto para dicha señal de las de número impar de dichas m señales de temporización y a las dichas m que definen dichos dos canales de número par para obtener a su salida la salida  
25 codificada de dichas m-1 señales analógicas que no sea la seleccionada de las de número impar de dichas m-1 señales analógicas, y un gate OR acoplado a dicho tercero, cuarto y quinto gates AND para la obtención de una salida de código secuencial para dicho codificador multiplex por  
30 división en el tiempo.

ME



10. Mejoras en los circuitos de codificación caracterizadas por un codificador de acuerdo con la reivindicación 1, en el que  $m$  es igual a treinta y dos; dichos primeros medios general treinta y dos señales de temporización

5. secuenciales  $V_0, V_1, V_2...V_{29}, V_{30}$  y  $V_{31}$  teniendo a  $V_0, V_2, V_4... V_{26}, V_{28}$  y  $V_{30}$  como señales de número par de dichas señales de temporización y a  $V_1, V_3, V_5... V_{27}, V_{29}$  y  $V_{31}$  como señales de número impar de dichas señales de temporización; siendo definidos dichos dos canales de número par

10 por las señales de temporización  $V_0$  y  $V_{16}$ ; dicha señal cada de las de número par de dichas señales de temporización es  $V_1$ ; dicho primer multiplex responde a la señal de temporización  $V_0$  para acoplar la señal analógica de dicho origen seleccionado de los de número impar de dichos  $m-1$  primeros

15 orígenes a dicho primer circuito de muestreo y retención; y dicha información digital de dicho origen seleccionado de los de número impar de dichos  $m-1$  primeros orígenes es retardado de uno de dichos canales definidos por la señal de temporización  $V_0$  a uno de dichos canales definidos por

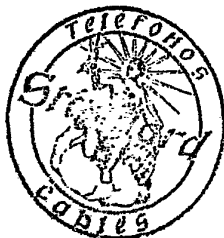
20 la señal de temporización  $V_1$ .

#### 11. MEJORAS EN LOS CIRCUITOS DE CODIFICACION.

Tal y como se ha descrito en la memoria que antecede que consta de veintidos hojas escritas por una sola cara, representado en los dibujos que se acompañan y a los fines especificados.

Madrid, 23 MAR. 1972

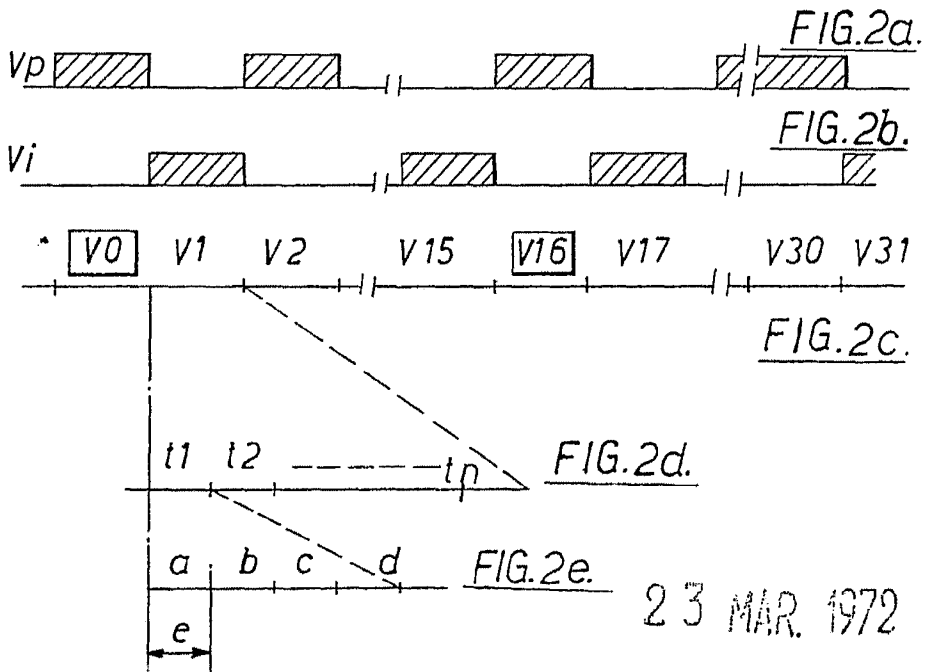
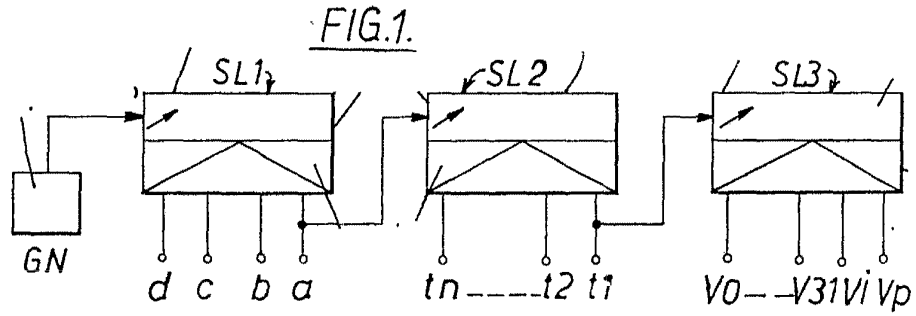
*M. G. Santamaría*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL



*MGC*

401103

MAR 1972



*[Signature]*  
 A. O. SANTAMANIA  
 SECRETARIO GENERAL

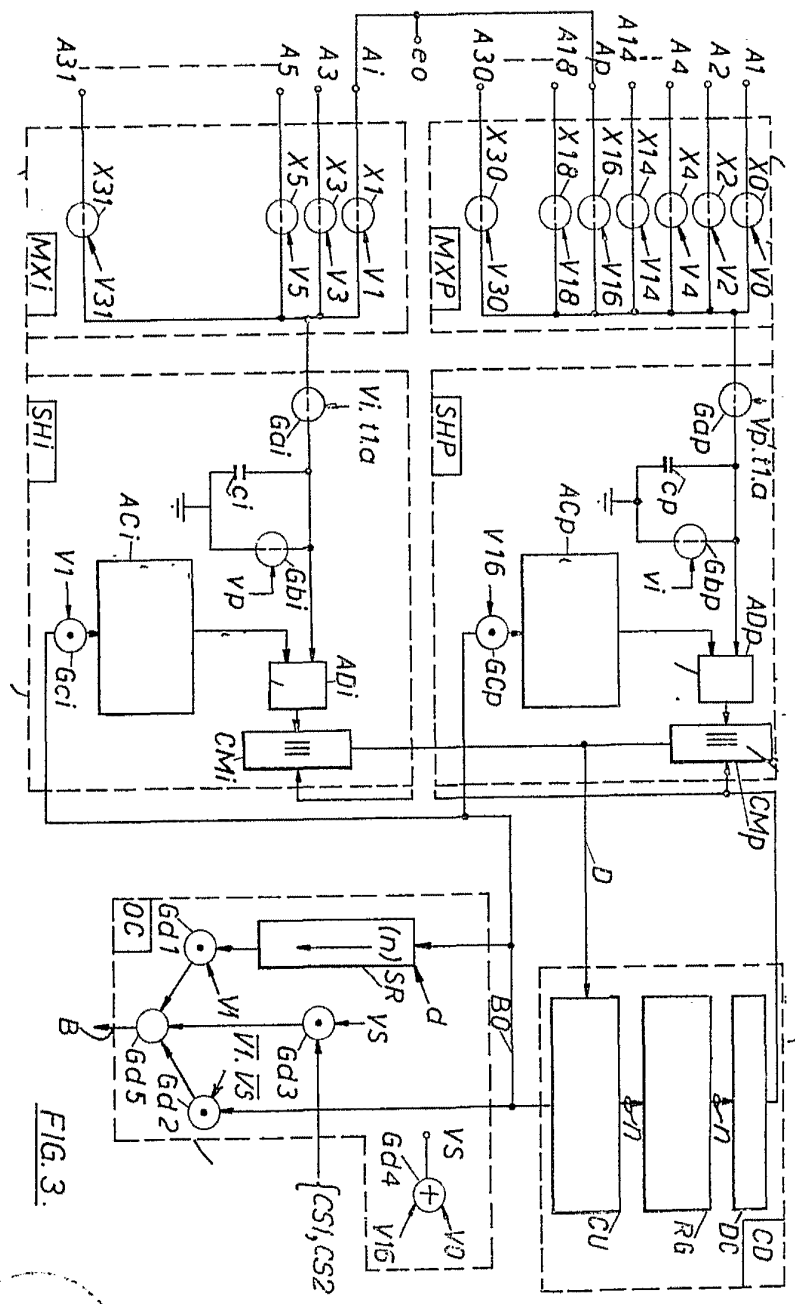
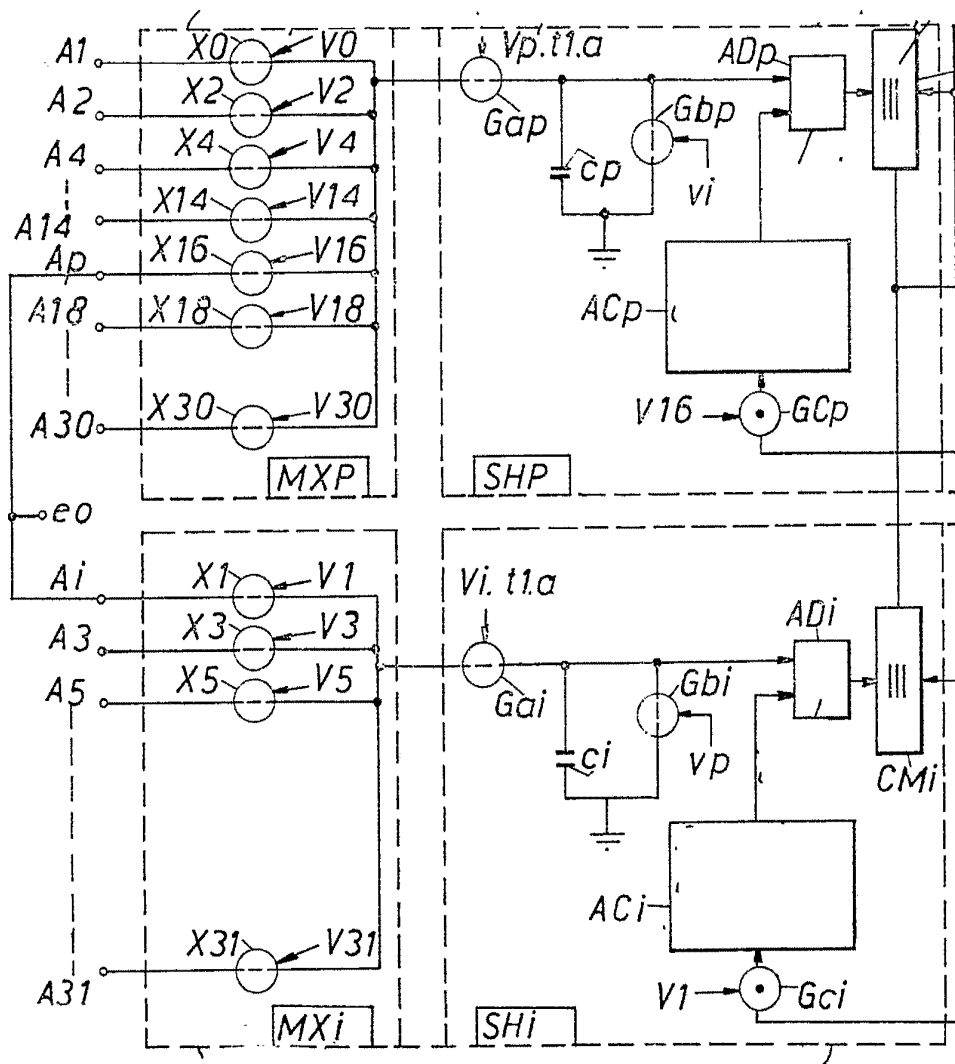


FIG. 3.

M. G. SANTAMARIA  
VICESECRETARIO GENERAL



401103

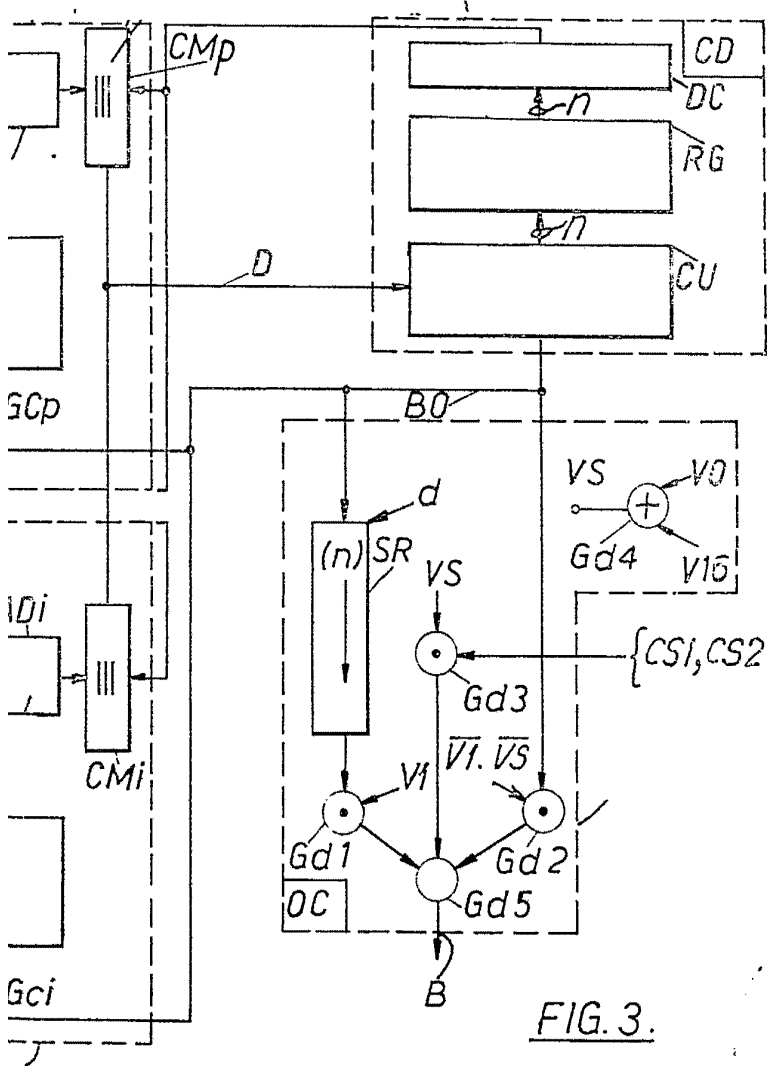


FIG. 3.

M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL