

P.-50.342

PHN 5463 Spain VD/EV

400794

Int. Cl.<sup>2</sup>: H01L

Memoria descriptiva



SECCION TECNICA
CLASIFICACION I. P. C.
CLASE _____
<del>CLASE</del> CLASE _____

para solicitar PATENTE DE INVENCION por 20 años

a nombre de N.V. PHILIPS' GLOEILAMPENFABRIEKEN

entidad / ~~nacionalidad~~ holandesa

con domicilio en Emmasingel 29, Eindhoven, Holanda

por: "UN METODO DE FABRICACION DE UN DISPOSITIVO SEMICON-  
DUCTOR"

(Clase Internacional H01L)

5-4-72

400794



El invento se refiere a un método de fabricación de un dispositivo semiconductor que tiene un cuerpo semiconductor, en el cual, por intermedio de una parte de superficie del cuerpo semiconductor definida por una máscara, denominada aquí en lo que sigue la parte pequeña de superficie, son modificadas las propiedades eléctricas de una zona del cuerpo semiconductor que queda junto a dicha parte pequeña de superficie, denominada en lo que sigue zona pequeña, y, por intermedio de una parte de superficie del cuerpo semiconductor definida igualmente por una máscara, denominada aquí a continuación la parte grande de superficie, que es mayor que la parte pequeña de superficie y que comprende a la misma, son modificadas las propiedades eléctricas de una zona del cuerpo semiconductor contigua a dicha parte grande de superficie, denominada en lo que sigue zona grande.

El invento se refiere además a un dispositivo semiconductor fabricado utilizando tal método.

Las propiedades eléctricas de una zona semiconductor han de ser interpretadas aquí como magnitudes tales como la resistividad, el tipo de conductividad, la vida de los portadores de carga y propiedades que son coherentes con dichas cantidades, por ejemplo la concentración de impureza. La variación de dichas cantidades se deberá considerar amplia a fin de incluir, por ejemplo, la conversión del material semiconductor de una zona en un material aislante. La resis-

400794



tividad y/o el tipo de conductividad pueden variarse, por ejemplo, por difusión de una impureza, y, por ejemplo, una zona de silicio puede ser convertida en una zona aislante de óxido de silicio por oxidación local.

5                   Un método conocido del tipo antes mencionado es utilizado, por ejemplo, para disponer las zonas de base y emisor de un transistor planar. En este método se dispone una máscara sobre la superficie de un cuerpo semiconductor, cuya máscara consiste en una capa que está provista de una  
10                   ventana y protege al mismo contra la difusión de una impureza, definiendo dicha máscara una parte grande de superficie del cuerpo semiconductor por medio de una ventana, siendo entonces difundida una impureza, por intermedio de la ventana y la parte grande de superficie, en una zona grande contigua a dicha parte de superficie para formar la zona de  
15                   base. Se cierra entonces la ventana y se dispone una ventana pequeña en la capa de máscara en el interior de la ventana original. Se obtiene entonces una máscara que, por medio de la ventana pequeña, define una parte pequeña de superficie, y es difundida una impureza a través de la nueva ven-  
20                   tana en la zona pequeña contigua a la parte pequeña de superficie a fin de obtener la zona de emisor.

                  Las ventanas se disponen de un modo convencional en la capa de máscara por medio de una capa de fotomáscara,  
25                   una fotomáscara y un agente de ataque químico.

5-4-72

400794

18



Dado que se requieren dos fotomáscaras independien-  
tes para proporcionar las dos aberturas, la fotomáscara que  
se utiliza para la disposición de la última abertura debe-  
rá ser alineada exactamente con relación a la parte de su-  
5 perficie del cuerpo semiconductor ya definida por la prime-  
ra ventana.

Tales medidas a adoptar para el alineamiento exac-  
to son difíciles y engorrosas, en particular con arreglo a  
que las dimensiones de la estructura que se va a fabricar  
10 son más pequeñas y/o los requerimientos impuestos sobre la  
precisión de las dimensiones son más altos.

Además, el aparato convencional de alineamiento  
tiene solamente una precisión limitada, como resultado de  
lo cual, por ejemplo, no pueden ser sustancialmente fabrica-  
15 das estructuras de las cuales una o más dimensiones corres-  
ponden aproximadamente a la tolerancia impuesta por el apa-  
rato de alineamiento o son menores que la misma.

Además, tales métodos conocidos requieren siempre  
dos fotomáscaras independientes, como resultado de lo cual  
20 es bastante grande la posibilidad de que tengan lugar erro-  
res en el dispositivo semiconductor a fabricar debido a una  
imprecisión o al deterioro de una de las máscaras.

También, por ejemplo, al disponer una capa aislan-  
te incrustada en un cuerpo semiconductor por oxidación lo-  
25 cal con una zona difundida subyacente, se presentan dificult-



'400794'

tades similares a las descritas anteriormente en relación con la disposición de una zona de base y una zona de emisor obtenidas por difusión.

5 Uno de los objetos del presente invento es crear un método simple y práctico mediante el uso del cual se evitan dichas dificultades al menos en su mayor parte.

10 Por consiguiente, un método del tipo mencionado en la introducción se caracteriza, de acuerdo con el invento, en que se dispone una capa de máscara sobre una superficie del cuerpo semiconductor, cuya capa comprende al menos dos capas componentes de materiales diferentes, a saber, vistas sobre la capa de máscara, una capa componente en posición más alta, denominada capa superior, y una capa componente contigua, denominada capa intermedia, y, para llevar a ca-  
15 bo el tratamiento destinado a modificar las propiedades eléctricas de la zona pequeña, al menos la capa superior de la capa de máscara se provee de una abertura, denominada abertura pequeña, que define la parte pequeña de superficie del cuerpo semiconductor, y, para llevar a cabo el trata-  
20 miento destinado a modificar las propiedades eléctricas de la zona grande, la capa intermedia se provee de una abertura, denominada abertura grande, que define la parte grande de superficie del cuerpo semiconductor, mediante ataque químico selectivo de la capa intermedia, protegiendo la ca-  
25 pa superior contra dicho tratamiento de ataque químico y

400794



siendo eliminada la capa intermedia de la abertura en la capa superior hasta debajo de la capa superior en una distancia que es mayor que el espesor de la capa intermedia.

5 Utilizando una capa de máscara que comprende al menos dos capas componentes cada una de las cuales puede ser atacada selectivamente con relación a la otra y disponiendo la abertura grande en la capa intermedia mediante ataque químico por debajo de la capa intermedia a través de la abertura pequeña en la capa superior, en que la capa superior  
10 superior sirve como capa de máscara, se consigue que, sin una operación precisa de alineamiento intermedia y engorrosa y mientras se utiliza solamente una fotomáscara, puede ser obtenida una estructura de precisión.

15 En una realización práctica de un método de acuerdo con el invento, se dispone una pequeña abertura también en la capa intermedia después de disponer la abertura pequeña en la capa superior sometiendo a un tratamiento de ataque químico selectivo a la capa intermedia a través de la pequeña abertura situada en la capa superior, siendo entonces  
20 modificadas las propiedades eléctricas de la zona pequeña a través de la abertura pequeña en la capa de máscara y la parte pequeña de superficie, por ejemplo, mediante difusión de una impureza, siendo entonces provista la capa intermedia con la abertura grande. Se observará que no es  
25 siempre necesario disponer la abertura pequeña también en

400794



la capa intermedia, por ejemplo, en el caso en que la capa intermedia se compone de óxido de silicio y la impureza es galio.

5 Después de disponer la abertura grande en la capa intermedia, la capa superior puede ser eliminada en muchos casos si se desea, antes de realizar el tratamiento destinado a modificar las propiedades eléctricas de la zona grande.

10 En aquellos casos, sin embargo, en que es deseable o necesario que la capa superior no sea eliminada, por ejemplo, por razón del tratamiento destinado a modificar las propiedades eléctricas de la zona grande, puede ser aún ventajoso eliminar las partes de la capa superior que sobresalen por encima de la abertura grande de la capa intermedia, por ejemplo, desintegrando dichas partes por vibraciones supersónicas. Esto se lleva a cabo preferiblemente durante el ataque químico selectivo de la capa intermedia.

20 Otra realización preferida de un método de acuerdo con el invento, está caracterizada porque el tratamiento destinado a modificar las propiedades eléctricas de la zona pequeña se lleva a cabo antes de la disposición de la abertura grande en la capa intermedia y porque, después de disponer la abertura grande en la capa intermedia, la capa superior es sometida a un tratamiento de ataque químico selectivo en el cual la capa superior es eliminada al menos

400794



5 en la mitad de su espesor y las partes de la capa superior que sobresalen por encima de la abertura grande en la capa intermedia se someten también al tratamiento de ataque químico a través de la abertura grande en la capa intermedia y son completamente eliminadas.

10 En muchas aplicaciones de un método de acuerdo con el invento, puede ser utilizada ventajosamente una realización del método de acuerdo con el invento, que está caracterizada porque durante el ataque químico selectivo de la capa intermedia para obtener la abertura grande, se divide una parte coherente de la capa intermedia al menos en dos partes separadas mediante dicho tratamiento de ataque químico selectivo.

15 De acuerdo con el modo específico según el cual se lleva a cabo un método de acuerdo con el invento, pueden ser obtenidas muchas estructuras importantes que son adecuadas para una variedad de aplicaciones. Una importante realización de un método de acuerdo con el invento está caracterizada porque se utiliza una capa de máscara que  
20 protege el material semiconductor subyacente del cuerpo semiconductor, tanto de la impurificación con una impureza como de la oxidación, y las propiedades eléctricas de la zona pequeña son modificadas introduciendo una impureza a través de la abertura pequeña en el interior de la zona  
25 pequeña, y las propiedades eléctricas de la zona grande,

400794

18



5 son modificadas mediante oxidación de la zona grande por medio de un tratamiento de oxidación a través de la abertura grande, difundiéndose la impureza dispuesta en la zona pequeña adicionalmente en el cuerpo semiconductor durante la oxidación, como resultado de lo cual se obtiene localmente una zona impurificada bajo la capa de óxido, que se obtiene por el tratamiento de oxidación, cuya capa de óxido se incrusta en el cuerpo semiconductor al menos en una parte de su espesor.

10 En este método, por ejemplo, puede ser utilizado un cuerpo semiconductor de silicio o carburo de silicio, una de cuyas zonas es convertida en óxido de silicio por oxidación local, en el cual una de las capas componentes puede consistir, por ejemplo, en nitruro de silicio que  
15 protege contra la oxidación y la otra puede consistir en óxido de silicio.

Es de observar que pueden ser también utilizados materiales diferentes del óxido de silicio para las capas componentes de la capa de máscara, por ejemplo, óxido de  
20 aluminio y silicio policristalino y carburo de silicio.

Utilizando tal método, se obtiene una estructura que tiene una capa de óxido incrustada y una zona impurificada que se encuentra por debajo de la capa de óxido, que están situadas con precisión una en relación con la otra  
25 en el cuerpo semiconductor. Tales estructuras pueden ser

400794



utilizadas ventajosamente de diversos modos, como se describirá posteriormente con detalle.

Otra importante realización de un método de acuerdo con el invento está caracterizada porque se utiliza una  
5 capa de máscara que protege al material semiconductor subyacente del cuerpo semiconductor contra la impurificación con impurezas, y son modificadas las propiedades eléctricas de la zona pequeña introduciendo una impureza en el interior de la zona pequeña a través de la abertura pequeña, y son  
10 modificadas las propiedades eléctricas de la zona grande introduciendo una impureza dentro de la zona grande a través de la abertura grande. En este método se obtienen dos regiones impurificadas que están situadas con precisión una en relación con la otra.

15 Puede disponerse la impureza en la zona pequeña, por ejemplo, por medio de implantación iónica. En este caso, es posible disponer la abertura grande en la capa intermedia ya antes de la implantación iónica, siendo protegida la porción de la parte grande de superficie que rodea a la  
20 parte pequeña de superficie contra la implantación iónica por el efecto de sombra de las partes de la capa superior que sobresalen por encima de la abertura grande. Una realización preferida de un método de acuerdo con el invento, sin embargo, está caracterizada porque las propiedades eléctricas de la zona pequeña son modificadas por medio de di-  
25

400794



fusión de una impureza a través de la abertura pequeña antes de proveer a la capa intermedia con la abertura grande.

5 En una realización práctica, se dispone también una abertura pequeña en la capa intermedia a través de la abertura pequeña situada en la capa superior antes de disponer la impureza en la zona pequeña.

10 En el caso en que se utilice un método de acuerdo con el invento para obtener una capa de óxido incrustada con una zona impurificada subyacente, los átomos de impureza dispuestos en la zona pequeña se difunden adicionalmente en el cuerpo semiconductor por delante del óxido en crecimiento. Esta difusión tiene lugar no solamente en una dirección perpendicular a la superficie del cuerpo semiconductor a proteger por máscara, sino también en direcciones paralelas a dicha superficie, como resultado de lo cual, en el caso de que 15 la capa intermedia no se elimine o se elimine solamente en una distancia pequeña desde la abertura pequeña, puede obtenerse una estructura en la cual la zona impurificada rodea al óxido incrustado en el cuerpo semiconductor y queda en posición contigua a la superficie del cuerpo semiconductor 20 junto al óxido incrustado.

25 Una realización preferida de un método de acuerdo con el invento, está caracterizada porque se dispone, mediante el tratamiento de oxidación, una capa de óxido incrustado que, vista en una dirección perpendicular a la superficie

400794

118



del cuerpo semiconductor, sobresale más allá de la zona impurificada al menos a lo largo de una parte de la circunferencia de dicha zona.

5 En este caso, la zona impurificada puede extenderse solamente bajo la capa de óxido incrustada, lo cual es deseable para varias aplicaciones. Es también posible que la zona impurificada se fusione en la superficie del cuerpo semiconductor a lo largo de la circunferencia de la capa de óxido incrustada, y, por ejemplo, pueda establecerse allí contacto con ella.

10 Debido a que durante la oxidación el material de la zona grande experimenta un aumento en volumen, la capa de óxido resultante sobresaldrá parcialmente por encima de la superficie del cuerpo semiconductor. En aquellos casos en que es deseable, por ejemplo, que el dispositivo semiconductor tenga sustancialmente una superficie plana, por ejemplo, por razón de que hayan de ser dispuestas pistas metálicas sobre la superficie en una etapa posterior del proceso, puede utilizarse ventajosamente un método que se caracteriza porque después de la disposición de la abertura grande se lleva a cabo un tratamiento de ataque químico como resultado del cual se forma un rebaje en la superficie del cuerpo semiconductor en la región de la abertura grande en la capa de máscara, extendiéndose dicho rebaje hasta una distancia más pequeña de la su-



1 U A

400794

perficie que la zona pequeña, siendo entonces llevado a cabo el tratamiento de oxidación en el cual el rebaje se rellena al menos parcialmente con óxido.

5           Con el fin de obtener una capa de óxido que está localmente incrustada en el cuerpo semiconductor en una gran parte de su espesor al tiempo que se evitan largos tiempos de oxidación, puede ser utilizada ventajosamente una realización de un método de acuerdo con el invento, que está caracterizada porque, antes de disponer la impureza en la zona pequeña a través de la abertura pequeña, el cuerpo semiconductor es sometido a un tratamiento de eliminación de material por intermedio de la abertura pequeña, como resultado del cual se forma un rebaje en la superficie del cuerpo semiconductor en la región de dicha  
10           abertura pequeña, siendo relleno al menos parcialmente dicho rebaje con óxido durante el tratamiento de oxidación.

          De acuerdo con la naturaleza del dispositivo semiconductor a fabricar, puede ser utilizado tal método de diversas maneras. Por ejemplo, con el fin de obtener un dispositivo semiconductor integrado que tiene islas aisladas, puede utilizarse un cuerpo semiconductor que comprende una capa de superficie de un tipo de conductividad adyacente a la superficie del cuerpo semiconductor a  
20           proteger por máscara, y una parte, denominada substrato,  
25

400794



del tipo de conductividad opuesta contigua a dicha capa de superficie, siendo dividida la capa de superficie en varias islas por medio de zonas de aislamiento, disponiéndose como zona del tipo de conductividad opuesta la zona impurificada adyacente a la capa de óxido que está incrustada en el cuerpo semiconductor al menos sobre una parte de su espesor, disponiéndose al menos una parte de la capa incrustada y la parte de la zona impurificada adyacente a dicha parte de la capa de óxido en la forma de un trazado o dibujo en el cual dichas partes rodean las islas, y al menos la mencionada parte de la capa de óxido forma parte de las zonas de aislamiento.

Tales zonas de aislamiento presentan muchas ventajas sobre las zonas de aislamiento usuales, que consisten en la mayoría de los casos en zonas de difusión del tipo de conductividad opuesta. Pueden disponerse elementos de circuitos en las islas, una o varias zonas de cuyos elementos quedan lateralmente contiguas al óxido incrustado, como resultado de lo cual puede obtenerse una estructura más compacta y también una considerable reducción de las capacidades parásitas. En realizaciones prácticas, la zona impurificada se extenderá usualmente hasta el sustrato. Es posible también, sin embargo, que las zonas impurificadas se extiendan solamente hasta cerca del sustrato, en el cual la capa de empobrecimiento de la unión

400794



p-n entre el substrato y la capa epitaxial que tiene lugar durante el funcionamiento del dispositivo semiconductor a fabricar, se extiende en la capa epitaxial hasta la zona impurificada y completa el aislamiento entre las islas. Además, puede disponerse localmente una zona altamente impurificada del tipo de conductividad opuesto en el substrato, cuya zona se difunde parcialmente en la capa epitaxial durante la disposición de la capa de óxido incrustada, y en cooperación con la zona impurificada, forma parte allí de la zona de aislamiento.

En un método de acuerdo con el invento, en el cual se obtiene una zona impurificada bajo una capa de óxido incrustada, la zona impurificada contigua a la capa de óxido incrustada, puede también ventajosamente concebirse constructivamente como una zona de interrupción de canal, para cuyo fin se dispone como una zona del mismo tipo de conductividad que la parte del cuerpo semiconductor que rodea a la zona y teniendo una concentración de impureza más alta que la misma.

Como resultado de esto, puede evitarse que se produzca la inversión del tipo de conductividad bajo el óxido, como resultado de lo cual pudiesen interconectarse las zonas de los elementos de circuito dispuestas sobre cualquiera de las caras de la capa de óxido incrustada.

Puede hacerse uso de esto en el aislamiento de isla antes mencionado, en el cual la capa de óxido in-

400794

18



crustada se dispone en todo el espesor de la capa epitaxial y la zona impurificada en el substrato, siendo la zona impurificada del mismo tipo de conductividad que el substrato pero teniendo una concentración de impureza  
5 más alta que el mismo. Las zonas de aislamiento se componen entonces de óxido, y, debido a la zona impurificada, se evita que se produzca la inversión del tipo de conductividad bajo la capa de óxido, como resultado de lo cual podrían formarse en el substrato canales de conexión de  
10 islas.

Una importante realización de un método de acuerdo con el invento, en la cual la zona impurificada está concebida constructivamente como zona de interrupción de canal situada bajo la capa de óxido incrustada  
15 y por medio de la cual pueden fabricarse varias importantes estructuras semiconductoras, se caracteriza porque se utiliza un cuerpo semiconductor del cual al menos una parte contigua a la superficie a proteger por máscara es de uno de los tipos de conductividad, y se disponen en dicha  
20 parte la capa de óxido incrustada junto con la zona impurificada adyacente, mostrando la capa de óxido, vista en una dirección perpendicular a la superficie del cuerpo semiconductor, una abertura que está rodeada por la zona impurificada que presenta una abertura mayor, cuyo borde  
25 está situado completamente bajo la capa de óxido incrus-

400794



tada, formándose una zona de superficie de un elemento  
de circuito semiconductor en dicha parte del cuerpo semi-  
conductor en la región de la abertura situada en la capa  
de óxido, cuya zona de superficie es contigua, al menos  
5 a lo largo de una parte de su circunferencia, a la capa  
de óxido que rodea dicha abertura y que está separada de  
la zona impurificada. Puede establecerse contacto con  
las zonas semiconductoras dispuestas en la abertura y  
contiguas a la superficie, por medio de capas metálicas  
10 que se extienden por encima de la capa de óxido incrus-  
tado, cuya capa de óxido puede ser gruesa, como resultado  
de lo cual se produce una pequeña capacidad entre dichas  
capas metálicas y el cuerpo semiconductor, lo cual es de  
importancia para muchas aplicaciones. Además, dichas zo-  
15 nas semiconductoras están rodeadas por una zona de inte-  
rrupción de canal.

Esta última realización puede ser utilizada  
ventajosamente para fabricar un transistor de efecto de  
campo de electrodo de control aislado, en el cual se dis-  
ponen dos zonas de superficie del tipo de conductividad  
20 opuesta que están separadas entre sí, en dicha parte del  
cuerpo semiconductor, en la región de la abertura situada  
en la capa de óxido incrustada, siendo adyacentes dichas  
zonas de superficie, al menos a lo largo de una parte de  
25 su circunferencia, a la capa de óxido que rodea a la aber-

400794



5 tura, estando separadas de la zona impurificada y consti-  
tuyendo la zona del electrodo de entrada y la zona del  
electrodo de salida del transistor con la región de canal  
intermedia, disponiéndose un electrodo de control por en-  
cima de la zona de canal y estando aislado de la misma  
por una capa de aislamiento cuyo espesor es más pequeño  
que el espesor de dicha capa de óxido.

10 La realización últimamente mencionada puede  
ser utilizada además ventajosamente para fabricar una pla-  
ca fotosensible del tipo utilizado en tubos de cámara,  
en que está dispuesta una capa de óxido incrustada en di-  
cha parte del cuerpo semiconductor que comprende varias  
aberturas en el cual, vistas en una dirección perpendicu-  
lar a la superficie, cada una de las aberturas está ro-  
15 deada por la zona impurificada de interrupción de canal  
y en el cual, por intermedio de cada una de estas abertu-  
ras, se dispone una zona de superficie del tipo de con-  
ductividad opuesta en el cuerpo semiconductor, cuya zona  
de superficie queda en posición contigua, a lo largo de  
20 su circunferencia, con el óxido incrustado y forma una  
p-n con el material semiconductor subyacente, cuya unión  
se extiende sustancialmente paralela a la superficie en  
el cuerpo semiconductor y que está separada de la zona  
impurificada.

25 Un tipo importante de transistores de efecto

400794

18



de campo, es un transistor de efecto de campo de electrodo de control aislado en el cual el electrodo de control, visto en una dirección desde el electrodo de entrada hacia el electrodo de salida, se extiende en la proximidad de la zona del electrodo de salida pero no hasta dicha zona. Se hace referencia en la literatura a tales transistores de efecto de campo como transistores de efecto de campo de "electrodo de control descentrado". Durante la fabricación de tales transistores de efecto de campo, es necesario una operación de alineamiento de mucha precisión para la disposición del electrodo de control a fin de obtener la distancia deseable entre el electrodo de control y la zona del electrodo de salida vista en una dirección desde la zona del electrodo de entrada hacia la zona del electrodo de salida. Por medio de una realización del método de acuerdo con el invento, en la cual se obtiene una zona impurificada bajo una capa de óxido incrustada, puede obtenerse un transistor de efecto de campo que tiene propiedades eléctricas similares a las de un transistor de efecto de campo de "electrodo de control descentrado", en el cual se evita dicha operación de alineamiento preciso. Esta realización está caracterizada porque la zona pequeña y la zona grande están situadas en una región de un tipo de conductividad del cuerpo semiconductor contigua a la superficie a proteger por máscara y se disponen

400794



5 dos zonas del tipo de conductividad opuesta en dicha re-  
gión y constituyen las zonas de los electrodos de entra-  
da y salida del transistor con la región intermedia de  
canal, estando concebida constructivamente la zona de  
electrodo de salida como la zona impurificada obtenida  
bajo la capa de óxido incrustada, solapando la capa de  
10 óxido incrustada una parte de la región de canal contigua  
a la zona de electrodo de salida, disponiéndose una capa  
aislante sobre la superficie de la región de canal situa-  
da entre la zona del electrodo de entrada y la capa de  
15 óxido incrustada y siendo más delgada que la capa de óxi-  
do incrustada, disponiéndose el electrodo de control del  
transistor sobre dicha capa delgada.

15 La distancia entre la capa aislante delgada y  
la zona de electrodo de salida, está determinada por la  
distancia entre el borde de la capa de óxido incrustada  
y la zona de electrodo de salida, cuya distancia puede  
ser controlada con precisión sin una operación de alinea-  
20 miento. El electrodo de control se dispone sobre la capa  
aislante delgada sin ser necesario una operación de alinea-  
miento preciso puesto que el electrodo de control puede  
recubrir a la capa de óxido incrustada más gruesa porque  
la capacidad entre la parte de recubrimiento del electrodo  
de control y el cuerpo semiconductor es pequeña, como re-  
25 sultado de lo cual dicha parte de recubrimiento del elec-

400794



trodo de control no influye sustancialmente sobre el funcionamiento del transistor.

5 Un método de acuerdo con el invento en el cual son modificadas las propiedades eléctricas tanto de la zona pequeña como de la zona grande mediante impurificación con impurezas, puede ser también utilizado de diversas maneras de acuerdo con la naturaleza del dispositivo semiconductor a fabricar. Tal método de acuerdo con el invento puede ser utilizado, por ejemplo, para fabricar

10 una unión p-n que tiene una tensión de avalancha aumentada. Es de observar que una unión p-n fabricada por un método convencional por medio de difusión de una impureza, presenta el inconveniente, en particular en el caso en que la unión es utilizada como un diodo Zener, de que

15 la tensión de avalancha de la unión p-n cerca de la superficie del cuerpo semiconductor es más baja que en una región más profunda en el cuerpo semiconductor. Como resultado de esto, la curva característica corriente tensión de la unión muestra una estabilidad baja. Este inconveniente se evita, al menos en su mayor parte, cuando se hace

20 uso de una realización de un método de acuerdo con el invento para la fabricación de una unión p-n que tiene una tensión de avalancha aumentada, cuya unión está caracterizada porque la zona pequeña y la zona grande se encuentran

25 en una región de un tipo de conductividad del cuerpo semi-

400794



conductor contigua a la superficie a proteger por máscara, extendiéndose la zona pequeña desde la superficie más profundamente en dicha región que la zona grande, siendo convertido el tipo de conductividad de las zonas, por  
5 impurificación con impurezas, de un tipo de conductividad en el otro, disponiéndose una concentración de superficie más alta de dichas impurezas en la zona pequeña que en las partes de la zona grande que rodean a la zona pequeña.

10 Puesto que la concentración de superficie en la zona grande cerca del borde de la unión p-n resultante contigua a la superficie es baja, la tensión de avalancha de la unión p-n cerca de la superficie es alta y la avalancha tendrá lugar más profundamente en el cuerpo semiconductor, lo cual beneficia a la estabilidad.

15 Una importante realización adicional de un método de acuerdo con el invento para fabricar un transistor y en la cual tanto la zona pequeña como la zona grande son impurificadas, está caracterizada porque la zona pequeña y la zona grande se encuentran en una región de un  
20 tipo de conductividad del cuerpo semiconductor contigua a la superficie a proteger por máscara, extendiéndose la zona grande desde la superficie a proteger por máscara más profundamente en dicha región que la zona pequeña,  
25 siendo aumentada en la zona pequeña la concentración de

400794



impureza que determina el primer tipo de conductividad, disponiéndose en la zona grande impurezas que determinan el tipo de conductividad opuesta con una concentración comprendida entre la de las impurezas presentes en dicha región de un primer tipo de conductividad y la de la zona pequeña del primer tipo de conductividad, de modo que la parte de la zona grande que rodea a la zona pequeña toma el tipo de conductividad opuesto, como resultado de lo cual se obtiene una estructura de transistor cuya zona pequeña constituye la zona de emisor, la parte de la zona grande que rodea a la zona pequeña está asociada con la zona de base, y la parte de dicha región del cuerpo semiconductor que rodea a la zona grande constituye la zona de colector.

15                   Mediante la utilización de esta realización de un método de acuerdo con el invento, puede obtenerse una estructura de transistor precisa en la cual las zonas de base y emisor se obtienen por medio solamente de una fotomáscara. En el caso en que las dimensiones sean tan pequeñas que sea difícil disponer un electrodo de contacto de base sobre la zona de base, puede ser utilizada ventajosamente una realización de un método de acuerdo con el invento que está caracterizada porque, simultáneamente con la disposición de la abertura pequeña en la capa superior, se dispone una abertura adicional situa-

400794

18 APR



5 da cerca de dicha abertura pequeña en la capa superior,  
siendo protegida la parte de superficie del cuerpo semi-  
conductor que se encuentra bajo la abertura adicional con-  
tra la impurificación por la capa intermedia durante la  
impurificación de la zona pequeña por intermedio de la  
10 parte pequeña de superficie, siendo sometida la capa in-  
termedia, también por intermedio de la abertura adicional  
en la capa superior, al tratamiento de ataque químico  
selectivo mientras se dispone la abertura grande en la  
15 capa intermedia, como resultado de lo cual se elimina una  
parte de la capa intermedia que define una parte adicional  
de superficie del cuerpo semiconductor y que se encuentra  
bajo la abertura adicional, siendo entonces modificadas  
por impurificación con impurezas las propiedades eléctricas  
20 de la zona grande y de una zona contigua a la parte  
adicional de superficie y que está en posición contigua  
con la zona grande. En este caso, tampoco es necesario  
una operación intermedia de alineamiento precisa. El tra-  
tamiento de ataque químico puede ser llevado a cabo duran-  
te un período tal de tiempo que la parte de la capa inter-  
media que se encuentra entre la abertura grande y la aber-  
tura adicional en la capa superior se elimina completa-  
mente.

25 Con el fin de que el invento pueda ser fácil-  
mente llevado a efecto, se describirán ahora con mayor de-

400794

16



lle unas cuantas realizaciones del mismo, a modo de ejemplo, con referencia a los dibujos que se acompañan, en los cuales:

5 La Figura 1 es una vista en planta de una parte de un dispositivo semiconductor fabricado por medio de un método de acuerdo con el invento y del cual

La Figura 2h es una vista en corte transversal según la línea II-II de la Figura 1.

10 Las Figuras 2a a 2g son vistas en corte transversal correspondientes a la que se representa en la Figura 2h, en varios pasos durante la fabricación del dispositivo semiconductor representado en las Figuras 1 y 2h.

15 La Figura 3a es una vista en corte transversal de un dispositivo semiconductor ligeramente diferente cuya vista en planta es la misma que la del dispositivo semiconductor representado en las Figuras 1 y 2h, y del cual las Figuras 3b y 3c son vistas en corte transversal en dos pasos durante la fabricación de dicho dispositivo semiconductor por medio de un método de acuerdo con el invento.

20 La Figura 4a es una vista en corte transversal de una zona de aislamiento que puede ser utilizada en un dispositivo semiconductor representado en la Figuras precedentes.

25 Las Figuras 4b y 4c son vistas en corte transversal correspondientes a la representada en la Figura 4a en

400794

18 AB



dos pasos de la fabricación por medio de un método de acuerdo con el invento.

5 La Figura 5c es una vista en corte transversal de otra realización de una zona de aislamiento que puede ser utilizada en un dispositivo semiconductor representado en las Figuras 1 a 3c;

10 Las Figuras 5a y 5b son dos vistas en corte transversal correspondientes a lo representado en la Figura 5c en dos pasos de la fabricación por medio de un método de acuerdo con el invento.

15 La Figura 6 es una vista en planta de una parte de una placa fotosensible fabricada utilizando un método de acuerdo con el invento y de la cual la Figura 7 es una vista en corte transversal tomada según la línea VII-VII de la Figura 6.

La Figura 8a es una vista en corte transversal de un transistor de efecto de campo de electrodo de control aislado fabricado por medio de un método de acuerdo con el invento.

20 La Figura 8b es una vista en corte transversal correspondiente a lo representado en la Figura 8a durante la fabricación del dispositivo semiconductor.

25 La Figura 9a es una vista en corte transversal de otro transistor de efecto de campo de electrodo de control aislado fabricado utilizando un método de acuerdo con



el invento.

Las Figuras 9b a 9d son vistas en corte transversal correspondientes a lo representado en la Figura 9a en varios pasos durante la fabricación del transistor de efecto de campo representado en la Figura 9a.

La Figura 9e es una vista en corte transversal de un transistor de efecto de campo de electrodo de control aislado que es ligeramente diferente en relación al transistor de efecto de campo representado en la Figura 9a y que es fabricado también utilizando un método de acuerdo con el invento.

La Figura 10a es una vista en corte transversal de un dispositivo semiconductor que comprende una unión de diodo que tiene una tensión de avalancha aumentada.

La Figura 10b es una vista en corte transversal correspondiente a lo representado en la Figura 10a durante la fabricación del dispositivo semiconductor representado en la Figura 10a por medio de un método de acuerdo con el invento.

La Figura 11a es una vista en corte transversal de un transistor fabricado utilizando un método de acuerdo con el invento.

La Figura 11b es la vista en corte transversal correspondiente durante la fabricación de la estructura de transistor representada en la Figura 11a.

400794

18



La Figura 12a es una vista en corte transversal de otro transistor fabricado utilizando un método de acuerdo con el invento.

5 Las Figuras 12b a 12f son vistas en corte transversal correspondientes a lo representado en la Figura 12a en varios pasos de la fabricación del transistor representado en la Figura 12a.

10 La Figura 13a es una vista en planta de una parte de un dispositivo semiconductor integrado fabricado por medio de un método de acuerdo con el invento.

La Figura 13b es una vista en corte transversal de dicho dispositivo semiconductor tomada según la línea XIII b-XIII b en la Figura 13a.

15 Las Figuras 13c y 13e a 13h son vistas en corte transversal correspondientes a la representada en la Figura 13b en varios pasos durante la fabricación del dispositivo semiconductor representado en las Figuras 13a y 13b.

20 La Figura 13d es una vista en planta correspondiente a la representada en la Figura 13a durante la fabricación del dispositivo semiconductor.

La Figura 14a es una vista en planta de una parte de otro dispositivo semiconductor integrado durante la fabricación del mismo.

25 La Figura 14b es una vista en corte transversal de dicho otro dispositivo semiconductor integrado.



La Figura 15a es una vista en corte transversal de un dispositivo semiconductor que está ligeramente modificado con respecto al dispositivo representado en la Figura 8 y es fabricado utilizando un método de acuerdo con el invanto.

La Figura 15b es una vista en corte transversal correspondiente a la representada en la Figura 15a durante la fabricación del dispositivo semiconductor.

En primer lugar, se describirá un método de acuerdo con el invento de fabricación de un dispositivo semiconductor representado en las Figuras 1 y 2h.

Estas Figuras representan una parte de un circuito integrado que comprende un cuerpo 1 semiconductor que tiene islas 7 a 15 en el cual están dispuestos en las islas elementos de circuito, por ejemplo transistores. Las islas están aisladas entre sí por zonas 16 de aislamiento que consisten parcialmente en un material 26 aislante y parcialmente en una zona 27 impurificada.

Se utiliza el método de acuerdo con el invento para obtener las zonas 16 de aislamiento en el cual, por intermedio de una parte 17 de superficie del cuerpo 1 semiconductor definida por una máscara 35 (Figura 2e), denominada la parte pequeña de superficie, son modificadas las propiedades eléctricas de una zona 18 del cuerpo 1 semiconductor contigua a dicha parte pequeña de superficie, deno-

400794



minada aquí posteriormente zona pequeña, y en el cual por  
intermedio de una parte 19 de superficie igualmente defi-  
nida por una máscara 36 (Figura 2f), denominada la parte  
grande de superficie, que es mayor que la parte 17 pequeña  
de superficie y que comprende a la misma, son modificadas  
5 las propiedades eléctricas de una zona 20 del cuerpo l se-  
miconductor contigua a dicha parte 19 grande de superficie,  
denominada aquí posteriormente la zona grande.

Se dispone sobre la superficie 25 del cuerpo l  
10 semiconductor una capa de máscara que consiste al menos  
en dos capas componentes de diferentes materiales, a sa-  
ber, vistas sobre la capa de máscara, una capa 21 compo-  
nente situada en la parte más alta (Figura 2b), denomina-  
da capa superior, y una capa 22 componente adyacente, de-  
15 nominada capa intermedia.

Para llevar a cabo el tratamiento destinado a  
modificar las propiedades eléctricas de la zona pequeña  
18, se provee al menos a la capa 21 superior (en la presen-  
te realización, sin embargo, tanto a la capa 21 superior  
20 como a la capa 22 intermedia) de una abertura 23a (Figura  
2e) denominada abertura pequeña, que define la parte 17  
pequeña de superficie.

Para llevar a cabo el tratamiento destinado a mo-  
dificar las propiedades eléctricas de la zona grande 20,  
25 se provee a la capa 22 intermedia de una abertura 24, (Fi-

400794



gura 2f), denominada abertura grande, que define la parte 19 grande de superficie del cuerpo semiconductor 1.

5 La abertura grande 24 se obtiene por ataque químico selectivo de la capa 22 intermedia, protegiendo la capa 21 superior contra dicho tratamiento de ataque químico y siendo eliminada la capa 22 intermedia de la abertura 23 situada en la capa 21 superior por debajo de la capa 21 superior en una distancia que es mayor que el espesor de la capa 22 intermedia.

10 Como resultado de esto, se consigue la obtención de una estructura precisa sin una operación o paso intermedio de alineamiento engorroso y al tiempo que se utiliza solamente una fotomáscara.

15 En el presente ejemplo se utiliza una capa de máscara que protege al material semiconductor subyacente tanto contra la impurificación con una impureza como contra la oxidación.

20 Las propiedades eléctricas de la zona pequeña 18 son modificadas introduciendo una impureza en la zona 18 por intermedio de la abertura pequeña 23a, por ejemplo por difusión, como resultado de lo cual se obtiene una zona 18a de difusión como se representa en la Figura 2f.

25 Las propiedades eléctricas de la zona grande 20 (Figura 2f) son modificadas por oxidación de dicha zona por medio de un tratamiento de oxidación a través de la

400794



abertura grande 24. Como resultado de esto, se obtiene una capa 26 de óxido que está incrustada en el cuerpo semiconductor 1 al menos en una parte de su espesor.

5 Durante el tratamiento de oxidación, la impureza dispuesta en la zona pequeña 18 se difunde más profundamente en el cuerpo semiconductor 1, como resultado de lo cual se obtiene una zona 27 impurificada localmente bajo la capa 26 de óxido.

10 Es de observar que es también posible que la zona pequeña 18 y por lo tanto también que la zona 18a de difusión, se extiendan en todo el espesor de la capa 5 epitaxial.

15 Si es introducida una impureza dentro de la zona pequeña 18 por medio de implantación iónica en vez de por difusión, es posible disponer la abertura grande 24 en la capa 22 intermedia antes de la implantación iónica, siendo protegida la zona de la parte 19 grande de superficie que rodea a la parte 17 pequeña de superficie por las partes 29 (Figura 2f) de la capa 21 superior que sobresale por encima de la abertura grande 24. Además, es posible 20 disponer solamente una abertura pequeña 23 en la capa 21 superior antes de la implantación iónica, como se representa en la Figura 2d, si la capa 21 superior protege contra la implantación iónica y no lo hace la capa 22 intermedia.

25 En el presente ejemplo, sin embargo, las propie-

400794



dades eléctricas de la zona pequeña 18 son modificadas por medio de difusión de una impureza a través de la abertura pequeña 23a antes de proveer a la capa 22 intermedia de la abertura grande 24.

5 La capa 22 intermedia es eliminada por debajo de la capa 21 superior en tal extensión que, debido a la oxidación de la zona grande 20, se obtiene una capa 26 de óxido incrustada, la cual, vista en una dirección perpendicular a la superficie 25 del cuerpo semiconductor 1, sobresale más allá de dicha zona a lo largo de la circunferencia de la zona 27 adyacente impurificada.

10 Debido a esto, la zona 27 impurificada no ocupa espacio adicional en la superficie 25 del cuerpo semiconductor 1 de modo que, entre otras cosas, es posible una estructura compacta del dispositivo semiconductor a fabricar.

15 El cuerpo semiconductor 1 utilizado comprende una capa 5 de superficie de un primer tipo de conductividad contigua a la superficie 25 a proteger por máscara del cuerpo semiconductor 1, y una parte 6, denominada sustrato, del tipo de conductividad opuesto, contigua a dicha capa 5 de superficie.

20 La capa 5 de superficie está dividida en varias islas 7 a 15 (Figuras 1, 2h) por medio de las zonas 16 de aislamiento.

400794



La zona 27 impurificada contigua a la capa 26 de óxido que está incrustada en el cuerpo semiconductor 1 al menos en una parte de su espesor, se dispone en la capa 5 de superficie como zona del tipo de conductividad opuesta.

La capa 26 de óxido incrustada y la zona 27 impurificada contigua al óxido 26 se disponen así en la forma de un trazado o dibujo en el cual rodean a las islas 7 a 15 y constituyen las zonas 16 de aislamiento.

Pueden disponerse en las islas elementos de circuito de los cuales una o varias zonas quedan lateralmente en posición contigua a la capa 26 de óxido incrustada y por lo tanto a las zonas de aislamiento, como resultado de lo cual se obtiene un ahorro de espacio.

El material de partida en el presente ejemplo es un substrato de silicio de tipo p que tiene una resistividad de aproximadamente 2 a 5 ohm cm. y un espesor de aproximadamente 250  $\mu$ m.

Las restantes dimensiones son mantenidas lo suficientemente grandes para obtener el número deseado de islas del dispositivo semiconductor a fabricar, las cuales están aisladas entre sí.

Es de observar que usualmente se fabrican simultáneamente varios dispositivos semiconductores en el cuerpo semiconductor 1, que son separados en una etapa posterior

400794



de la fabricación.

De un modo utilizado convencionalmente en la tecnología de semiconductores, se dispone una capa 5 de superficie en la forma de una capa epitaxial de tipo n sobre el substrato 6 (Figura 2a), siendo la resistividad de dicha capa de 0,2 a 0,6 ohm cm, y siendo su espesor aproximadamente de 3  $\mu$ m.

Se dispone entonces sobre la superficie 25 del cuerpo semiconductor 1 (Figura 2b), una capa de máscara que está constituida por la capa 21 superior de nitruro de silicio y la capa 22 intermedia de óxido de silicio.

La capa 22 tiene un espesor de aproximadamente 700 Å y se obtiene de un modo normal calentando el cuerpo semiconductor 1 aproximadamente a 1.000°C en un medio oxidante. Por depósito pirolítico, se dispone entonces la capa 21 de nitruro de silicio cuyo espesor es aproximadamente 1.500 Å en la capa 22 de óxido de silicio del modo usual.

Se dispone sobre la capa 21 superior de la capa de máscara, una máscara 28 de ataque la cual, durante la disposición de la abertura pequeña 23 en la capa 21 superior, protege al nitruro de silicio subyacente de la capa 21 superior localmente contra el tratamiento de ataque químico.

La máscara 28 de ataque químico se compone, por ejemplo, de óxido de silicio y se obtiene del modo usual

400794



por depósito de óxido de silicio.

5 Por medio de la máscara 28 de ataque, se provee entonces con la abertura pequeña 23 a la capa 21 superior por ataque químico, cuya abertura define ya la parte 17 pequeña de superficie del cuerpo semiconductor 1 (Figura 2d).

10 Por la abertura pequeña 23 situada en la capa 21 superior y la parte 17 pequeña de superficie, puede entonces ser impurificada la zona pequeña 18 contigua a la parte 17 pequeña de superficie, por ejemplo por difusión de galio o por implantación iónica, con una impureza para obtener una zona de tipo p.

15 En el presente ejemplo, sin embargo, es eliminado en primer lugar el óxido de silicio de la capa 22 intermedia, que se encuentra por encima de la parte pequeña de superficie, por medio de un tratamiento de ataque selectivo a través de la abertura pequeña 23 situada en la capa 21 superior, como resultado de lo cual se obtiene la abertura pequeña 23a de la máscara 35 (Figura 2e), después de lo cual son modificadas las propiedades eléctricas de la zona pequeña 18 por difusión de boro en la zona pequeña 18 a través de la abertura pequeña 23a para obtener la zona 18a de difusión de tipo p (Figura 2f).

25 Es de observar que durante el tratamiento de ataque de la capa 22 intermedia, la capa 28 de ataque,

400794



que se compone también de óxido de silicio, es eliminada al mismo tiempo total o parcialmente de acuerdo con el espesor de la misma.

5 Después de la impurificación, se provee de una abertura grande 24 a la capa 22 intermedia (Figura 2f), que define la parte 19 grande de superficie del cuerpo semiconductor 1, sometiendo nuevamente la capa 22 intermedia a un tratamiento de ataque selectivo por la abertura pequeña 23a.

10 En este caso la capa 22 intermedia es eliminada de la abertura pequeña 23a por debajo de la capa 21 superior en una distancia que es mayor que el espesor de la capa 22 intermedia, por ejemplo, en una distancia de 3  $\mu\text{m}$ .

15 Mediante calentamiento a aproximadamente 1.000°C en un medio oxidante, se oxida entonces la zona grande 20, como resultado de lo cual se obtiene la capa 26 de óxido que está incrustada en el cuerpo semiconductor 1 en una parte de su espesor y sobresale parcialmente por encima de la superficie 25 del cuerpo semiconductor 1.

20 El espesor de la capa 26 de óxido es de aproximadamente 2  $\mu\text{m}$ . y está incrustada en la capa 5 epitaxial aproximadamente en 1  $\mu\text{m}$  (Figura 2h).

25 Durante el tratamiento de oxidación, los átomos de boro dispuestos en la zona pequeña 18 se difunden más

400794



profundamente en el cuerpo semiconductor 1 y constituyen por debajo de la capa 26 de óxido una zona 27 impurificada de tipo p contigua a la capa de óxido.

5 La capa 26 de óxido y la zona 27 impurificada, que está indicada por líneas de trazos en la Figura 1, se disponen en la forma de un trazado en el cual rodean a las islas 7 a 15 de la capa 5 epitaxial (Figura 1) y, en el presente ejemplo en el que la zona 27 impurificada se extiende hasta el substrato 6, constituyen las zonas  
10 16 de aislamiento.

Pueden disponerse ahora elementos de circuito en las islas 7 a 15 que son aislados de un modo eficaz entre sí lateralmente por las zonas 16 de aislamiento. En el presente ejemplo, se dispone un transistor en la  
15 isla 7 que tiene una zona 2 de emisor y una zona 3 de base que se disponen del modo usual por difusión de impurezas, y que tiene una zona 4 de colector que está constituida por la propia isla 7.

Puede ser utilizada para las máscaras de difusión necesarias, la capa de máscara que se compone de la  
20 capa 21 superior y de la capa 22 intermedia.

En el presente ejemplo, sin embargo, se elimina primeramente dicha capa de máscara, después de lo cual se dispone una capa 30 de óxido de silicio sobre la super-  
25 ficie 25 del cuerpo semiconductor 1, cuya capa de óxido

400794

18 APR



de silicio es utilizada del modo usual para las máscaras de difusión necesarias, por medio de las cuales se obtienen por difusión de boro y fósforo, respectivamente, la zona 3 de base de tipo p y la zona 2 de emisor de tipo n, respectivamente, y una zona 31 de contacto de colector de tipo n.

La zona 3 de base, cuyo espesor es aproximadamente de  $0,6 \mu\text{m}$ , y la zona 31 de contacto de colector, son contiguas lateralmente a la capa 26 de óxido incrustada, como resultado de lo cual es posible una estructura compacta del dispositivo semiconductor a fabricar.

La zona 2 de emisor tiene un espesor de aproximadamente  $0,3 \mu\text{m}$  y, si se desea, puede ser también lateralmente contigua a la capa 26 de óxido incrustada.

La zona 31 de contacto de colector se dispone simultáneamente con la zona 2 de emisor y tiene el mismo tipo de conductividad que la zona 4 de colector pero una concentración de impureza más alta que la misma, que está constituida por la capa 5 epitaxial.

Se provee entonces a la capa 30 de óxido de silicio de aberturas 32, 33, 34 a fin de poder establecer contacto con las zonas 2, 3 y 31. En la figura 1 se representan estas aberturas mediante líneas de trazos.

No se han representado los contactos para mayor simplicidad y pueden disponerse del modo usual en la forma

400794

18



de capas metálicas que pueden extenderse sobre la capa 26 de óxido incrustada.

5 Pueden aplicarse ventajosamente al ejemplo descrito muchas variaciones. Por ejemplo, puede disponerse de un modo usual una capa enterrada de colector del mismo tipo de conductividad que la zona 4 de colector pero que tiene una concentración de impureza más alta que la misma. En la Figura 2h se representa tal capa enterrada mediante líneas de trazos.

10 Además es posible disponer una zona 27 impurificada que se extiende solamente hasta la proximidad del substrato 6, en la cual durante el funcionamiento del dispositivo semiconductor la capa de empobrecimiento de la unión p-n entre el substrato 6 y la capa 5 epitaxial, 15 alcanza la zona 27 impurificada y completa así el aislamiento de isla.

20 Después de disponer la abertura grande 24 en la capa 22 intermedia (véase la Figura 2f) se obtiene una estructura en el presente ejemplo, en la cual las partes 29 de la capa 21 superior sobresalen por encima de las zonas de la parte 19 grande de superficie que rodea a la parte 17 pequeña de superficie, no teniendo dichas zonas misión de protección de máscara durante el tratamiento de oxidación de la zona grande 20.

25 Puesto que, sin embargo, durante la oxidación,

400794

18 ABR



5 la capa 26 de óxido crece también por encima de la superficie 25 del cuerpo semiconductor 1, es posible, en particular cuando el espesor de la capa 26 de óxido que se va a disponer es grande y/o el espesor de la capa 22 intermedia es pequeño, que las partes 29 sobresalientes de la capa 21 superior ejerzan nuevamente aún una acción de protección de máscara con un determinado espesor del óxido ya obtenido.

10 En este caso, puede ser ventajoso obtener una capa 26 de óxido de una buena calidad para eliminar las partes 29 sobresalientes, por ejemplo, por medio de vibraciones supersónicas, antes de llevar a cabo el tratamiento de oxidación de la zona grande 20. Tal vibración supersónica puede llevarse a cabo ventajosamente durante  
15 el tratamiento de ataque químico selectivo para obtener la abertura grande.

20 En el presente ejemplo, sin embargo, la capa 21 superior es sometida a un tratamiento de ataque selectivo después de disponer la abertura grande 24 y antes de disponer la capa 26 de óxido incrustada, siendo eliminada dicha capa hasta aproximadamente la mitad de su espesor.

25 Las partes 29 sobresalientes de la capa 21 superior se someten también, por la abertura grande 24 situada en la capa 22 intermedia, al tratamiento de ata-

400794

18 A



que y por consiguiente son eliminadas completamente. Las líneas 38 de trazos en la Figura 2f indican el contorno o límite de la capa superior remanente. La reducción que tiene lugar en el espesor de la capa superior, deberá ya tenerse en cuenta durante la disposición de la capa 21 superior.

La capa 21 superior y la capa 22 intermedia son sometidas a tratamientos de ataque selectivo, es decir, que se utilizan agentes de ataque que atacan la capa componente, que va a ser atacada selectivamente, de un modo considerablemente más rápido que a la otra capa componente. Puede utilizarse ácido fosfórico para el tratamiento de ataque selectivo de la capa componente de nitruro de silicio y puede utilizarse ácido fluorídrico para el ataque selectivo de la capa componente de óxido de silicio.

La Figura 3a es una vista en corte transversal de un dispositivo semiconductor del mismo tipo que el representado en la Figura 1 y en la Figura 2h. Las vistas en planta de estos dispositivos semiconductores son idénticas. La diferencia entre los dispositivos semiconductores se refiere a las zonas 16 de aislamiento, que en el dispositivo representado en la Figura 3a se componen solamente de óxido de silicio 126 de aislamiento. Bajo estas zonas 16 de aislamiento de óxido de silicio 126,

400794

18 A



están dispuestas las zonas 127 impurificadas de tipo p en el sustrato de tipo p que sirven como barreras de detención de canal. Las zonas 127 están, para este fin, más altamente impurificadas que el sustrato 6.

5 Este dispositivo semiconductor puede obtenerse, por ejemplo, continuando en el método de fabricación del dispositivo representado en las Figuras 1 y 2h, el tratamiento de oxidación para obtener la capa 26 de óxido de silicio incrustada (véase la Figura 2f y la 2g) durante un período de tiempo suficiente para que la capa de óxido incrustada se extienda al menos en todo el espesor de la capa 5 epitaxial y se obtenga la capa 126 de óxido incrustada representada en la Figura 3a, estando presente la zona 27 impurificada representada en la Figura 2g en el sustrato 6 en la forma de la zona 127 (véase la Figura 3a).

10 En este caso, sin embargo, se obtiene una capa de óxido incrustada que sobresale por encima de la superficie 25 del cuerpo semiconductor 1 aproximadamente en la mitad de su espesor.

20 Es también posible, sin embargo, interrumpir el tratamiento de oxidación cuando se obtiene una capa 126a de óxido de silicio incrustada (véase la Figura 3b) que se extiende aproximadamente en la mitad del espesor de la capa 5 epitaxial, eliminar entonces por ataque

400794



químico la capa 126a, como resultado de lo cual se forma la estructura representada en la Figura 3c con los rebajes 41, y oxidar entonces nuevamente, en la cual los rebajes se rellenan con óxido de silicio y se obtienen las zonas 16 de aislamiento de óxido de silicio 126 representadas en la Figura 3a. En este caso, se obtiene un dispositivo semiconductor que tiene una superficie sustancialmente plana. Con la excepción de la zona de aislamiento, el dispositivo semiconductor representado en la Figura 3a se fabrica del mismo modo que el dispositivo semiconductor representado en las Figuras 1 y 2h. La zona grande convertida en material de aislamiento está indicada mediante las líneas 20a de trazos en la Figura 3b.

Así, en este caso, la zona 127 impurificada contigua a la capa 126 de óxido incrustada, está concebida constructivamente como barrera de detención de canal del mismo tipo de conductividad que la parte del sustrato 6 que rodea a la zona 127 pero con una concentración de impureza más alta que la misma.

La Figura 4a es una vista en corte transversal de otro tipo de zona 16 de aislamiento que puede obtenerse por medio de un método de acuerdo con el invento. Este tipo de zona de aislamiento permite la utilización de una capa 5 epitaxial gruesa al tiempo que se evita la oxidación prolongada.

400794



18

Este tipo de zona de aislamiento se obtiene del modo siguiente. Se dispone un rebaje 141 por intermedio de la abertura pequeña 23a en las capas 21 y 22 de la máscara 35 mediante ataque químico en la capa 5 epitaxial (véase la Figura 4b). Se difunde entonces una impureza de tipo p, por ejemplo boro, en la zona 118 pequeña contigua a la parte 117 pequeña de superficie definida por la máscara 35, y se dispone la abertura grande 24 mediante un tratamiento de ataque químico selectivo de la capa 22 de óxido de silicio, con lo cual se obtiene la estructura representada en la Figura 4c que tiene la zona 118a de difusión de tipo p y que tiene la parte 119 grande de superficie definida por dicha abertura a la cual es contigua la zona grande 120. La zona grande 120 se convierte entonces en óxido de silicio por un tratamiento de oxidación y se obtiene la zona 16 de aislamiento que se compone de óxido 126 de silicio incrustado y la zona 126 impurificada de tipo p adyacente. En este caso, es posible disponer una capa 126 de óxido de silicio que se extiende en todo el espesor de la capa 5 epitaxial de tipo n, en la cual la zona 127 de tipo p queda situada en su mayor parte como zona de detención de canal en el substrato 6 de tipo p. Es también posible disponer primero una zona de difusión de tipo p, por la abertura 23a, y formar por ataque químico en dicha zona un rebaje, con

400794



lo cual, después de disponer la abertura grande 24, se obtiene la estructura representada en la Figura 4c.

Se describirá con referencia a las Figuras 5a a 5c otra posibilidad de obtención de una zona de aislamiento. Por la abertura 23a (véase la Figura 5a) en la máscara 35, se difunde una impureza de tipo p, por ejemplo boro, en la zona pequeña 118, después de lo cual se dispone la abertura grande por ataque químico selectivo de la capa 22 intermedia de la máscara 35 y se obtiene por ataque un rebaje 142 por intermedio de dicha abertura en la capa 5 epitaxial, que se extiende a una profundidad menor en la capa 5 epitaxial que la zona pequeña 118, con lo cual se obtiene la estructura representada en la Figura 5b que tiene la zona 143 de difusión de tipo p bajo el rebaje 142. La zona 16 de aislamiento (véase la Figura 5c) se obtiene por un tratamiento de oxidación y se compone de la capa 144 de óxido de silicio que está incrustada sustancialmente en todo su espesor y de la zona 145 adyacente impurificada de tipo p. La zona grande 146, indicada por líneas de trazos en la Figura 5b, ha sido así convertida en una parte 144 aislante de óxido de silicio por una combinación de un proceso de ataque químico y un tratamiento de oxidación.

Se describirán ahora unas cuantas realizaciones del método de acuerdo con el invento, en las cuales la zo-

400794

18



na impurificada adyacente a la capa de óxido incrustada está concebida constructivamente como zona de interrupción de canal, para cuyo fin se dispone como una zona del mismo tipo de conductividad que la parte del cuerpo semiconductor que rodea la zona y que tiene una concentración de impureza más alta que la misma.

En primer lugar, se describirá un método de fabricación del dispositivo semiconductor representado en las Figuras 6 y 7a. En este método, se utiliza un cuerpo semiconductor 51, del cual al menos la parte contigua a la superficie 54 a proteger por máscara es de un primer tipo de conductividad y se dispone en dicha parte la capa de óxido incrustada con la zona 53 impurificada contigua. En una dirección perpendicular a la superficie 54, la capa 52 de óxido presenta una abertura 55 que está rodeada por completo por la zona 53 impurificada, en la cual en la mencionada parte del cuerpo semiconductor 51 se forma una zona 56 de superficie de un elemento de circuito semiconductor en la región de la abertura 55, cuya zona es contigua, al menos a lo largo de una parte de su circunferencia, a la capa 52 de óxido que rodea a la abertura 55. En la presente realización, la parte de un primer tipo de conductividad es el propio cuerpo semiconductor 51.

Las Figuras 6 y 7 representan una placa foto-

400794

18 APR 1968



sensible del tipo que es utilizado en tubos de cámara y consiste en un cuerpo 51 de silicio de tipo n que tiene varias zonas 56 de superficie de tipo p yuxtapuestas que están separadas entre sí. Por consiguiente, se dispone durante la fabricación una capa 52 de óxido incrustada, cuya capa comprende varias aberturas 55 en la cual, vistas sobre la superficie 54, cada una de las aberturas 55 está completamente rodeada por la zona 53 de interrupción de canal. En cada una de las aberturas 55 está dispuesta una zona 56 de superficie de tipo p la cual, a lo largo de su circunferencia completa, es contigua al óxido 52 incrustado y forma una unión 57 p-n con el material semiconductor subyacente, extendiéndose dicha unión sustancialmente en sentido paralelo a la superficie 54 en el cuerpo semiconductor 51.

La disposición de la zona 53 de interrupción de canal y de la capa 52 de óxido incrustada puede llevarse a cabo de un modo similar a la disposición de la zona 27 y la capa 26 de óxido que se representa en la Figura 2h, o a la disposición de la zona 127 y la capa 126 de óxido que se representa en la Figura 3a, o a la disposición de la zona 127 y la capa 126 de óxido que se representa en la Figura 4c, o a la disposición de la zona 145 y la capa 144 de óxido que se representa en la Figura 5c, con la diferencia de que en este caso se dispone una

400794

18



5 impureza en la zona pequeña, como resultado de lo cual solamente es aumentada la concentración de impureza en la zona pequeña pero no varía el tipo de conductividad. En la presente realización, por ejemplo, puede ser utilizado arsénico para dicha impureza.

10 Es de observar que después de la disposición de la zona 53 impurificada y la capa 52 de óxido incrustada, se utiliza la capa 52 de óxido como máscara de difusión durante la disposición de las zonas 56 de superficie de tipo p obtenidas por difusión. Pueden también disponerse las zonas 56, por ejemplo, por implantación iónica, protegiendo la capa 52 de óxido al material semiconductor subyacente contra la implantación iónica.

15 Las zonas 53 de interrupción de canal evitan la formación de canales de superficie de tipo p continuos adyacentes a la capa 52 de óxido incrustada, y evitan por lo tanto las conexiones eléctricas entre las zonas 56.

20 Resultará obvio que la placa puede ser sometida aún a operaciones adicionales para la disposición de zonas, capas y electrodos usuales, por ejemplo una capa de alta resistividad sobre la capa 52 de óxido incrustada y sobre las zonas 56 de tipo p. Además, el cuerpo semiconductor puede hacerse más delgado, por ejemplo, localmente de un modo usual.

25 La Figura 8a representa un transistor de efec-

400794



to de campo de electrodo de control aislado. Este transistor comprende un cuerpo 71 de silicio de tipo n que comprende la zona 72 de electrodo de entrada de tipo p y la zona 73 de electrodo de salida de tipo p, entre las cuales se encuentra la región 74 de canal. Una capa 75 delgada de óxido de silicio se encuentra sobre dicha región de canal y una capa 76 más gruesa de óxido de silicio se encuentra sobre las zonas de los electrodos de entrada y salida. Las capas 75 y 76 de óxido están rodeadas por una capa 77 aún más gruesa de óxido de silicio incrustada. El electrodo 78 de control se encuentra sobre la capa 75 delgada de óxido. Están dispuestas aberturas 79 y 80 en la capa 76 de óxido a través de las cuales están conectadas las capas 81 y 82 metálicas a las zonas 72 y 73 de los electrodos de entrada y salida, cuyas capas se extienden hasta encima de la capa 77 de óxido incrustada. Por debajo de la capa 77 de óxido incrustada está dispuesta una zona 83 de interrupción de canal que es del mismo tipo de conductividad que el cuerpo 71 de silicio pero que tiene una concentración de impureza más alta que el mismo.

La estructura representada en la Figura 8a tiene, entre otras, la ventaja de presentar capacidades parásitas muy pequeñas y es de fabricación particularmente simple sin un paso de máscara de precisión por medio

400794



de un método de acuerdo con el invento.

5 El material de partida en la fabricación del transistor de efecto de campo es un cuerpo 71 de silicio de tipo n en el cual, de un modo similar al descrito con referencia a la realización precedente, se dispone una capa 77 de óxido de silicio incrustada que comprende una abertura 84 (véase la Figura 8b) y tiene una zona 83 impurificada de tipo n adyacente a la capa 77 incrustada que tiene una concentración de impureza más  
10 alta que el cuerpo 71 de silicio y puede, por lo tanto, servir como zona de interrupción de canal y que rodea a la abertura 84. La capa 77 de óxido de silicio incrustada está incrustada en el cuerpo 71 en parte de su espesor, pero puede también disponerse de modo que quede incrustada en el cuerpo 71 sustancialmente en todo su espesor.  
15

Se obtiene la estructura representada en la Figura 8b en la cual la máscara utilizada durante la disposición de la capa 77 de óxido incrustada se encuentra aún presente sobre la superficie 86 del cuerpo semiconductor 71. La Figura 8b muestra esta máscara 85 que ha sido ya provista de las aberturas 87 y 88 adyacentes a la capa 77 incrustada en la región de las zonas 72 y 73 de los electrodos de entrada y salida que se van a disponer.  
20

25 Se disponen entonces en el cuerpo semiconductor

400794



tor 71 las zonas 72 y 73 de los electrodos de entrada y salida por difusión o implantación iónica de una impureza a través de las aberturas 87 y 88, y se dispone la capa 76 de óxido de silicio, que está incrustada en el cuerpo semiconductor 71, al menos en parte de su espesor, en la región de las aberturas 87 y 88 mediante un tratamiento de oxidación. Las zonas 72 y 73 de los electrodos de entrada y salida son zonas de superficie que, a lo largo de una parte de su circunferencia, son contiguas a la capa 77 de óxido que rodea a la abertura 84.

El electrodo 78 de control puede disponerse sobre la parte de la máscara 85 que se encuentra entre las zonas 72 y 73 de los electrodos de entrada y salida. En la presente realización, sin embargo, esta máscara es eliminada y sustituida por una capa 75 de óxido de silicio.

Después de la disposición de las aberturas 79 y 80, pueden disponerse las capas 78, 81 y 82 metálicas de un modo convencional.

Por medio de un método de acuerdo con el invento, se obtiene de un modo simple una zona 83 de interrupción de canal bajo la capa 77 de óxido incrustada cuya zona está separada de las zonas 72 y 73 de los electrodos de entrada y salida.

El espesor de la capa 77 de óxido de silicio

400794



es aproximadamente de  $2\mu\text{m}$ , el de la capa 76 de óxido de silicio es aproximadamente de  $0,5\mu\text{m}$  y el de la capa 75 de óxido de silicio es aproximadamente de  $0,15\mu\text{m}$ .

5 Un tipo importante de transistor de efecto de campo de electrodo de control aislado comprende un electrodo de control cuya parte activa, que está separada de la región de canal por una delgada capa aislante, no llega hasta la zona del electrodo de salida. En otras palabras, hay una distancia entre la parte activa del  
10 electrodo de control y la zona del electrodo de salida. Esta distancia debe ser determinada con precisión, lo cual impone estrechas exigencias sobre la exactitud con que han de disponerse entre sí la zona del electrodo de salida y el electrodo de control. Puede obtenerse la precisión deseable de un modo simple por medio de un método  
15 de acuerdo con el invento.

La Figura 9a representa tal transistor de efecto de campo que ha sido obtenido por medio de un método de acuerdo con el invento.

20 El material de partida en la fabricación, es un cuerpo semiconductor 91 de un primer tipo de conductividad (o que comprende una parte de un primer tipo de conductividad) en el cual se disponen dos zonas 96 y 97 del tipo de conductividad opuesta que constituyen las zonas  
25 de los electrodos de entrada y salida del transistor.

400794

18



La zona 97 de electrodo de salida está concebida constructivamente como una zona impurificada obtenida bajo la capa 98 de óxido incrustada. La región 100 de canal se encuentra entre la zona 96 del electrodo de entrada y la zona 97 del electrodo de salida. Sobre la superficie 101 del cuerpo semiconductor 91 que se encuentra entre la zona 96 del electrodo de entrada y la capa 98 de óxido incrustada, se dispone una capa aislante 102 que es más delgada que la capa 98 de óxido incrustada y se dispone el electrodo 103 de control sobre dicha capa delgada. El electrodo de control recubre ligeramente a la capa 98 de óxido pero no se considera que la parte de recubrimiento pertenece a la parte activa del electrodo 103 de control que se encuentra sobre la delgada capa aislante 102, puesto que la capa 98 de óxido más gruesa limita el efecto capacitivo de la parte de recubrimiento o solape del electrodo 103 de control.

El material de partida es un cuerpo 91 de silicio de tipo n (véase la Figura 9b) sobre el cual se dispone una máscara 92 que se compone de una capa 105 superior de nitruro de silicio y una capa 106 intermedia de óxido de silicio y que comprende las aberturas 107 y 108. Se difunde una impureza de tipo p en la zona 94 pequeña adyacente a la abertura 107 por la abertura 107. Posteriormente la zona grande 95 será convertida en óxido

400794



de silicio. Esta impureza de tipo p se difunde en el cuerpo semiconductor 91 también por la abertura 108. Se han obtenido entonces las zonas 110 y 109 de tipo p representadas en la Figura 9c.

5 La abertura 108 se cierra entonces por una máscara 112 de ataque químico que consiste, por ejemplo, en una capa de barniz fotosensible. No es necesaria para este fin una técnica de enmascaramiento de precisión.

10 Se dispone entonces la abertura grande 111 mediante ataque químico selectivo de la capa 106 intermedia, siendo contigua a dicha abertura la zona grande 95 que será convertida en óxido de silicio.

15 Después de eliminar la capa 112 de barniz fotosensible, se disponen las capas 98 y 113 de óxido incrustadas (Véase la Figura 9d) por un tratamiento de oxidación, difundiendo las impurezas en las zonas 109 y 110 más en el cuerpo semiconductor y obteniéndose la zona 96 impurificada de tipo p que rodea completamente en el cuerpo semiconductor a la capa 113 de óxido incrustada, y la zona 97 impurificada de tipo p que se encuentra  
20 bajo la capa 98 de óxido incrustada. El método de acuerdo con el invento permite la determinación precisa de la distancia entre el borde de la capa 98 de óxido incrustada y la zona 97 subyacente de tipo p.

25 La máscara que comprende las capas 105 y 106

400794



componentes es eliminada entonces y sustituida por una capa 102 delgada de óxido de silicio que es más delgada que las capas 98 y 113 de óxido incrustadas.

Después de disponer las aberturas 90 y 99, pueden disponerse las capas 114, 115 y 103 metálicas de un modo convencional, de modo que se obtiene el transistor de efecto de campo representado en la Figura 9a.

Las capas 98 y 113 de óxido incrustadas, que pueden también estar incrustadas en el cuerpo 91 en todo su espesor, tienen un espesor de aproximadamente  $2\mu\text{m}$  y la capa 102 delgada de óxido tiene un espesor de aproximadamente  $0,2\mu\text{m}$ . La distancia sobre la cual se elimina la capa 106 intermedia mediante ataque químico selectivo por debajo de la capa 105 superior, es aproximadamente de  $4\mu\text{m}$ . (véase la Figura 9c).

Vistos sobre la superficie 93, el electrodo 103 de control, la capa 113 de óxido incrustada y la zona 96 de electrodo de entrada, pueden rodear a la capa 98 de óxido incrustada y a la zona 97 de electrodo de salida.

Es de observar que la zona 96 de electrodo de entrada y la capa 113 de óxido incrustada se obtienen simultáneamente con la zona 97 de electrodo de salida y la capa 98 de óxido incrustada, lo cual simplifica grandemente el método. Sin embargo, es también posible, por ejemplo, disponer la zona de electrodo de entrada en una operación



de proceso separada como zona de superficie en la cual, por ejemplo, puede disponerse sobre dicha zona una capa de óxido no incrustada o una capa de óxido que está incrustada a una profundidad más pequeña.

5                   Es de observar además que durante el tratamiento de ataque químico selectivo de la capa 106 intermedia a través de la abertura 107 situada en la capa 105 superior (véase la Figura 9c), la capa 112 de máscara puede proteger solamente la parte de la derecha de la abertura 108  
10 practicada en las capas 105 y 106, mientras que además puede ser protegida la parte de la derecha de la abertura 107.

                  Se obtiene entonces un transistor de efecto de campo como el representado en la Figura 9e en el cual las  
15 zonas 96 y 97 de los electrodos de entrada y de salida comprenden una parte de la izquierda que se encuentra completamente bajo las capas 113 y 98 de óxido incrustadas y una parte de la derecha que se extiende hacia la superficie 93 del cuerpo semiconductor 91. En esta estructura,  
20 la zona 96 de electrodo de entrada puede ser la zona de electrodo de salida de un transistor de efecto de campo precedente y la zona 97 de electrodo de salida puede ser la zona de electrodo de entrada de un transistor de efecto de campo subsiguiente, en cuya estructura pueden no ser  
25 necesarias las capas 119 y 115 metálicas. Los electrodos

400794



de control de los transistores de efecto de campo precedente y siguiente se designan por 103a y 103b.

5 Se describirán ahora unos cuantos ejemplos del método de acuerdo con el invento, en los cuales se utiliza una capa de máscara que protege al material semiconductor subyacente del cuerpo semiconductor contra la impurificación con impurezas y en los cuales se modifican las propiedades eléctricas de la zona pequeña mediante la disposición de una impureza a través de la abertura pequeña  
10 situada en dicha zona pequeña, y se modifican las propiedades eléctricas de la zona grande mediante la disposición de una impureza a través de la abertura grande situada en dicha zona grande.

15 En primer lugar, se describirá la fabricación de una unión 150 p-n (véase la Figura 10a) que presenta una tensión de avalancha aumentada.

20 El material de partida es un cuerpo semiconductor 151 de un primer tipo de conductividad (o que tiene una región de un primer tipo de conductividad) adyacente a la superficie 152 a proteger por máscara (véase también la Figura 10b) en el cual se encuentran la zona 153 pequeña y la zona 154 grande, en cuyas zonas se difundirá o implantará sucesivamente una impureza.

25 La zona 153 pequeña se extiende desde la superficie 152 más profundamente en el cuerpo 151 que la zona

400794



5 grande 154. Mediante impurificación con una impureza, el tipo de conductividad de las zonas 153 y 154 será convertido de uno en el otro tipo de conductividad, en que la zona pequeña 153 es provista de una concentración de superficie de dicha impureza más alta que en las partes 155 de la zona grande 154 que rodea a dicha zona pequeña 153.

10 En la presente realización, el cuerpo semiconductor 151 es un cuerpo de silicio de tipo n. Se dispone sobre la superficie 152 una máscara que tiene una capa 156 superior de nitruro de silicio y una capa 157 intermedia de óxido de silicio, en la cual se practica una pequeña abertura 158.

En la presente realización, se dispondrán las impurezas por difusión.

15 Se difunde en la zona pequeña una impureza de tipo p, por ejemplo boro. La concentración de superficie de dicha impureza es aproximadamente de  $10^{18}$  átomos de boro por centímetro cúbico.

20 Mediante un tratamiento de ataque químico selectivo de la capa intermedia 157, se elimina entonces la parte 157a que se extiende desde la abertura 158 hasta la línea 159 de trazos, una distancia de aproximadamente 3  $\mu$ m, y se difunde una impureza de tipo p, por ejemplo, boro, en la zona grande 154, siendo aproximadamente la concentración de superficie en las partes 155 de la zona grande,

25

400794

18



5  $10^{17}$  átomos de boro por  $\text{cm}^3$ . Esta concentración de superficie es más baja que la concentración de superficie en la zona pequeña 153 y preferiblemente solo ligeramente más alta que la concentración de la impureza de tipo n en el cuerpo 151 de partida.

10 Se obtiene entonces la zona 160 de tipo p que se compone de una parte 161 central y una parte 162 que rodea a dicha parte y con una resistividad más alta que la parte 161 central. Esta zona 160 de tipo p constituye la unión p-n 150 con el cuerpo 151 de tipo n.

15 Resulta para el anillo 162 de alta resistividad, que al originarse el proceso de avalancha de la unión p-n, 150 dicho proceso de avalancha no tiene lugar cerca de la superficie 152, lo que da como resultado una característica corriente tensión más estable.

20 Después de la eliminación de la máscara utilizada, se dispone una capa 163 de óxido de silicio que tiene una abertura 164 sobre la superficie 152. En esta abertura se dispone una capa 165 metálica que establece contacto con la zona 160 de tipo p. Además, puede proveerse al cuerpo 151 de tipo n con una capa 166 metálica, después de lo cual se obtiene el dispositivo semiconductor representado en la Figura 10a, que puede ser utilizado como diodo o como condensador.

25 Para otras aplicaciones pueden ser también utili-

400794

18



zadas zonas del mismo tipo que la zona 160. Por ejemplo, puede concebirse constructivamente tal zona como zona de aislamiento de un dispositivo semiconductor integrado.

5 Se describirá ahora una realización de un método de acuerdo con el invento para la fabricación de un transistor bipolar. El material de partida es un cuerpo 171 de silicio de tipo n (véase la Figura 11b) o un cuerpo de silicio que comprende una región de tipo n que queda en posición adyacente a la superficie 172 a proteger por máscara, en la cual se encuentran la zona pequeña 173 y la zona grande 174. La zona grande 174 se extiende a mayor profundidad en el cuerpo 171 que la zona 173 y comprende a la zona pequeña 173.

10 Por medio de la máscara 175 provista de la abertura pequeña 176, se aumenta la concentración de impurezas de tipo n en la zona pequeña, por ejemplo por difusión de arsénico o implantación iónica de iones de arsénico, después de lo cual se obtiene la zona 177 de emisor representada en la Figura 11a.

20 La máscara 175 se compone nuevamente de una capa 178 superior de nitruro de silicio y una capa 179 intermedia de óxido de silicio. Mediante ataque químico selectivo de la capa 179 intermedia, se obtiene la abertura grande 180. A través de dicha abertura grande, se difunde en la zona grande 174 una impureza de tipo p, por ejemplo boro,

400794

12 APR



con una concentración comprendida entre el valor de la concentración de arsénico en la zona pequeña 173 y el de la impureza de tipo n en el cuerpo 171 de partida, de modo que la parte de la zona grande 174 que rodea a la zona pequeña 173 obtiene conductividad de tipo p y constituye la zona 181 de base como se representa en la Figura 11a. La parte 182 del cuerpo 171 que rodea a la zona 181 de base, constituye la zona de colector de tipo n del transistor. Después de eliminar las capas 178 y 179, se dispone sobre la superficie 172 del cuerpo 171 una capa 185 de óxido de silicio que comprende las aberturas 183 y 184. En dichas aberturas se disponen un contacto 186 de base y un contacto 187 de emisor.

Las zonas 181 y 177 de base y emisor, respectivamente, han sido así obtenidas por medio de solamente una fotomáscara, o sea aquella fotomáscara por medio de la cual se obtuvo la abertura pequeña 176.

El contacto 186 de base rodea al contacto 187 de emisor. Si es deseable una capacidad base colector más pequeña, la zona de emisor se extiende, preferiblemente, a lo largo de una parte de su circunferencia, directamente en proximidad al borde de la zona de base y el contacto de base se extiende principalmente sobre una de las caras junto a la zona de emisor. Tal transistor se representa en la Figura 12a. Este transistor tiene una zona 191 de colector de tipo n, una zona 192 de base de tipo p y

400794



una zona 193 de emisor de tipo n que se encuentran en un cuerpo semiconductor 190. Sobre la superficie 194, está dispuesta una capa 195 de óxido de silicio que comprende aberturas 196 y 197, por cuyas aberturas está conectada  
5 una capa 198 metálica a la zona 193 de emisor y está conectada una capa 199 metálica a la zona 192 de base. Pueden estar conectados conductores de conexión a dichas capas metálicas.

Este transistor puede ser fabricado del modo  
10 siguiente por medio de un método de acuerdo con el invento.

El material de partida es un cuerpo 190 de silicio de tipo n (véase la Figura 12b), sobre una superficie 194 del cual se dispone una capa de máscara que se compone  
15 de la capa 200 superior de nitruro de silicio y de la capa 201 intermedia de óxido de silicio. Se dispone sobre la capa 200 superior, una máscara 202 de ataque que consiste en una capa de óxido de silicio que comprende dos aberturas 203 y 204, después de lo cual se disponen en dicha  
20 capa, por medio de un tratamiento de ataque químico selectivo de la capa 200 superior, las aberturas 205 y 206 (véase la Figura 12c).

Se dispone entonces una máscara 207 de ataque, que consiste, por ejemplo, en una capa de barniz fotosensible (véase la Figura 12d) a través de las aberturas 206  
25

400794

18 ABR 1962



5 y 204. La disposición de la máscara 207 de ataque no necesita una operación de fotoenmascaramiento de precisión. Mediante un tratamiento de ataque químico selectivo, se dispone la abertura 208 en la capa 201 intermedia de óxido de silicio, siendo eliminadas por ataque las partes de la capa 202 de óxido de silicio no cubiertas por la máscara 207 de ataque, y después de la eliminación de la máscara 207 de ataque se obtiene la estructura representada en la Figura 12e.

10 Por intermedio de las aberturas 203 y 208 en las capas 200 y 201, se lleva a cabo entonces una difusión de emisor en el cuerpo semiconductor 190, en la cual, por ejemplo, se difunde arsénico en la zona pequeña 209 y se obtiene la zona 193 de emisor de tipo n como se representa en la Figura 12f.

15 Atacando selectivamente la capa 201 intermedia de óxido de silicio, se dispone en dicha capa la abertura grande 210. Durante este tratamiento, se elimina la capa 202 de óxido de silicio (véanse las Figuras 12e y 12f).

20 Además, se forma una abertura 211 adicional en la capa 201 intermedia bajo la abertura 206 situada en la capa 200 superior, siendo la abertura 211 mayor que la abertura 206.

25 Por intermedio de la abertura grande 210, se lleva a cabo una difusión de base en el cuerpo semiconductor 190 en la zona grande 212, siendo difundido boro en la zona

400794



grande 212. Esta difusión se lleva a cabo además a través de la abertura 211 en el cuerpo 190 de silicio, obteniéndose la zona 192 de base de tipo p representada en la Figura 12f.

5                    Resultará obvio que la distancia entre las aberturas 203 y 206 situadas en la capa 200 superior y la distancia según la cual se elimina bajo la capa superior la capa 201 intermedia durante el tratamiento de ataque químico selectivo de la misma capa 201, han de elegirse de modo  
10 que la distancia entre las aberturas 210 y 211 que se van a obtener sea lo suficientemente pequeña para hacer que las regiones de difusión de tipo p contiguas a dichas aberturas y que se van a obtener durante la difusión de base, se solapen entre sí a fin de obtener una zona 192 coherente de base. Esta distancia puede ser por ejemplo, una  
15 parte del espesor de la zona 192 de base, pero es posible alternativamente eliminar dicha capa entre las aberturas 203 y 206 por completo durante el tratamiento de ataque químico selectivo de la capa 201 intermedia, constituyendo las aberturas 210 y 211 en la capa 201 intermedia una  
20 abertura coherente a través de la cual se lleva a cabo la difusión de base.

                  Después de la disposición de la zona 192 de base, se eliminan la capa 200 superior y la capa 201 intermedia  
25 y son sustituidas por la capa 195 de óxido de silicio



# 400794

(véase la Figura 12a), en la cual se disponen las aberturas 196 y 197. Se disponen entonces las capas 198 y 199 metálicas, de modo que se obtiene el transistor representado en la Figura 12a.

5                    Se describirá ahora con referencia a las Figuras 13a a 13h una realización de un método de acuerdo con el invento de fabricación de un dispositivo semiconductor integrado que tiene un transistor como se representa en las Figuras 13a y 13b, en el cual durante el tratamiento de ataque químico selectivo de la capa intermedia para obtener la abertura grande, se divide una parte coherente de la capa intermedia al menos en dos partes separadas mediante dicho tratamiento de ataque químico selectivo.

10                    El dispositivo semiconductor representado en las Figuras 13a y 13b es del mismo tipo que el representado en las Figuras 1 y 2h y difiere de dicho dispositivo semiconductor solamente en que se encuentra entre la zona 3 de base del transistor y la zona 31 de contacto de colector, una parte 300 de separación de óxido de silicio  
15                    incrustado en el cuerpo 6 semiconductor que es contigua a la capa 26 de óxido incrustada asociada con las zonas 16 de aislamiento, quedando en posición adyacente la zona 3 de base y la zona 31 de contacto de colector a las capas 27 y 300 de óxido incrustadas a lo largo de su circunferencia completa.  
20                     
25

400794



5 El material de partida es un cuerpo 1 de silicio (véase la Figura 13c) que tiene un substrato 6 de silicio de tipo p sobre el cual se dispone una capa 5 epitaxial de tipo n que comprende una capa 37 enterrada de tipo n que tiene una concentración de impureza más alta que la capa 5 epitaxial.

10 Sobre la superficie 25 a proteger por máscara, se dispone una capa de máscara que tiene una capa 21 superior de nitruro de silicio y una capa 22 intermedia de óxido de silicio.

15 Por medio de una máscara 28 de ataque de óxido de silicio, se disponen en la capa superior la abertura pequeña 23 y una abertura 301 adicional (véase también la Figura 13d). Se protege entonces la abertura 301 adicional con una capa 302 de barniz fotosensible (véase la Figura 13e), para lo cual no es necesaria una técnica de enmascaramiento de precisión, y se somete la capa 22 intermedia a un tratamiento de ataque químico, como resultado de lo cual se obtiene la abertura pequeña 23a en la capa de máscara (21;22). Se eliminan también las partes de la máscara 28 de ataque que no se encuentran bajo la capa 302 de barniz fotosensible.

25 Después de la eliminación de la capa 302 de barniz fotosensible, se difunde boro por intermedio de la abertura pequeña 23a en una zona pequeña adyacente a dicha

400794



abertura, de modo que se obtiene la zona 18a de tipo p (véase la Figura 13f).

5 Mediante un tratamiento de ataque químico selectivo de la capa 22 intermedia, se dispone entonces la abertura grande 24 en la capa 22 intermedia, formándose también la abertura grande 303 adicional en la capa 22 intermedia bajo la abertura 301 adicional situada en la capa 21 superior (véanse las Figuras 13g y 13d).

10 Los costados 301a y 301b de la abertura 301 adicional situada en la capa 21 superior, están situados tan cerca del borde de la abertura pequeña 23 situada en la capa 21 superior, que durante el tratamiento de ataque químico selectivo de la capa 22 intermedia a través de las aberturas 23 y 301, para obtener la abertura grande 24 y 15 la abertura 303 grande adicional en la capa 22 intermedia, la parte coherente de la capa 22 intermedia que se encuentra bajo la parte 21a de la capa 21 superior y la abertura 301 es dividida en dos partes 22a y 22b separadas entre sí.

20 Se lleva entonces a cabo un tratamiento de oxidación para obtener la capa 26 de óxido incrustada que forma parte de las zonas 16 de aislamiento (véase la Figura 13h), y la parte 300 de separación de óxido de silicio que es contigua a la capa 26 de óxido. Se difunden adicionalmente las impurezas en la zona 18a en el cuerpo semicon-

25



400794

ductor 1, como resultado de lo cual se obtienen las zonas  
27 de tipo p que se encuentran bajo la capa 26 de óxido  
y están asociadas con las zonas 16 de aislamiento. No se  
encuentra ninguna zona de tipo p bajo la parte 300 de se-  
paración.

5

Por difusión de impurezas, se disponen enton-  
ces la zona 3 de base de tipo p (véanse las Figuras 13a  
y 13b), la zona 2 de emisor de tipo n, y la zona 31 de  
contacto de colector de tipo n, para lo cual no son nece-  
sarios métodos de enmascaramiento de precisión.

10

Es de observar que no es necesaria la capa  
enterrada 37 y puede ser omitida. Es posible alternativa-  
mente, si la capa enterrada está realmente presente, que  
las capas 26 y 300 de óxido se extiendan en todo el espe-  
sor de la capa epitaxial 5, encontrándose la zona 27 como  
zona de interrupción de canal bajo la capa 26 de óxido  
en el substrato. Es además posible, durante el tratamien-  
to de ataque químico selectivo de la capa 22 intermedia  
a través de la abertura pequeña 23, no proteger por más-  
cara la abertura 301 situada en la capa superior, como  
resultado de lo cual se elimina también la capa 22 inter-  
media bajo la abertura 301 durante la disposición de la  
abertura pequeña 23a (véase la Figura 13e). Durante la  
disposición de las zonas 18a de tipo p (Figura 13f), se  
obtiene entonces una zona de tipo p que se encuentra bajo

15

20

25

400794



la abertura 301, estando dicha zona separada de las zonas 18a. Después de disponer las capas 26 y 300 de óxido (Figura 13d), se obtiene también una zona de tipo p bajo la capa 300 de óxido, cuya zona puede penetrar ligeramente dentro de la capa enterrada 37 y está separada de la zona 27 de tipo p.

Si la abertura 301, (véanse las Figuras 13d y 13g), además de proveerse de sus costados 301a y 301b, se provee también de un costado 301c en estrecha proximidad al borde de la parte 21a de la capa 21 superior, se elimina también por completo la parte de la capa 22 intermedia que se encuentra bajo la parte 21a sobre el lado derecho de la abertura 301 durante el tratamiento de ataque químico selectivo de la capa 22 intermedia para obtener la abertura grande 24 en la capa 22 intermedia, y solamente permanece la parte 22a de las partes 22a y 22b de la capa intermedia, quedando la abertura 303 grande adicional en posición adyacente a la abertura grande 24 por tres costados. Esto se representa en la Figura 14a.

Antes del ataque químico selectivo de la capa 22 intermedia a través de las aberturas 23 y 301, se dispone también la abertura 301 en la capa 22 intermedia y, a través de esta abertura, se difunde una impureza de tipo n en el cuerpo semiconductor para obtener la zona 310 de tipo n. Puede hacerse esto, por ejemplo, depositan-

400794

18



do óxido de silicio impurificado con fósforo sobre la capa  
21 superior y en las aberturas 23 y 301 y eliminando di-  
cha capa de óxido impurificada desde la abertura 23 por  
medio de una máscara de ataque que se compone de un bar-  
5 niz fotosensible y un agente de ataque químico. Para este  
fin no es necesario una operación de fotoenmascaramiento  
de precisión. Se difunde entonces fósforo, desde el óxido  
de silicio impurificado, en el cuerpo semiconductor por  
intermedio de la abertura 301, después de lo cual se eli-  
10 mina nuevamente el óxido de silicio impurificado.

Después de la disposición de la zona 310 de  
tipo n, se dispone la zona 18a de tipo p por difusión de  
boro en el cuerpo semiconductor a través de la abertura  
pequeña 23 y a través de la abertura adicional 301. La  
15 concentración de boro en la zona 18a de tipo p es más  
baja que la concentración de fósforo en la zona 310, como  
resultado de lo cual no se forma ninguna zona de tipo p  
en la zona 310 de tipo n.

Se lleva a cabo entonces el tratamiento de oxi-  
20 dación por intermedio de la abertura grande 24 y se ob-  
tiene la capa 26 de óxido incrustada (véase la Figura 14b)  
con las zonas 27 subyacentes de tipo p asociadas con las  
zonas 16 de aislamiento. La capa 26 de óxido comprende,  
sin embargo, una zona ensanchada 26a bajo la cual se ob-  
25 tiene la zona 310a de tipo n que se ha formado por difusión

400794

18 ABR



5 desde la zona 310. La zona 310a de tipo n tiene una concentración de impureza más alta que la capa 5 epitaxial de tipo n y es contigua a la capa 37 enterrada de tipo n. Puede quedar una distancia corta entre las zonas 310a y la capa 37 enterrada.

La zona 310a constituye la zona de contacto de colector del transistor que se va a fabricar, cuya zona 3 de base de tipo p y cuya zona 2 de emisor de tipo n pueden disponerse por un procedimiento convencional.

10 Por medio de una abertura 311 en la capa incrustada en la parte 26a de la capa 26 de óxido de silicio, puede establecerse contacto con la zona de contacto de colector. Puede disponerse por un procedimiento convencional a través de las zonas 3 y 2 de base y emisor, una capa  
15 de óxido de silicio que está provista de aberturas para establecer contacto con dichas zonas.

20 El transistor representado en la Figura 14b ocupa aún menos espacio que el representado en las Figuras 13a y 13b, mientras que a pesar de ello se determinan los lugares de las zonas 16 de aislamiento, la zona 3 de base y la zona 310a de contacto de colector, mediante una máscara única, con la cual se disponen simultáneamente las aberturas 23 y 301, lo cual ahorra varios pasos de fotomascaramiento de precisión.

25 El dispositivo semiconductor representado en

400794



la Figura 14 es en sí mismo una importante nueva estructura y puede obtenerse también de modo diferente. Por ejemplo, pueden obtenerse las zonas 27 de tipo p en la forma de capas enterradas.

5                   En los ejemplos descritos hasta aquí, se proveía a la capa intermedia con la abertura grande, después de modificar las propiedades eléctricas de la zona pequeña, después de lo cual se modificaban las propiedades eléctricas de la zona grande. Se describirá ahora con referencia a las Figuras 15a y 15b una realización en la cual, antes de proveer a la capa 22 intermedia con la abertura grande 322 (véase la Figura 15b), se somete en primer lugar a la capa intermedia 22 a un tratamiento intermedio de ataque químico selectivo, en el cual la capa 15 21 superior protege contra dicho tratamiento de ataque, a través de la abertura pequeña 23a situada en la capa 21 superior.

                  Se forma entonces en la capa 22 intermedia una abertura 320 adicional que define una parte adicional 20 324 de superficie del cuerpo semiconductor.

                  La capa 324 de superficie es mayor que la parte pequeña de superficie y comprende a dicha parte pequeña de superficie.

                  Las propiedades eléctricas de una zona 321 de superficie adyacente a dicha parte 324 adicional de super- 25

400794

18 AB



ficie, son modificadas entonces por intermedio de la abertura 320 situada en la capa 22 intermedia.

En el presente ejemplo, se utiliza el método a ser descrito de acuerdo con el invento para fabricar la zona 16 de aislamiento con una zona 318 adyacente de interrupción de canal como se representa en la Figura 15a.

La Figura 15a representa un dispositivo semiconductor con un transistor similar al representado en la Figura 8a, pero en el cual el transistor está dispuesto en una parte 315 en forma de isla de una capa 316 epitaxial de silicio de tipo p que está dispuesta sobre un substrato 317 de silicio de tipo n.

La capa 77 de óxido que está incrustada en la capa 316 epitaxial al menos en parte de su espesor, forma parte en esta realización de una zona 16 de aislamiento que rodea a la isla 315 y que está constituida además por una zona 27 de tipo n adyacente a la capa 77 y que se extiende hasta dentro del substrato 317 de tipo n.

Con el fin de evitar la formación de canal entre la zona 72 de electrodo de entrada y/o la zona 73 de electrodo de salida del transistor, por una parte, y la zona 27 de aislamiento por otra parte, que es del mismo tipo de conductividad que la zona de electrodo de entrada y la zona de electrodo de salida del transistor, está dispuesta entre la zona 27 de aislamiento y la zona 72

400794

18



de electrodo de entrada y la zona 73 de electrodo de salida, una zona 318 de tipo p de interrupción de canal que es del mismo tipo de conductividad que la capa 316 epitaxial pero que tiene una concentración de impureza más alta que la misma y que es adyacente a la zona 27 de aislamiento y a la zona 77 de óxido.

Puede fabricarse tal estructura que comprende tanto una zona 16 de aislamiento como una zona 318 de interrupción de canal y que puede utilizarse también ventajosamente de un modo muy simple en dispositivos semiconductores diferentes a los descritos aquí, utilizando un método de acuerdo con el invento en el cual la capa 22 intermedia es sometida varias veces a un tratamiento de ataque químico. Se dispone en primer lugar fósforo en la capa 316 epitaxial a través de la abertura pequeña 23a (véase la Figura 15b) a fin de obtener la zona 319 de tipo n. Se somete entonces la capa 22 intermedia a un tratamiento de ataque químico intermedio en el cual se elimina la capa 22 intermedia por debajo de la capa 21 superior en una distancia de aproximadamente 3  $\mu$ m. Se disponen en la capa 316 epitaxial átomos de boro, por intermedio de la abertura 320 resultante que se indica por líneas de trazos en la Figura 15b, como resultado de lo cual se obtiene la zona 321 de tipo p. La concentración de impureza de la zona 321 es más alta que la de la capa 316 epi-



400794

taxial pero más baja que la de la zona 319.

La capa 22 intermedia es sometida entonces nuevamente a un tratamiento de ataque químico selectivo en el cual se elimina otra vez la capa 22 intermedia aproximadamente en una distancia de  $3 \mu\text{m}$  y se obtiene en la

5      capa 22 intermedia la última abertura 322 que define la parte 323 grande de superficie del cuerpo semiconductor. Por la abertura grande 322, puede someterse entonces la zona grande 325 de la capa 316 epitaxial a un tratamiento

10     de oxidación, como resultado de lo cual se obtiene la capa 77 de óxido incrustada. Durante este tratamiento de oxidación, las impurezas dispuestas en las zonas 319 y 321 se difunden más profundamente en la capa 316 epitaxial y constituyen allí las zonas 27 y 318, respectivamente.

15     En la isla 315 resultante, puede disponerse entonces el transistor con la zona 72 de electrodo de entrada, la zona 73 de electrodo de salida y el electrodo 78 de control de un modo ya descrito con referencia a las Figuras 8a y b.

20             Resultará obvio que el invento no está restringido a las realizaciones descritas y que son posibles muchas variaciones para los expertos en la técnica sin apartarse del campo de este invento. Por ejemplo, durante el tratamiento de ataque químico selectivo de la capa inter-

25     media para obtener la abertura grande, pueden producirse

400794 18



vibraciones supersónicas para romper aquellas partes de la capa superior bajo las cuales ha sido ya eliminada la capa intermedia. Los tipos de conductividad pueden ser intercambiados. La zona 31 de contacto de colector en la

5 Figura 13b puede extenderse hasta la capa 37 enterrada. La capa superior de la capa de máscara puede componerse de óxido de silicio y la capa intermedia de nitruro de silicio, en vez de al contrario. Pueden también utilizarse para las capas componentes de la capa de máscara, otros

10 materiales, por ejemplo carburo de silicio, silicio policristalino y óxido de aluminio. Además, puede ser utilizada una capa de máscara que se componga de más de dos capas componentes, lo cual aumenta las posibilidades. Tres capas componentes sucesivas pueden consistir, por

15 ejemplo, de óxido de silicio, nitruro de silicio y óxido de silicio, respectivamente. Además, el cuerpo semiconductor puede estar compuesto de un material semiconductor diferente del silicio, por ejemplo germanio o un compuesto AIII, BV.

20 Esta solicitud que corresponde a la presentada en Holanda el 17 de Marzo de 1971 bajo el nº 71 035 48, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

400794



REIVINDICACIONES

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta Patente de In-

5

1.- Un método de fabricación de un dispositivo semiconductor que tiene un cuerpo semiconductor, en el cual por intermedio de una parte de superficie del cuerpo semiconductor definida por una máscara, denominada la parte

10 te pequeña de superficie, son modificadas las propiedades eléctricas de una zona del cuerpo semiconductor adyacente a dicha parte pequeña de superficie, denominada aquí posteriormente zona pequeña, por intermedio de una parte de superficie del cuerpo semiconductor igualmente definida

15 por una máscara, denominada la parte grande de superficie, que es mayor que la parte pequeña de superficie y comprende a la misma, son modificadas las propiedades eléctricas de una zona del cuerpo semiconductor adyacente a dicha parte grande de superficie, denominada aquí posteriormen-

20 te la zona grande, caracterizado porque se dispone sobre una superficie del cuerpo semiconductor una capa de máscara que comprende al menos dos capas componentes de diferentes materiales o sea, vistas sobre la capa de máscara, una capa componente situada en posición más alta, denominada

25 da capa superior, y una capa componente adyacente, denomi-

*MLG*

400794



nada capa intermedia, y, para llevar a cabo el tratamiento para modificar las propiedades eléctricas de la zona pequeña, al menos la capa superior de la capa de máscara está provista de una abertura, denominada abertura pequeña, que define la parte pequeña de superficie del cuerpo semiconductor, y, para llevar a cabo el tratamiento para modificar las propiedades eléctricas de la zona grande, la capa intermedia está provista de una abertura, denominada abertura grande, que define la parte grande de superficie del cuerpo semiconductor, mediante ataque químico selectivo de la capa intermedia, actuando la capa superior como máscara contra dicho tratamiento de ataque químico, siendo eliminada la capa intermedia desde la abertura situada en la capa superior hacia abajo de la capa superior en una distancia que es mayor que el espesor de la capa intermedia.

2.- Un método de acuerdo con la reivindicación 1, caracterizado porque el tratamiento para modificar las propiedades eléctricas de la zona pequeña se lleva a cabo antes de disponer la abertura grande en la capa intermedia, y, después de disponer la abertura grande en la capa intermedia, la capa superior es sometida a un tratamiento de ataque químico selectivo en el cual la capa superior es eliminada al menos en la mitad de su espesor y las partes de la capa superior que sobresalen por encima de la abertura grande situada en la capa intermedia son sometidas a un

*ME*

400794



tratamiento de ataque químico por intermedio de la abertura grande situada en la capa intermedia y son eliminadas por completo.

5 3.- Un método de acuerdo con la reivindicación 1, caracterizado porque durante el tratamiento de ataque químico selectivo de la capa intermedia para obtener la abertura grande, las partes de la capa superior bajo las cuales se ha eliminado la capa intermedia, son desintegradas por vibraciones supersónicas.

10 4.- Un método de acuerdo con una o más de las reivindicaciones 1 a 3, caracterizado porque durante el tratamiento de ataque químico selectivo de la capa intermedia para obtener la abertura grande, es dividida una parte coherente de la capa intermedia por dicho tratamiento  
15 de ataque químico selectivo al menos en dos partes que están separadas entre sí.

20 5.- Un método de acuerdo con una o más de las reivindicaciones 1 a 4, caracterizado porque es utilizada una capa de máscara que protege el material semiconductor subyacente del cuerpo semiconductor, tanto de la impurificación con una impureza como de la oxidación, y las propiedades eléctricas de la zona pequeña son modificadas disponiendo una impureza por intermedio de la abertura pequeña situada en la zona pequeña, y las propiedades eléctricas de  
25 la zona grande son modificadas mediante oxidación de la

*ME*

400794

18 A



5 zona grande por medio de un tratamiento de oxidación por la abertura grande, difundiéndose adicionalmente la impureza dispuesta en la zona pequeña en el cuerpo semiconductor durante la oxidación, como resultado de lo cual se obtiene una zona impurificada localmente por debajo de la capa de óxido que es obtenida por el tratamiento de oxidación, cuya capa de óxido está insertada o incrustada en el cuerpo semiconductor al menos en parte de su espesor.

10 6.- Un método de acuerdo con una o más de las reivindicaciones 1 a 4, caracterizado porque es utilizada una capa de máscara que protege el material semiconductor subyacente del cuerpo semiconductor contra la impurificación con impurezas, y las propiedades eléctricas de la zona pequeña son modificadas mediante la disposición de una impureza por la abertura pequeña situada en la zona pequeña, y las propiedades eléctricas de la zona grande son modificadas mediante la disposición de una impureza por la  
15 abertura grande situada en la zona grande.

20 7.- Un método de acuerdo con una o más de las reivindicaciones precedentes, caracterizado porque las propiedades eléctricas de la zona pequeña son modificadas mediante difusión de una impureza por la abertura pequeña antes de proveer a la capa intermedia de la abertura grande.

25 8.- Un método de acuerdo con la reivindicación 5

*ME*

400794



o las reivindicaciones 5 y 7, caracterizado porque mediante el tratamiento de oxidación se dispone una capa de óxido insertada, la cual, vista en una dirección perpendicular a la superficie del cuerpo semiconductor, sobresale más allá de la zona impurificada al menos a lo largo de una parte de la circunferencia de dicha zona.

9.- Un método de acuerdo con la reivindicación 5 o la reivindicación 5 y al menos una de las reivindicaciones 7 y 8, caracterizado porque después de la disposición de la abertura grande se lleva a cabo un tratamiento de ataque químico mediante el cual se forma un rebaje en la superficie del cuerpo semiconductor en la región de la abertura grande en la capa de máscara, extendiéndose dicho rebaje hasta una distancia más pequeña de la superficie que la zona pequeña, siendo entonces llevado a cabo el tratamiento de oxidación en el cual el rebaje es llenado al menos parcialmente con óxido.

10.- Un método de acuerdo con la reivindicación 5 o la reivindicación 5 y al menos una de las reivindicaciones 7 y 8, caracterizado porque antes de la disposición de la impureza por la abertura pequeña situada en la zona pequeña, el cuerpo semiconductor es sometido a un tratamiento de eliminación de material por la abertura pequeña, como resultado del cual se forma un rebaje en la región de dicha abertura pequeña en la superficie del cuerpo semicon-

ME

400794

18



ductor, siendo llenado dicho rebaje al menos parcialmente con óxido durante el tratamiento de oxidación.

5 11.- Un método de acuerdo con la reivindicación 5 o la reivindicación 5 y una o más de las reivindicaciones 7 a 10, caracterizado porque se utiliza un cuerpo semiconductor que comprende una capa de superficie de un tipo de conductividad contigua a la superficie del cuerpo semiconductor a proteger por máscara, y una parte, denominada substrato, del tipo de conductividad opuesta contigua a dicha capa de superficie, siendo dividida la capa de superficie en varias islas por medio de zonas de aislamiento, disponiéndose como zona del tipo de conductividad opuesta la zona impurificada contigua a la capa de óxido que está insertada en el cuerpo semiconductor al menos en parte de su espesor, disponiéndose en la forma de una pauta o modelo al menos una parte de la capa de óxido insertada y la parte de la zona impurificada contigua a dicha parte de la capa de óxido, en el cual dichas partes rodean las islas, formando parte de las zonas de aislamiento al menos la mencionada parte de la capa de óxido.

15 12.- Un método de acuerdo con la reivindicación 5 o la reivindicación 5 y una o más de las reivindicaciones 7 a 10, caracterizado porque la zona impurificada contigua a la capa de óxido insertada se construye como zona de interrupción de canal para cuyo fin se dispone como zona del

1-4 SEP 1972

400794

mismo tipo de conductividad y tiene una concentración de impurezas más alta que la parte del cuerpo semiconductor que rodea la zona.

13.- Un método de acuerdo con las reivindicaciones 8 y 12, caracterizado porque se utiliza un cuerpo semiconductor, del cual al menos una parte contigua a la superficie a proteger es de un tipo de conductividad y se disponen en dicha parte la capa de óxido insertada junto con la zona impurificada adyacente, comprendiendo la capa de óxido, vista en una dirección perpendicular a la superficie del cuerpo semiconductor, una abertura que está rodeada por la zona impurificada que tiene una abertura mayor, cuyo borde se encuentra por completo debajo de la capa de óxido insertada, siendo formada una zona de superficie de un elemento de circuito semiconductor en la mencionada parte del cuerpo semiconductor en la región de la abertura situada en la capa de óxido cuya zona de superficie, al menos a lo largo de parte de su circunferencia, queda en posición contigua a la capa de óxido que rodea dicha abertura y que está separada de la zona impurificada.

14.- Un método de acuerdo con la reivindicación 13, en particular para la fabricación de un transistor de efecto de campo de electrodo de control aislado, caracterizado porque en la mencionada parte del cuer

1.9.72

*MCE*



400794

po semiconductor en la región de la abertura situada en la capa de óxido insertada, se disponen dos zonas de superficie del tipo de conductividad opuesta que están separadas entre sí, las cuales, al menos a lo largo de --  
5 parte de su circunferencia, quedan en posición contigua a la capa de óxido que rodea la abertura, están separadas de la zona impurificada y constituyen la zona del electrodo de entrada y la zona del electrodo de salida del transistor con la región de canal intermedia, y por  
10 que se dispone un electrodo de control encima de la zona de canal y está aislado de éste por una capa aislante cuyo espesor es más pequeño que el espesor de la capa de óxido insertada.

15 15.- Un método de acuerdo con la reivindicación 13, en particular para fabricación de una placa fotosensible, caracterizado porque se dispone en dicha -- parte del cuerpo semiconductor una capa de óxido insertada o incrustada que comprende varias aberturas en la cual, vista en una dirección perpendicular a la superfi  
20 cie cada abertura está rodeada por la zona impurificada de interrupción de canal y en la cual por medio de cada una de estas aberturas se dispone una zona de superficie del tipo de conductividad opuesta en el cuerpo semiconductor, y, a lo largo de su circunferencia, queda conti  
25 gua a la capa de óxido insertada y forma una unión p-n

1.9.72

- 85 -

*AME*

400794



con el material semiconductor subyacente, cuya unión se extiende sustancialmente paralela a la superficie del cuerpo semiconductor y que está separada de la zona impurificada.

5                   16.- Un método de fabricación de un dispositi  
va semiconductor, particularmente un transistor de efec  
to de campo de electrodo de control aislado de acuerdo  
con la reivindicación 8, caracterizado porque la zona  
pequeña y la zona grande se encuentran en una región de  
10 un tipo de conductividad del cuerpo semiconductor conti  
gua a la superficie a proteger y se disponen dos zonas  
del tipo de conductividad opuesta en dicha región y cons  
tituyen la zona del electrodo de entrada y la zona del  
electrodo de salida del transistor con la región de ca  
15 nal intermedia, estando constituida la zona del electro  
do de salida como zona impurificada obtenida por debajo  
de la capa de óxido insertada, solapando la capa de óxi  
do insertada una parte de la región de canal contigua a  
la zona del electrodo de salida, y disponiéndose una ca  
20 pa aislante sobre la superficie de la región de canal  
que se encuentra entre la zona del electrodo de entrada  
y la capa de óxido insertada siendo dicha capa aislante  
más delgada que la capa de óxido insertada, disponiéndose  
se el electrodo de control del transistor sobre dicha  
25 capa delgada.

1.9.72

- 86 -

*MCE*

400794

24



17.- Un método de acuerdo con la reivindicación 6 o las reivindicaciones 6 y 7 de fabricación de una unión p-n que tiene una tensión de avalancha aumentada caracterizado porque la zona pequeña y la zona grande se encuentran en una región de un tipo de conductividad del cuerpo semiconductor contigua a la superficie a proteger, extendiéndose la zona pequeña desde la superficie en dicha región más profundamente que la zona grande, siendo convertidos los tipos de conductividad de las zonas de un tipo de conductividad en el otro mediante im-  
purificación con impurezas, obteniéndose una concentra-  
ción de superficie más alta de dichas impurezas en la zona pequeña que en las partes de la zona grande que rodean a la zona pequeña.

18.- Un método de acuerdo con la reivindicación 6 o las reivindicaciones 6 y 7, en particular para la fabricación de un transistor, caracterizado porque la zona pequeña y la zona grande se encuentran en una región de un tipo de conductividad del cuerpo semiconductor en posición contigua a la superficie a proteger por máscara, extendiéndose la zona grande desde la superficie a proteger por máscara más profundamente en dicha región que la zona pequeña, siendo aumentada la concentración de impurezas que determina el tipo de conductividad mencionado en la zona pequeña, disponiéndose las

1.9.72

*McE*

400794



impurezas que determinan el tipo de conductividad opues-  
te en la zona grande con una concentración cuyo valor  
está comprendido entre el de las impurezas en dicha re-  
gión de un tipo de conductividad y el de la zona peque-  
5 ña de un tipo de conductividad, de modo que la parte de  
la zona grande que rodea la zona pequeña adquiere el ti-  
po de conductividad opuesta, como resultado de lo cual  
se obtiene una estructura de transistor cuya zona peque-  
ña constituye la zona de emisor, la parte de la zona  
10 grande que rodea a la zona pequeña está asociada con la  
zona de base y la parte de dicha región del cuerpo semi-  
conductor que rodea a la zona grande constituye la zona  
de colector.

19.- Un método de acuerdo con la reivindicación  
15 ción 18, caracterizado porque simultáneamente con la  
formación de la abertura pequeña en la capa superior,  
se dispone una abertura adicional que se encuentra cer-  
ca de dicha abertura pequeña en la capa superior, sien-  
do protegida contra la impurificación la parte de super-  
20 ficie del cuerpo semiconductor que se encuentra bajo la  
abertura adicional por la capa intermedia durante la im-  
purificación de la zona pequeña por intermedio de la  
parte pequeña de superficie siendo también sometida la  
capa intermedia, a través de la abertura adicional en  
25 la parte superior, al tratamiento de ataque químico se-

*Handwritten signature or initials.*

400794



lectivo durante la formación de la abertura grande en la capa intermedia, como resultado de lo cual se elimina una parte de la capa intermedia que define una capa adicional de superficie del cuerpo semiconductor y que se encuentra bajo la abertura adicional, siendo entonces modificadas por impurificación con impurezas las propiedades eléctricas de la zona grande y de una zona situada junto a la parte adicional de superficie y contigua a la zona grande.

20.- Un método de acuerdo con una o más de las reivindicaciones precedentes, caracterizado porque se utiliza una capa de máscara que tiene una capa componente de nitruro de silicio y una capa componente de óxido de silicio.

21.- Un método de acuerdo con una o más de las reivindicaciones 3 a 13, caracterizado porque después que se han modificado las propiedades eléctricas de la zona pequeña y antes de proveer a la capa intermedia de una abertura grande, la capa intermedia es sometida a un tratamiento de ataque químico selectivo intermedio por medio de la abertura pequeña situada en la capa superior, como resultado de lo cual se forma una abertura en la capa intermedia que define una parte adicional de superficie del cuerpo semiconductor que comprende la parte pequeña de superficie, después de lo

1.9.72

*ME*

400794



cual son modificadas las propiedades eléctricas de una zona adicional de superficie del cuerpo semiconductor contigua a dicha parte adicional de superficie por dicha abertura.

5                    22.- Un método de acuerdo con las reivindicaciones 11 y 21 caracterizado porque se introduce en dicha zona adicional de superficie una impureza que determina uno de los tipos de conductividad con una concentración que es más baja que la concentración de la impureza en la zona pequeña y se obtiene mediante el tratamiento de oxidación de la zona grande una capa de óxido insertada que se extiende en la capa de superficie en parte del espesor de la capa de superficie, como resultado de lo cual se obtiene una zona de aislamiento que es  
10                    tá constituida por la capa de óxido que está insertada al menos en parte de su espesor en el cuerpo semiconductor y por la zona impurificada contigua del tipo de conductividad opuesto, siendo formada una zona de interrupción de canal que queda adyacente a la capa de óxido y  
15                    a la zona impurificada en la zona de superficie y que tiene el mismo tipo de conductividad que la capa de superficie pero con una concentración de impurezas más alta.

20                    23.- Un método de fabricación de un dispositivo semiconductor.

1.9.72

ME

-4 SET. 1972

400794

Tal y como se ha descrito en la Memoria que an  
tecede, representado en los dibujos que se acompañan y  
con los fines que se han especificado.

Esta Memoria consta de noventa y una hojas es  
5 critas a máquina por una sola cara.

Madrid, -4 SET. 1972

P.A.

Alberto de Elzoburu  
Por Poder *Alta*

*ME*

1.9.72  
ASM

- 91 -

400794

18 AER.

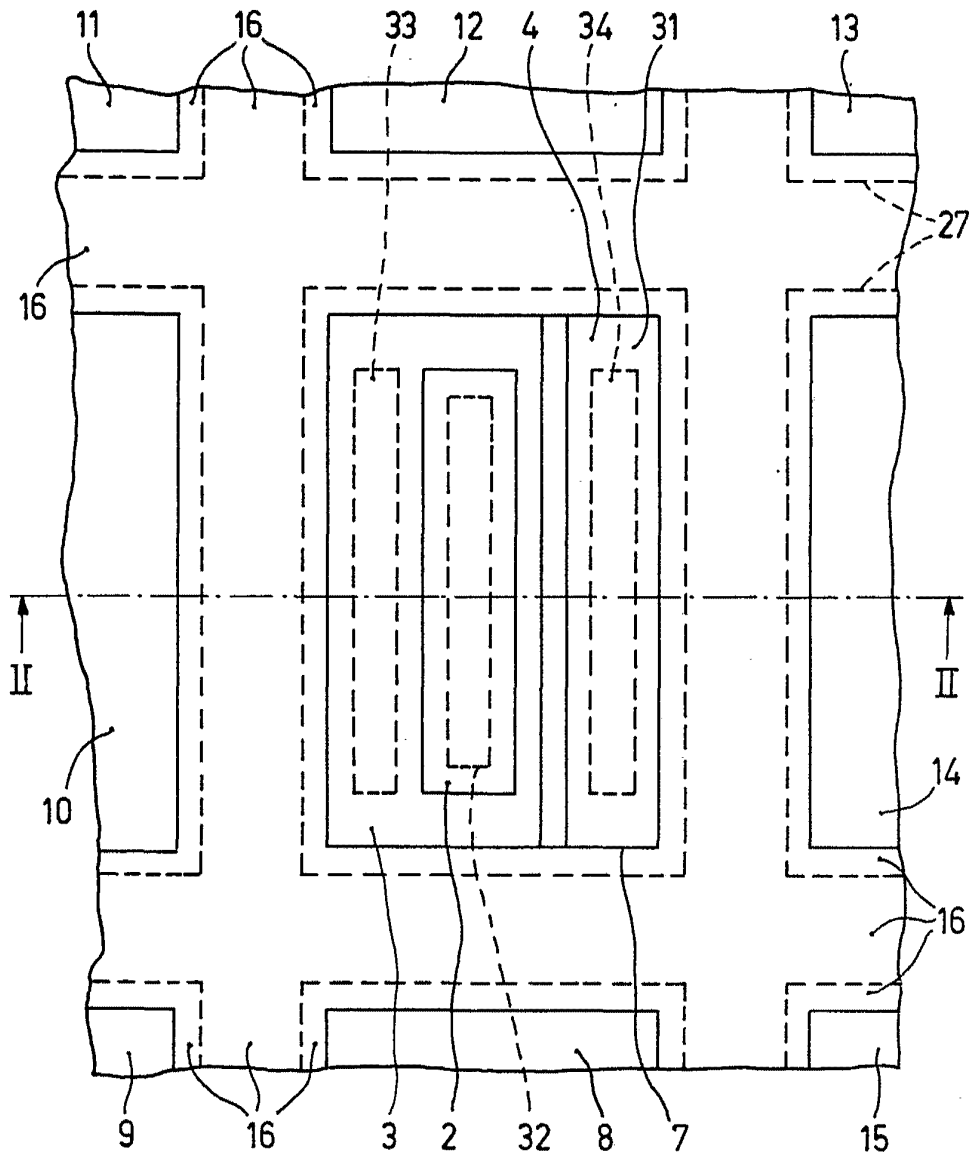


Fig.1

Alberto de Rizcay  
 Por Poder

400794

78 ABR

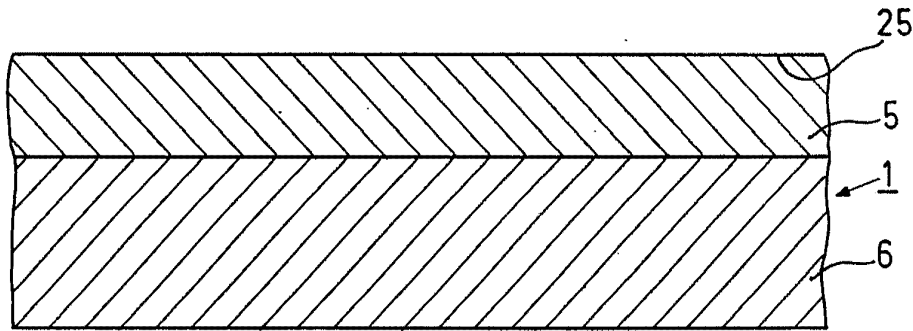


Fig. 2a

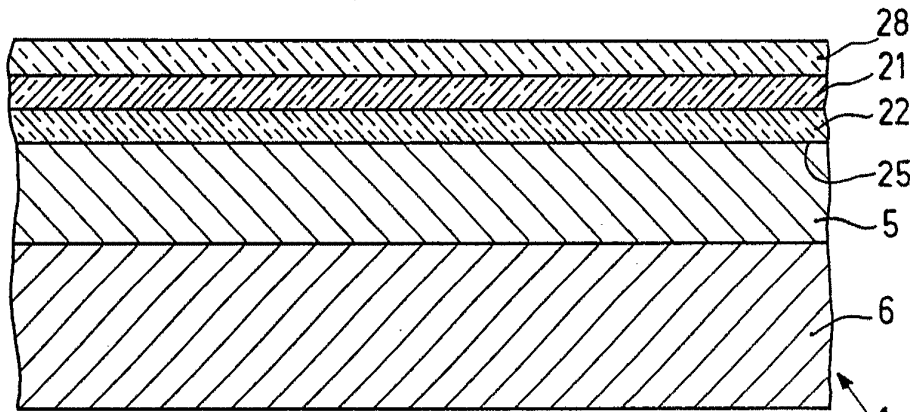


Fig. 2b

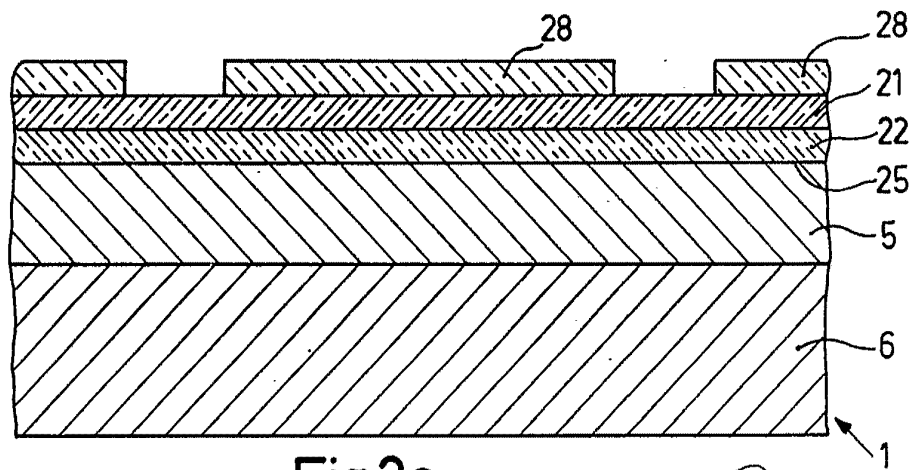


Fig. 2c

Alberto de Bizaburu  
Por Poder

400794

18 APR 1918

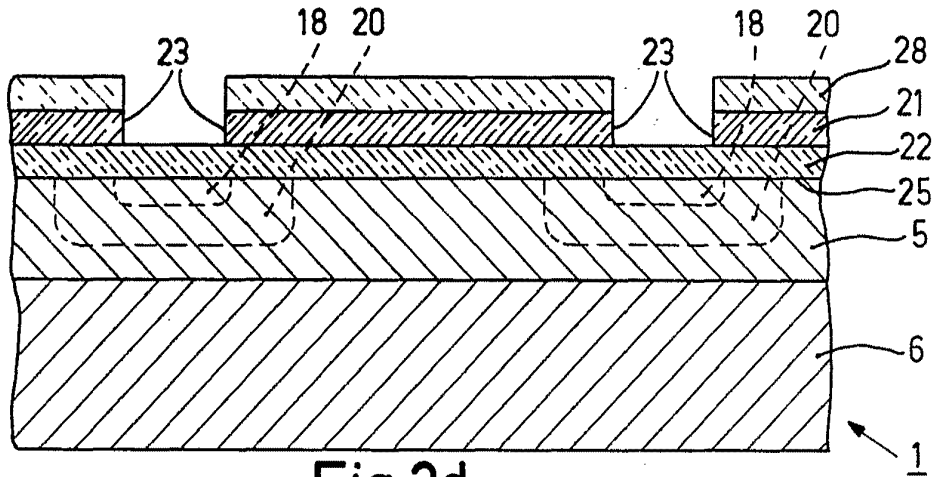


Fig. 2d

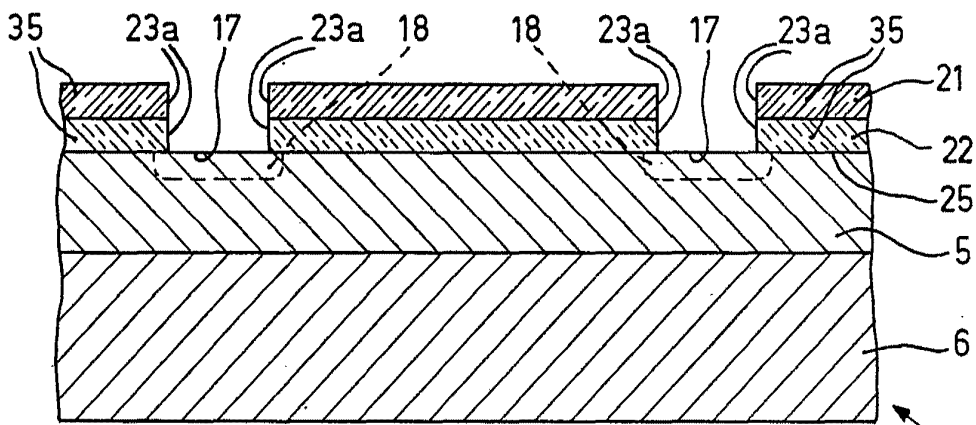


Fig. 2e

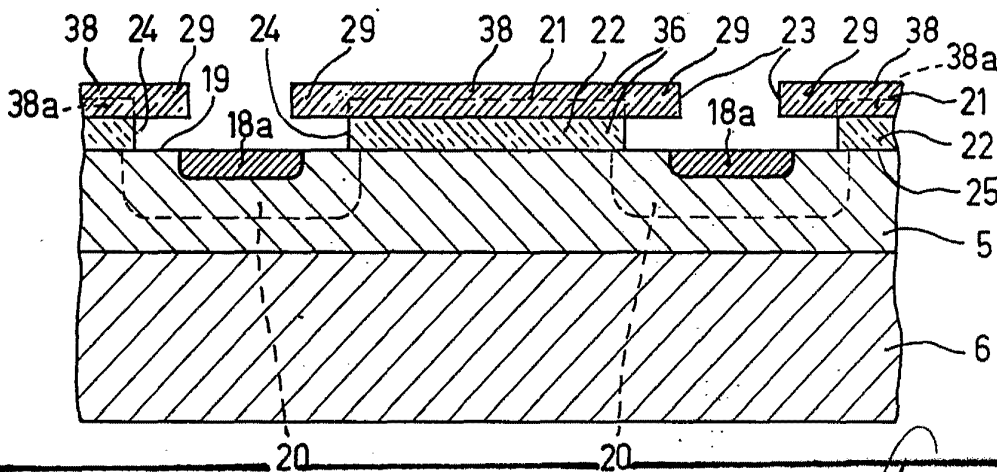


Fig. 2f

Albert C. Schmitt  
Per Forster

400794

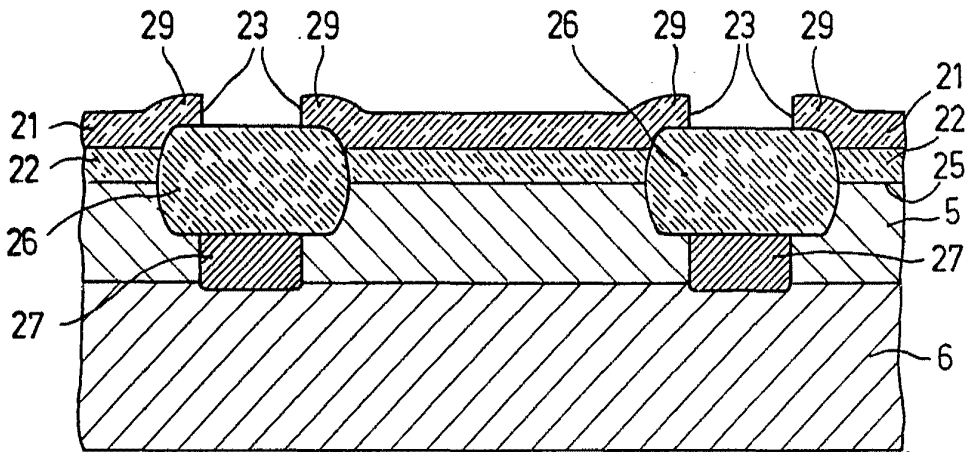


Fig. 2g

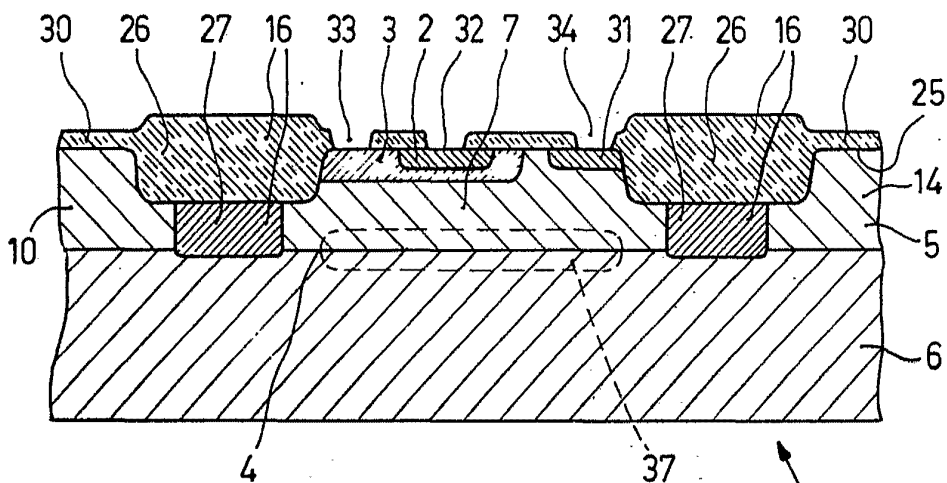


Fig. 2h

Alberto de Mazarin  
For Patent

400794

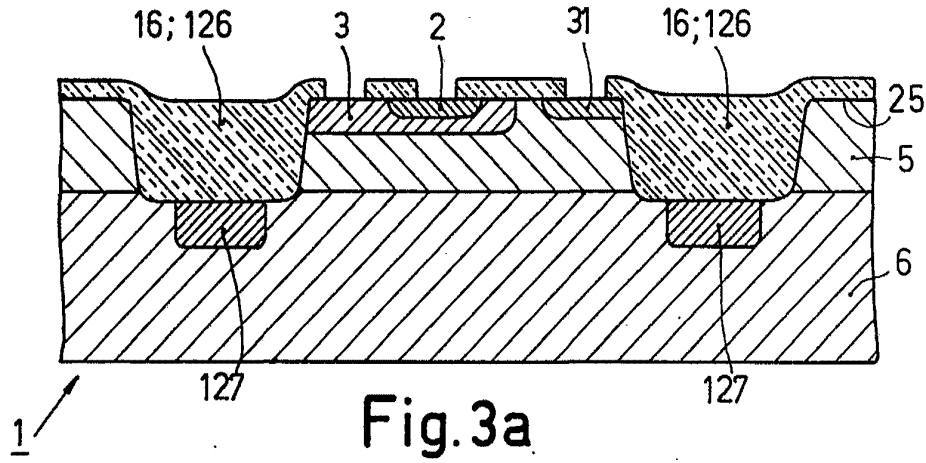


Fig. 3a

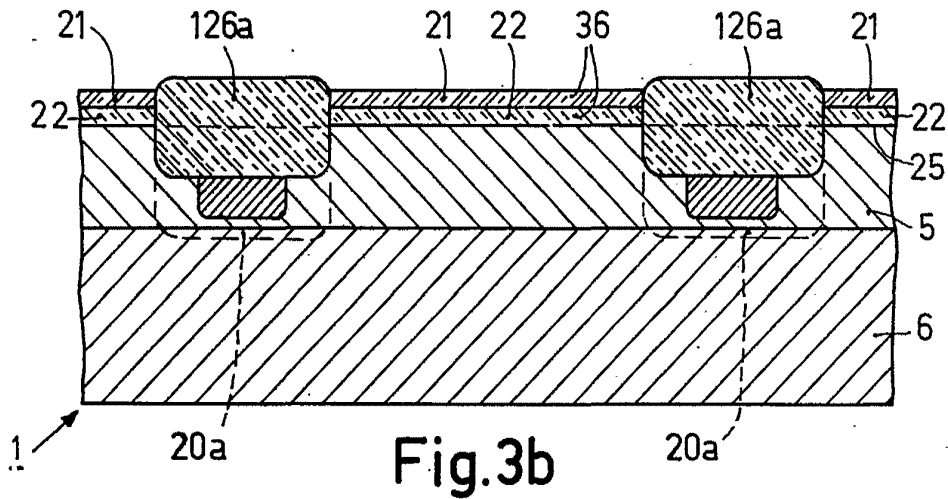


Fig. 3b

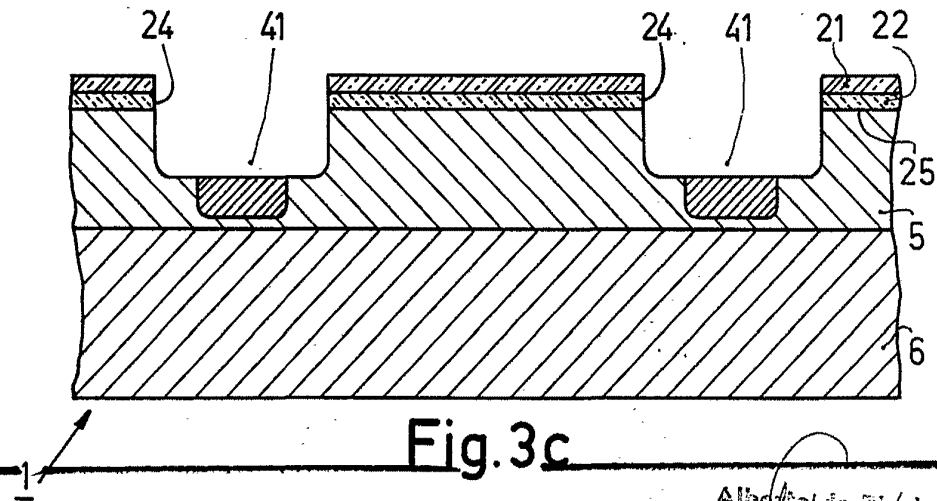


Fig. 3c

Albertus & Co. Patent  
Per Fedus

400794

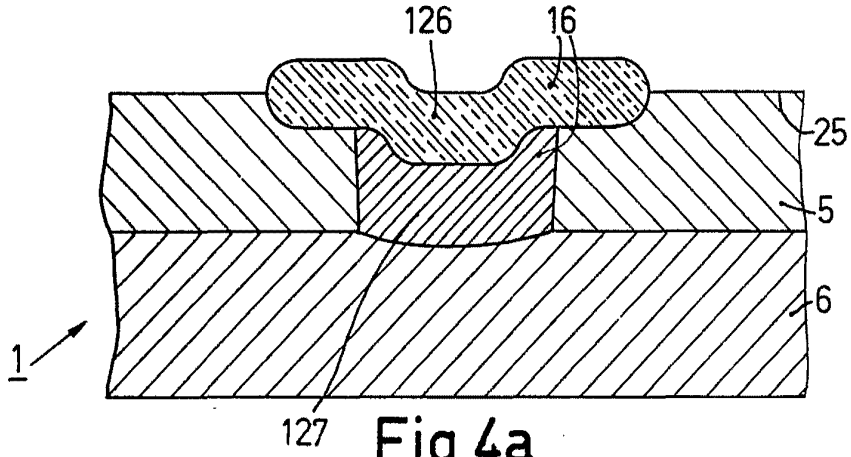


Fig. 4a

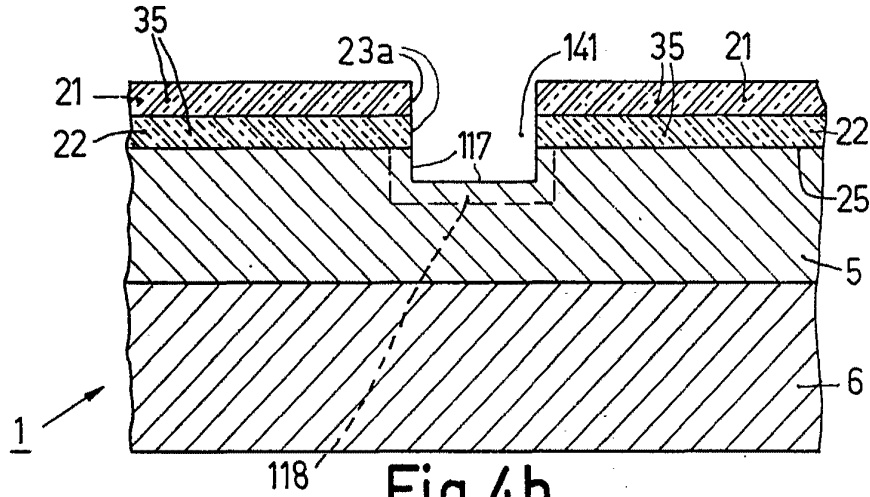


Fig. 4b

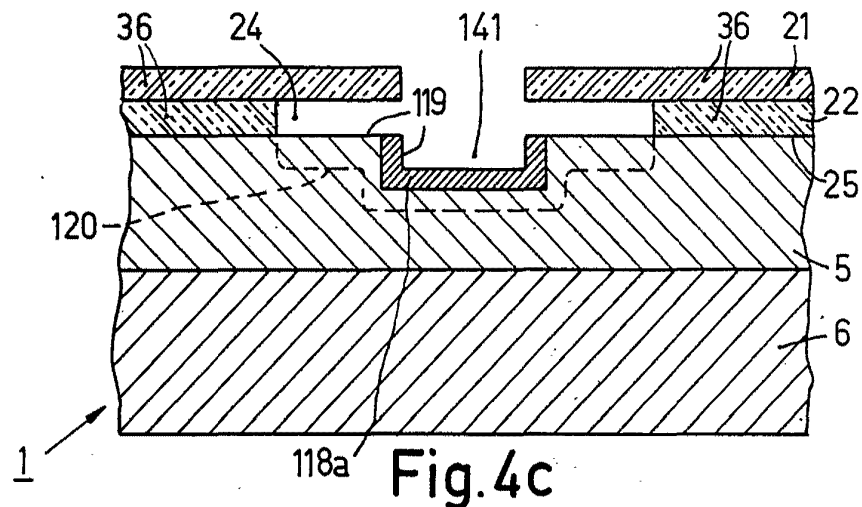


Fig. 4c

Alberto da Basciolo  
Per Fodas

400794

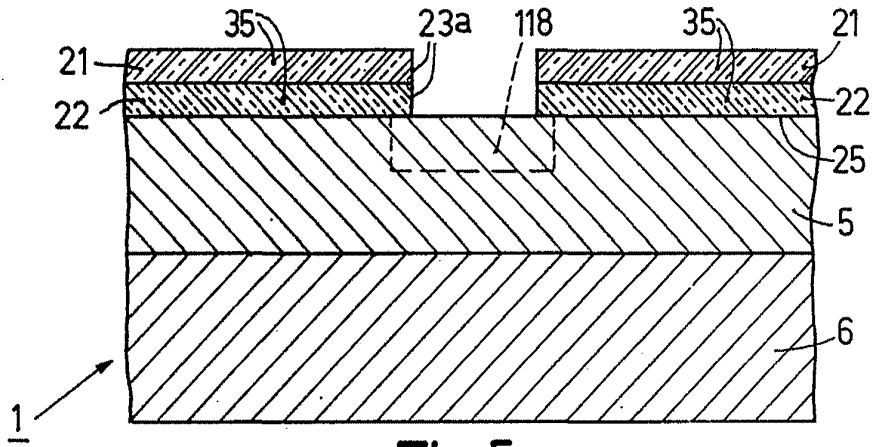


Fig. 5a

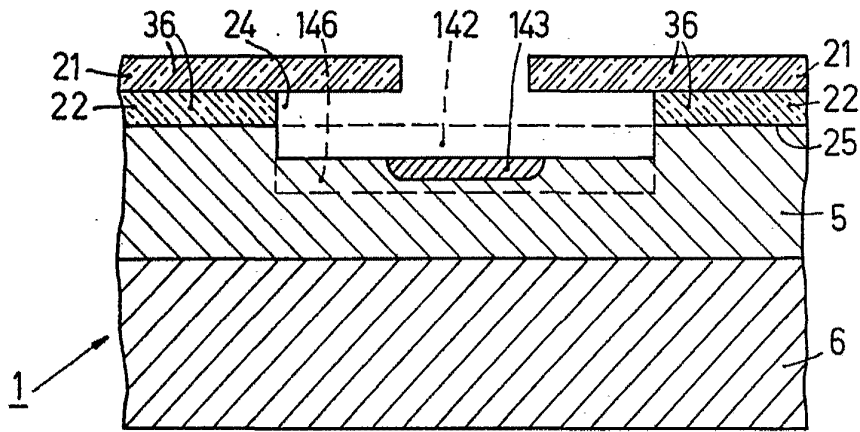


Fig. 5b

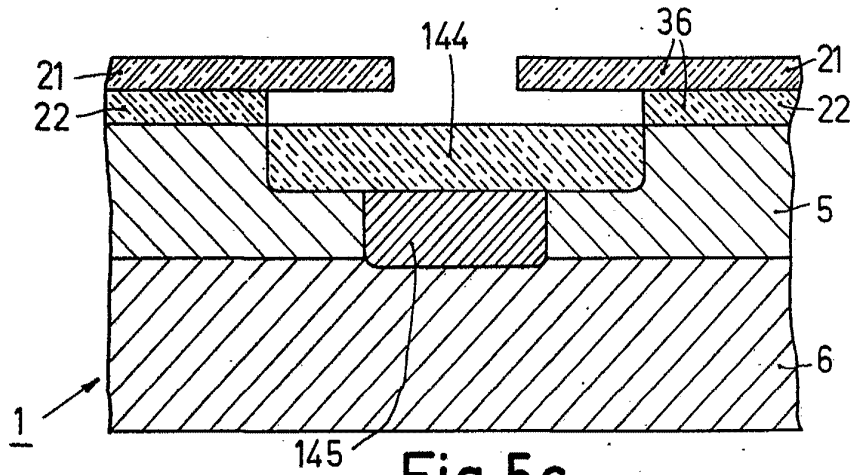


Fig. 5c

Albert  
F. G. ...

400794

18 APR 1910

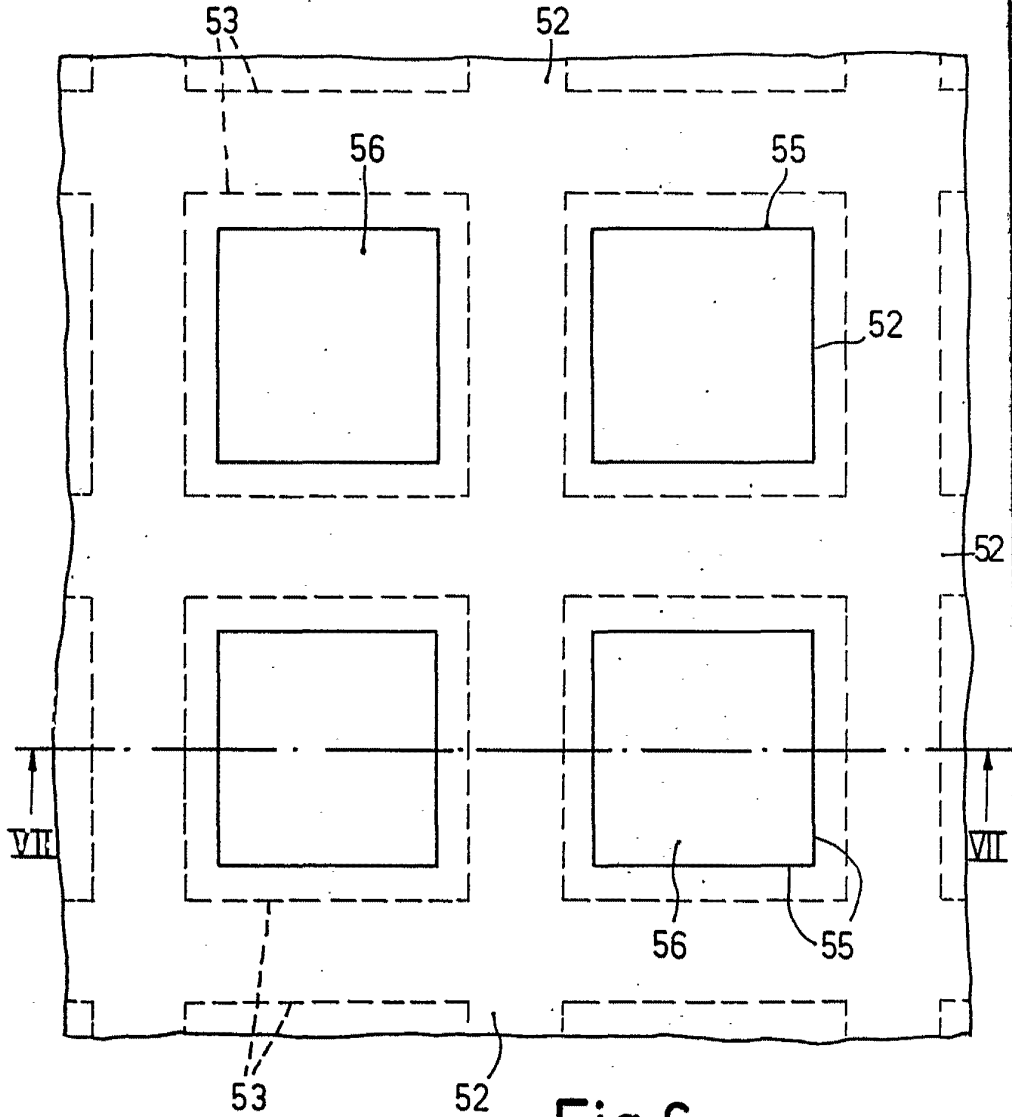


Fig. 6

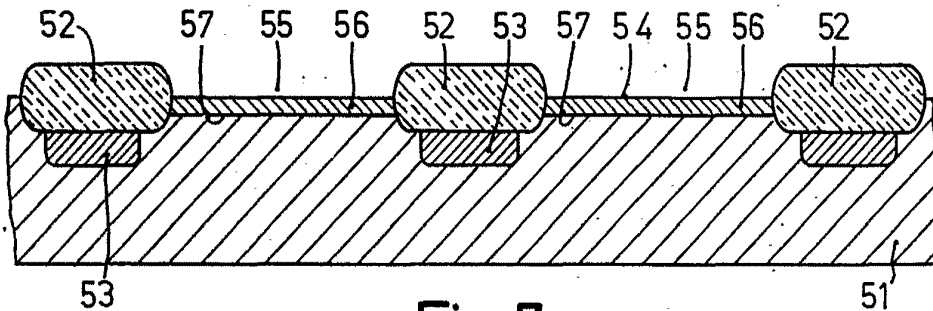


Fig. 7

Alberto de Fozzetta  
For Foder

*[Handwritten signature]*

400794

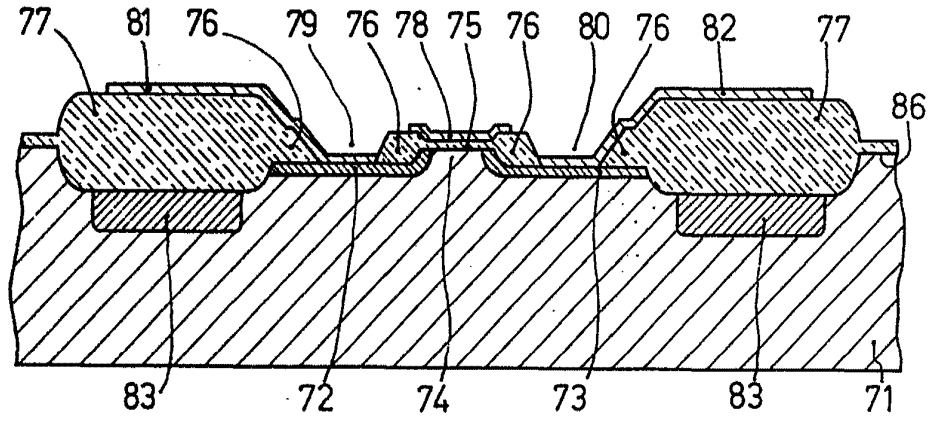


Fig. 8a

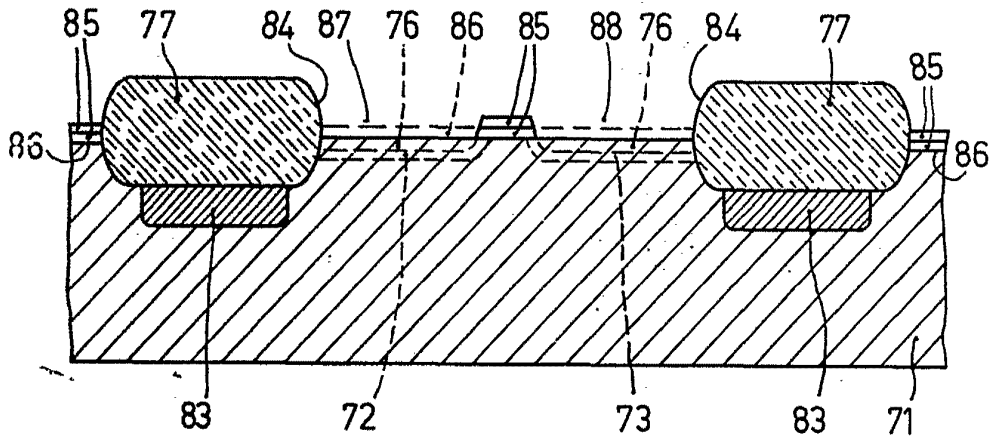


Fig. 8b

Alberto da E. H. ...  
For Patent.

*Alberto da E. H.*

400794

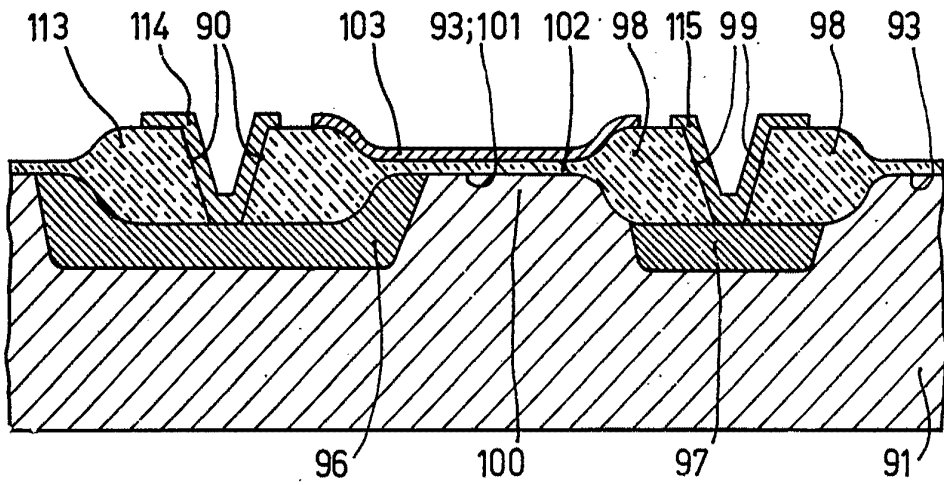


Fig.9a

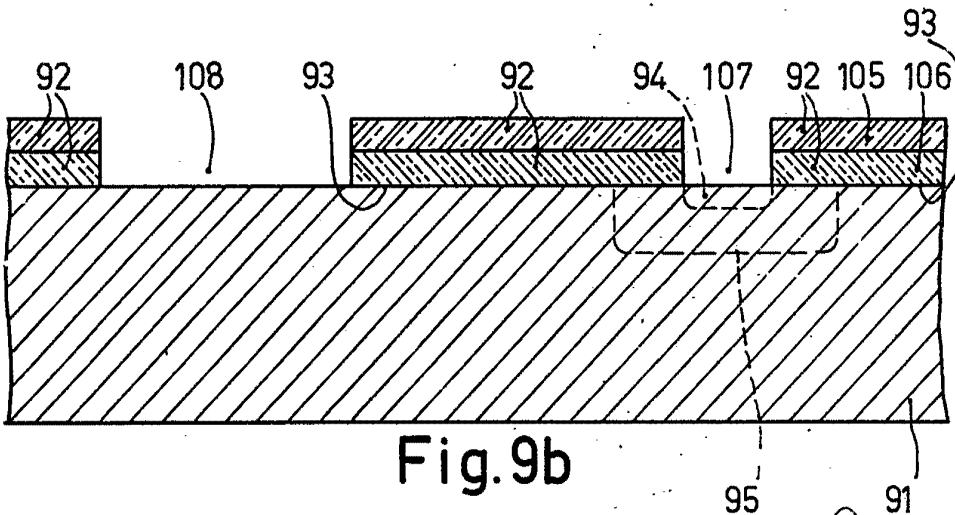


Fig.9b

Alberto de Eizaburu  
Por Foddy

400794

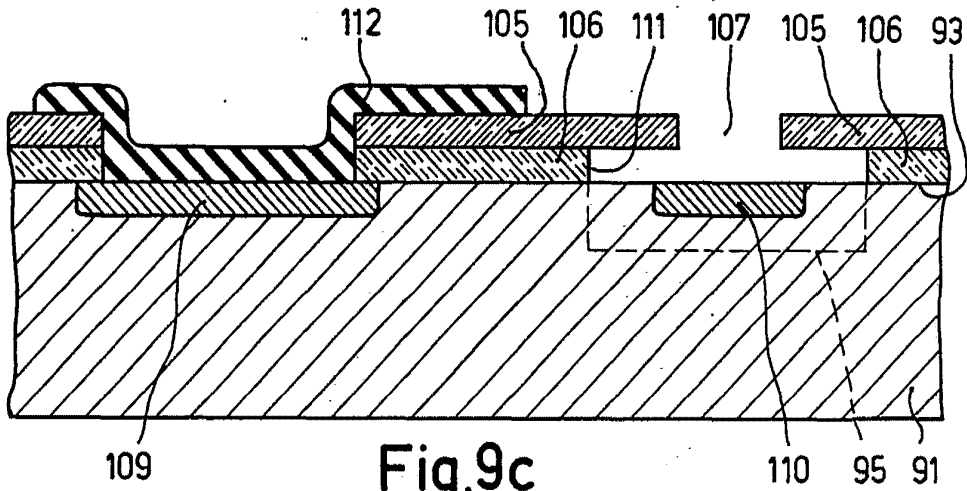


Fig. 9c

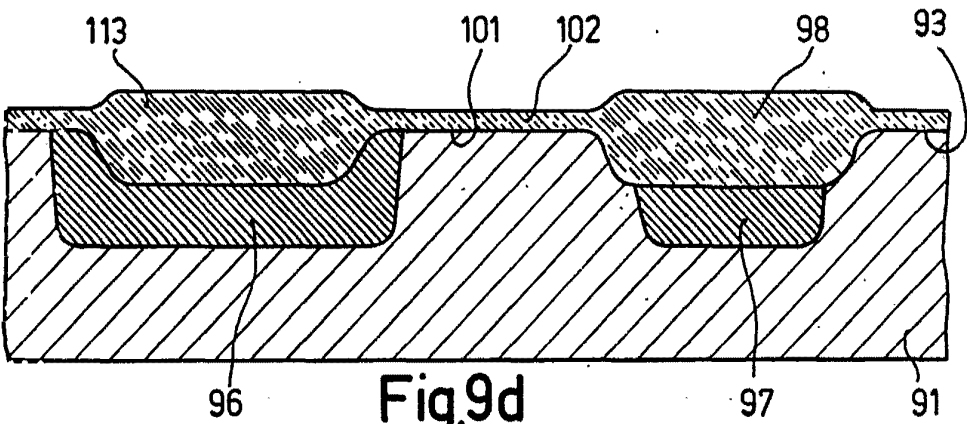


Fig. 9d

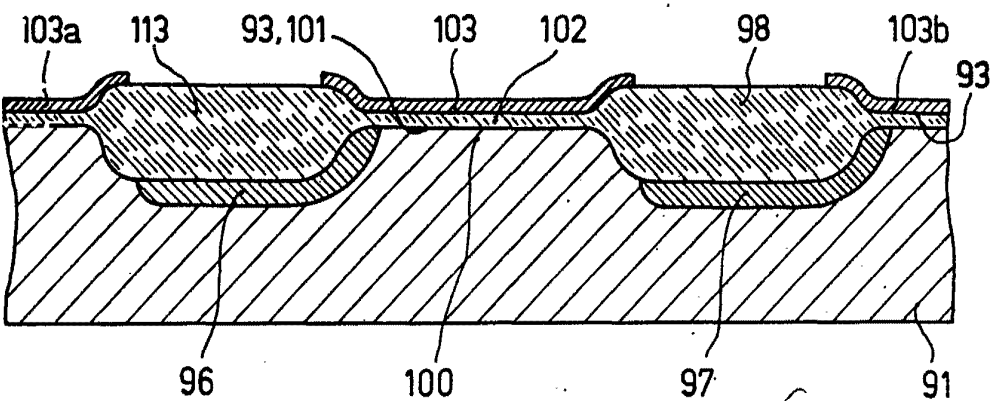


Fig. 9e

Alberto de Blaquiere  
Per Padova

400794 B AEM

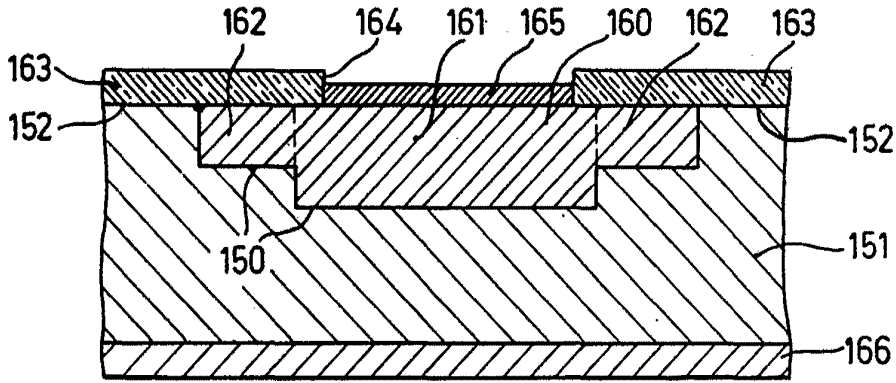


Fig.10a

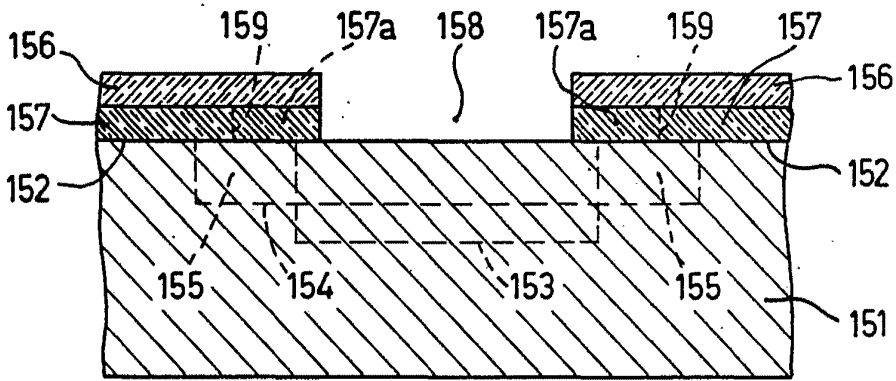


Fig.10b

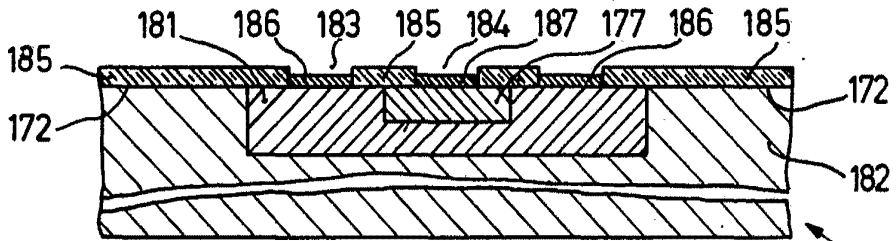


Fig.11a

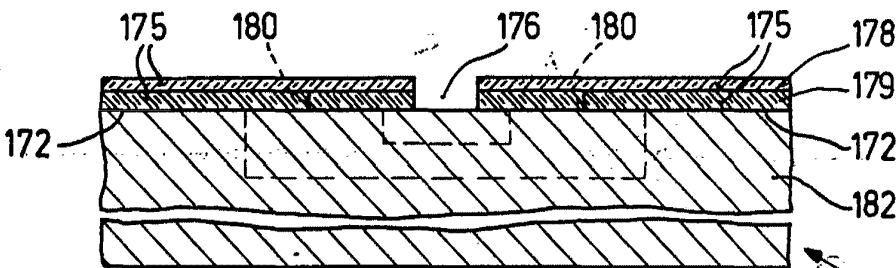
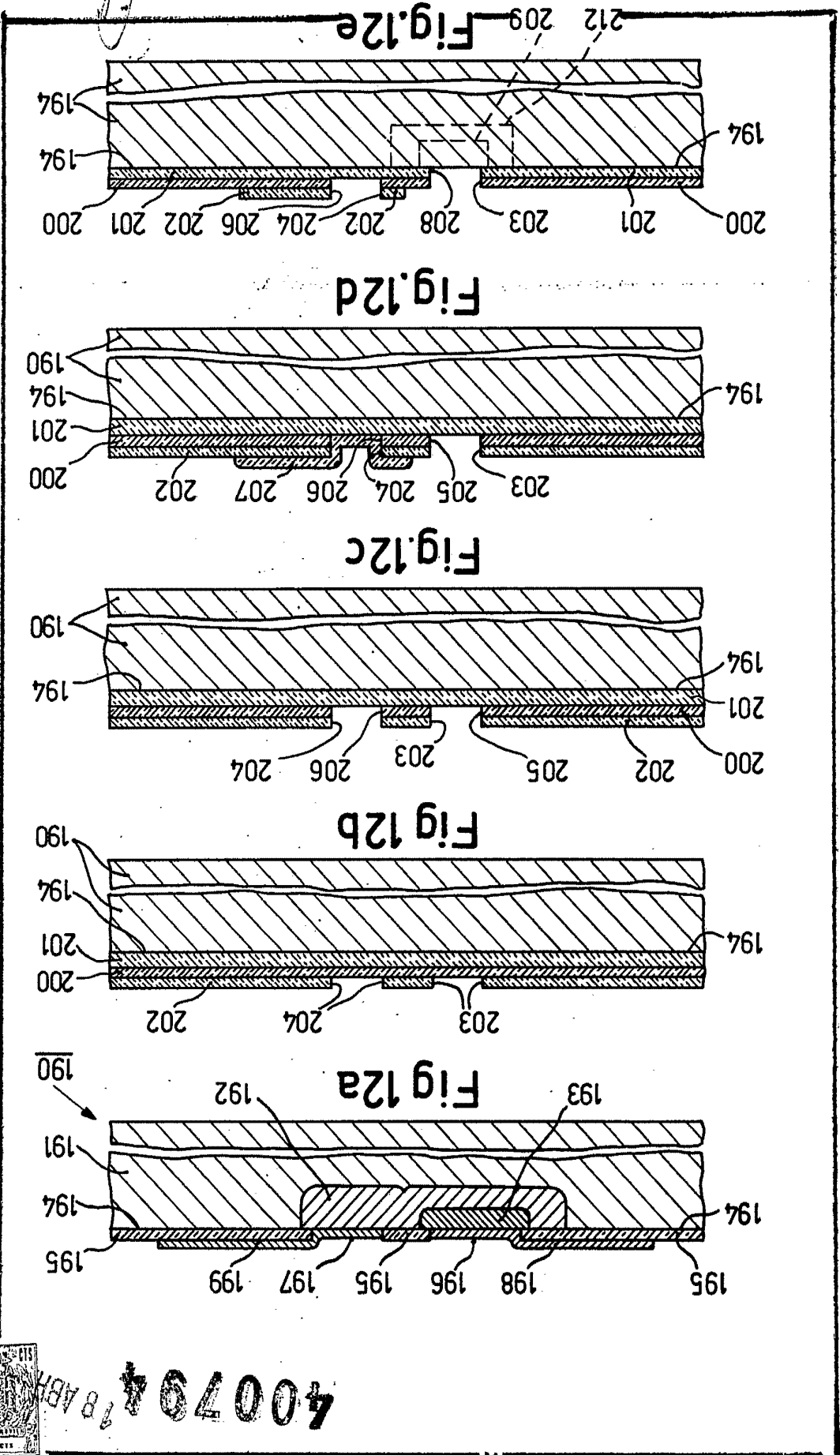


Fig.11b

Alfred ...  
Prop. ...

Alberto de Euzkadi  
Por Todos

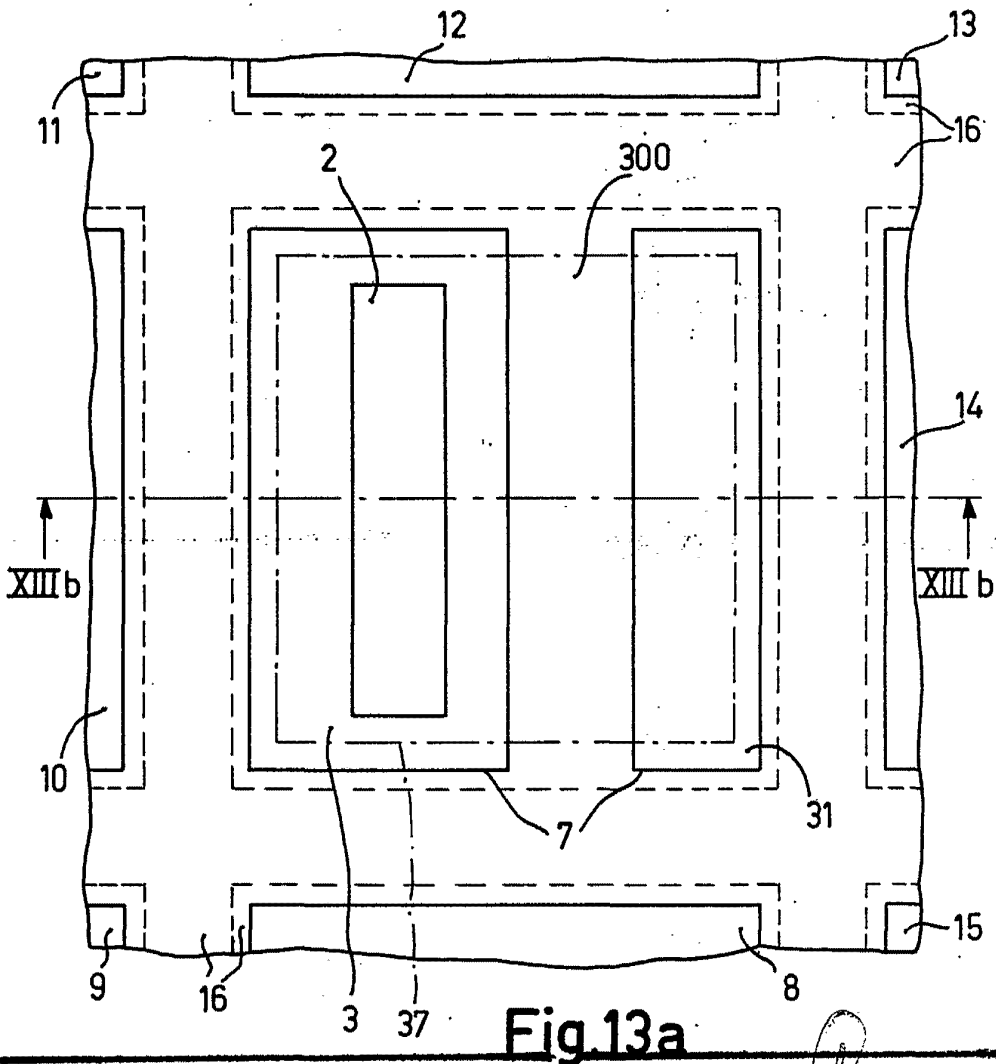
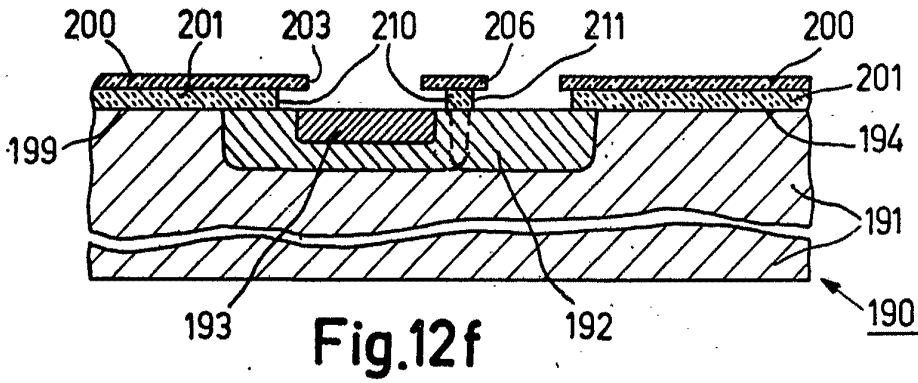


400794 18 ABN

150342  
XIII/XVIII

M. V. PHILIPPENGLAMPFABRIKEN

400794<sup>1</sup> B AB



Alberto de Eizoburu  
Por Poder.

400794

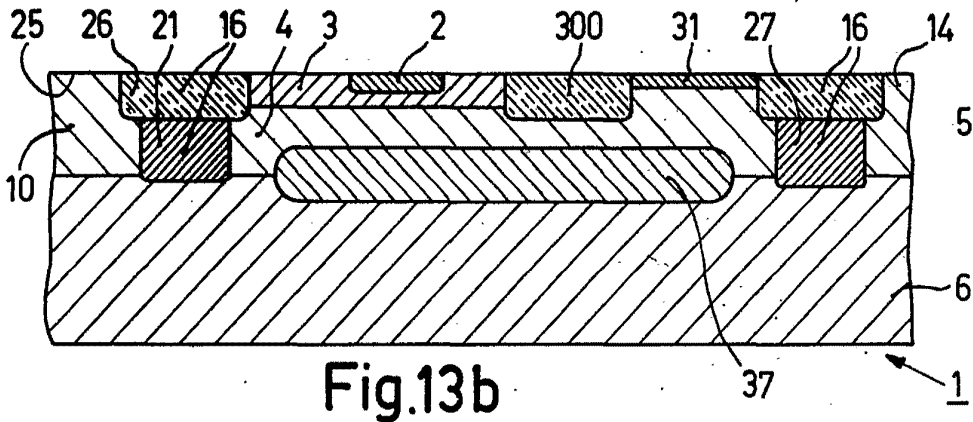


Fig.13b

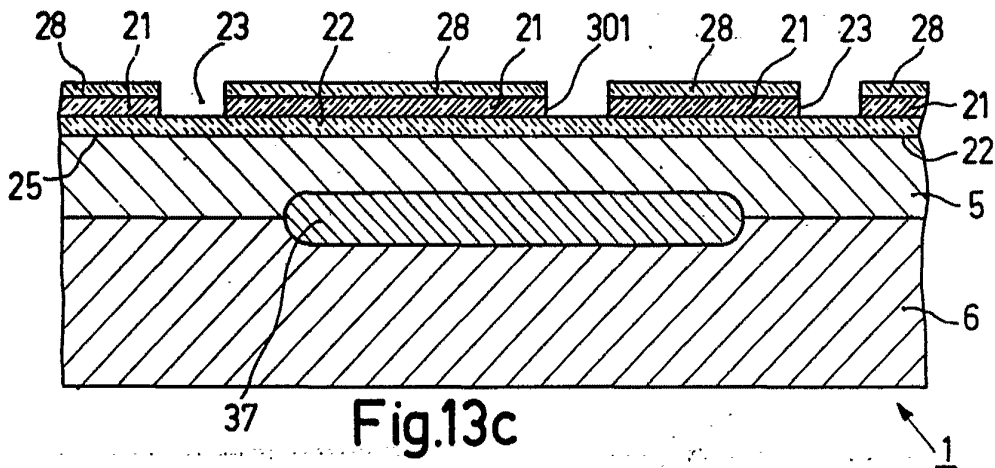


Fig.13c

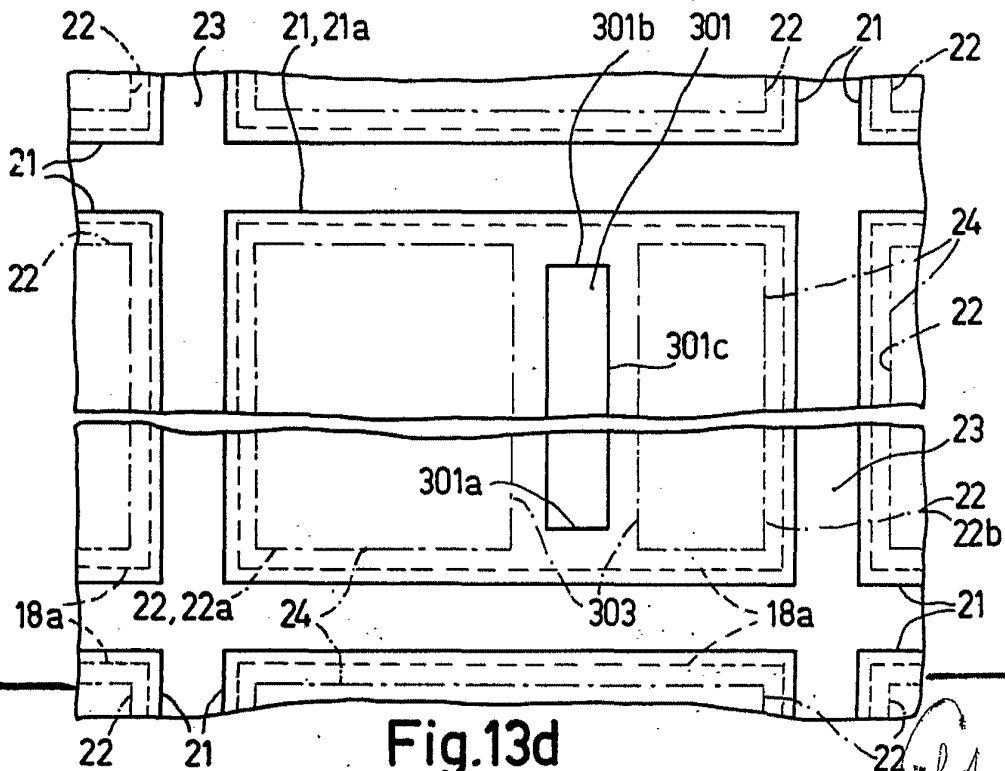
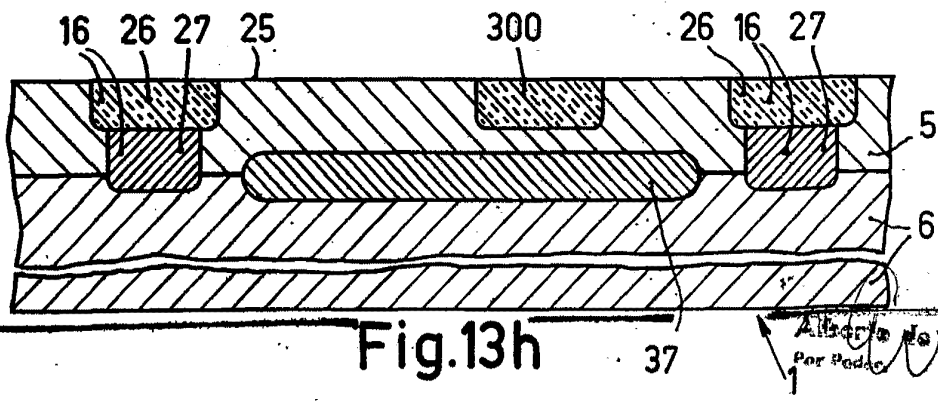
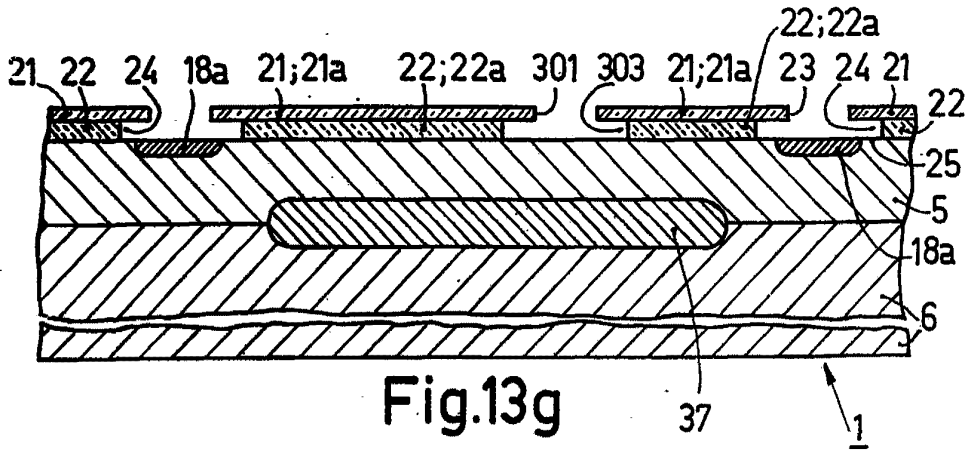
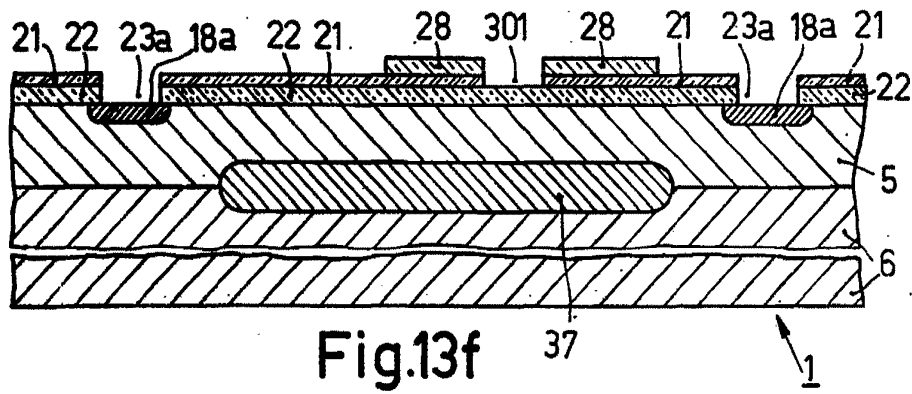
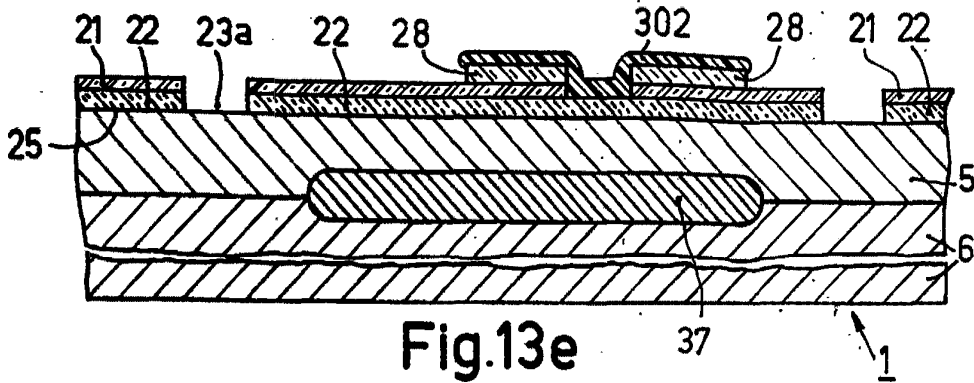


Fig.13d

Alberto de S. ...  
Por Poder.

400794



Alberca de Sta. Cruz  
Por Pedro

400794

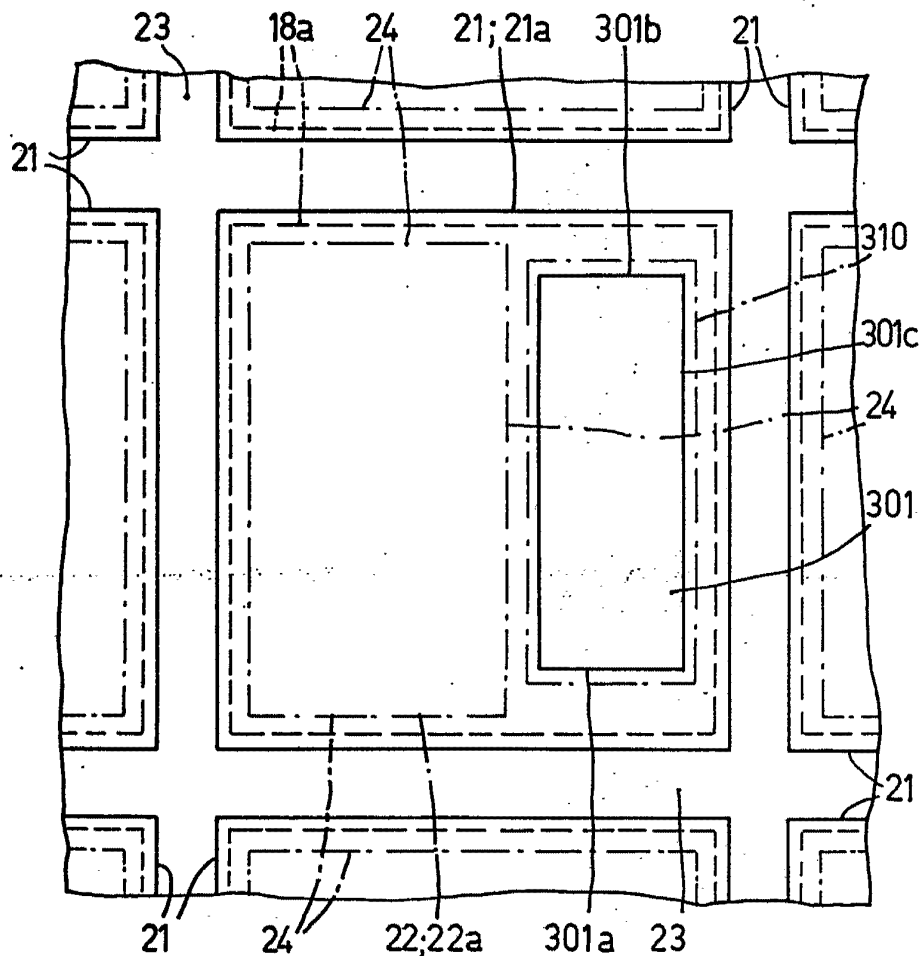


Fig.14a

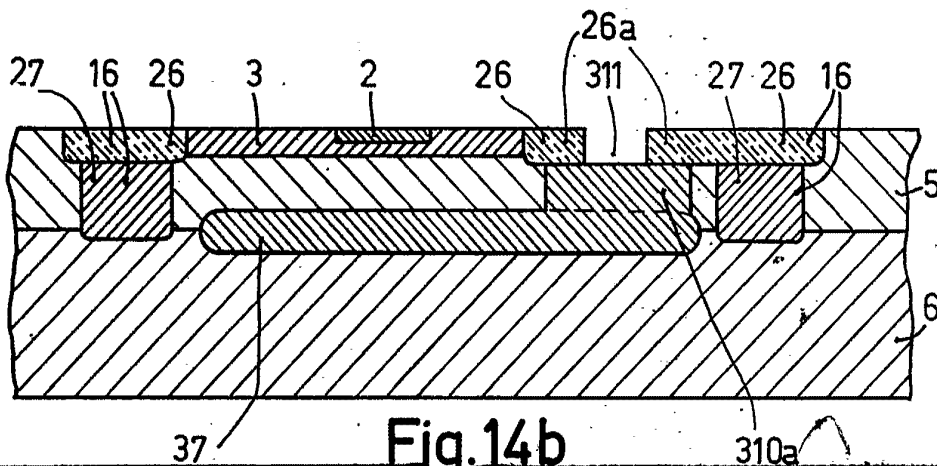


Fig.14b

Alberto de Aizaburu  
Per Podar

400794 18 ABR.

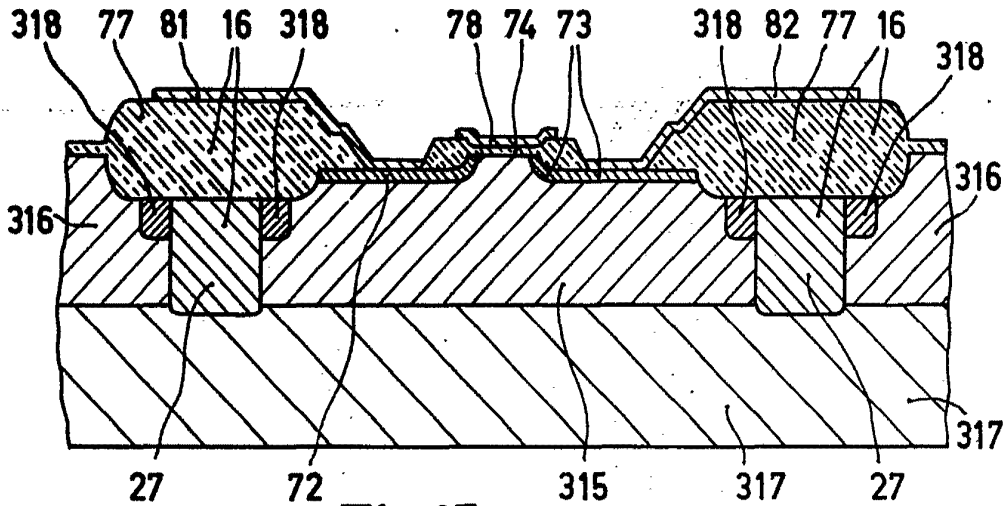


Fig.15a

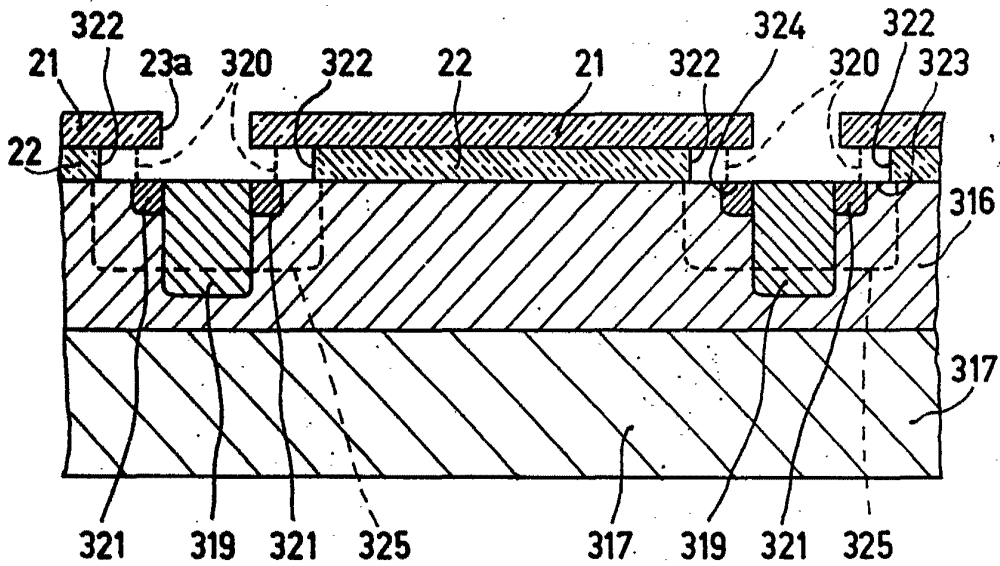


Fig.15b

Alberto de Alzaburu  
Por Poder