

389031

9 MAR.



PATENTE DE INVENCION

SECCION TECNICA	
CLASIFICACION I. P. C.	
CLASE	H03 G06
SUBCLASE	K F

Que por veinte años para España y sus Provincias de Ultramar se solicita, a favor de THE NATIONAL CASH REGISTER COMPANY, de nacionalidad estadounidense, domiciliado en Dayton, Ohio(Estados Unidos) por:"UN CIRCUITO INTEGRADO!"

Memoria Descriptiva

Esta invención, se refiere a circuitos integrado. Con el descubrimiento de los circuitos integrado, y especialmente con las técnicas de la integración a gran escala, se ha hecho posible construir muchos circuitos lógicos diferentes sobre un diminuto trozo de material semiconductor (de unos 2,5 milíme-

5

BAD ORIGINAL

389031



tros cuadrados por ejemplo). Esta posibilidad se debe a las
pequeñas dimensiones de los componentes que constituyen estos
circuitos lógicos.

Así por ejemplo, un transistor de efecto aislado no ne-
cesita ocupar más superficie en el circuito integrado que 0,01
milímetros cuadrados.

Es evidente que se necesita suministrar señales de en-
trada a todos los circuitos lógicos de un circuito integrado de
los cuales se derivan señales de salida. Estas señales se co-
munican con el circuito integrado a través de atenuadores de co-
nexión que pueden ser, por ejemplo, de entrada o de salida, y a-
demás, pueden ser necesarios otros atenuadores de conexión a-
dicionales para la etapa de alimentación o facilitar impulsos
de tiempo al circuito integrado. Los atenuadores de conexión
son sin embargo, de un tamaño relativamente grande (es decir de
unos 0,1 milímetros cuadrados) si se los compara con los compo-
nentes individuales del circuito y tienen que estar además re-
lativamente separados unos de otros (unos 0,08 milímetros). Cada
circuito lógico del circuito integrado total puede necesitar
varias señales de entrada.

389031



En un circuito integrado conocido, cada entrada a uno
de los circuitos lógicos está conectada directamente a un a-
tenuador de conexión del circuito integrado. Esto tiene la des-
ventaja de que el número de circuitos lógicos que se pueden
30 constituir en el circuito integrado total queda limitado.

Uno de los objetos de la presente invención es facilitar
un circuito integrado en el que la susodicha desventaja quede
mitigada.

Por consiguiente, de acuerdo con la presente invención,
35 es posible un circuito integrado que incluya por lo menos un
primer y un segundo atenuador de entrada conectados respecti-
vamente a las entradas en serie de un primer y segundo conver-
tidor de transmisión de datos que tienen, respectivamente, una
primera y segunda pluralidades de salidas en paralelo conecta-
40 das a los circuitos lógicos del mencionado circuito integrado,
estando conectadas las salidas de dichos circuitos lógicos a
las entradas en paralelo de un convertidor de transmisión de
datos el cual tiene una salida en serie conectada a un atenua-
dor de salida del tan mencionado circuito integrado.

45 El circuito integrado, de acuerdo con la presente inven-

389031



ción, tiene la ventaja adicional de que su acondicionamiento lo facilita el hecho de que el número de atenuadores de conexión a los que hay que hacer las conexiones es reducido. Otra ventaja más es que el número de patillas de conexión del soporte del circuito integrado se puede reducir de acuerdo con esta invención, lo que permite realizar economías en el espacio que ocupa dicho soporte.

A continuación se describirán, por vía de ejemplo, dos formas de llevar a la práctica el invento haciendo referencia a los dibujos que se acompañan, en los que:

En la Figura 1, se presenta la forma preferente de llevar a la práctica la invención.

En la figura 2, se presenta la señal correspondiente a datos y una serie de señales de tiempo que se utilizan en la operación del circuito de la figura 1 y

En la figura 3, se presenta una segunda forma preferente de llevar a la práctica la invención.

Haciendo referencia ahora a la figura 1, se presenta el circuito lógico, 10, que opera periódicamente y que se incluye como parte del circuito integrado 12. El circuito integrado

389031



12 es solo un componente de un sistema mayor que incluye los circuitos integrados 14 y 16.

70 Se aplica una señal de la salida en serie del registro de deslizamiento 20 de entrada en paralelo y salida en serie del circuito integrado 14 a través del circuito de alimentación 18 y el atenuador de salida 22 del circuito integrado 14, y un medio como el soporte (que no se indica) del circuito integrado 14 y un panel de circuitos impresos (que tampoco se indica). Esta señal se aplica después al soporte (que no se indica) del circuito integrado 12 y a través de un atenuador de entrada 24, y al circuito 10. Del mismo modo se aplica una
75 señal de la salida en serie del registro de deslizamiento 28 de entrada en paralelo y salida en serie del circuito integrado 14 a través del circuito de alimentación 26 y el atenuador de salida 30 al circuito integrado 12 y el atenuador de salida 32 al circuito 10.
80

85 El circuito 10. después de operar lógicamente con las dos señales aplicadas al mismo en los atenuadores de entrada 24 y 32 de la forma que más adelante se explicará, facilita una señal en la salida 34, la cual se aplica a través del

389031



90 circuito de alimentación 35 y el atenuador de salida 36 y a través del soporte (que no se indica) del circuito integrado 12, al registro de deslizamiento 37 (de entrada en serie y salida en paralelo), a través del atenuador 38 del circuito integrado 16.

95 Haciendo esto se pueden utilizar los atenuadores de entrada 24 y 32 y la combinación de atenuador de salida y circuito de alimentación 35 y 36 hasta el máximo que permiten, utilizando cada uno de estos elementos para recibir o emitir varias señales digitales distintas e independientes durante cada ciclo de operación o, en otras palabras, compartiendo en tiempo cada atenuador entre varias señales de entrada o salida. De esta forma puede utilizarse la superficie del circuito integrado 12 para establecer el número máximo posible de circuitos lógicos independientes, ya que pueden aplicarse a un solo atenuador varias señales de entrada o, por el contrario, pueden derivarse de un solo atenuador varias señales de salida.

100 A fin de utilizar de este modo los atenuadores del circuito 10, puede constituirse en cada circuito integrado un registro de deslizamiento de entrada para cada atenuador de entrada,

105

389031



como los dos registros de deslizamiento de entrada 40 y 42,
un registro de deslizamiento de salida para cada atenuador
de salida, como el registro de deslizamiento de salida 44, y
una pluralidad de circuitos lógicos individuales asociados a
110 cada uno de esos registros de entrada y salida, como son los
circuitos lógicos 46a a 46n. Todos los circuitos 20, 28, 37, 40
42, 44 y 46a a 46n están dispuestos en configuraciones de cir-
cuitos de conmutación de cuatro fases. La distribución exac-
ta de un circuito de conmutación de cuatro fases se descri-
birá en detalle más adelante.

115 Los registros de deslizamiento de entrada 37, 40 y 42 son
idénticos en su distribución y funcionamiento por lo que só-
lo se describirá en detalle el registro 40. El registro de
deslizamiento de entrada 40 incluye N-1 etapas idénticas 48a
115 a 48n, donde N puede ser cualquier número, como por ejemplo
seis. Todas las etapas 48a a 48(n-1) son idénticas e incluyen
dos circuitos de conmutación de cuatro fases, como los cir-
cuitos 50a y 52a de la etapa 48a. Cada uno de los circuitos
de conmutación de cuatro fases incluyen tres transistores,
125 como los transistores 54, 56 y 58 del circuito 50a y los tran

389031



sistores 60,62, y 64 del circuito 52a. Cada uno de los transistores 54,56,58,60,62 y 64, como todos los otros transistores que se emplean aquí, pueden ser transistores de efecto de campo, como los transistores tipo MOS de acrecentamiento de canal P. Cada uno de estos transistores tienen un electrodo fuente que, en el transistor 54, se designan respectivamente como los electrodos D,G y S. En adelante se supondrá que, para cada transistor indicado en el circuito 10, el electrodo de drenaje, es el electrodo(entre los electrodos principales) que no lleva una flecha, el electrodo fuente es el que lleva una flecha y el electrodo puerta es el que queda. El hecho de que la flecha en el electrodo fuente S apunte en sentido contrario al electrodo puerta G indica que el transistor P es canal, y el hecho de que la línea que une a los electrodos fuente S y de drenaje D es continua indica que el transistor es de tipo de acrecentamiento.

Los transistores 54,56 y 58 que forman el circuito de conmutación 50a van conectados en un circuito serie, de forma que el electrodo fuente del transistor 54 va conectado al electrodo de drenaje del transistor 56 y el electrodo fuente

389031



del transistor 56 va conectado al electrodo de drenaje del transistor 58. El electrodo de drenaje del transistor 54 y el electrodo fuente del transistor 58 van conectados, cada uno de ellos, a una señal que en adelante designaremos como la señal de tiempo $\emptyset 1s$. El electrodo puerta del transistor 54, va conectado al electrodo de drenaje del mismo transistor 54, y el electrodo puerta del transistor 56, va conectado a una señal que se designe señal de tiempo $\emptyset 2s$. El electrodo puerta del transistor 58 es la entrada al circuito de conmutación 50a y de este modo la entrada al primer registro de deslizamiento etapa 48a, y va acoplada al atenuador 24, la salida 66 del circuito de conmutación 50a se toma del empalme del electrodo fuente del transistor 54 con el electrodo de drenaje del transistor 56.

Los transistores 60, 62 y 64, que constituyen el circuito de conmutación 52a van conectados del mismo modo que los transistores 54, 56 y 58 del circuito de conmutación 50a. Sin embargo, en este caso una señal que se designa como la señal de tiempo $\emptyset 3s$ se aplica al electrodo de drenaje del transistor 60 y el electrodo fuente del transistor 64, y al electrodo

389031



do puerta del transistor 62, se le aplica una señal que se designar señal de tiempo $\phi 4s$. El electrodo puerta del transistor 64 es la entrada del circuito de conmutación 52a y va conectado a la salida 66 del circuito de conmutación 50a. La salida 68 del circuito de conmutación 52a se toma del empalme del electrodo fuente del transistor 60 con el electrodo de drenaje del transistor 62 y es la salida del primer registro de deslizamiento etapa 48a.

Los circuitos de conmutación 50a y 52a son ejemplos de circuitos de conmutación de cuatro fases, y los transistores 54 y 60 son respectivamente, transistores de carga de los mismos, los transistores 56 y 62, son respectivamente, transistores de aislamiento de los mismos, y los transistores 58 y 64 son, respectivamente, transistores lógicos de los mismos. Debe observarse que, otros tipos de circuitos de conmutación de cuatro fases, pueden llevar varios transistores lógicos, como en el caso de una puerta de entradas múltiples en la que para cada entrada habría un transistor lógicos. Los circuitos de conmutación 50a y 52a son sin embargo, circuitos inversores de una sola entrada por lo que no es necesario más que un solo transis-

389031



tor lógico.

190 La disposición de un circuito de conmutación de cuatro
fases, como el circuito 50a en el que se aplican las señales,
de tiempo del tipo ($\phi 1$) fase 1 y del tipo ($\phi 2$) fase 2 ($\phi 1s$ y
 $\phi 2s$ en el caso de un registro de deslizamiento, y $\phi 1L$ y $\phi 2L$
en el caso de un circuito lógico como los circuitos 46a a 46n
que se describirán en detalle más adelante), se denominará en
adelante puerta tipo I. La disposición de un circuito de con-
mutación de cuatro fases similar al circuito 52a al que se a-
195 plican señales de tiempo del tipo ($\phi 3$) fase 3 y ($\phi 4$) fase 4
($\phi 3s$) y $\phi 4s$ en el caso de un registro de deslizamiento y $\phi 3L$ y
 $\phi 4L$ en el caso de circuitos lógicos) se denominarán en adelante
puerta tipo III. En el caso de los registros de deslizamiento
de entrada 40 y 42 y el registro de deslizamiento de salida 44,
200 la entrada a una puerta tipo I debe proceder de la salida de
una puerta tipo I. Sin embargo esto no es necesario para los cir-
cuitos lógicos 46a a 46n en las formas de llevar a la práctica
el invento que se ha descrito.

205 Debe observarse que también existen puertas de los tipos
II y IV que pueden operar con señales de tiempo de cuatro fases

389031



y que están dispuestas de forma similar a los circuitos de conmutación 50a y 52a a excepción de que los transistores de aislamiento y lógicos están invertidos. En la puerta de tipo II se aplica una señal de tiempo de tipo $\phi 1a$ los electrodos de drenaje y fuente de los respectivos transistores de carga y aislamiento y al electrodo puerta del transistor de aislamiento se le aplica una señal de tiempo de tipo $\phi 3$ y la puerta de tipo IV a los electrodos de drenaje y fuente de los respectivos transistores de carga y aislamiento se les aplica una señal de tiempo de tipo $\phi 3$ y una señal de tiempo de tipo $\phi 1$ al electrodo puerta del transistor de aislamiento. A la puerta de tipo II solo la puede alimentar una puerta de tipo I y ella solo puede alimentar una puerta de tipo III, a la puerta de tipo IV solo la puede alimentar una puerta de tipo III y ella solo puede alimentar una puerta de tipo I. Las puertas de tipo II y IV pueden usarse para los circuitos lógicos, Debe observarse además que también pueden emplearse otros tipos de circuitos de fases múltiples, como por ejemplo, circuitos de dos fases.

Para los ejemplos de señales de tiempo de los tipos $\phi 1$, $\phi 2$, $\phi 3$ y $\phi 4$, se hace referencia a la FIGURA 2 y particularmente

389031



a los gráficos marcados $\phi 1s$, $\phi 2s$, $\phi 3s$ y $\phi 4s$ que son ilustraciones gráficas de las señales de tiempo $\phi 1s$, $\phi 2s$, $\phi 3s$ y $\phi 4s$. Se ve que los impulsos de las señales de tiempo $\phi 1s$ y $\phi 2s$ tienen bordes delanteros que se producen al mismo tiempo pero bordes traseros que se producen en tiempos diferentes. Del mismo modo, los bordes delanteros de los impulsos de las señales de tiempo $\phi 2s$ y $\phi 4s$ se producen al mismo tiempo y sus bordes posteriores a los tiempos distintos. Los bordes delanteros de los impulsos de las señales de tiempo $\phi 1s$ y $\phi 2s$ ocurren al tiempo que ocurren los bordes traseros de los impulsos de la señal $\phi 4s$ y los bordes delanteros de los impulsos de las señales de tiempo $\phi 3s$ y $\phi 4s$ ocurren al mismo tiempo que se producen los bordes posteriores de los impulsos de la señal de tiempo $\phi 2s$. El ciclo de servicio de las señales de tiempo $\phi 1s$ y $\phi 3s$ puede ser un sexto y el de las señales $\phi 2s$ y $\phi 4s$ un medio. La terminología que se utiliza aquí para las señales de conmutación de cuatro fases se deriva del hecho que los bordes posteriores de los impulsos de cada una de las cuatro señales de tiempo $\phi 1s$, $\phi 2s$, $\phi 3s$ y $\phi 4s$ ocurren todos en tiempos diferentes.

389031



Cada una de las señales de tiempo ϕ_{1s} , ϕ_{2s} , ϕ_{3s} y ϕ_{4s} de la Figura 2, incluye porciones periódicas de tiempo en que se producen periódicamente una pluralidad de impulsos y otras partes periódicas de tiempo en que no se producen im-

250 pulsos. El número de impulsos que se producen en cada una de las primeras porciones de tiempo es igual al número de pasos de los registros de deslizamiento de entrada 40 y 42 menos u no y el mismo que el número de pasos del registro de desli-

255 zamiento de salida 44 que en la Figura 2 se presenta como seis Durante los tiempos en que los seis impulsos de las señales de tiempo ϕ_{1s} , ϕ_{2s} , ϕ_{3s} y ϕ_{4s} se producen, los registros de des-

lizamiento de entrada 40 y 42 y el registro de deslizamiento de salida 44 están operando para deslizar dígitos binarios de información hacia dentro o hacia afuera, según sea el caso. Du-

260 rante el tiempo en que no se producen impulsos en las señales de tiempo ϕ_{1s} , ϕ_{2s} , ϕ_{3s} , ϕ_{4s} los circuitos lógicos 46a a 46n estarán operando para ejecutar la función lógica deseada.

El término "ciclo de operación" se emplea aquí para definir el intervalo de tiempo C de la Figura 2, entre los bordes

265 delanteros del primer impulso de cada cadena de impulsos de



tiempo $\phi 1_s$. Cada "ciclo de operación", C, se descompondrá en una "parte de deslizamiento" S, durante cuyo tiempo se producen los impulsos $\phi 1_s$, $\phi 2_s$, $\phi 3_s$ y $\phi 4_s$, y una "parte lógica", L, durante cuyo tiempo los impulsos $\phi 1_s$, $\phi 2_s$, $\phi 3_s$ y $\phi 4_s$ no se producen. Como se aclarará mas adelante, los impulsos de las señales de tiempo $\phi 1_L$, $\phi 2_L$, $\phi 3_L$ y $\phi 4_L$ se producen durante la "parte lógica" L. El término "ciclo de deslizamiento" se define aquí como significando el intervalo de tiempo SC entre los bordes delanteros de los impulsos $\phi 1_s$ adyacentes que se producen durante la "parte de deslizamiento" S de cada "ciclo de operación" C. la frecuencia de cada ciclo de operación C puede ser de 150khz y la de cada ciclo de deslizamiento SC de 1.2 Mhz.

Se hace referencia ahora a la representación gráfica superior de la onda de la Figura 2, que presenta gráficamente un ejemplo de una señal de DATOS que puede aplicarse a través de los atenuadores de entrada 24 y 32 o derivarse del atenuador de salida 36. La señal de DATOS incluye seis dígitos binarios de información, que pueden ser unos(1), es decir tensiones negativas o ceros(0), es decir tensión cero o de masa, en cada

389031



ciclo de operación C. El valor de cada uno de estos dígitos binarios de información viene determinado por la tensión de la señal de DATOS durante el tiempo entre el borde posterior de cada impulso de la señal de tiempo $\varnothing 1s$ y el borde posterior de cada impulso de la señal de tiempo $\varnothing 2s$, como durante el tiempo 74 de la Figura 2, en que se indica un dígito binario 1. Debe observarse que la señal de DATOS tendrá siempre un valor negativo durante el tiempo en que se produce el impulso de cada señal de tiempo $\varnothing 2s$, debido al hecho de que la entrada a cada paso de cada registro de deslizamiento se ve obligada a tomar una tensión negativa durante este tiempo, según se explicará más adelante. Sin embargo, como el dígito binario actual sólo se lee durante el tiempo 74, esta parte negativa es información sin sentido y se puede despreciar.

Haciendo referencia de nuevo a la Figura 1 y especialmente al paso 48a del registro de deslizamiento 40, se describirá el funcionamiento de un circuito de conmutación MOS de cuatro fases. Por razones de su construcción el transistor MOS tiene una impedancia de entrada extraordinariamente elevada y una capacitancia inherente entre el electrodo puerta y el

389031



310 substrato 71 de la base de material semiconductor que puede
suponerse que tiene un valor suficientemente alto para que u-
na tensión aplicada al mismo se almacene durante un tiempo su-
perior a varios milisegundos. Esta característica de los tran-
sistores MOS se puede aprovechar para construir un registro
de deslizamiento que pueda almacenar señales lógicas hasta
que se desee aplicarlas a otros transistores.

315 Inmediatamente después de que las señales de tiempo
 $\phi 1s$ y $\phi 2s$ se hacen negativas, es decir, cuando se produce
su borde delantero, los transistores 54 y 56 se hacen con-
ductores los dos. Esto da lugar a que en la salida 6c del cir-
cuito 50a aparezca una tensión negativa la cual se aplica
al electrodo puerta del transistor 64. Esta tensión negativa
hace que una capacitancia 72, que es inherente entre la puer-
ta del transistor 64 y el substrato 71 del circuito integra-
do 12, se cargue con una tensión negativa, es decir, hace
320 que se cargue de modo que el electrodo puerta del transistor
64 sea más negativo que el substrato 71.

325 Después de que se produce el borde posterior de la se-
ñal de tiempo $\phi 1s$ el transistor 54 deja de ser conductor por

389031



lo que actúa como una impedancia prácticamente infinita pero como la señal de tiempo $\phi 2s$ sigue siendo negativa, el conductor 56 sigue siendo conductor. Si se supone que el dígito binario almacenado en el paso 50a es un uno(1), el transistor 58 será conductor debido al hecho de que el condensador 70 que es inherente del mismo, está cargado negativamente, es decir, su electrodo puerta es más negativo que el substrato 71. Como la señal de tiempo $\phi 1s$ habrá regresado a masa y de este modo el electrodo fuente del transistor 58 estará a masa, el condensador 72 del circuito de conmutación 52a se descargará a masa a través de los transistores 56 y 58 y la salida 66 se convertirá en una señal de cero voltios, representando de esta forma un dígito binario cero (0). Esto sigue ocurriendo después de que la señal de tiempo $\phi 2s$ vuelve a la tensión de masa, ya que el transistor 56 dejará de ser conductor y de este modo el condensador 72 mantendrá su carga de cero voltios.

Si el dígito binario almacenado en el paso 50a hubiese sido un cero (0) cuando la señal de tiempo $\phi 1s$ volvería al nivel de masa, el condensador 70 se habría cargado a cero vol

389031



tios y, de este modo, el transistor 58 no habría sido conduc-
tor. En este caso el condensador 72 no habría podido descar-
garse a masa a través de los transistores 56 y 58 y hubiera
permanecido cargado por lo tanto con una tensión negativa. De
este modo la señal de la salida 66 del circuito de conmuta-
ción 50a habría representado un dígito binario uno (1) es de-
cir, habría permanecido en la tensión negativa. Esto seguiría
ocurriendo después de que hubiese terminado el impulso ϕ_{2s} , ya
que el transistor 56 se hacía entonces no conductor. Puede
apreciarse de esta forma, que el circuito conmutador 50a ac-
túa como un circuito de inversión.

La disposición y funcionamiento del circuito 52a es si-
milar a los del circuito 50a excepto en que las señales de
tiempo aplicadas a él son las señales ϕ_{3s} y ϕ_{4s} y la señal de
entrada aplicada al electrodo puerta del transistor 64 es la
señal de salida 66. Al final de un ciclo de un solo desliza-
miento, la señal que aparece en la salida 68 del circuito de
conmutación 52a será la misma que la señal aplicada al elec-
trodo puerta del transistor 50a al principio de ese ciclo de
deslizamiento. De esta forma, la combinación de los circuitos

389031



de conmutación 50a y 52a actúa como un paso 48a del registro de deslizamiento 40.

Los circuitos 50b y 52b que son similares respectivamente a los circuitos 50a y 52a, forman un segundo paso 48b del registro de deslizamiento 40. N-3 pasos del registro de deslizamiento 40 se forman de igual modo en el registro de deslizamiento del circuito 48c - (n-1) de N-3 pasos. Si no se toma una salida en serie de un registro de deslizamiento, como ocurre con los registros de entrada 40 y 42, no es necesario crear un paso nº aun cuando al registro de deslizamiento de salida 40 se le apliquen N dígitos binarios. El dígito binario Nº aparecerá simplemente a la salida del paso $48(n-1)$. La señal de entrada de cada uno de los pasos 48b a $48(n-1)$ es la señal de salida del paso inmediato anterior. Por ejemplo, la señal de entrada al paso 48b es la señal de la salida 68 del paso 48a.

El registro de deslizamiento de entrada 40 es un registro de deslizamiento de entrada en serie y salida en paralelo y por lo tanto, tiene una sola entrada en serie 77 y N salidas en paralelo, 78a a 78n. La entrada en serie 77 está acoplada a

389031



la entrada del primer paso 48a y recibe la señal de DATOS que se aplica al atenuador 24. Cada salida en paralelo 78a a 78(n-1) va acoplada a la entrada del paso particular 48a a 48(n-1) del registro de deslizamiento a la que está asociado. Por ejemplo, la salida en paralelo 78a va acoplada a la puerta del transistor 58, que es la entrada del paso 48a. La salida en paralelo 78n va acoplada a la salida del paso 48(n-1).

El registro de deslizamiento de entrada 42 es un registro de deslizamiento de N pasos y entrada en serie y salida en paralelo dispuesto de forma similar al registro de deslizamiento de entrada 40. Tiene una entrada en serie 79, a la que se aplica la señal de DATOS que aparece en el atenuador 32, y N salidas en paralelo 80a a 80n. La entrada 79 y las salidas 80a a 80n van conectadas en el registro de deslizamiento de entrada 42 de la misma forma que van acopladas la entrada 77 y las salidas 78a a 78n en el registro de deslizamiento de entrada 40.

Cada una de las salidas en paralelo 78a a 78n y 80a a 80n va conectada a, por lo menos, uno de los circuitos

389031



lógicos 46a a 46n. Se supone por comodidad, que el primer
circuito lógico 46a recibe los dígitos binarios procedentes
de la salida 78a en paralelo del primer paso del registro de
deslizamiento de entrada 40 y la salida 80a en paralelo del
410 primer paso del registro de deslizamiento de entrada 42, y
que el segundo circuito lógico 42b recibe los dígitos bina-
rios procedentes de la salida en paralelo 78b del segundo pa-
so del registro de deslizamiento de entrada 40 y de la sali-
da en paralelo 80b del segundo paso del registro de desliza-
415 miento 42, etc. Debe observarse sin embargo que cualquier
circuito lógico puede responder a una cualquiera (o más de
una) de las salidas en paralelo de cualquier registro de des-
lizamiento de entrada. Se supone además que cada uno de los
circuitos lógicos 46a y 46b es una puerta NOR de dos entra-
420 das. Sin embargo, estos circuitos lógicos pueden ser circuitos
de cualquier clase, tales como puertas OR, puertas AND, puer-
tas NAND, flip-flops, multivibradores o cualesquiera circui-
tos lógicos normales o especiales.

La puerta NOR de dos entradas del circuito lógico 46a
425 es una puerta de tipo I e incluye una transistor de carga 82

389031



un transistor de aislamiento 84 y dos transistores lógicos 86
y 88, que llevan, los cuatro, un electrodo de drenaje, un
electrodo fuente y un electrodo puerta. El electrodo fuente
del transistor 82 va acoplado al electrodo de drenaje del
430 transistor 84 y este acoplamiento es la salida 90 del circui
to lógico 46a. El electrodo fuente del transistor 84 va aco-
plado al electrodo de drenaje de cada uno de los transisto-
res 86 y 88 y los electrodos fuente de los transistores 86 y
88 van conectados el uno al otro. Los electrodos de drenaje
435 y puerta del transistor 82 van conectados entre sí y acopla-
dos también a la señal de tiempo $\phi 1L$, y los electrodos fuente
de los transistores 86 y 88 van conectados a la señal de tiem
po $\phi 1L$. El electrodo puerta del transistor 86 va acoplado a
la salida en paralelo 80a del registro de deslizamiento de
440 salida 42 y el electrodo puerta del transistor 88 va acoplado
a la salida en paralelo 78a del registro de deslizamiento de
entrada 40.

Se vuelve a hacer referencia a la Figura 2 y en particu
lar a las ondas $\phi 1L$, $\phi 2L$, $\phi 3L$ y $\phi 4L$, que representan gráfica-
445 mente las señales de tiempo respectivas $\phi 1L$, $\phi 2L$, $\phi 3L$ y $\phi 4L$.

389031



Estas señales de tiempo $\phi 1L$, $\phi 2L$, $\phi 3L$, y $\phi 4L$, son similares a las respectivas señales de tiempo $\phi 1s$, $\phi 2s$, $\phi 3s$ y $\phi 4s$ que aparecen en la figura 2, excepto en que solo tienen un impulso durante cada ciclo de operación y que este impulso es de mayor duración que los correspondientes impulsos $\phi 1s$, $\phi 2s$, $\phi 3s$ y $\phi 4s$. La parte del ciclo de operación durante la cual existe por lo menos uno de los impulsos $\phi 1L$, $\phi 2L$, $\phi 3L$ o $\phi 4L$ es la parte lógica del ciclo de operación.

Durante la parte lógica del ciclo de operación los circuitos lógicos 46a a 46n operan de forma similar a la que se ha descrito más arriba para los circuitos de conmutación 50a y 52a. En el caso del circuito lógico 46a la señal de salida que aparece como salida 90 solamente será un dígito binario uno(1) (tensión negativa) si las señales aplicadas a los electrodos puerta de los dos transistores 86 y 88 procedentes de las respectivas salidas en paralelo 80a y 78a son las dos dígitos binarios cero(0) (tensión cero) de otro modo será un dígito binario cero(0), Esto se debe a que la capacitancia asociada a la puerta del transistor a que se aplica la señal de la salida 90 podrá descargarse a través de uno de los transistores 86 y 88, o de los dos, durante el tiempo en que la señal

389031



de tiempo $\phi 2L$ es negativa y la $\phi 1L$ es cero. De esta forma, el circuito lógico 46a actúa como una puerta NOR de dos entradas y, como a las mismas se aplican las señales $\phi 1L$ y $\phi 2L$, es una puerta NOR de tipo I de dos entradas.

470

El circuito lógico 46b opera igual al circuito lógico 46a y aplica la señal a la salida 92 en respuesta a las dos señales aplicadas al mismo desde las salidas en paralelo 78b y 80b. Como el circuito lógico 46b responde a las señales de tiempo $\phi 3L$ y $\phi 4L$ es una puerta NOR de tipo III de dos entra-

475

das. Los restantes circuitos lógicos 46c a 46n facilitan cada uno de ellos señales de salida en respuesta a las señales aplicadas a los mismos procedentes de las salidas en paralelo 78c a 78n y 80c a 80n de los registros de deslizamiento de entrada 40 y 42.

480

Cada una de las salidas de los circuitos lógicos 46a a 46n como las salidas 90 y 92, se aplican a través de conmutadores, como el camino fuente a drenaje de los transistores 96 y 98, al registro de deslizamiento de salida 44. Cada transistor de conmutación, como los 96 y 98, es conductivo durante el tiempo en que el circuito lógico particular 46a a 46n

475

389031

79 MAR.



al que está asociado facilite una señal de salida, de otro modo no será conductivo. De esta forma, en el caso del transistor 96, su electrodo puerta está conectado a la señal de tiempo $\phi 2L$ y en el caso del transistor 98, su electrodo puerta está conectado a la señal de tiempo $\phi 4L$.

El registro de deslizamiento de salida 44 es un registro de entrada en paralelo y salida en serie que incluye N pasos $1o2a$ a $1o2n$ cada uno de los cuales es similar al paso $48a$ del registro de deslizamiento de entrada 40, que se ha explicado más arriba. Cada paso incluye dos circuitos de conmutación, como el 1o4 y el 1o6 del primer paso $1o2a$ y la entrada de cada uno de los pasos $1o2a$ y $1o2n$ es el electrodo puerta del transistor lógico del primer circuito de conmutación de ese paso. Por ejemplo, la entrada al paso $1o2a$ se aplica al electrodo puerta del transistor 1o8. La entrada a cada uno de los pasos $1o2a$ a $1o2n$ va conectada a una de las entradas respectivas $1ooa$ a $1oon$ de los circuitos lógicos $46a$ a $46n$ que de este modo forman las entradas en paralelo y además, en el caso de los pasos $1o2b$ a $1o2n$, la entrada de cada paso va conectada a la salida del paso precedente. Por

389031

9



ejemplo, la entrada del paso 1o2b es el electrodo puerta del transistor 1o9, que va acoplado a la salida del circuito 1o6 y también a la entrada 1oob. La salida del paso N° 1o2n es la salida en serie 34 del registro de deslizamiento de salida 44 y va conectada al circuito de alimentación 35.

490

Ahora se explicará al operación del circuito 1o durante un ciclo de operación SC, empezando con el principio de la parte de deslizamiento de ese mismo ciclo de operación. Se supone que, durante el anterior ciclo de operación, los circuitos lógicos 46a a 46n habían suministrado dígitos binarios a las entradas en paralelo 1ooa a 1oon y que estos dígitos binarios están almacenados ahora en el registro de deslizamiento de salida 44 y se van a suministrar por orden de serie al atenuador 38 del circuito integrado 16 como señal de DATOS de ese circuito durante el ciclo de operación que se considera ahora. Se supone además que los registros de deslizamiento 2o y 28 del circuito integrado 14 tienen almacenados N dígitos binarios que les aplicaron los circuitos lógicos (que no se indican) de ese circuito integrado y que se van a aplicar en serie a través de los atenuadores 24 y 32 como señal de

495

500

505

389031



DATOS durante el ciclo de operación que se considera. Debe observarse que los dígitos binarios de la señal de DATOS que se aplicaron a los circuitos lógicos 46_a a 46_n durante el ciclo anterior de operación, están almacenados todavía en los registros de deslizamiento de salida 40 y 42 .

Durante el tiempo en que se producen los primeros impulsos ϕ_{1s} y ϕ_{2s} los dígitos binarios almacenados en las entradas de cada paso de cada uno de los registros de deslizamiento $20, 28, 37, 40$ y 44 , son invertidos todos ellos y desplazados hacia arriba medio paso. Por ejemplo, si en el condensador 70 del paso 48_a del registro de deslizamiento de entrada 40 hubiese sido almacenado un dígito binario uno(1) antes del impulso ϕ_{1s} en el condensador 72 del paso 48_a del registro de deslizamiento de entrada 40 se almacenará un dígito binario cero(0) después de que terminen los primeros impulsos ϕ_{1s} y ϕ_{2s} . Cuando se producen los primeros impulsos ϕ_{3s} y ϕ_{4s} , la capacitancia inherente a la entrada a cada paso se cargará con una tensión negativa (y por consiguiente la parte negativa de la señal de DATOS durante cada impulso ϕ_{3s}) y durante el tiempo que transcurre entre los bordes traseros de los impulsos ϕ_{3s} y ϕ_{4s} está



capacitancia tomará una tensión opuesta a la almacenada en el
segundo circuito de conmutación del paso anterior o, en otras
palabras, al final del primer ciclo de deslizamiento, el dí-
gito binario que está almacenado en la entrada de cada paso
530 será, igual al dígito binario almacenado en la entrada del pa-
so anterior al principio del primer ciclo de deslizamiento. En
el caso del último paso de los registros de deslizamiento de
entrada 37,40 y 42 el dígito binario almacenado en ellos de-
jará de existir y, en el caso del último paso de los registros
525 de deslizamiento de salida 20,28 y 44 el dígito binario alma-
cenado en ellos al principio del ciclo de deslizamiento se a-
plicará a la entrada en serie de un desplazamiento de entrada
del siguiente circuito integrado como el dígito binario N° de
la señal de DATOS aplicada a él. A este dígito binario se le
540 denomina aquí N° dígito binario porque aparecerá finalmente
en la N° salida 78_n del registro de deslizamiento de entrada
40.

Durante el segundo ciclo de deslizamiento, cada dígito
binario es desplazado de nuevo un paso hacia arriba, y a los
545 registros de deslizamiento de entrada 37,40 y 42 los correspon-

389031



dientes registros de desplazamiento de salida 44, 2o y 28 les aplican un segundo dígito binario. De este modo, al final del segundo ciclo de deslizamiento, los dígitos binarios que finalmente van a los pasos (N-1) y N son almacenados respectivamente en el primer y segundo pasos de cada uno de los registros de deslizamiento de entrada 37, 40 y 42.

Este procedimiento continúa para N ciclos de deslizamiento de forma que, al final de la parte de deslizamiento S, el primer dígito binario de la señal de DATOS está almacenado en el primer paso de cada registro de deslizamiento de entrada, el segundo dígito binario en el segundo paso, y así sucesivamente. Debe observarse que, al final de la parte de deslizamiento, los dígitos binarios almacenados originalmente en los registros de deslizamiento de salida se habrán desplazado a un registro de deslizamiento de entrada de otro circuito integrado y que los registros de deslizamiento de salida no tendrán almacenada ninguna información significativa.

Después de que ha terminado la parte de deslizamiento S del ciclo de operación, comienza la parte lógica L. Cada uno de los circuitos lógicos 46a a 46n emite una señal de salida

389031



570 respuesta a los dígitos binarios almacenados en los registros de deslizamiento de entrada 40 y 42. Estas señales de salida son aplicadas a las entradas en paralelo 100g a 100n de los pasos adecuados del registro de deslizamiento de salida 44 y almacenados en la capacitancia asociada al mismo. De esta forma, al final de la parte lógica I del ciclo de operación C, las operaciones lógicas han sido ejecutadas y los resultados de las mismas almacenados en los registros de almacenamiento de salida.

575 Durante el siguiente ciclo de operación, los dígitos binarios almacenados en los registros de deslizamiento de salida son emitidos y aplicados a un registro de deslizamiento de entrada de otro circuito integrado, y estos dígitos binarios serán entonces las señales de entrada a los circuitos lógicos (que no se indican) de ese otro circuito integrado durante este siguiente ciclo de operación. De este modo, cada dígito binario es aplicado continuamente desde un circuito lógico a un registro de deslizamiento de salida, emitido desde el registro de deslizamiento de salida y aplicado a un registro de deslizamiento de entrada, y vuelto a aplicar a otro circuito

580

585

389031



lógico.

590 Debe entenderse que, aunque en el circuito integrado 12
solamente se indican los dos registros de deslizamiento de en-
trada 40 y 42_m en la práctica puede haber varios de estos re-
gistros de deslizamiento de entrada, cada uno de los cuales
aplica un dígito binario a los circuitos lógicos 46_a a 46_n o
a cualesquiera otros circuitos lógicos de ese circuito integra-
do. Esto ocurriría, por ejemplo, cuando un circuito lógico,
como el 46_a sea un circuito lógico complejo de múltiples en-
tradas. Cada una de estas varias entradas a ese circuito por-
cedería de una salida en paralelo diferente. El número exacto
595 de registros de deslizamiento de entrada viene determinado por
el número de señales distintas necesarias al circuito integra-
do, dividido por la capacidad de cada registro de deslizamien-
to de entrada. Podría haber varios registros de deslizamiento
600 de salida similares al registro de deslizamiento de salida 44
si el número de circuitos lógicos del circuito integrado 12
fuese mayor que el número N de pasos de un registro de desliza-
miento de salida. El número necesario de registros de desliza-
miento de salida viene determinado por el número de circuitos
605 lógicos del circuito integrado y la capacidad de cada uno de

389031



los registros de deslizamiento de salida.

Utilizando esta invención, se puede aumentar mucho el número de circuitos lógicos que se pueden construir en un circuito integrado dado sin temer que aumentará el número de atenuadores. Por ejemplo, cuando un circuito lógico contine 40 atenuadores, serán necesarios ocho atenuadores para las señales de tiempo $\emptyset 1s$, $\emptyset 2s$, $\emptyset 3s$, $\emptyset 4s$, $\emptyset 1L$, $\emptyset 2L$, $\emptyset 3L$, $\emptyset 4L$ y dos atenuadores para las tensiones de alimentación, dejando utilizables 30 atenuadores para las señales de datos. Se podrían construir 36 puertas de cuatro entradas en un circuito integrado si se prooviesen 24 registros de deslizamiento de entrada y seis dígitos binarios cada uno de ellos. Debe observarse que este número de circuitos lógicos se puede aumentar aun empleando registros de deslizamiento de dos fases o generando algunas de las señales de tiempo en el circuito integrado, pudiendo utilizar de esta forma algunos de los atenuadores de las señales de tiempo para señales de información.

Se hace referencia ahora a la Figura 3, donde se presenta una segunda forma preferente de llevar a la práctica la invención, en que se utiliza un registro de deslizamiento 112 de en-

389031



trada en serie y salida en serie, entrada en paralelo y salida en paralelo, a la vez como registro de deslizamiento de entrada y de salida. Esta segunda forma de llevar a la práctica la invención presenta la ventaja sobre la primera de que se puede eliminar un registro de deslizamiento a expensas de un solo transistor en cada circuito lógico. En la Figura 3 aparece el circuito 110 en el que se dan las mismas designaciones numéricas a los circuitos o componentes similares a los de la Figura 1.

Se supondrá que estos componentes funcionan del mismo modo que los correspondientes de la Figura 1 por lo que no se duplica la descripción de los mismos.

El circuito 110 incluye un registro de deslizamiento de entrada 40 y una pluralidad de circuitos lógicos 46a a 46n y un registro de deslizamiento de salida 112, que sustituyen al registro de deslizamiento de entrada 42 y al de salida 44. El registro de deslizamiento de entrada/salida 112 es similar al registro de deslizamiento de salida 44 de la Figura 1 a excepción de que recibe la señal en serie de DATOS del atenuador 32 igualmente las señales de salida en paralelo de los circui-



tos lógicos 46_a a 46_n. En respuesta a la señal de DATOS, el registro de desplazamiento de entrada/salida 112 emite señales por cada uno de sus N entradas/salidas en paralelo 114_a a 114_n y cada una de estas señales es aplicada a la entrada

650 de uno de los circuitos lógicos 46_a a 46_n. Las señales que aparecen en cada una de las entradas/salidas 114_a a 114_n del registro de deslizamiento de entrada/salida 112 se aplican a través del correspondiente transistor de conmutación 116_a a 116_n a uno de los circuitos lógicos 46_a a 46_n. Estos transis-

655 tores de conmutación 116_a a 116_n solo se vuelven no conductores durante el tiempo en que el circuito lógicos particular a que están asociados está operando. Por ejemplo, como el circuito lógico 46_a es una puerta NOR¹ de tipo I, el transistor de conmutación 116_a es conductor durante el tiempo que la se-

660 ñal $\overline{\phi sL}$ está a tensión de masa o, en otras palabras, le hace conductor la señal $\overline{\phi sL}$. Esta señal de tiempo $\overline{\phi 2L}$ se obtiene con solo invertir la señal de tiempo $\phi 2L$. De igual modo al transistor de conmutación 116_b le hace conductor la señal de tiempo $\overline{\phi 4L}$.

665

La operación del circuito de la Figura 3 es como sigue.

389031



Se aplican las señales de DATOS a los atenuadores 24 y 32 y, durante la parte de desplazamiento de cada ciclo de operación, los dígitos binarios de la señal de DATOS se desplazan a los registros de desplazamiento 40 y 112, de forma que al final de la parte de desplazamiento del ciclo de operación hay un dígito binario en cada una de las salidas en paralelo 78_a a 78_n y de las salidas/entradas en paralelo 114_a a 114_n. Durante la parte de desplazamiento del ciclo de operación, las puertas 116_a a 116_n son conductoras, por lo tanto las señales deseadas habrán sido aplicadas a los electrodos puerta de los transistores lógicos de cada uno de los circuitos lógicos 46_a a 46_n que los habrán almacenado.

Durante la parte lógica de cada ciclo de operación, las puertas 116_a a 116_n se hacen no conductoras, las puertas 96 y 98 se hacen conductoras y los circuitos lógicos 46_a a 46_n ejecutan su operación lógica y vuelvan a aplicar señales de salida a las entradas/salidas 114_a a 114_n como se ha explicado más arriba. Estas señales aplicadas a las entradas/salidas 114_a a 114_n son almacenadas después en el registro de deslizamiento de entrada/salida 112. Los dígitos binarios almacenados anteriormente en el registro de deslizamiento de entrada/salida 112 son destruidos

389031



cuando se producen los impulsos $\phi 1L$ o $\phi 3L$, porque el condensador inherente a la entrada de cada paso está cargada con una tensión negativa. Sin embargo, esto no tiene ninguna importancia, porque los dígitos binarios han sido almacenados ya en las entradas del circuito lógico por el cierre de los transistores de conmutación 116a a 116n.

Durante la parte de desplazamiento del ciclo de operación siguiente estos nuevos dígitos binarios almacenados en el registro de deslizamiento de entrada/salida 112 son aplicados como señales de salida al atenuador 36, como se hizo con el registro de deslizamiento de la salida 44 de la Figura 1. Durante este tiempo también la señal de DATOS del siguiente ciclo de operación será aplicada al registro de entrada/salida 112. Sin embargo, antes de que llegue un dígito binario al primer paso 118a del registro de deslizamiento de entrada/salida 112 el dígito binario almacenado anteriormente en el paso se habrá desplazado al paso 118b. De esta forma, según se está deslizando hacia fuera una señal de salida, una señal de entrada está siendo deslizada hacia adentro, utilizándose de este modo en su totalidad las capacidades del registro de deslizamiento

389031



entrada/salida 112.

Debe observarse con respecto a la Figura 3, que los registros de desplazamiento de salida 20 y 28 han sido sustituidos también por los registros de entrada/salida 120 y 122.

710

N O T A

La Patente Invención, que por veinte años se solicita, deberá recaer sobre las siguientes:

REIVINDICACIONES

715

1º.-"UN CIRCUITO INTEGRADO" que incluye por lo menos un primer y un segundo atenuadores de entrada conectados respectivamente a las entradas en serie de un primer y segundo convertidores de modalidad de datos que tienen una primera y una segunda pluralidades de salidas en paralelo conectadas a los circuitos lógicos de dicho circuito integrado, estando conectadas las salidas de dichos circuitos lógicos a las entradas en paralelo de un convertidor de modalidad de datos de salida que tiene una salida en serie conectada a un atenuador de salida de dicho circuito integrado.

720

725

2º.-"UN CIRCUITO INTEGRADO," de acuerdo con la reivindicación 1, en el que cada uno de los mencionados convertidores de modalidad de datos es un registro de desplazamiento.

W



730 3a.-"UN CIRCUITO INTEGRADO" de acuerdo con la reivindicación 2, en el que cada uno de los mencionados registros de deslizamiento incluye una pluralidad de pasos, los cuales se ponen en operación en respuesta a unas señales de control en fase y que incluyen un par de circuitos de inversión conectados en serie, cada uno de los cuales incluye transistores de efecto de campo de puerta aislado.

735 4a.-"UN CIRCUITO INTEGRADO" de acuerdo con cualquiera de las precedentes reivindicaciones, en el que los mencionados circuitos lógicos incluyen una pluralidad de circuitos lógicos individuales cada uno de los cuales incluye transistores de efecto de campo de puerta aislado.

740 5a.-"UN CIRCUITO INTEGRADO" de acuerdo con cualquiera de las precedentes reivindicaciones, en el que dicho circuito es operable en ciclos sucesivos de operación, cada uno de los cuales incluye una parte de deslizamiento, en la que entran en los mencionados convertidores primero y segundo de modalidad de datos, y una parte lógica en la que los mencionados circuitos lógicos son operativos para emitir señales por las salidas de los mencionados circuitos lógicos, cuyas señales son aplicadas

745

389031



das al mencionado convertidor de modalidad de datos de salida

6º.-"UN CIRCUITO INTEGRADO", de acuerdo con cualquiera
de las reivindicaciones precedentes, en el que el mencionado
convertidor de modalidad de datos de salida está constituido
750 por el mencionado segundo convertidor de modalidad de datos
de salida.

7º.-"UN CIRCUITO INTEGRADO", sustancialmente como se ha-
descrito anteriormente con referencia a la figura 1 o la fi-
gura 3 de los dibujos que se acompañan.

8º.-"UN CIRCUITO INTEGRADO"

755 Todo ello, tal y como queda descrito y reivindicado en
la presente memoria descriptiva, que consta de 41 hojas fo-
liadas y mecanografiadas por una sola cara, a la que se acom-
pañan los dibujos que la ilustran.

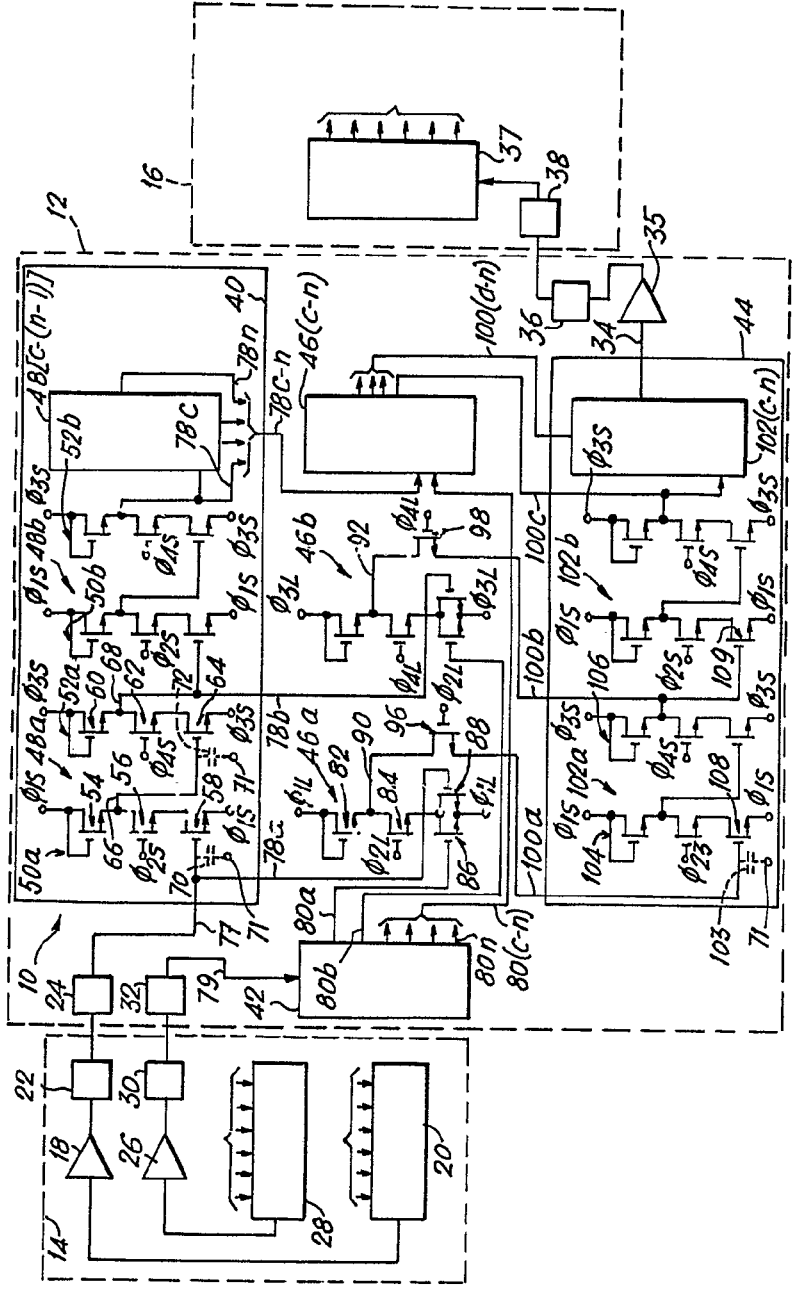
760

Madrid a 9 MAR. 1971

39001



Fig. 1



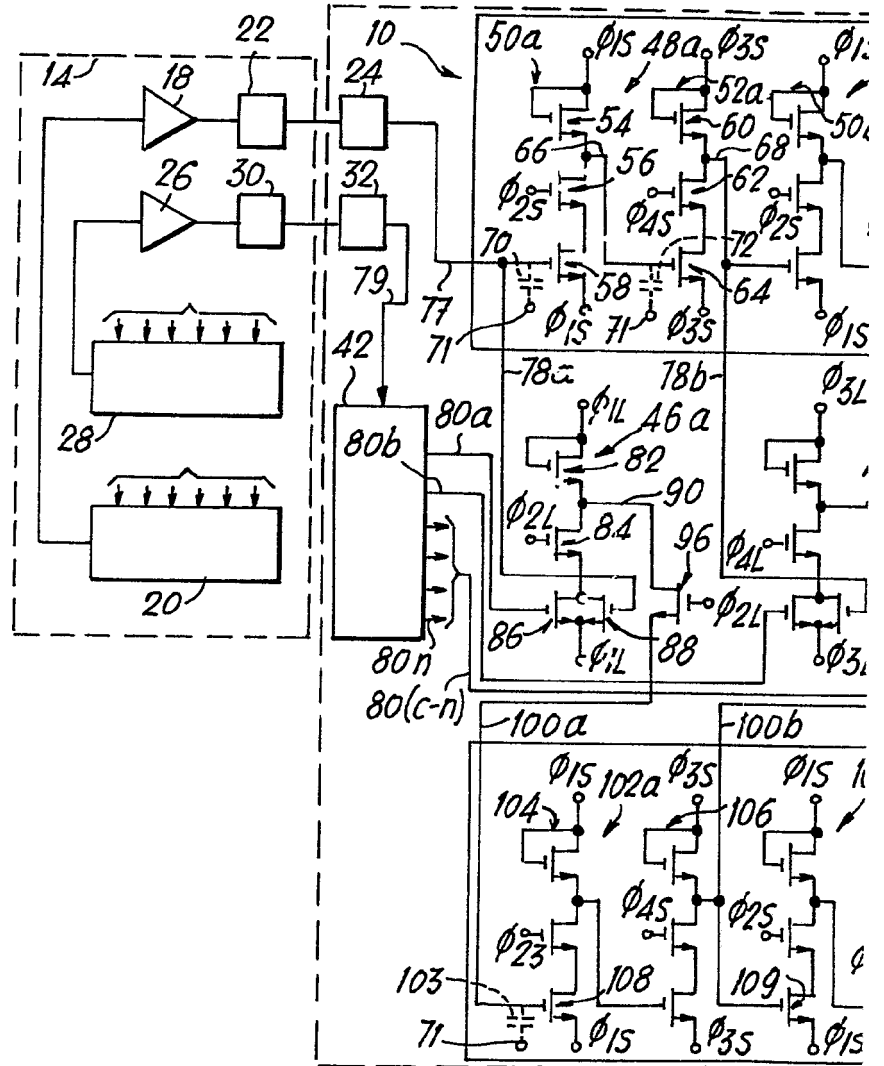
Modified.

9 MAR 1971

scale variable

[Handwritten signature]

Fig. 1

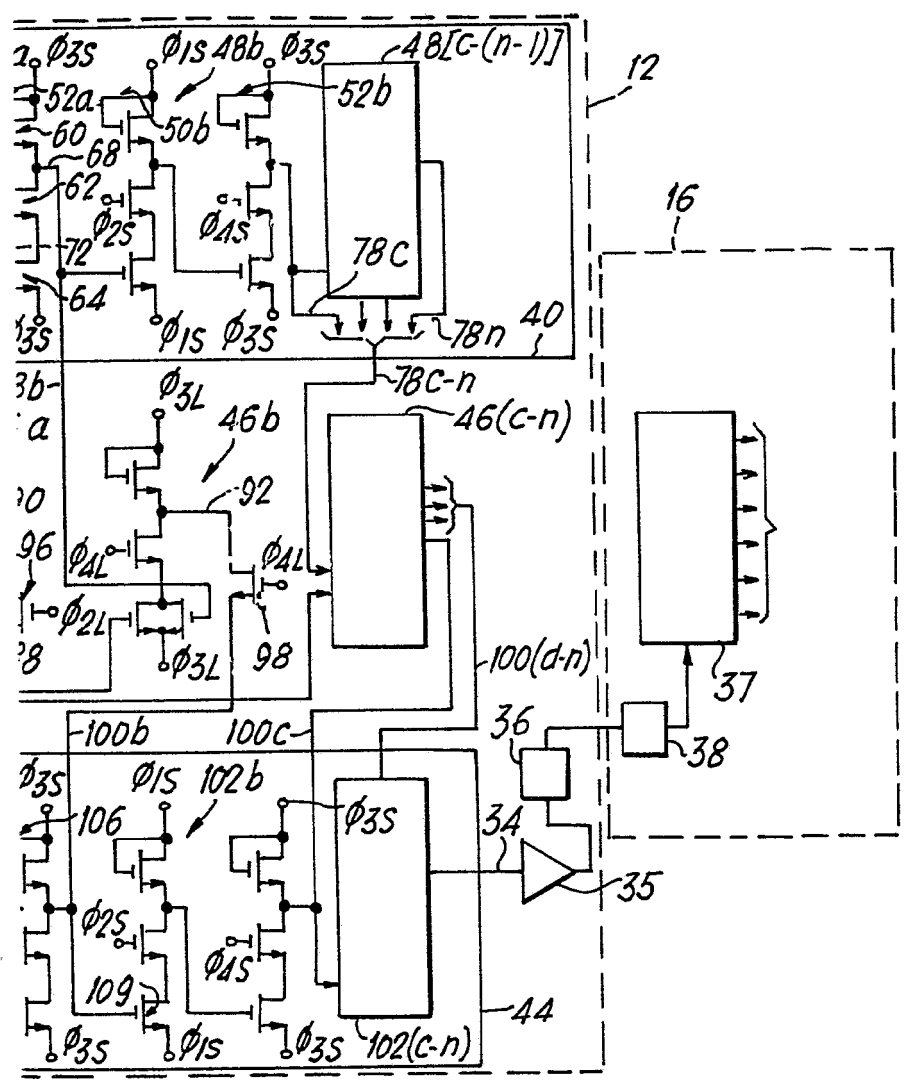


\neq scale variable

10031



Fig. 1



Madrid,

9 MAR. 1971

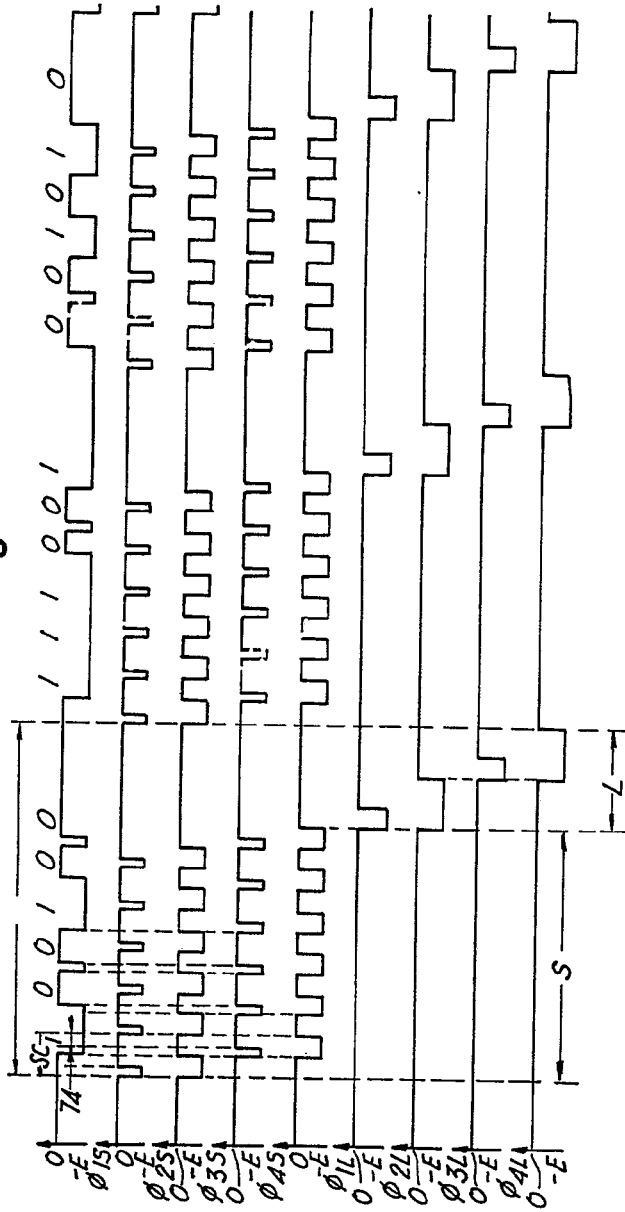
[Handwritten signature]

389031

389031



Fig. 2.



Mano del

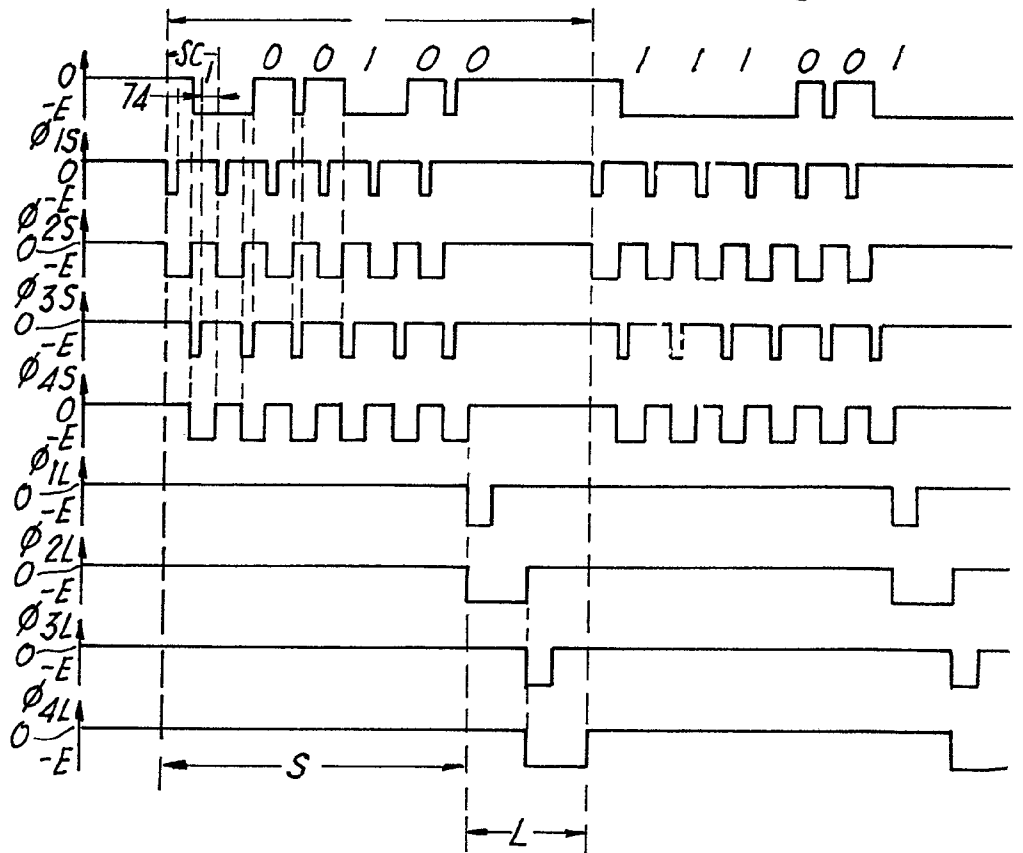
Escaleta variable

9 MAR. 1971

[Handwritten signature]

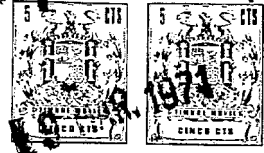
38977

Fig. 2.

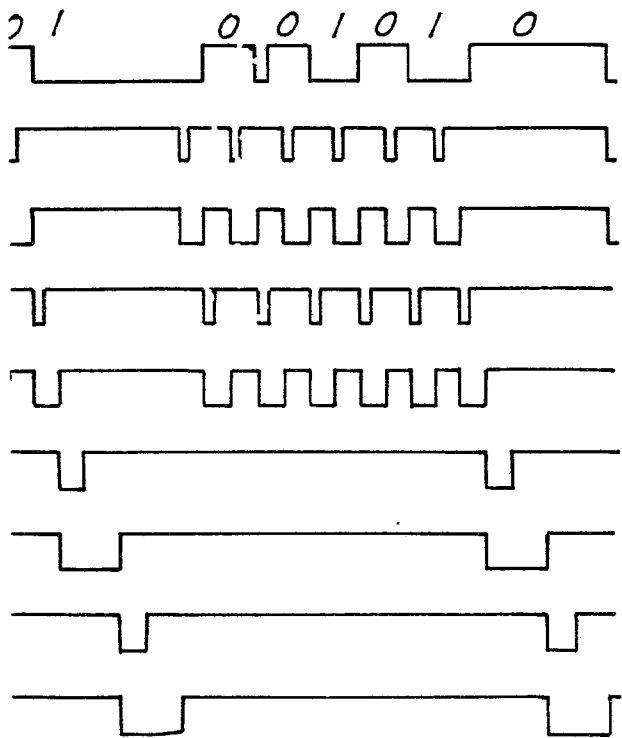


≡ scale variable

503031



2.



Madrid.

9 MAR. 1971

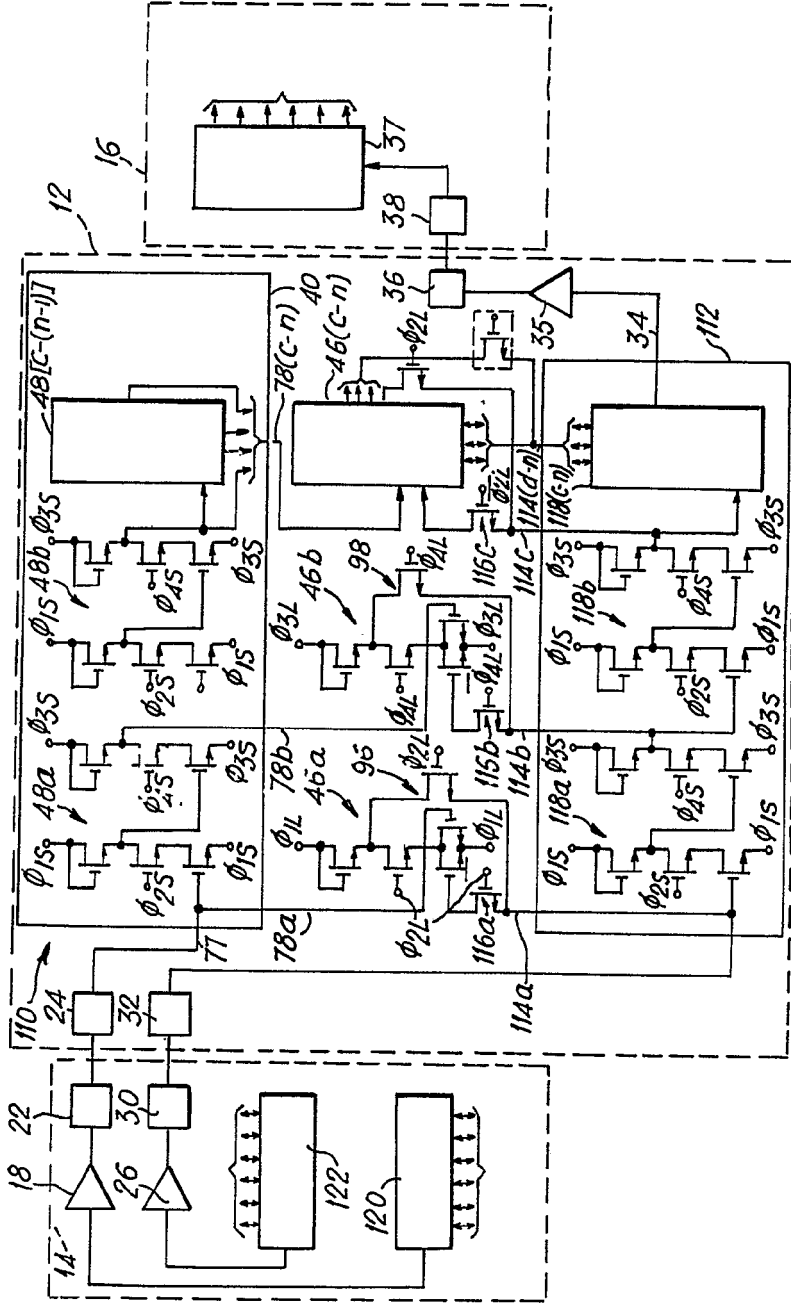
[Handwritten signature]

389031

389031



Fig.3



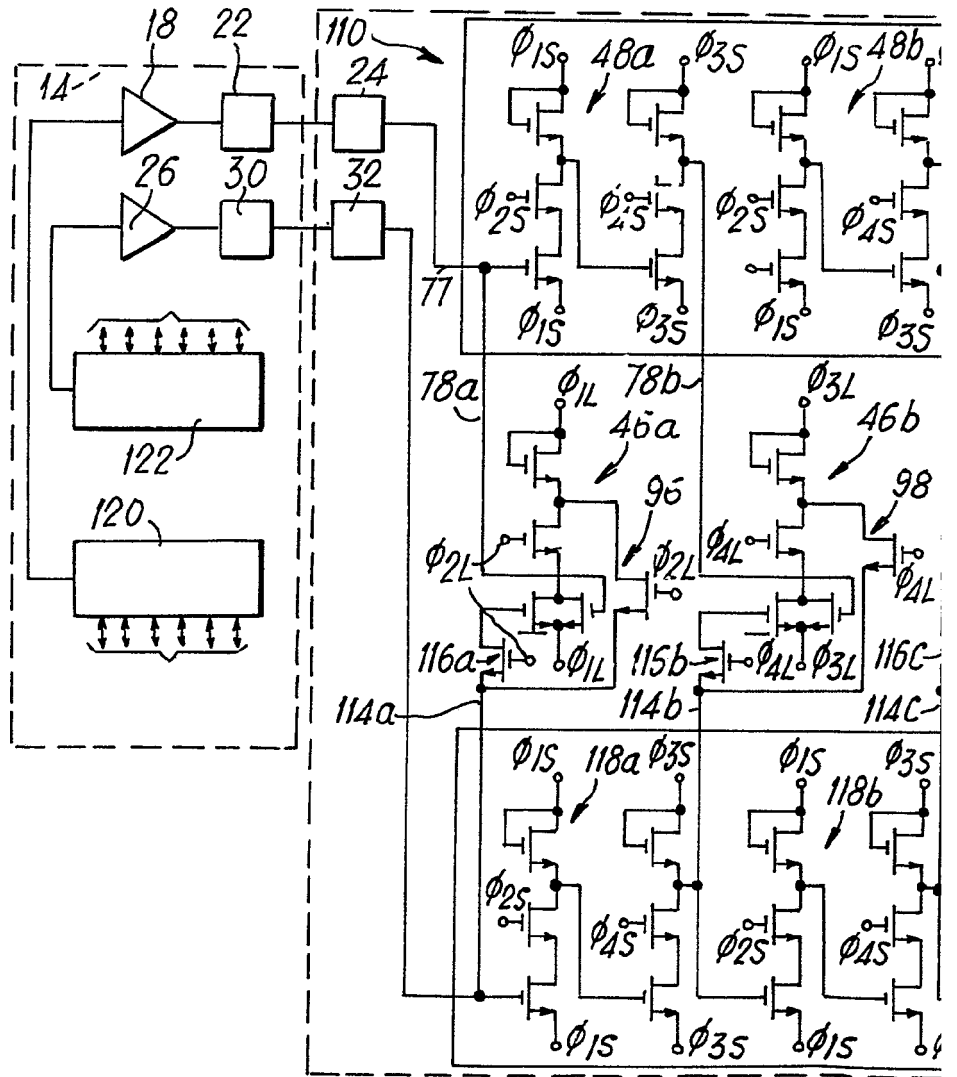
Madrid,

9 MAR. 1971

Esca variable

309031

Fig. 3

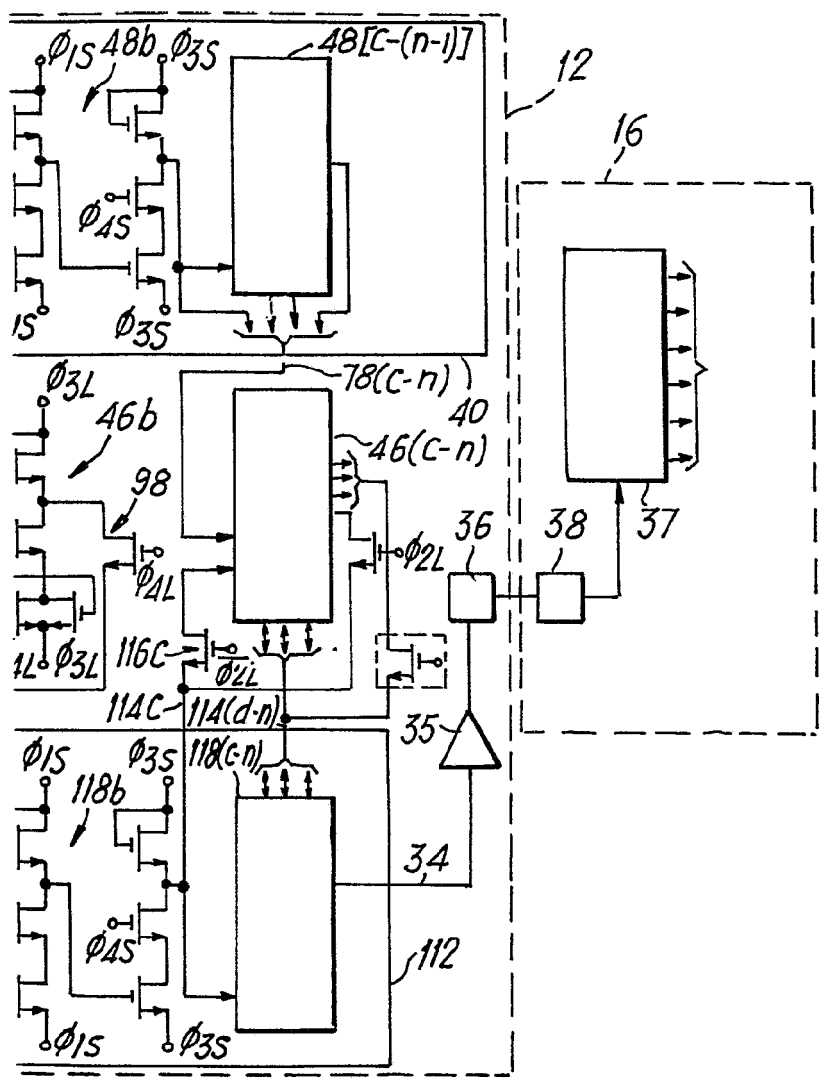


Escala variable



389031

ig. 3



Madrid,

9 MAR. 1971