

JB.

388720

G. Kahng, D 22-5

| |
|------------------------|
| SECCION TECNICA |
| CLASIFICACION I. P. C. |
| CLASE <u>H 01</u> |
| SUBCLASE <u>L</u> |



15 FEB 1971

388720

P A T E N T E D E I N V E N C I O N

a favor de

WESTERN ELECTRIC COMPANY, INCORPORATED, de nacionalidad norteamericana, domiciliada en 195, Broadway - NEW YORK, N.Y. (EE.UU.)

por:

"Dispositivo semiconductor para transferir carga en forma secuencial"

M e m o r i a d e s c r i p t i v a

La presente invención se refiere a un aparato semiconductor apto para almacenar y transferir en forma secuencial señales electrónicas que representan información.

5

Se ha propuesto una nueva clase de aparato semi-

388720



conductor monolítico apto para almacenar y transferir
secuencialmente señales electrónicas que representan
información en forma de paquetes de portadoras minori-
tarias excedentes localizadas en pozos de potencial in-
ducidos artificialmente, por ejemplo, de manera que pue-
den ser asociadas con una estructura de metal-aislante-
semiconductor (MIS). Esencialmente, en las formas de
realización MIS, se dispone una pluralidad de electro-
dos metálicos en hilera sobre el aislante (dieléctrico)
que, a su vez, cubre y está contiguo a la superficie de
un cuerpo semiconductor. La aplicación secuencial de
voltajes a los electodos metálicos (puerta) induce po-
zos de potencial adyacentes a la superficie del cuerpo
semiconductor en el que pueden ser almacenados paquetes
de portadoras minoritarias excedentes y entre los que
se pueden transferir dichos paquetes. Para asegurar la
direccionalidad de la transferencia del paquete de car-
ga, el pozo de potencial transferidor debe ser asimétri-
co, por lo menos durante la operación de transferencia.
Se ha propuesto emplear al menos impulsos de reloj de
tres fases para proveer la asimetría necesaria. Esto
constituye un problema en algunas aplicaciones en que
se tienen que utilizar vías de conducción separadas pa-
ra cada fase separada. Generalmente es conveniente re-
ducir al mínimo el número de vías de conducción (y cru-
ces de vías de conducción concomitantes) en aparatos se-
miconductores monolíticos.

De acuerdo con la invención, se ha provisto un
aparato semiconductor que comprende una porción principal

388720



5 semiconductiva en la que se establece una sucesión de pozos de potencial y se preve una disposición para almacenar portadoras de carga en pozos de potencial selectivos de acuerdo con información de señal y para determinar el avance de las portadoras de carga almacenada a través de sucesivos pozos unidireccionalmente, comprendiéndose medios para proveer asimetría a los pozos de potencial durante un intervalo de almacenamiento, siendo tal la asimetría que con relación a la dirección de avance la parte anterior o de guía del pozo de potencial tiene un promedio de profundidad mayor que la parte posterior o que es arrastrada del pozo de potencial para provocar preliminarmente el avance de las portadoras de carga almacenada.

15 Así, se presenta una forma mejorada de aparato de almacenamiento semiconductor en el que solamente se requieren impulsos de reloj de dos fases y que, cuando está formado en disposiciones bidimensionales, requiere tan solo una vía de información (para impulsos de reloj) por hilera.

20 Dicha capacidad de reloj en dos fases se consigue, en parte, mediante el empleo de estructuras MIS con superposición de electrodos de puerta y/o espesores de óxido no uniformes, de manera que cuando se aplica un impulso de reloj a cualquier electrodo de puerta es inducido un pozo de potencial adecuadamente asimétrico.

Más específicamente, de acuerdo con una forma de realización de la presente invención, cada electrodo



de puerta se dispone sobre una parte de una capa dieléctrica, cuya parte tiene, por lo menos dos, y para algunas aplicaciones preferiblemente tres, espesores distintos debajo del electrodo de puerta. Como sea

5 que la intensidad del potencial en cualquier punto de la superficie semiconductor es inversamente proporcional al espesor del óxido situado entre el electrodo de puerta y dicho punto de la superficie, se apreciará que será necesariamente inducido un pozo de potencial

10 asimétrico debajo del electrodo de puerta cuando se aplica un potencial al mismo. Mediante la descripción detallada que se efectúa más adelante, se comprenderá fácilmente que dicha asimetría puede ser inducida de forma que aumenta la transferencia de portadoras minoritarias excedentes en una dirección predeterminada e impide la transferencia de las portadoras en dirección

15 opuesta.

Conforme a otra, y preferida, formada realización de la invención, se emplean espesores dieléctricos no uniformes y electrodos de puerta superpuestos para proveer la asimetría necesaria y facilitar el acoplamiento de pozos de potencial adyacentes con el fin de aumentar además la facilidad de transferencia de carga desde un pozo de potencial al pozo de potencial

20 inmediatamente adyacente.

En otro aspecto, una importante característica de la presente invención es la realización de un conjunto bidimensional de dichos dispositivos en una matriz que comprende filas y columnas de tal manera que



solamente se requiere una vía de conducción de impulso de reloj por fila de dispositivos. Más concretamente aunque se precisa un reloj de dos fases, la matriz de la invención ha sido instalada de tal modo que cada vía de conducción del impulso de reloj queda dispuesta paralela a y entre pares de filas adyacentes de electrodos. Cada vía de conducción del impulso de reloj está conectada a electrodos correspondientes en las filas entre las que se halla dispuesta. Esta característica y su importancia se describirán más detalladamente más adelante, donde, por ejemplo, se describirán varios empleos, comprendiendo el empleo en una disposición de exploración de un tubo vidicón.

En los dibujos:

La figura 1 es una vista en sección transversal de un aparato semiconductor monolítico de acuerdo con una forma de realización de la presente invención en la que se encuentran electrodos de puerta adyacentes separados entre sí pero dispuestos sobre partes dieléctricas de espesor no uniforme.

La figura 2 ilustra el aparato de la figura 1 y la forma y disposición aproximada en el mismo de los pozos de potencial con un impulso de reloj aplicado a dicho aparato.

La figura 3 representa esquemáticamente formas de onda del voltaje de dos fases apropiadas para empleo de acuerdo con la presente invención.

La figura 4 ilustra una vista en sección transversal de un aparato semiconductor monolítico de acuerdo



con otra forma de realización de la invención en la que
electrodos de puerta adyacentes, además de estar for-
mados sobre espesores no uniformes, cubren parcialmente.

La figura 5 representa el aparato de la figura
5 4 y la forma y posición aproximada en el mismo de los
pozos de potencial con un impulso de reloj aplicado.

La figura 6 muestra el aparato de las figuras
4 y 5 y otro momento en el tiempo; y

La figura 7 representa un diagrama de bloques
10 esquemático de una disposición bidimensional ventajosa
de dispositivos de acuerdo con la invención.

Los entendidos en la materia apreciarán que
las figuras no han sido dibujadas a escala, sino que
ciertas partes se han exagerado en tamaño relativo pa-
15 ra mayor claridad de la explicación.

Las siglas en las figuras significan:

Figura 1.-

E Entrada.

Figura 2.-

20 R2F Reloj de dos fases

S Salida

Figura 3.-

C1 Un ciclo

T Tiempo

25 Figura 4.-

E Entrada.

S Salida,

Figura 5.-

R2F Reloj de dos fases.



E Entrada

Figura 6.-

R2F Reloj de dos fases

E Entrada

5

Figura 7.-

R2F Reloj de dos fases

P Puerta

S Salida

D Detector

10

Con referencia más específica a los dibujos, en la figura 1 se ilustra una forma básica de un modo de realización de la presente invención en la que los electrodos adyacentes se hallan separados entre sí y dispuestos sobre porciones dieléctricas de espesor no uniforme.

15

Como se representa, el aparato monolítico 10 comprende una porción principal semiconductiva 11 de un primer tipo de conductividad (ilustrada aquí como ejemplo de tipo-N). Una capa dieléctrica de espesor irregular 12 cubre la superficie de la parte principal 11. Sobre la capa dieléctrica 12 se halla una pluralidad de electrodos 13a, 14a, 13b, ... 13n, 14n, cada uno de los cuales está dispuesto sobre y contiguo a la superficie de una porción dieléctrica que tiene tres espesores distintos.

20

Los electrodos 13 (13a a 13n) están conectados a una primera vía de conducción 13', y los electrodos 14 (14a a 14n) se hallan conectados a una segunda vía de conducción 14', cuyas dos vías de conducción son aptas para acoplar impulsos de reloj aplicados a terminales 13'' y 14'' a cuyos electrodos se hallan conectados.

25



El electrodo 15, al que está conectado el terminal de entrada 16, cubre una porción relativamente delgada de la capa dieléctrica y es apto para determinar la introducción de portadoras minoritarias excedentes, por ejemplo, mediante inyección de avalancha inducida por un campo, en la porción semiconductiva debajo de ella. De esta manera, se pueden acoplar impulsos de entrada en un pozo de potencial inducido debajo del electrodo 13a, como se describirá con más detalle con referencia a la figura 2.

Una zona tipo P 17 posicionada en combinación con el electrodo 16 que hace con la misma contacto eléctrico de baja resistencia, la batería 18, y una resistencia 19, son simplemente una representación esquemática de un medio para detectar cualesquiera portadoras minoritarias excedentes que pueden hallarse en un pozo de potencial debajo del electrodo 14n, como se describirá también con más detalle con referencia a la figura 2.

Un electrodo metálico 21, formado sobre la superficie posterior de la porción principal 11, está conectado eléctricamente a tierra. Este es el modo actualmente preferido de funcionamiento. Sin embargo, puede apreciarse que la parte principal 11 puede estar conectada a cualquier potencial de referencia fija, con tal de que las tensiones del impulso de reloj hayan sido correspondientemente ajustadas. El aparato puede ser también accionado con la porción 11 "flotante"

En la figura 2 se ilustra el aparato de la figura

15 FEB.



l al que se han aplicado medios de reloj de dos fases 31. La figura 3 muestra esquemáticamente formas de onda de tensión apropiadas producidas por los medios de reloj 31.

5 Si se emplean silicio y óxido de silicio respectivamente como la porción semiconductiva y el dieléctrico, un método preferido de accionamiento emplea una prepolarización uniforme continua sobre todos los electrodos de puerta 13a-13n y 14a-14n para mantener por lo menos una capa de transición de poco espesor sobre toda la superficie del dispositivo en todo momento para reducir al mínimo el efecto de estados superficiales que se hallan inevitablemente presentes en la superficie de contacto del silicio y el óxido de silicio.

Dichos estados superficiales pueden ser molestos por cuanto contribuyen a la recombinación superficial de alguna fracción de las portadoras minoritarias en exceso que, a su vez, conduce necesariamente a una degradación de señal. El mantenimiento de una prepolarización adecuada en todos los electrodos de puerta tenderá a reducir al mínimo los efectos contrarios de dichos estado superficiales. Por consiguiente, como se indica en la figura 3, las salidas de reloj son siempre de alguna cuantía negativa (V_B) para proveer la citada prepolarización. Desde luego, en las formas de realización en las que los estados superficiales no son un problema, no necesita ser empleada la aludida prepolarización, en cuyo caso el voltaje de reloj puede alternar, por ejemplo, entre cero voltios y algunas



tensiones negativas.

En la figura 2 se ilustran asimismo representaciones esquemáticas de los contornos (33a-33n y 34a-34n) de las regiones de transición formadas en la parte principal semiconductiva 11 en cualquier tiempo justamente
5 alrededor de $t = 0$, es decir, cuando el es el más negativo (V_N) e2 es el menos negativo (V_B). Como sea que a los electrodos 13 se les aplica un potencial más negativo que el que se aplica a los electrodos 14, las regiones de transición o también llamada zona desierta
10 o de agotamiento 33 (debajo de los electrodos 13) se extienden significativamente más en la porción principal 11 que en las regiones de transición 34 (debajo de los electrodos 14). Además, se debe señalar que todas
15 las regiones de transición situadas debajo de los electrodos 13 y 14 son asimétricas, es decir menos extensas debajo que la porción de sus correspondientes electrodos donde el dieléctrico es el más grueso, más extensas debajo que la porción de sus correspondientes electrodos
20 donde el dieléctrico es el más delgado, y de extensión intermedia debajo que la porción de sus correspondientes electrodos debajo de los cuales el dieléctrico es de espesor intermedio entre el más grueso y el más delgado.

Este punto puede ser bueno para explicar la
25 relación entre la distancia en que se extiende una región de transición dentro del semiconductor y el potencial de campo en la superficie de contacto entre el semiconductor y el dieléctrico. En términos más sencillos cuanto más negativo sea el potencial de campo en la



superficie de contacto, mayor será la extensión de la
región de transición dentro del semiconductor. En
consecuencia, los límites de la región de transición
33 y 34 deben ser representativos del perfil de campo
5 eléctrico que entonces existe en la superficie de con-
tacto entre el semiconductor y el dieléctrico.

Supóngase ahora que con los potenciales des-
critos, se aplica un impulso de entrada al terminal de
entrada 16 suficiente para inyectar un número de por-
10 tadoras minoritarias (huecos) indicados como "+" den-
tro del semiconductor debajo del electrodo 15. Debido
a que la capa de transición 35, situada debajo del elec-
trodo 15 cubre la capa de transición 33a, situada de-
bajo del electrodo de puerta 13a, dichos huecos en ex-
15 ceso serán arrastrados dentro del potencial más nega-
tivo (debajo de la parte central del electrodo 13a).
Hasta que las tensiones de reloj conmutan la polaridad,
dichas portadoras minoritarias en exceso permanecerán
localizadas (en los que denomina un "paquete de carga")
20 debajo del centro del electrodo 13a puesto que existe
una región local del potencial más negativo es decir
un pozo de potencial.

Entonces, en la siguiente mitad del ciclo de
reloj, cuando los electrodos 14 se hallan en el poten-
25 cial más negativo (V_N) y los electrodos 13 se hallan
en un potencial menos negativo (V_B) aquellas portadoras
minoritarias serán desplazadas a la derecha debajo del
ahora punto más negativo local situado debajo de la
porción central del electrodo 14a. Desde luego, en

388720

- 12 -



dicha mitad del ciclo de reloj, los perfiles de campo y las profundidades de regiones de transición estarán debajo de los electrodos 14, en tanto que se hallarían debajo de los electrodos 13 durante la previa primera
5 mitad del ciclo de reloj y viceversa.

Considerando el proceso de desplazamiento como una etapa más, durante la primera mitad del siguiente ciclo de reloj (cuando los electrodos 13 son más negativos y los electrodos 14 son menos negativos) el paquete de carga se desplazará nuevamente a la derecha y quedará localizado en el mínimo potencial local debajo de
10 la porción central del electrodo 13b.

La consideración de que los paquetes de carga (cargados positivamente) nunca se desplazarán a la izquierda porque la asimetría acumulativa de los pozos de
15 potencial es tal que el potencial a la derecha de un mínimo local es siempre más negativo que el potencial inmediatamente situado a la izquierda del local mínimo, es decir, que la asimetría acumulativa de los pozos de potencial es tal que mejora la transferencia de
20 carga en la dirección conveniente (en este caso a la derecha) e impide la transferencia de carga en la dirección opuesta (en este caso, a la izquierda).

Supóngase que los "n" ciclos de reloj han pasado por allí de manera que el paquete de carga se ha
25 movido dentro del pozo de potencial debajo del último electrodo de puerta 14n. Este es el extremo de salida del aparato. La batería 18 suministra un voltaje suficiente por medio del electrodo 16 para mantener la

unión PN asociada con la zona localizada 17 inversamen-
te polarizada en una cuantía suficiente de manera que
su región de transición de carga espacial cubre parcial-
mente la región de transición 34n debajo del electrodo
5 14n. En consecuencia, el paquete de carga es arrastra-
do a la derecha y es captado por la unión PN en la ma-
yor parte de la misma manera como son captadas las por-
tadoras en la unión colector-base de un transistor or-
dinario. Esta captura de portadora de carga se mani-
10 fiesta en si misma en una corriente que circula a tra-
vés de la batería 18 y del dispositivo de resistencia
19, determinando el desarrollo de un voltaje correspon-
diente en el terminal 20 que entonces puede ser detec-
tado como la salida.

15 Es evidente que lo descrito es un aparato se-
miconductor monolítico capaz de funcionar como un re-
gistro de desplazamiento. Se ha descrito una realiza-
ción de un registro de desplazamiento porque es un
vehículo conveniente para simplicidad y claridad de
20 explicación y porque los registros de desplazamiento
son bloques de formación importantes a partir de los
cuales se pueden establecer muchas formas de disposi-
tivos lógicos, de memoria y de demora. Por ejemplo,
puede apreciarse que en cualquier punto intermedio,
25 por ejemplo, en el electrodo 14f, la cadena de regis-
tro de desplazamiento puede ser bifurcada dentro y se
puede conseguir el número máximo de entradas permitido
a una puerta OR o el número máximo de entradas que pue-
den ser accionadas desde una etapa de salida dada si



5 conviene para alguna aplicación lógica. Además, se apreciará que el registro de desplazamiento puede ser accionado en un modo de recirculación, ya sea para aumentar la duración de almacenamiento (retraso) o para regenerar la señal con el fin de subsanar el ruido, pérdidas de carga y otras formas de degradación de señal, conectando simplemente la señal de salida hacia atrás hasta la etapa de entrada a través de un circuito de regeneración apropiado.

10 Con relación de nuevo a las figuras 1 y 2, se comprenderá que no es necesario emplear un espesor dieléctrico de tres etapas debajo de cada electrodo de puerta, pero que se puede utilizar un espesor de óxido de dos etapas. En este caso, se retendrían las dos
15 porciones situadas más a la izquierda de cada electrodo de puerta, es decir, el más grueso y el más delgado; y el tercero situado más a la derecha, es decir, de espesor intermedio, no se emplearía. El funcionamiento del reloj de dos fases sería el mismo que el anteriormente descrito con referencia a los dieléctricos de
20 tres etapas.

25 La selección de un óxido de dos o tres etapas depende de una consideración detallada que es la siguiente. En un semiconductor, las ondas portadoras electrificadas se desplazan por medio de uno o dos procesos, desplazamiento y difusión. El desplazamiento es motivado por un campo eléctrico, pero la difusión se mueve casualmente desde puntos de mayor densidad de carga a puntos de menor densidad de carga. Una consideración de mo-



5 mento de los pozos de potencial ilustrados en la figura
2 y de como aparecerían con un óxido de dos etapas,
convencería a los entendidos en la materia de que en
ciertas condiciones extremas el componente de difusión
a la izquierda puede tender a superar el componente de
desplazamiento a la derecha. Sin embargo, esto sería
mucho menos probable que sucediera en el caso de tres
etapas porque la etapa intermedia (a la derecha de
cada pozo de potencial) tendería a determinar una "fu-
10 ga de difusión" a la derecha, es decir, en la dirección
conveniente de propagación.

 . En la figura 4 se representa una vista en sec-
ción transversal de otra forma de realización monolítica
en la presente invención, en la que electrodos de puer-
15 ta adyacentes, además de estar formados sobre espeso-
res dieléctricos irregulares, están parcialmente su-
perpuestos entre sí. Esta forma de realización se con-
sidera ventajosa para muchas aplicaciones porque la
superposición de electrodos de puerta adyacentes tiende
20 a: (1) reducir el problema práctico de tener que for-
mar electrodos muy poco separados sobre una superficie
plana, y (2) facilitar el acoplamiento de pozos de po-
tencial adyacentes que además mejora la facilidad de
transferir paquetes de carga desde un pozo de potencial
25 al pozo de potencial adyacente en la dirección conve-
niente.

Más específicamente, el aparato 40 ilustrado en
la figura 4 comprende una porción principal semiconduc-
tíva 41 de un primer tipo de conductividad (de nuevo



ilustrado como ejemplo como tipo-N) cubriendo la cual hay una primera capa dieléctrica sustancialmente uniforme 42. Como se ilustra, una pluralidad de electrodos de puerta 43a-43n y 44a-44n cubre la capa 42, adyacentes a los electrodos de puerta superpuestos entre sí. Una pluralidad de porciones dieléctricas adicionales 45a-45n y 46a-46n cubre asimismo la capa 42 y está dispuesta entre los electrodos superpuestos de manera que no hay conexión eléctrica directa en los puntos de superposición.

El electrodo de entrada 47, el terminal de entrada 43, y las características de salida 49, 50, 51 son análogos a las características correspondientes descritas con referencia a las figuras 1 y 2.

Impulsos de reloj exactamente iguales a los ilustrados en la figura 3 y descritos con referencia a las figuras 1 y 2 se pueden emplear en paquetes de carga de desplazamiento en el aparato representado en las figuras 4, 5 y 6. En consecuencia, el mismo medio de reloj de dos fases 31 ilustrado en la figura 2 se muestra de nuevo en las figuras 5 y 6.

Con referencia más concreta a la figura 5 se representa el aparato de la figura 4 con medio de reloj de dos fases 31 aplicado a dicho aparato. Las figuras en línea de trazos 63a-63n y 64a-64n representan esquemáticamente los contornos de las regiones de transición formadas en la porción principal 41 en cualquier tiempo justamente después de $t=0$, cuando φ_1 es el más negativo (V_N) y φ_2 es el menos negativo (V_B). Desde luego, la



citada descripción con respecto a la relación entre la profundidad de la región de transición y potencial de campo eléctrico se aplica a la estructura de las figuras 4, 5 y 6, así como a la estructura de las figuras 1 y 2.

No obstante, en la figura 5 se debe señalar que los espesores dieléctricos y el voltaje de reloj negativo menor (V_B) han sido ajustados entre sí de tal manera que V_B es insuficiente para crear una región de transición de las porciones de los electrodos de puerta que cubren el dieléctrico de más espesor. Más concretamente, obsérvese la separación entre las regiones de transición 63a y 64a, 63b y 64b, etc. Dicha separación se prefiere con el fin de eliminar completamente la posibilidad de difusión de carga a la izquierda, descrita con referencia a las figuras 1 y 2.

En la figura 5, nótese también que cualesquiera cargas positivas introducidas debajo del electrodo 47 serán inmediatamente arrastradas dentro de la región de transición 63a y serán retenidas mientras ϕ_1 es el más negativo (V_N).

En la figura 6 se ilustran las posiciones aproximadas de las regiones de transición 63 y 64, en tanto que los impulsos de reloj están invirtiendo polaridad, es decir, mientras ϕ_1 conmuta desde V_N a V_B y ϕ_2 conmuta desde V_B a V_N . Observese que en el punto en tiempo intermedio seleccionado, la separación previa entre las regiones de transición 63a y 64a, 63b y 64, etc. ha sido puesta en derivación y que han sido formadas sepa-



1977

5 raciones similares entre las regiones de transición
64a y 63b, 64b y 63c, 64n-1 y 63n, etc. Una conside-
ración de momento convencería a los expertos en la ma-
teria que dicho desacoplamiento (separación) y acopla-
10 miento de la región de transición (o zona desierta) al-
ternada es tal que mejora la transferencia de carga a
la izquierda. Adicionalmente, en vista de la evidente
asimetría en las regiones de transición ilustradas en
las figuras 5 y 6, es evidente que con cada inversión
15 de la polaridad de impulso de reloj, existirá una fuer-
te tendencia de que cualesquiera paquetes de carga re-
tenidos en cualquier pozo de potencial dado se transfie-
ran a la derecha, como convenga, hacia la salida.

15 Como sea que la detección de impulsos en la
salida del aparato de las figuras 4, 5 y 6 es directa-
mente análoga a la detección de salida antes descrita
conreferencia a las figuras 1 y 2, no se considera ne-
cesaria más descripción de las figuras 4, 5 y 6.

20 En la figura 7 se ilustra una representación
esquemática de un conjunto bidimensional de dispositi-
vos como el que se ha descrito. Más concretamente, ca-
da fila de bloques son puertas 106 que pueden ser exac-
tamente iguales a cualquiera de las filas de dispositi-
vos ilustrados en sección transversal en las figuras
25 1, 2, 4, 5 y 6. Cada bloque 106 representa esquemática-
mente uno de los electrodos de puerta 13, 14, 43 ó 44
en las precitadas figuras. Como se ilustra, la aplica-
ción del medio de reloj bifásico a las vías de conduc-
ción 101 y 102 determinará que los contenidos de la fila



superior sean desplazados y detectados secuencialmente por el detector 107 y transformados en una señal de salida apropiada. Dicho desplazamiento de los contenidos de la fila superior no afectará a los contenidos de señales almacenados en las otras filas porque es impulsada a lo más una, la 102, de las vías de conducción de impulso de reloj conectada a las puertas de las citadas filas.

Después de que los contenidos de la fila superior han sido completamente desplazados a la derecha y detectados, el reloj y el detector serían conectados a las vías de conducción 102 y 103 y los contenidos de la segunda fila serían desplazados de la misma manera. Desde luego, para obtener resultados óptimos, se deben incluir medios adecuados de conmutación y temporización con el fin de conmutar el reloj y el detector desde una par de vías de conducción a otras y para cronometrar adecuadamente la salida desde el detector. Se pueden emplear varios de dichos circuitos, cuyo diseño está en la capacidad de los entendidos en la materia.. Por tanto, dichos circuitos no se describirán con detalle.

Es evidente que un conjunto bidimensional como el que se representa en la figura 6 puede resultar especialmente ventajoso empleado como elemento fotosensible en una cámara de video. Cada fila de dispositivos puede representar una línea de trama en el sistema de video. Cada línea de trama sería leída electrónicamente transfiriendo en serie los paquetes de carga fotogene-



rados a un detector al final de la fila. Se construiría una imagen de video para leer secuencialmente cada línea de trama.

5 También es evidente que un conjunto bidimensional como el que se indica en la figura 6 puede resultar especialmente ventajoso empleado como un dispositivo de representación de imagen en el estado sólido.

10 Se ha propuesto una gran diversidad de medios para proveer etapas de entrada y de salida para los dispositivos monolíticos que se describen en la presente memoria.

15 Los entendidos en la materia podrán apreciar claramente que es posible el empleo de una gran variedad de métodos para fabricar el aparato monolítico descrito. Aunque no se describirán métodos particulares, se cree justificada una descripción sucinta de algunas consideraciones materiales.

20 Una ventaja muy distinta del aparato que se describe consiste en que son utilizables y bien comprendidos los materiales adecuados para los aludidos dispositivos. Por ejemplo, el empleo de silicio para las porciones semiconductoras y de óxido de silicio como las porciones dieléctricas será total y de acuerdo con una tecnología bien establecida. Combinaciones de dieléctricos tales como nitruro de silicio y oxido de silicio, oxido de aluminio y oxido de silicio, etc. pueden ser especialmente ventajosos en ciertas circunstancias, como capa dieléctrica. Desde luego, se pueden
25 utilizar materiales de electrodo conocidos como crw ,



aluminio, platino, molibdeno, titanio y combinaciones de los mismos.

Solo como ejemplo, una estructura útil para los dispositivos ilustrados en las figuras 1, 2, 4 y 5 puede emplear como porción principal semiconductiva silicio tipo N de 10 ohm-cm. Los espesores de óxido de silicio son de 1000 Å - 2000 Å para las porciones de capa dieléctrica más delgada y de 5000 Å - 10000 Å para las porciones más gruesas. Los electrodos pueden ser de oro o de combinaciones de oro-platino-titanio en cualquier espesor típico, por ejemplo, 0,1 hasta varias micras.

Las dimensiones de los dispositivos de transferencia también pueden variar ampliamente. Desde luego, las separaciones de los electrodos (con el fin de proveer la necesaria superposición de la región de transición) dependerá de la extensión lateral de las regiones de transición con voltajes de régimen. Por ejemplo, en silicio de 10 ohm-cm, un voltaje de 15 voltios sobre un óxido de silicio de 1000 Å producirá una región de transición de aproximadamente 5 micras. Esto sugeriría que se debe emplear una separación de interelectrodo no mayor de varias micras. Es evidente que las separaciones de interelectrodo en la forma de realización de las figuras 4, 5 y 6 son mucho menos críticas que en las figuras 1 y 2.

Se debe entender, desde luego, que los dispositivos descritos no quedan limitados de ningún modo a silicio y que su tecnología asociada ha sido descrita



tan solo a título de ejemplo.

N O T A

5 Se reivindica como objeto de la presente patente de invención:

1. - Dispositivo semiconductor para transferir carga en forma secuencial que comprende una oblea semiconductoriva en la que se ha establecido una sucesión de pozos de potencial y la provisión se hace para almacenar carga en pozos de potencial seleccionados de acuerdo con información de señal y para avanzar unidireccionalmente la carga almacenada a través de pozos de potencial sucesivos, el cual para conseguir el avance unidireccional, a lo largo del cual comprende: medios para proveer asimetría a los pozos de potencial durante el intervalo almacenado, cuya asimetría es tal que con relación a la dirección de avance la porción anterior del pozo de potencial tiene un promedio de profundidad mayor que la porción posterior del pozo de potencial preliminarmente el avance de la carga almacenada.

2. - Dispositivo semiconductor, según la reivindicación 1, en el que los medios para proveer asimetría comprenden una capa dieléctrica de espesor variable.

3. - Dispositivo semiconductor, según la reivindicación 2, en el que los medios para proveer asimetría comprenden, además, una pluralidad de electrodos localizados y separados dispuestos sobre y contiguos

mc



a la capa dieléctrica sucesivamente en la dirección de avance conveniente.

5 4.- Dispositivo semiconductor, según la reivindicación 3, en el que los electrodos están separados suficientemente cerca de manera que los pozos de potencial adyacentes cubren algún voltaje aplicado menor que el necesario para inducir rotura por avalancha en la oblea semiconductiva de modo que la carga almacenada puede ser transferida desde un pozo de potencial
10 al adyacente en la dirección conveniente.

15 5.- Dispositivo semiconductor, según la reivindicación 3, en el que los electrodos adyacentes están parcialmente superpuestos sin estar en contacto entre sí, una porción del dieléctrico está situada entre los electrodos en los puntos de superposición.

20 6.- Dispositivo semiconductor, según la reivindicación 3, en el que cada uno de los electrodos comprende por lo menos dos partes física y eléctricamente conectadas, una de dichas partes opuesta a la dirección de avance cubre y es contigua a una porción dieléctrica relativamente gruesa y cubre la otra parte del electrodo anteriormente adyacente, la otra de dichas partes cubre y es contigua a una porción dieléctrica relativamente delgada y está dispuesta debajo de
25 la otra parte del electrodo adyacente.

7.- Dispositivo semiconductor, según la reivindicación 3, en combinación con medios de circuito bifásico para polarizar sucesivamente los electrodos y determinar el almacenamiento y avance de la carga.

mfe

388720

- 24 -



5 8.- Dispositivo semiconductor, según la reivindicación 7, que comprende un par de vías de conducción conectadas entre los medios de circuito y los electrodos, estando cada vía de conducción conectada a uno distinto de cada segundo electrodo en la sucesión de electrodos.

9.- Dispositivo semiconductor, según la reivindicación 8, en el que los electrodos están conformados y dispuestos de manera que el par de vías de conducción se extienden paralelas entre sí.

10 10.- Dispositivo semiconductor, según la reivindicación 1, en combinación con medios de entrada para inyectar portadoras minoritarias en por lo menos uno de dichos pozos de potencial, dichas portadoras minoritarias inyectadas representan información de señal, y medios de salida para detectar la presencia de dichas portadoras minoritarias en algún otro pozo de potencial.

15 20 25 11.- Dispositivo semiconductor para transferir carga en forma secuencial según cualquiera de las reivindicaciones anteriores, de tipo monolítico y apropiado para el almacenamiento y transferencia secuencial de información en una dirección predeterminada desde una entrada a una salida, el cual comprende: un cuerpo semiconductor que tiene una superficie principal; una capa dieléctrica de espesor variable que cubre y es contigua a dicha superficie; y una pluralidad de electrodos conductivos separados y localizados dispuestos sucesivamente sobre dicha capa entre la entrada y la salida; cada uno de dichos electrodos cubre y es contigua a una porción de la capa que es sustancialmente de espesor irregular; de manera que cuan

ME



do un voltaje de suficiente polaridad y magnitud es aplicado a alguno de los electrodos con respecto al semiconductor, se forma una región de transición asimétrica en dicho semiconductor debajo del electrodo, cuya asimetría es tal que mejora la transferencia de portadoras minoritarias en exceso en el pozo de potencial hasta un pozo de potencial adyacente en dicha dirección predeterminada e impide la transferencia de dichas portadoras en la dirección opuesta.

10 12.- Dispositivo semiconductor según la reivindicación 11, en el que los electrodos adyacentes están separados suficientemente cerca de manera que las regiones de transición formadas debajo de ellos se entrecruzan a algún voltaje aplicado menor que el necesario para inducir rotura de avalancha en el cuerpo semiconductor.

15 13.- Dispositivo semiconductor, según la reivindicación 11, que comprende adicionalmente medios para inyectar portadoras minoritarias en exceso en por lo menos una de las regiones de transición.

20 14.- Dispositivo semiconductor, según la reivindicación 13, que comprende adicionalmente medios para polarizar secuencialmente electrodos sucesivos para inducir secuencialmente regiones de transición debajo de los electrodos polarizados y de transferir las portadoras minoritarias en exceso sucesivamente con las regiones de transición.

25 15.- Dispositivo semiconductor, según la rei-

ME

388720



vindicación 14, en el que los medios para polarizar electrodos sucesivos comprenden un par de vías de conducción, cada una conectada a uno distinto de cada segundo electrodo en la sucesión de electrodos.

5 16.- Dispositivo semiconductor, según la reivindicación 14, que comprende adicionalmente: medios de circuito bifásico acoplados a dicho par de vías de conducción para aplicar alternativamente a las mismas un par de voltajes con respecto al cuerpo semiconductor; 10 siendo por lo menos un voltaje del par de voltajes de polaridad y magnitud suficiente para producir una región de transición en por lo menos la porción del cuerpo situada debajo del electrodo al que está acoplado.

15 17.- Dispositivo semiconductor, según la reivindicación 15, en el que los electrodos están conformados y dispuestos de manera que el par de vías de conducción se extienden paralelas entre sí.

20 18.- Dispositivo semiconductor, según la reivindicación 11, en el que: por lo menos uno de dichos electrodos comprende al menos dos partes física y eléctricamente conectadas, las partes se consideran primera y segunda partes sucesivamente en dicha dirección pre-determinada, y la primera parte cubre una primera porción dieléctrica que es sustancialmente más gruesa que 25 una segunda porción dieléctrica sobre la que está situada la segunda parte.

19.- Dispositivo semiconductor, según la reivindicación 11, en el que: por lo menos uno de los electrodos comprende al menos tres partes física y eléctri-

MCE

388720¹⁵



5 camente conectadas; las partes se consideran primera, segunda y tercera partes sucesivamente en dicha dirección predeterminada, la primera parte cubre una porción dieléctrica más gruesa, la segunda parte cubre una porción dieléctrica más delgada, y la tercera parte cubre una porción dieléctrica de espesor intermedio entre las otras dos.

10 20.- Dispositivo semiconductor, según la reivindicación 11, en el que: por lo menos dos electrodos sucesivos comprenden cada uno de ellos una primera y segunda partes conectadas física y eléctricamente, las partes se consideran primera y segunda partes sucesivamente en dicha dirección predeterminada; la primera parte de cada uno de los dos electrodos cubre una primera porción dieléctrica que es sustancialmente más gruesa que una segunda porción dieléctrica sobre la que está situada la segunda parte de cada electrodo, y adicionalmente los dos electrodos están separados de manera que la segunda parte del primero de los dos electrodos queda debajo y está aislada respecto de una porción de la primera parte del segundo de los dos electrodos.

21.- Dispositivo semiconductor para transferir carga en forma secuencial.

25 Esta memoria consta de veintisiete páginas escritas por una sola cara.

BARCELONA, 15 de Febrero 1971

P.A.

CE

WANG. D. 22-2

FIG. 2

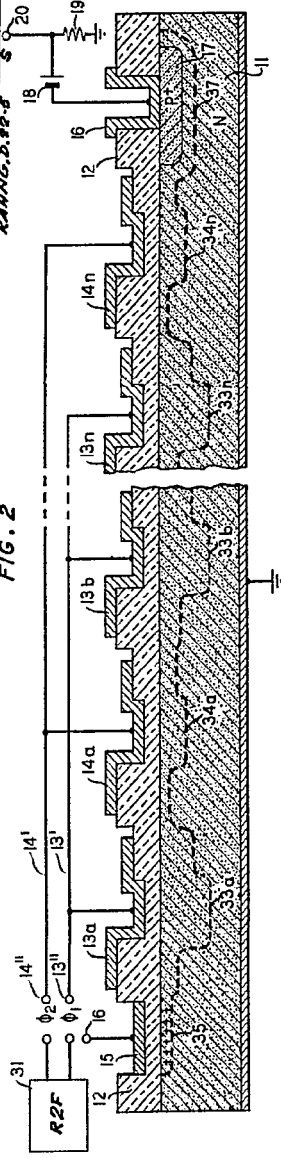


FIG. 4

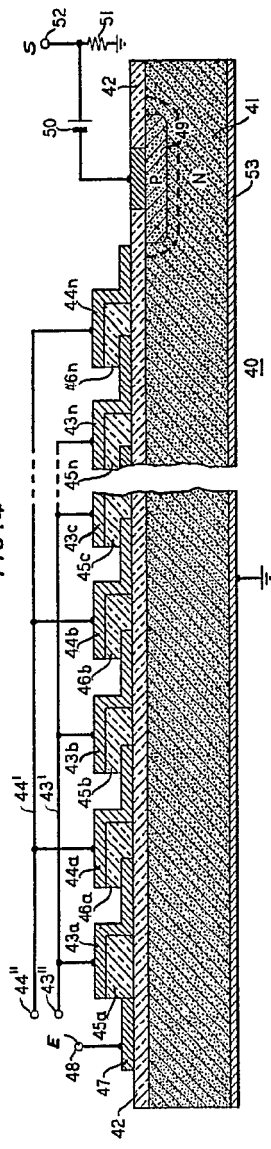


FIG. 1

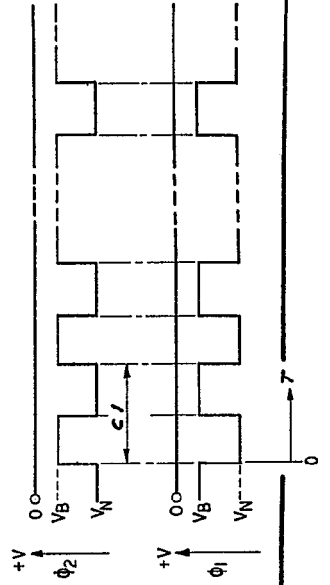
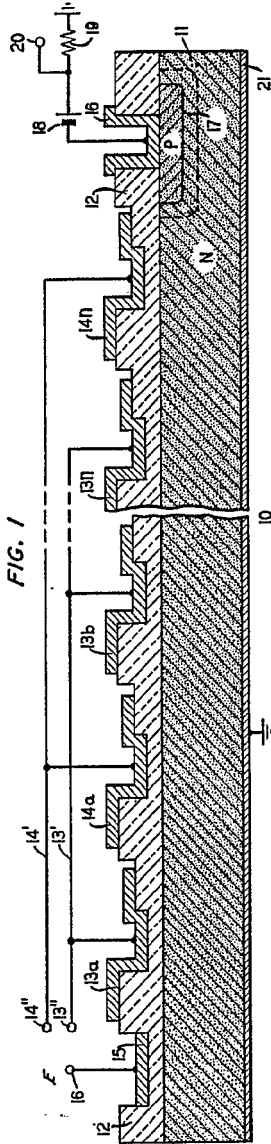


FIG. 3

FOR AUTOMATIC

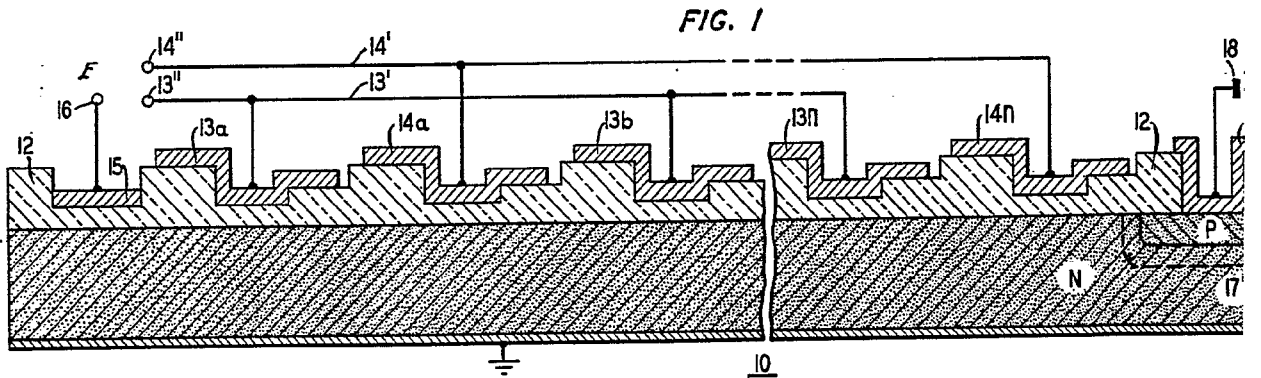
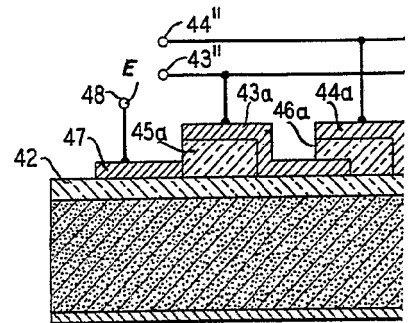
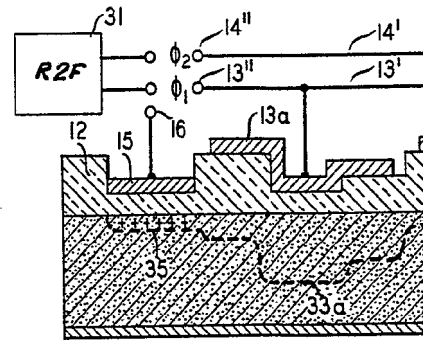
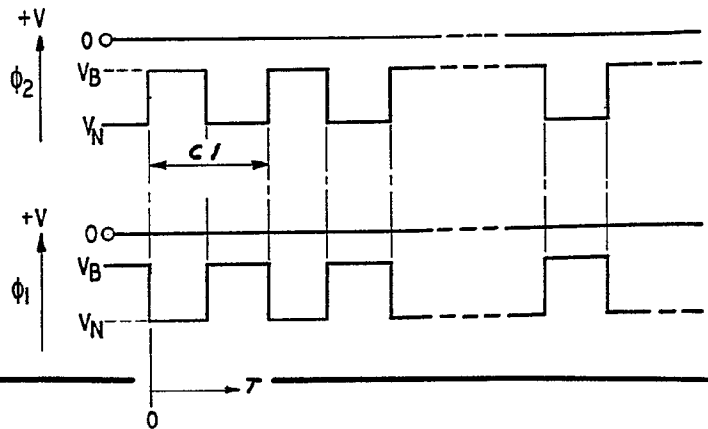


FIG. 3



388720

2 HOJAS, HOJA 1

FIG. 2

KAHNG, D. 32-5

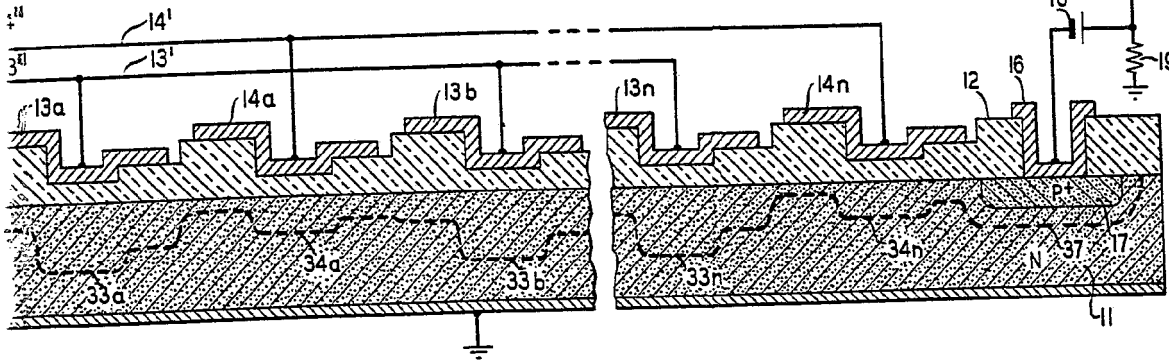
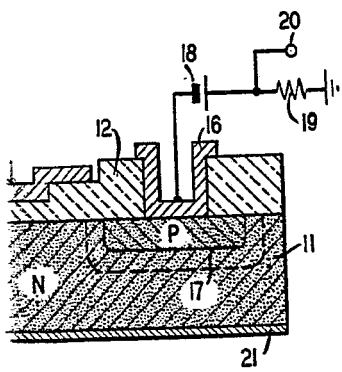
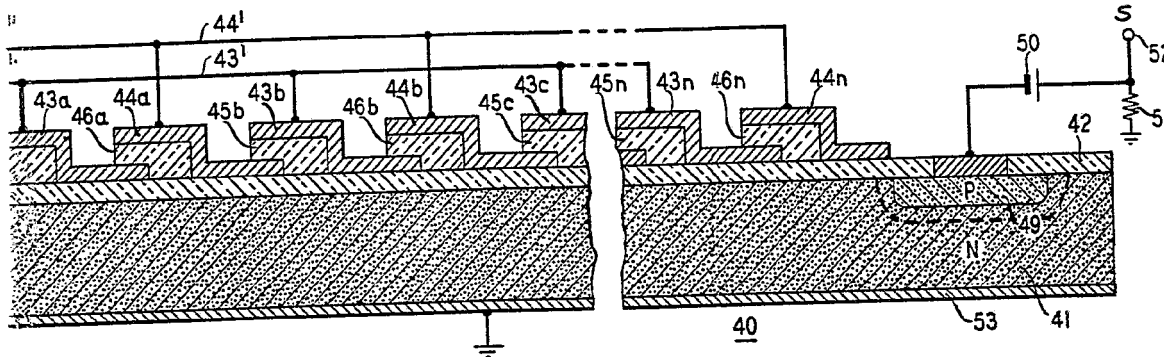
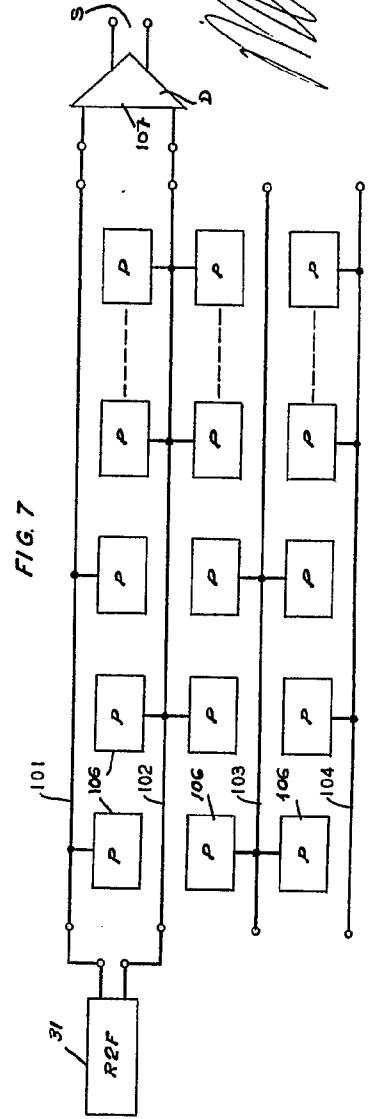
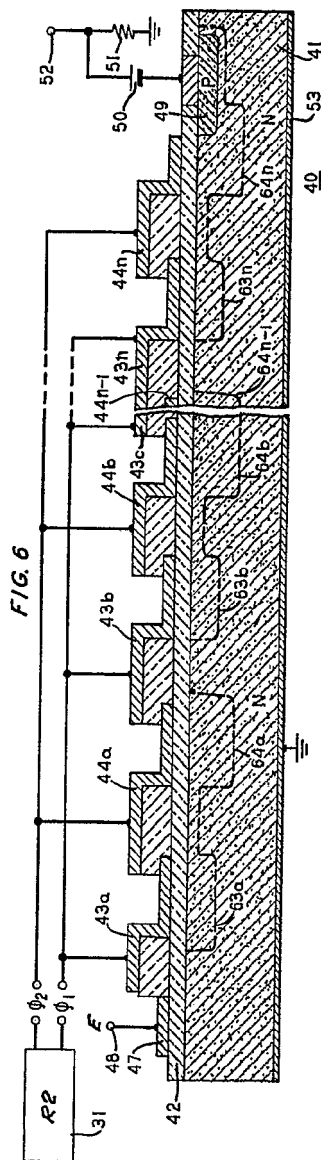
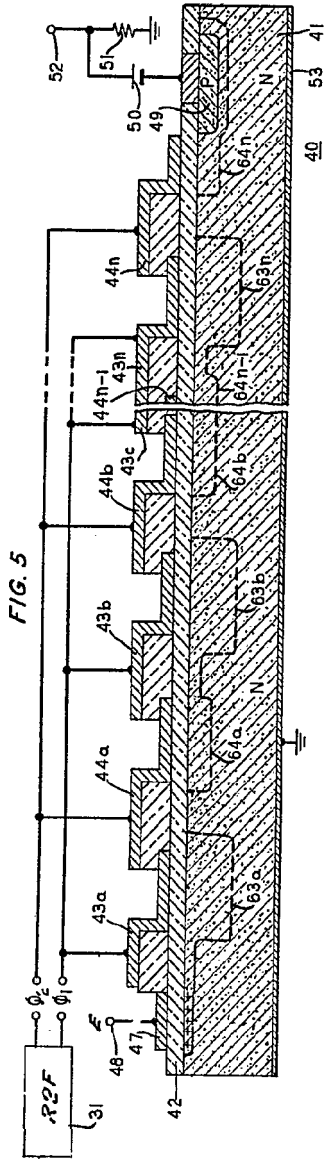


FIG. 4



FOR AUTHORIZATION

[Handwritten signature]



[Handwritten signature]

FIG. 5

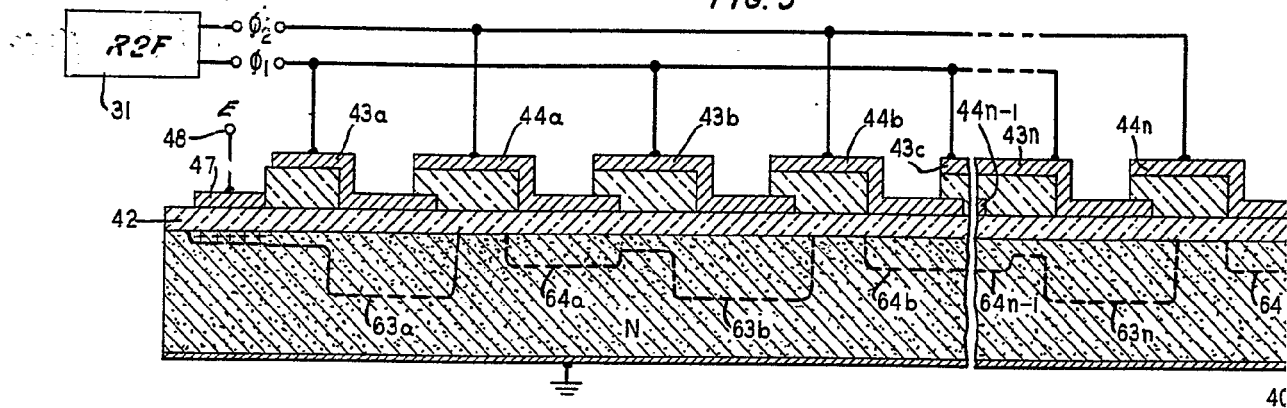
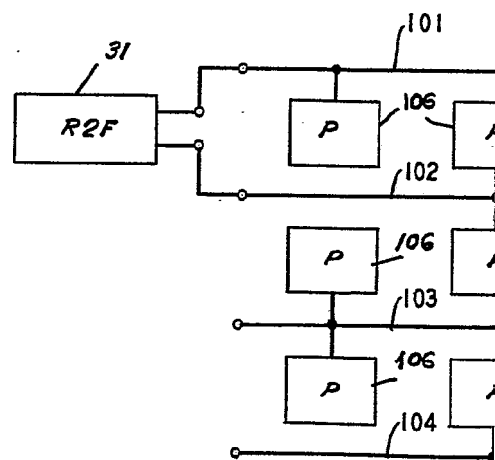
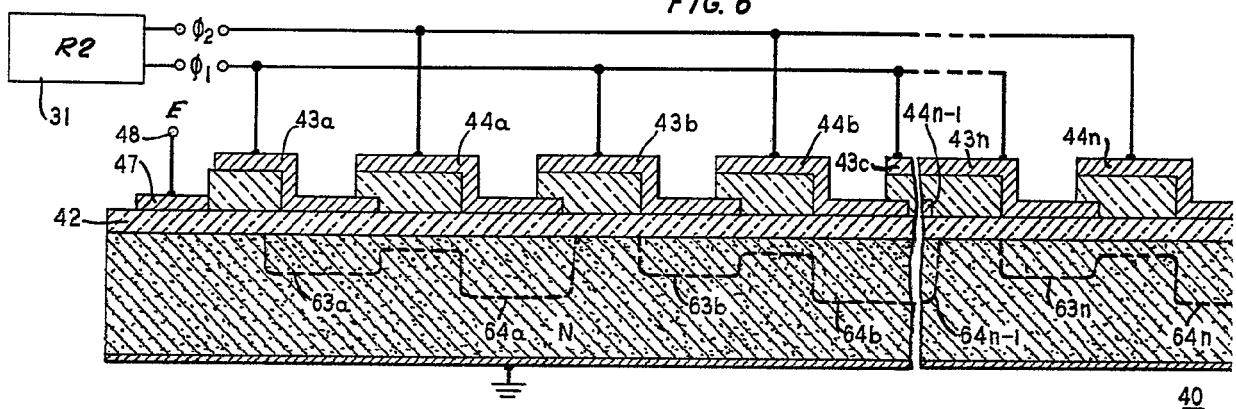


FIG. 6



388720

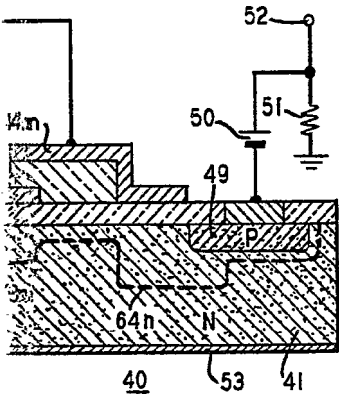
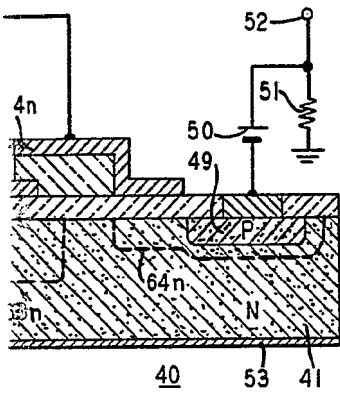
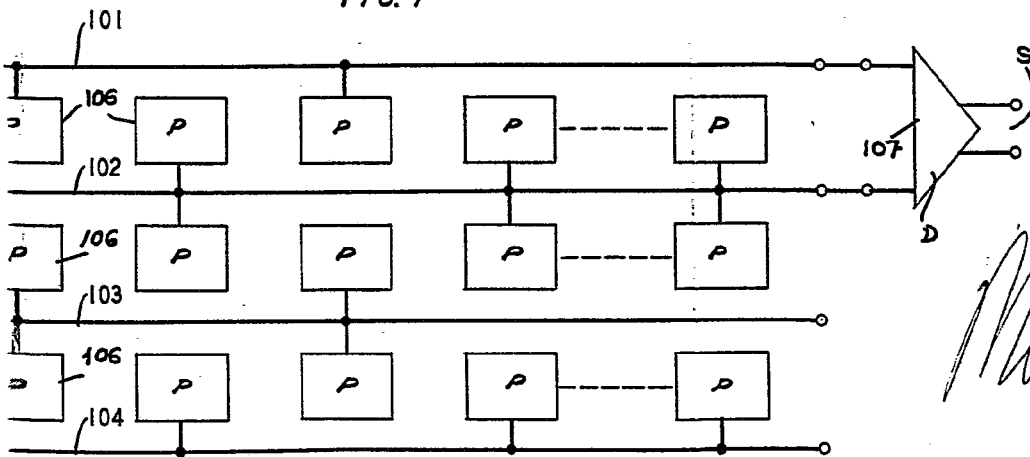


FIG. 7



Handwritten signature and the word "AUTORIZACION" (Authorization).